



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0137109
(43) 공개일자 2021년11월17일

- (51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01)
- (52) CPC특허분류
H01L 27/10855 (2013.01)
H01L 27/10805 (2013.01)
- (21) 출원번호 10-2021-7031927
- (22) 출원일자(국제) 2020년02월27일
심사청구일자 없음
- (85) 번역문제출일자 2021년10월05일
- (86) 국제출원번호 PCT/IB2020/051663
- (87) 국제공개번호 WO 2020/183277
국제공개일자 2020년09월17일
- (30) 우선권주장
JP-P-2019-044538 2019년03월12일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야나기사와 유이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
이케다 히사오
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
무라카와 쓰토무
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

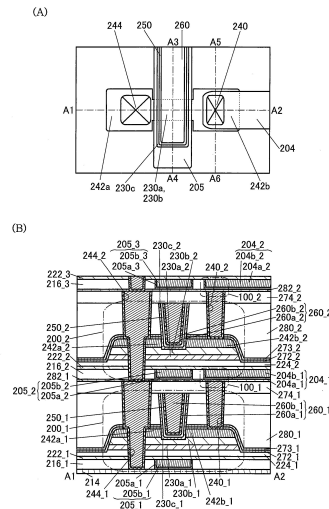
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

생산성이 높은 반도체 장치를 제공한다. 제 1 트랜지스터 및 제 2 트랜지스터와, 제 1 용량 소자 및 제 2 용량 소자를 가지는 반도체 장치. 제 1 트랜지스터 및 제 2 트랜지스터는 게이트 전극과 백 게이트 전극을 가진다. 제 2 트랜지스터는 제 1 트랜지스터보다 위층에 제공되고, 제 2 용량 소자는 제 1 용량 소자보다 위층에 제공된다. 제 1 용량 소자의 한쪽 전극은 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속되고, 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽과 전기적으로 접속된다. 제 1 용량 소자의 다른 쪽 전극은 제 2 트랜지스터의 백 게이트 전극과 같은 층에 형성된다.

대표도 - 도1



(52) CPC특허분류

H01L 27/10867 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터와, 제 2 트랜지스터와, 용량 소자를 가지고,

상기 제 1 트랜지스터는 제 1 도전체와, 제 2 도전체와, 제 3 도전체와, 제 1 산화물을 가지고,

상기 제 1 산화물은 제 1 채널 형성 영역을 가지고,

상기 제 1 도전체는 상기 제 1 산화물보다 아래에 제공되고,

상기 제 2 도전체는 상기 제 1 산화물보다 위에 제공되고,

상기 제 1 도전체는 상기 제 1 채널 형성 영역과 중첩되는 영역을 가지고,

상기 제 2 도전체는 상기 제 1 채널 형성 영역과 중첩되는 영역을 가지고,

상기 제 3 도전체는 상기 제 1 산화물과 접하는 영역을 가지고,

상기 제 2 트랜지스터는 제 4 도전체와, 제 5 도전체와, 제 2 산화물을 가지고,

상기 제 2 산화물은 제 2 채널 형성 영역을 가지고,

상기 제 4 도전체는 상기 제 2 도전체보다 위에 제공되고,

상기 제 4 도전체는 상기 제 2 산화물보다 아래에 제공되고,

상기 제 5 도전체는 상기 제 2 산화물보다 위에 제공되고,

상기 제 4 도전체는 상기 제 2 채널 형성 영역과 중첩되는 영역을 가지고,

상기 제 5 도전체는 상기 제 2 채널 형성 영역과 중첩되는 영역을 가지고,

상기 용량 소자는 제 6 도전체와, 제 7 도전체와, 절연체를 가지고,

상기 제 6 도전체는 상기 절연체보다 아래에 제공되고,

상기 제 7 도전체는 상기 절연체보다 위에 제공되고,

상기 제 6 도전체는 상기 제 3 도전체와 접하는 영역을 가지고,

상기 제 7 도전체는 상기 제 4 도전체와 동일한 층에 제공되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터는 제 8 도전체를 더 가지고,

상기 제 2 트랜지스터는 제 9 도전체를 더 가지고,

상기 제 8 도전체는 상기 제 1 산화물과 접하는 영역을 가지고,

상기 제 9 도전체는 상기 제 2 산화물과 접하는 영역을 가지고,

상기 제 1 산화물의 측면 및 상기 제 8 도전체의 측면과 접하는 영역을 가지도록 제 10 도전체가 제공되고,

상기 제 8 도전체와 상기 제 9 도전체는 상기 제 10 도전체를 통하여 전기적으로 접속되는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 6 도전체의 상면과 상기 제 10 도전체의 상면은 동일한, 반도체 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 절연체의 측면, 상기 제 2 산화물의 측면, 및 상기 제 9 도전체의 측면과 접하는 영역을 가지도록 제 11 도전체가 제공되는, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 산화물 및 제 2 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 포함하는, 반도체 장치.

청구항 6

반도체 장치의 제작 방법으로서,

제 1 도전체를 형성하고,

제 1 도전체 위에 제 1 절연체, 제 1 산화막, 제 1 도전막의 순서로 성막하고,

상기 제 1 도전막 및 상기 제 1 산화막을 섬 형상으로 가공하고, 또한 상기 제 1 절연체에 도달하는 제 1 개구를 형성함으로써 제 1 산화물을 형성하고,

상기 제 1 도전막 위 및 상기 제 1 절연체 위에 제 2 절연체를 형성하고,

상기 제 2 절연체 및 상기 제 1 도전막에 상기 제 1 산화물에 도달하는 제 2 개구를 형성함으로써 제 2 도전체 및 제 3 도전체를 형성하고,

상기 제 2 개구의 내측에 제 3 절연체와 제 4 도전체를 형성하고,

상기 제 1 개구와 중첩되는 영역을 가지는 제 3 개구와, 상기 제 2 도전체에 도달하는 제 4 개구를 상기 제 2 절연체에 형성하고,

상기 제 3 개구의 내측에 제 5 도전체를, 상기 제 4 개구의 내측에 제 6 도전체를 각각 형성하고,

상기 제 6 도전체 위에 제 4 절연체를 형성하고,

상기 제 4 절연체 위에 상기 제 1 도전체와 중첩되는 영역을 가지는 제 7 도전체와, 상기 제 6 도전체와 중첩되는 영역을 가지는 제 8 도전체를 형성하고,

상기 제 7 도전체 위 및 상기 제 8 도전체 위에 제 5 절연체, 제 2 산화막, 제 2 도전막의 순서로 성막하고,

상기 제 2 도전막 및 상기 제 2 산화막을 섬 형상으로 가공하고, 또한 상기 제 5 절연체에 도달하는 제 5 개구를 형성함으로써 제 2 산화물을 형성하고,

상기 제 2 도전막 위 및 상기 제 5 절연체 위에 제 6 절연체를 형성하고,

상기 제 6 절연체 및 상기 제 2 도전막에 상기 제 2 산화물에 도달하는 제 6 개구를 형성함으로써 제 9 도전체 및 제 10 도전체를 형성하고,

상기 제 6 개구의 내측에 제 7 절연체와 제 11 도전체를 형성하는, 반도체 장치의 제작 방법.

청구항 7

제 6 항에 있어서,

상기 제 5 개구와 중첩되는 영역을 가지고, 상기 제 5 도전체에 도달하는 제 7 개구를, 상기 제 6 절연체와, 상기 제 5 절연체와, 상기 제 4 절연체에 형성하고, 또한 상기 제 9 도전체에 도달하는 제 8 개구를 상기 제 6 절연체에 형성하는, 반도체 장치의 제작 방법.

청구항 8

제 7 항에 있어서,

상기 제 7 개구의 내측에 제 12 도전체를, 상기 제 8 개구의 내측에 제 13 도전체를 각각 형성하고,

상기 제 13 도전체 위에 제 8 절연체를 형성하고,

상기 제 8 절연체 위에 상기 제 7 도전체와 중첩되는 영역을 가지는 제 14 도전체와, 상기 제 13 도전체와 중첩되는 영역을 가지는 제 15 도전체를 형성하는, 반도체 장치의 제작 방법.

청구항 9

제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 1 산화물 및 제 2 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 포함하는, 반도체 장치의 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 반도체 장치, 그리고 반도체 장치의 제작 방법에 관한 것이다. 또는 본 발명의 일 형태는 반도체 웨이퍼, 모듈, 및 전자 기기에 관한 것이다.

[0002] 또한 본 명세서 등에서 반도체 장치란 반도체 특성을 이용하여 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는, 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 및 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

[0003] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배경 기술

[0004] 근년, 반도체 장치의 개발이 진행되고, LSI나 CPU나 메모리가 주로 사용되고 있다. CPU는 반도체 웨이퍼로부터 분리된 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI나 CPU나 메모리 등의 반도체 회로(IC칩)는 회로 기판, 예를 들어 인쇄 배선판에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한, 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목되고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목되고 있다.

[0007] 또한, 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용한 소비 전력이 낮은 CPU 등이 개시되어 있다(특허문헌 1 참조). 또한 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다(특허문헌 2 참조).

[0008] 또한, 근년에는 전자 기기의 소형화, 경량화에 따라, 고밀도화가 더 진행된 집적 회로에 대한 요구가 높아지고 있다. 또한, 집적 회로를 포함하는 반도체 장치의 생산성의 향상이 요구되고 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호
- (특허문헌 0002) 일본 공개특허공보 특개2011-151383호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 형태는 생산성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 유지 용량이 큰 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신뢰성이 양호한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 온 전류가 큰 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 오프 전류가 작은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 높은 주파수 특성을 가지는 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0011] 또는, 본 발명의 일 형태는 장기간의 데이터 유지가 가능한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 정보의 기록 속도가 빠른 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 설계 자유도가 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 소비 전력을 억제할 수 있는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0012] 또는, 본 발명의 일 형태는 생산성이 높은 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 유지 용량이 큰 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신뢰성이 양호한 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 온 전류가 큰 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 오프 전류가 작은 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 높은 주파수 특성을 가지는 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다.
- [0013] 또는, 본 발명의 일 형태는 장기간의 데이터 유지가 가능한 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 정보의 기록 속도가 빠른 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 설계 자유도가 높은 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 소비 전력을 억제할 수 있는 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신규 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다.
- [0014] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

- [0015] 본 발명의 일 형태는, 제 1 트랜지스터와, 제 2 트랜지스터와, 용량 소자를 가지고, 제 1 트랜지스터는 제 1 도전체와, 제 2 도전체와, 제 3 도전체와, 제 1 산화물을 가지고, 제 1 산화물은 제 1 채널 형성 영역을 가지고, 제 1 도전체는 제 1 산화물보다 아래에 제공되고, 제 2 도전체는 제 1 산화물보다 위에 제공되고, 제 1 도전체는 제 1 채널 형성 영역과 중첩되는 영역을 가지고, 제 2 도전체는 제 1 채널 형성 영역과 중첩되는 영역을 가지고, 제 3 도전체는 제 1 산화물과 접하는 영역을 가지고, 제 2 트랜지스터는 제 4 도전체와, 제 5 도전체와, 제 2 산화물을 가지고, 제 2 산화물은 제 2 채널 형성 영역을 가지고, 제 4 도전체는 제 2 도전체보다 위에 제공되고, 제 4 도전체는 제 2 산화물보다 아래에 제공되고, 제 5 도전체는 제 2 산화물보다 위에 제공되고, 제 4 도전체는 제 2 채널 형성 영역과 중첩되는 영역을 가지고, 제 5 도전체는 제 2 채널 형성 영역과 중첩되는 영역

을 가지고, 용량 소자는 제 6 도전체와, 제 7 도전체와, 절연체를 가지고, 제 6 도전체는 절연체보다 아래에 제공되고, 제 7 도전체는 절연체보다 위에 제공되고, 제 6 도전체는 제 3 도전체와 접하는 영역을 가지고, 제 7 도전체는 제 4 도전체와 동일한 층에 제공되는 반도체 장치이다.

[0016] 또는, 상기 형태에 있어서, 제 1 트랜지스터는 제 8 도전체를 더 가지고, 제 2 트랜지스터는 제 9 도전체를 더 가지고, 제 8 도전체는 제 1 산화물과 접하는 영역을 가지고, 제 9 도전체는 제 2 산화물과 접하는 영역을 가지고, 제 1 산화물의 측면 및 제 8 도전체의 측면과 접하는 영역을 가지도록 제 10 도전체가 제공되고, 제 8 도전체와 제 9 도전체는 제 10 도전체를 통하여 전기적으로 접속되어도 좋다.

[0017] 또는, 상기 형태에 있어서, 제 6 도전체의 상면과 제 10 도전체의 상면은 동일하여도 좋다.

[0018] 또는 상기 형태에 있어서, 절연체의 측면, 제 2 산화물의 측면, 및 제 9 도전체의 측면과 접하는 영역을 가지도록 제 11 도전체가 제공되어도 좋다.

[0019] 또는 상기 형태에 있어서, 제 1 산화물 및 제 2 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 포함하여도 좋다.

[0020] 또는, 본 발명의 일 형태는 제 1 도전체를 형성하고, 제 1 도전체 위에 제 1 절연체, 제 1 산화막, 제 1 도전막의 순서로 성막하고, 제 1 도전막 및 제 1 산화막을 섬 형상으로 가공하고, 또한 제 1 절연체에 도달하는 제 1 개구를 형성함으로써 제 1 산화물을 형성하고, 제 1 도전막 위 및 제 1 절연체 위에 제 2 절연체를 형성하고, 제 2 절연체 및 제 1 도전막에 제 1 산화물에 도달하는 제 2 개구를 형성함으로써 제 2 도전체 및 제 3 도전체를 형성하고, 제 2 개구의 내측에 제 3 절연체와 제 4 도전체를 형성하고, 제 1 개구와 중첩되는 영역을 가지는 제 3 개구와, 제 2 도전체에 도달하는 제 4 개구를 제 2 절연체에 형성하고, 제 3 개구의 내측에 제 5 도전체를, 제 4 개구의 내측에 제 6 도전체를 각각 형성하고, 제 6 도전체 위에 제 4 절연체를 형성하고, 제 4 절연체 위에 제 1 도전체와 중첩되는 영역을 가지는 제 7 도전체와, 제 6 도전체와 중첩되는 영역을 가지는 제 8 도전체를 형성하고, 제 7 도전체 위 및 제 8 도전체 위에 제 5 절연체, 제 2 산화막, 제 2 도전막의 순서로 성막하고, 제 2 도전막 및 제 2 산화막을 섬 형상으로 가공하고, 또한 제 5 절연체에 도달하는 제 5 개구를 형성함으로써 제 2 산화물을 형성하고, 제 2 도전막 위 및 제 5 절연체 위에 제 6 절연체를 형성하고, 제 6 절연체 및 제 2 도전막에 제 2 산화물에 도달하는 제 6 개구를 형성함으로써 제 9 도전체 및 제 10 도전체를 형성하고, 제 6 개구의 내측에 제 7 절연체와 제 11 도전체를 형성하는, 반도체 장치의 제작 방법이다.

[0021] 또는, 상기 형태에 있어서, 제 5 개구와 중첩되는 영역을 가지고, 제 5 도전체에 도달하는 제 7 개구를 제 6 절연체와, 제 5 절연체와, 제 4 절연체에 형성하고, 또한 제 9 도전체에 도달하는 제 8 개구를 제 6 절연체에 형성하여도 좋다.

[0022] 또는, 상기 형태에 있어서, 제 7 개구의 내측에 제 12 도전체를, 제 8 개구의 내측에 제 13 도전체를 각각 형성하고, 제 13 도전체 위에 제 8 절연체를 형성하고, 제 8 절연체 위에 제 7 도전체와 중첩되는 영역을 가지는 제 14 도전체와, 제 13 도전체와 중첩되는 영역을 가지는 제 15 도전체를 형성하여도 좋다.

[0023] 또는 상기 형태에 있어서, 제 1 산화물 및 제 2 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 포함하여도 좋다.

발명의 효과

[0024] 본 발명의 일 형태에 의하여, 생산성이 높은 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 유지 용량이 큰 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 오프 전류가 작은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 높은 주파수 특성을 가지는 반도체 장치를 제공할 수 있다.

[0025] 또는, 본 발명의 일 형태에 의하여, 장기간의 데이터 유지가 가능한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 정보의 기록 속도가 빠른 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 설계 자유도가 높은 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 소비 전력을 억제할 수 있는 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신규 반도체 장치를 제공할 수 있다.

[0026] 또는, 본 발명의 일 형태에 의하여 생산성이 높은 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 미세화 또는 고집적화가 가능한 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 유지 용량이 큰 반도체 장치의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 신뢰성이 양호한 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 온 전류가 큰 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 오프 전류가 작은 반도체 장치의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 높은 주파수 특성을 가지는 반도체 장치의 제작 방법을 제공할 수 있다.

[0027] 또는, 본 발명의 일 형태에 의하여 장기간의 데이터 유지가 가능한 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 정보의 기록 속도가 빠른 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 설계 자유도가 높은 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 소비 전력을 억제할 수 있는 반도체 장치의 제작 방법을 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신규 반도체 장치의 제작 방법을 제공할 수 있다.

[0028] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한, 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0029] 도 1의 (A)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 1의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.

도 2의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.

도 3의 (A) 내지 (E)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 4의 (A) 내지 (C)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 5의 (A) 내지 (C)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 6의 (A) 및 (B)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 7은 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 8의 (A)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 8의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.

도 9의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.

도 10의 (A) 내지 (C)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 11의 (A) 및 (B)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 12의 (A) 및 (B)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 13의 (A)는 반도체 장치의 구성예를 나타낸 상면도이다. 도 13의 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.

도 14의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 단면도이다.

도 15의 (A) 내지 (C)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 16의 (A) 내지 (C)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 17의 (A) 내지 (C)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 18의 (A) 및 (B)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 19의 (A) 및 (B)는 반도체 장치의 제작 방법예를 나타낸 단면도이다.

도 20은 반도체 장치의 구성예를 나타낸 단면도이다.

도 21은 반도체 장치의 구성예를 나타낸 단면도이다.

도 22는 반도체 장치의 구성예를 나타낸 단면도이다.

도 23의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이다. 도 23의 (B)는 석영 유리의 XRD 스펙트럼을 설명하는 도면이다. 도 23의 (C)는 결정성 IGZO의 XRD 스펙트럼을 설명하는 도면이다. 도 23의 (D)는 결정성 IGZO의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 24는 기억 장치의 구성예를 나타낸 단면도이다.

도 25는 각종 기억 장치를 계층마다 나타낸 도면이다.

도 26의 (A)는 기억 장치의 구성예를 나타낸 블록도이다. 도 26의 (B)는 기억 장치의 구성예를 나타낸 사시도이다.

도 27의 (A) 내지 (C)는 기억 장치의 구성예를 나타낸 회로도이다.

도 28의 (A) 및 (B)는 전자 부품의 일례를 설명하는 도면이다.

도 29의 (A) 내지 (E)는 기억 장치의 구성예를 나타낸 모식도이다.

도 30의 (A) 내지 (D), (E1), (E2), 및 (F)는 전자 기기를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하에서, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시될 수 있으며, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0031] 또한, 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이므로 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어, 실제의 제조 공정에서 에칭 등의 처리에 의하여 층이나 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있으나, 이해를 쉽게 하기 위하여 이를 도면에 반영하지 않은 경우가 있다. 또한, 도면에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한, 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0032] 또한, 특히 상면도("평면도"라고도 함)나 사시도 등에 있어서, 발명의 이해를 용이하게 하기 위하여, 일부의 구성 요소의 기재를 생략하는 경우가 있다. 또한, 일부의 숨은선 등의 기재를 생략하는 경우가 있다.
- [0033] 또한 본 명세서 등에서 "제 1", "제 2" 등의 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 그러므로, 예를 들어 "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 치환하여 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0034] 또한 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 말은 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한, 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서, 명세서에서 설명된 말에 한정되지 않고, 상황에 따라 적절히 환언할 수 있다.
- [0035] 예를 들어 본 명세서 등에서 X와 Y가 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타내어진 접속 관계에 한정되지 않고, 도면 또는 문장에 나타내어진 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다.
- [0036] 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0037] 또한 본 명세서 등에서 "전기적으로 접속"에는 직접 접속되는 경우와, "어떠한 전기적 작용을 가지는 것"을 통하여 접속되는 경우가 포함된다. 여기서 "어떠한 전기적 작용을 가지는 것"은 접속 대상 간에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 따라서 "전기적으로 접속된다"고 표현되는 경우에도 실제의 회로에서는 물리적인 접속 부분이 없고, 배선이 연장되어 있을 뿐인 경우도 있다. 또한 "직접 접속"이라고 표현되는 경우에도, 상이한 도전체가 콘택트를 통하여 접속되는 경우가 포함된다. 또한 배선에는 상

이한 도전체가 하나 이상의 같은 원소를 포함하는 경우와, 상이한 원소를 포함하는 경우가 있다.

- [0038] 또한 본 명세서 등에서 "전극"이나 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0039] 또한 본 명세서 등에서 "저항"의 저항값을 배선의 길이에 따라 결정하는 경우가 있다. 또는, 저항값은 배선에서 사용되는 도전체와 상이한 저항률을 가지는 도전체와 접촉함으로써 결정하는 경우가 있다. 또는, 반도체에 불순물을 도핑함으로써 저항값을 결정하는 경우가 있다.
- [0040] 또한 본 명세서 등에서 전기 회로에서의 "단자"란, 전류의 입력 또는 출력, 전압의 입력 또는 출력이나, 신호의 수신 또는 송신이 수행되는 부분을 가리킨다. 따라서 배선 또는 전극의 일부가 단자로서 기능하는 경우가 있다.
- [0041] 또한, 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그러므로, 본 명세서 등에서는, 소스나 드레인이라는 용어는 바뀌어 사용할 수 있는 경우가 있다.
- [0042] 또한, 본 명세서 등에서, 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역(채널 형성 영역)에서의 채널 폭(이하, "실효적인 채널 폭"이라고도 함)과, 트랜지스터의 상면도에서 나타내어지는 채널 폭(이하, "외관상 채널 폭"이라고도 함)이 상이한 경우가 있다. 예를 들어, 게이트가 반도체의 측면을 덮는 경우, 실효적인 채널 폭이 외관상 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 미세하고 게이트가 반도체의 측면을 덮는 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 큰 경우가 있다. 이 경우에는 외관상 채널 폭보다 실효적인 채널 폭이 커진다.
- [0043] 이러한 경우, 실효적인 채널 폭을 실측에 의하여 어렵잡기 어려워지는 경우가 있다. 예를 들어, 설겅값으로부터 실효적인 채널 폭을 어렵잡기 위해서는, 반도체의 형상이 미리 알려져 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확하게 알 수 없는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.
- [0044] 본 명세서에서는, 단순히 채널 폭이라고 기재한 경우에는 외관상 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는, 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외관상 채널 폭 등은 단면 TEM상 등을 해석하는 것 등에 의하여 값을 결정할 수 있다.
- [0045] 또한, 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 DOS(Density of States)가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 및 산화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 물도 불순물로서 기능하는 경우가 있다. 또한, 산화물 반도체의 경우, 예를 들어 불순물의 혼입으로 인하여 산소 결손이 형성되는 경우가 있다. 또한, 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 및 15족 원소 등이 있다.
- [0046] 또한, 본 명세서 등에서, 산화질화 실리콘이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 가리킨다. 또한, 질화산화 실리콘이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 가리킨다.
- [0047] 또한, 본 명세서 등에서, "절연체"라는 용어를 절연막 또는 절연층이라고 환언할 수 있다. 또한, "도전체"라는 용어를 도전막 또는 도전층이라고 환언할 수 있다. 또한, "반도체"라는 용어를 반도체막 또는 반도체층이라고 환언할 수 있다.
- [0048] 또한, 본 명세서 등에서 "평행"이란 두 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행"이란 두 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한, "수직"이란 두 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직"이란 두 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.
- [0049] 또한, 본 명세서에서, 배리어막이란 물, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 막이고,

상기 배리어막이 도전성을 가지는 경우에는 도전성 배리어막이라고 부르는 경우가 있다.

- [0050] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 즉, OS FET 또는 OS 트랜지스터라고 기재하는 경우에는 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 환언할 수 있다.
- [0051] 또한, 본 명세서 등에서 특별히 언급하지 않는 경우, 오프 전류란 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 드레인 전류를 말한다. 오프 상태란 특별히 언급이 없는 경우, n채널형 트랜지스터에서는 게이트와 소스 간의 전압 V_{gs} 이 문턱 전압 V_{th} 보다 낮은(p채널형 트랜지스터에서는 V_{th} 보다 높은) 상태를 말한다.
- [0052] (실시형태 1)
- [0053] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 일례 및 이의 제작 방법에 대하여 설명한다.
- [0054] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있는 경우에는, 부호에 "_1", "_2" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 예를 들어 2개의 트랜지스터(200)를 트랜지스터(200_1), 트랜지스터(200_2)라고 기재하여 구별한다. 또한, 2개의 용량 소자(100)를 용량 소자(100_1), 용량 소자(100_2)라고 기재하여 구별한다.
- [0055] <반도체 장치의 구성예 1>
- [0056] 도 1의 (A)는 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 구성예를 나타낸 상면도이다. 또한, 도 1의 (B), 그리고 도 2의 (A) 및 (B)는 상기 반도체 장치의 구성예를 나타낸 단면도이다. 여기서, 도 1의 (B)는 도 1의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도 및 용량 소자(100)의 상기 채널 길이 방향과 평행한 방향의 단면도이다. 또한, 도 2의 (A)는 도 1의 (A)에 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이다. 또한 도 2의 (B)는 도 1의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 용량 소자(100)의, 트랜지스터(200)의 채널 폭 방향과 평행한 방향의 단면도이다. 또한, 도 1의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하였다. 또한, 다른 상면도에서도 도면의 명료화를 위하여 일부의 요소를 생략하는 경우가 있다.
- [0057] 본 발명의 일 형태의 반도체 장치는 기판(도시하지 않았음) 위의 절연체(214)와, 절연체(214) 위의 트랜지스터(200_1)와, 트랜지스터(200_1) 위의 절연체(280_1)와, 절연체(280_1) 위의 절연체(274_1)를 가진다. 또한, 본 발명의 일 형태의 반도체 장치는 트랜지스터(200_1)와 중첩되는 영역을 가지도록 용량 소자(100_1) 및 트랜지스터(200_2)가 제공된다. 또한, 본 발명의 일 형태의 반도체 장치는 트랜지스터(200_2) 위의 절연체(280_2)와, 절연체(280_2) 위의 절연체(274_2)를 가진다. 또한, 본 발명의 일 형태의 반도체 장치에서는 트랜지스터(200_2)와 중첩되는 영역을 가지도록 용량 소자(100_2)가 제공된다.
- [0058] 트랜지스터(200_1)는 절연체(214) 위의 절연체(216_1)와, 절연체(216_1)에 매립되도록 배치되어 있는 도전체(205_1)(도전체(205a_1) 및 도전체(205b_1))와, 절연체(216_1) 위 및 도전체(205_1) 위의 절연체(222_1)와, 절연체(222_1) 위의 절연체(224_1)와, 절연체(224_1) 위의 산화물(230a_1)과, 산화물(230a_1) 위의 산화물(230b_1)과, 산화물(230b_1) 위의 도전체(242a_1) 및 도전체(242b_1)와, 절연체(224_1)의 상면, 산화물(230a_1)의 측면, 산화물(230b_1)의 측면, 그리고 도전체(242a_1) 및 도전체(242b_1)의 상면 및 측면과 접하는 영역을 가지는 절연체(272_1)와, 절연체(272_1) 위의 절연체(273_1)와, 산화물(230b_1) 위의 산화물(230c_1)과, 산화물(230c_1) 위의 절연체(250_1)와, 절연체(250_1) 위에 위치하고, 산화물(230c_1)과 중첩되는 영역을 가지는 도전체(260_1)(도전체(260a_1) 및 도전체(260b_1))를 가진다. 여기서, 산화물(230c_1)은 도전체(242a_1) 및 도전체(242b_1)의 측면, 절연체(272_1)의 측면, 절연체(273_1)의 측면, 그리고 절연체(280_1)의 측면과 접하는 영역을 가진다. 또한, 도전체(260a_1)는 도전체(260b_1)의 바닥면 및 측면을 감싸도록 배치된다. 또한, 산화물(230c_1)의 상면, 절연체(250_1)의 상면, 도전체(260_1)의 상면은 절연체(280_1)의 상면과 실질적으로 일치하여 배치된다.
- [0059] 이하에 있어서, 도전체(242a)와 도전체(242b)를 통틀어 도전체(242)라고 부르는 경우가 있다.
- [0060] 용량 소자(100_1)는 도전체(240_1)와, 도전체(240_1) 위, 도전체(244_1) 위, 및 절연체(274_1) 위의 절연체

(282_1)와, 절연체(282_1) 위의 도전체(204_1)(도전체(204a_1) 및 도전체(204b_1))를 가진다.

- [0061] 절연체(274_1), 절연체(280_1), 절연체(273_1), 및 절연체(272_1)에는 도전체(242b_1)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(240_1)가 제공된다. 또한, 절연체(274_1), 절연체(280_1), 절연체(273_1), 절연체(272_1), 도전체(242a_1), 산화물(230b_1), 산화물(230a_1), 절연체(224_1), 절연체(222_1), 및 절연체(216_1)에는 절연체(214)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(244_1)가 제공된다. 여기서, 도전체(240_1)의 상면의 높이 및 도전체(244_1)의 상면의 높이와, 절연체(274_1)의 상면의 높이는 동일하게 할 수 있다.
- [0062] 본 명세서 등에서 개구에는, 예를 들어 홈이나 슬릿 등도 포함된다. 또한 개구가 형성된 영역을 가리켜 개구부라고 하는 경우가 있다.
- [0063] 또한, 본 명세서 등에서 "동일"이란, 동일한 면적을 가져도 좋고, 동일한 형상을 가져도 좋다. 또한, 기판면으로부터 수직 방향으로 같은 높이이어도 좋다. 같은 높이는 동일 평면이라고 환언할 수 있다. 또한, 제조 공정의 관계상, 완전히 동일한 형상, 동일 평면, 같은 높이가 되지 않는 것도 상정되기 때문에, 대략 동일하더라도 동일하다고 환언할 수 있다.
- [0064] 절연체(274_1), 절연체(280_1), 절연체(273_1), 및 절연체(272_1)의 개구의 내측에 도전체(240_1)의 제 1 도전체가 제공되고, 더 내측에 도전체(240_1)의 제 2 도전체가 제공된다. 또한, 절연체(274_1), 절연체(280_1), 절연체(273_1), 절연체(272_1), 도전체(242a_1), 산화물(230b_1), 산화물(230a_1), 절연체(224_1), 절연체(222_1), 및 절연체(216_1)의 개구의 내측에 도전체(244_1)의 제 1 도전체가 제공되고, 더 내측에 도전체(244_1)의 제 2 도전체가 제공된다.
- [0065] 트랜지스터(200_2)는, 절연체(282_1) 위의 절연체(216_2)와, 절연체(216_2)에 매립되도록 배치되어 있는 도전체(205_2)(도전체(205a_2) 및 도전체(205b_2))와, 절연체(216_2) 위, 도전체(204_2) 위, 및 도전체(205_2) 위의 절연체(222_2)와, 절연체(222_2) 위의 절연체(224_2)와, 절연체(224_2) 위의 산화물(230a_2)과, 산화물(230a_2) 위의 산화물(230b_2)과, 산화물(230b_2) 위의 도전체(242a_2) 및 도전체(242b_2)와, 절연체(224_2)의 상면, 산화물(230a_2)의 측면, 산화물(230b_2)의 측면, 그리고 도전체(242a_2) 및 도전체(242b_2)의 상면 및 측면과 접하는 영역을 가지는 절연체(272_2)와, 절연체(272_2) 위의 절연체(273_2)와, 산화물(230b_2) 위의 산화물(230c_2)과, 산화물(230c_2) 위의 절연체(250_2)와, 절연체(250_2) 위에 위치하고 산화물(230c_2)과 중첩되는 영역을 가지는 도전체(260_2)(도전체(260a_2) 및 도전체(260b_2))를 가진다. 여기서, 산화물(230c_2)은 도전체(242a_2) 및 도전체(242b_2)의 측면, 절연체(272_2)의 측면, 절연체(273_2)의 측면, 그리고 절연체(280_2)의 측면과 접하는 영역을 가진다. 또한, 도전체(260a_2)는 도전체(260b_2)의 바닥면 및 측면을 감싸도록 배치된다. 또한, 산화물(230c_2)의 상면, 절연체(250_2)의 상면, 도전체(260_2)의 상면은 절연체(280_2)의 상면과 실질적으로 일치하여 배치된다.
- [0066] 용량 소자(100_2)는 도전체(240_2)와, 도전체(240_2) 위, 도전체(244_2) 위, 및 절연체(274_2) 위의 절연체(282_2)와, 절연체(282_2) 위의 도전체(204_2)(도전체(204a_2) 및 도전체(204b_2))를 가진다.
- [0067] 절연체(274_2), 절연체(280_2), 절연체(273_2), 및 절연체(272_2)에는 도전체(242b_2)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(240_2)가 제공된다. 또한, 절연체(274_2), 절연체(280_2), 절연체(273_2), 절연체(272_2), 도전체(242a_2), 산화물(230b_2), 산화물(230a_2), 절연체(224_2), 절연체(222_2), 절연체(216_2), 및 절연체(282_1)에는 도전체(244_1)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(244_2)가 제공된다. 따라서, 트랜지스터(200_1)가 가지는 도전체(242a_1)와, 트랜지스터(200_2)가 가지는 도전체(242a_2)는 도전체(244_1) 및 도전체(244_2)를 통하여 전기적으로 접속된다. 또한, 도전체(240_2)의 상면의 높이 및 도전체(244_2)의 상면의 높이와, 절연체(274_2)의 상면의 높이는 동일하게 할 수 있다.
- [0068] 절연체(274_2), 절연체(280_2), 절연체(273_2), 및 절연체(272_2)의 개구의 내측에 도전체(240_2)의 제 1 도전체가 제공되고, 더 내측에 도전체(240_2)의 제 2 도전체가 제공된다. 또한, 절연체(274_2), 절연체(280_2), 절연체(273_2), 절연체(272_2), 도전체(242a_2), 산화물(230b_2), 산화물(230a_2), 절연체(224_2), 절연체(222_2), 절연체(216_2), 및 절연체(282_1)의 개구의 내측에 도전체(244_2)의 제 1 도전체가 제공되고, 더 내측에 도전체(244_2)의 제 2 도전체가 제공된다.
- [0069] 또한, 도 1의 (B) 및 도 2의 (B)에서는, 도전체(240) 및 도전체(244)를, 제 1 도전체와 제 2 도전체를 적층하는 구성으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 도전체(240) 또는 도전체(244)를 단층으로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다.

- [0070] 트랜지스터(200)에서, 도전체(260)는 트랜지스터의 게이트 전극으로서의 기능을 가지고, 도전체(242a) 및 도전체(242b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 트랜지스터(200)는 게이트 전극으로서의 기능을 가지는 도전체(260)가 절연체(280), 절연체(273), 절연체(272), 및 도전체(242)에 의하여 형성되는 개구를 매립하도록 자기 정합(自己整合)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.
- [0071] 또한 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나), 또는 물 분자의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한, 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 절연체(224)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다. 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 절연체(250)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다. 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 절연체(280)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다.
- [0072] 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282)로서는, 예를 들어 산화 알루미늄, 산화 hafnium, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다.
- [0073] 또한, 산화물(230)은 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위에 배치되고 적어도 일부가 산화물(230b)의 상면에 접하는 산화물(230c)을 가지는 것이 바람직하다. 여기서, 산화물(230c)의 측면은 도전체(242a), 도전체(242b), 절연체(272), 절연체(273), 및 절연체(280)에 접하는 영역을 가지도록 제공되어 있는 것이 바람직하다.
- [0074] 또한 트랜지스터(200)에서 채널 형성 영역과 그 근방에서 산화물(230a), 산화물(230b), 및 산화물(230c)의 3층이 적층되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(230b)의 단층, 산화물(230b)과 산화물(230a)의 2층 구조, 산화물(230b)과 산화물(230c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 예를 들어, 산화물(230c)을 2층 구조로 하여, 4층의 적층 구조를 제공하는 구성으로 하여도 좋다.
- [0075] 트랜지스터(200)는 채널 형성 영역을 포함하는 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c))에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체로서 기능하는 금속 산화물은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이, 에너지 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터(200)의 비도통 상태에서의 누설 전류(오프 전류)를 매우 작게 할 수 있다. 이와 같은 트랜지스터를 사용함으로써, 소비 전력이 낮은 반도체 장치를 제공할 수 있다.
- [0076] 예를 들어, 산화물(230)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, hafnium, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하면 좋다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 또한 산화물(230)로서 In 산화물, In-M 산화물, In-Zn 산화물, 또는 M-Zn 산화물을 사용하여도 좋다.
- [0077] 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 산화물(230c)을 가진다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(230b) 위에 산화물(230c)을 가짐으로써, 산화물(230c)보다 위쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다.
- [0078] 또한, 산화물(230)은, 각 금속 원자의 원자수비가 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)에 사용하는 금속 산화물에서 구성 원소 중의 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230c)에는 산화물(230a) 또는 산화물(230b)에 사용할 수 있는 금속 산화물

을 사용할 수 있다.

- [0079] 구체적으로는, 산화물(230a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 또는 1:1:0.5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 산화물(230b)로서, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성, 또는 1:1:1[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한, 산화물(230c)로서 In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성, In:Ga:Zn=5:1:3[원자수비] 또는 그 근방의 조성, In:Ga:Zn=10:1:3[원자수비] 또는 그 근방의 조성, Ga:Zn=2:1[원자수비] 또는 그 근방의 조성, 또는 Ga:Zn=2:5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한, 산화물(230c)을 적층 구조로 하는 경우의 구체적인 예로서는, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성, In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성, In:Ga:Zn=5:1:3[원자수비] 또는 그 근방의 조성의 적층 구조, Ga:Zn=2:1[원자수비] 또는 그 근방의 조성, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조, Ga:Zn=2:5[원자수비] 또는 그 근방의 조성, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조, 산화 갈륨과, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조 등을 들 수 있다. 또한 근방의 조성이란, 원하는 원자수비의 $\pm 30\%$ 의 범위를 포함한 것이다.
- [0080] 또한 산화물(230b)은 결정성을 가지는 것이 바람직하다. 예를 들어 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다. CAAC-OS 등의 결정성을 가지는 산화물은 불순물이나 결함(산소 결손 등)이 적고 결정성이 높은 치밀한 구조를 가진다. 따라서 소스 전극 또는 드레인 전극에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 이로써, 가열 처리를 수행하여도, 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 서멀 버짓(thermal budget))에 대하여 안정적이다.
- [0081] 또한, 산화물(230a) 및 산화물(230c)의 전도대 하단의 에너지가 산화물(230b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한, 환언하면 산화물(230a) 및 산화물(230c)의 전자 친화력이 산화물(230b)의 전자 친화력보다 작은 것이 바람직하다.
- [0082] 여기서, 전자 친화력 또는 전도대 하단의 에너지 준위 E_c 는 진공 준위와 가전자대 상단의 에너지 E_v 와의 차이 이온화 퍼텐셜 I_p 와, 에너지 갭 E_g 로부터 구할 수 있다. 이온화 퍼텐셜 I_p 는 예를 들어 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치를 사용하여 측정할 수 있다. 에너지 갭 E_g 는 예를 들어 분광 엘립소미터를 사용하여 측정할 수 있다.
- [0083] 또한, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에 있어서, 전도대 하단의 에너지 준위는 완만하게 변화된다. 환언하면, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(230a)과 산화물(230b)의 계면 및 산화물(230b)과 산화물(230c)의 계면에서 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0084] 또한, 캐리어의 주된 경로는 산화물(230b)이다. 산화물(230a), 산화물(230c)을 상술한 구성으로 함으로써, 산화물(230a)과 산화물(230b)의 계면, 및 산화물(230b)과 산화물(230c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0085] 산화물(230)(예를 들어 산화물(230b))에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체의 캐리어 농도를 낮추는 경우에는, 산화물 반도체 내의 불순물 농도를 낮추고, 결합 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결합 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한, 산화물 반도체 내의 불순물로서는, 예를 들어 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0086] 특히, 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산화물 반도체 내에 산소 결손(V_o : oxygen vacancy라고도 함)을 형성하는 경우가 있다. 또한, 산소 결손에 수소가 들어간 결합(이하, V_oH 라고 부르는 경우가 있음)은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서, 수소가 많이 포함되어 있는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한, 산화물 반도체 내의 수소는 열, 전계 등의 스트레스로 인하여 움직이기 쉽기 때문에, 산화물 반도체에 많은 수소가 포함

되면 트랜지스터의 신뢰성이 악화될 우려도 있다.

- [0087] V_0H 는 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결합을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체에서는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서 도너 농도가 아니라 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재된 "캐리어 농도"는 "도너 농도"라고 환언할 수 있는 경우가 있다.
- [0088] 이상으로부터, 산화물 반도체를 산화물(230)에 사용하는 경우, 산화물(230) 내의 V_0H 를 가능한 한 저감하여 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_0H 가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 수분, 수소 등의 불순물을 제거하는 것(탈수, 탈수소화 처리라고 기재하는 경우가 있음)과, 산화물 반도체에 산소를 공급하여 산소 결손을 보전하는 것(가산소화 처리라고 기재하는 경우가 있음)이 중요하다. V_0H 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0089] 또한, 산화물(230)에 산화물 반도체를 사용하는 경우, 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하인 것이 바람직하고, $1 \times 10^{17} \text{ cm}^{-3}$ 미만인 것이 더 바람직하고, $1 \times 10^{16} \text{ cm}^{-3}$ 미만인 것이 더욱 바람직하고, $1 \times 10^{13} \text{ cm}^{-3}$ 미만인 것이 더욱 바람직하고, $1 \times 10^{12} \text{ cm}^{-3}$ 미만인 것이 더욱 바람직하다. 또한, 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도의 하한값은 특별히 한정되지 않지만, 예를 들어 $1 \times 10^{-9} \text{ cm}^{-3}$ 로 할 수 있다.
- [0090] 또한, 수소 원자를 포함하지 않거나, 또는 수소 원자의 함유량이 적은 원료 가스를 사용하여 층간 절연막 및 게이트 절연막을 성막함으로써, 이들 절연막에 포함되는 수소 농도를 저감하고, 산화물 반도체의 채널 형성 영역에 혼입하는 수소를 저감하여도 좋다.
- [0091] 상기 절연막의 성막에서는, 성막 가스로서, 실리콘 원자를 포함하는 분자를 가지는 가스가 주로 사용된다. 상기 절연막에 포함되는 수소를 저감하기 위해서는, 상기 실리콘 원자를 포함하는 분자에 포함되는 수소 원자가 적은 것이 바람직하고, 상기 실리콘 원자를 포함하는 분자가 수소 원자를 포함하지 않는 것이 더 바람직하다. 물론, 실리콘 원자를 포함하는 분자를 가지는 가스 이외의 성막 가스도 함유되는 수소 원자가 적은 것이 바람직하고, 수소 원자를 포함하지 않는 것이 더 바람직하다.
- [0092] 상기와 같은 실리콘 원자를 포함하는 분자를 $\text{Si}_x\text{-R}_y$ 로 나타낼 때, 예를 들어 관능기 R로서, 아이소사이아네이트 기($-\text{N}=\text{C}=\text{O}$), 사이아네이트기 ($-\text{O}-\text{C}\equiv\text{N}$), 사이아노기 ($-\text{C}\equiv\text{N}$), 다이아조기($=\text{N}_2$), 아지드기($-\text{N}_3$), 나이트로소기($-\text{NO}$), 및 나이트로기($-\text{NO}_2$) 중 적어도 하나를 사용할 수 있다. 예를 들어, $1 \leq x \leq 3$, $1 \leq y \leq 8$ 로 하면 좋다. 이와 같은 실리콘 원자를 포함하는 분자로서는, 예를 들어 테트라아이소사이아네이트실레인, 테트라사이아네이트실레인, 테트라사이아노실레인, 헥사아이소사이아네이트실레인, 옥타아이소사이아네이트실레인 등을 사용할 수 있다. 여기서는, 실리콘 원자에 같은 종류의 관능기가 결합되는 분자를 예시하였지만, 본 실시형태는 이에 한정되는 것이 아니다. 실리콘 원자에 상이한 종류의 관능기가 결합되는 구성으로 하여도 좋다.
- [0093] 또한, 예를 들어 관능기 R로서 할로젠(Cl, Br, I, 또는 F)을 사용하는 구성으로 하여도 좋다. 예를 들어, $1 \leq x \leq 2$, $1 \leq y \leq 6$ 으로 하면 좋다. 이와 같은 실리콘 원자를 포함하는 분자로서는, 예를 들어 테트라클로로실레인(SiCl_4), 헥사클로로다이실레인(Si_2Cl_6) 등을 사용할 수 있다. 염소를 관능기로 하는 예를 나타내었지만, 염소 이외의, 브로민, 아이오딘, 플루오린 등의 할로젠을 관능기로서 사용하여도 좋다. 또한, 실리콘 원자에 상이한 종류의 할로젠이 결합되는 구성으로 하여도 좋다.
- [0094] 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274)의 성막은 상술한 바와 같은 실리콘 원자를 포함하는 분자를 가지는 가스를 사용한 화학 기상 성장(CVD: Chemical Vapor Deposition)법에 의하여 수행하면 좋다. CVD법은 성막 속도가 비교적 빠르기 때문에, 막 두께가 두꺼운 절연체(216), 절연체(224), 절연체(280), 및 절연체(274)의 성막을 수행하는 데 특히 적합하다.
- [0095] CVD법으로서, 플라즈마를 이용하는 플라즈마 CVD(PECVD: Plasma Enhanced CVD)법, 또는 열을 이용하는 열 CVD(TCVD: Thermal CVD)법을 사용하는 것이 바람직하다. 열 CVD법을 사용하는 경우, 대기압하에서 성막을 수행하는 상압 CVD(APCVD: Atmospheric Pressure CVD)법을 사용하여도 좋고, 대기압보다 낮은 감압 상태에서 성막

을 수행하는 감압 CVD(LPCVD: Low Pressure CVD)법을 사용하여도 좋다.

- [0096] CVD법을 사용하여 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274)를 성막하는 경우, 산화제를 사용하는 것이 바람직하다. 산화제로서는, O₂, O₃, NO, NO₂, N₂O, N₂O₃, N₂O₄, N₂O₅, CO, CO₂ 등, 수소 원자를 포함하지 않는 가스를 사용하는 것이 바람직하다.
- [0097] 또한, 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274)의 성막은 ALD(Atomic Layer Deposition)법에 의하여 수행하여도 좋다. ALD법에서는, 반응을 위한 제 1 원료 가스(이하, 전구체라고 부름. 금속 전구체라고도 부를 수 있음)와 제 2 원료 가스(이하, 반응제라고 부름. 비금속 전구체라고도 부를 수 있음)를 챔버에 번갈아 도입하고, 이들 원료 가스의 도입을 반복함으로써 성막을 수행한다.
- [0098] ALD법에서는, 원료 가스를 전환하면서 성막함으로써, 원자의 성질인 자기 제어성을 이용하여 한 층씩 원자를 퇴적할 수 있다. 따라서, ALD법은 매우 얇은 두께의 성막, 중형비가 높은 구조에 대한 성막, 핀홀 등의 결함이 적은 성막, 및 피복성이 우수한 성막 등을 수행할 수 있다. 그러므로, ALD법은 특히 절연체(250)의 성막을 수행하는 데 적합하다.
- [0099] ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법을 사용하여도 좋고, 플라즈마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법을 사용하여도 좋다.
- [0100] ALD법을 사용하는 경우, 전구체로서 상기 실리콘 원자를 포함하는 분자를 가지는 가스를 사용하고, 반응제로서 상기 산화제를 사용하면 좋다. 이로써, 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274) 내에 들어가는 수소 양을 크게 저감할 수 있다.
- [0101] 또한, 상기에서는, 실리콘 원자를 포함하는 분자가 수소 원자를 포함하지 않는 예에 대하여 나타내었지만, 본 실시형태는 이에 한정되는 것이 아니다. 상기 실리콘 원자를 포함하는 분자에 있어서, 실리콘 원자에 결합되는 관능기의 일부가 수소 원자로 치환되는 구성으로 하여도 좋다. 다만, 상기 실리콘 원자를 포함하는 분자에 포함되는 수소 원자는 실레인(SiH₄)보다 적은 것이 바람직하다. 즉, 상기 실리콘 원자를 포함하는 분자는 실리콘 1원자당 3원자 이하의 수소 원자를 가지는 것이 바람직하다. 또한, 상기 실리콘 원자를 포함하는 분자를 가지는 가스가 실리콘 1원자당 3원자 이하의 수소 원자를 가지는 것이 더 바람직하다.
- [0102] 상술한 바와 같이, 수소 원자가 저감 또는 제거된 가스를 사용한 방법으로, 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274) 중 적어도 하나를 성막함으로써, 이들 절연막에 포함되는 수소 양을 저감할 수 있다.
- [0103] 용량 소자(100)에 있어서, 도전체(240)는 용량 소자(100)의 한쪽 전극으로서의 기능을 가지고, 도전체(204)는 용량 소자(100)의 다른 쪽 전극으로서의 기능을 가진다. 또한, 절연체(282)는 용량 소자(100)의 유전체로서 기능한다. 도전체(204)에는 도전체(205)와 같은 재료를 사용할 수 있다.
- [0104] 여기서, 도전체(244)는 트랜지스터(200)의 소스 및 드레인 중 한쪽과 전기적으로 접속되는 플러그로서의 기능을 가지고, 도전체(240)는 트랜지스터(200)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되는 플러그로서의 기능을 가진다. 따라서, 도전체(240)는 플러그로서의 기능과 용량 소자(100)의 한쪽 전극으로서의 기능을 겸할 수 있다.
- [0105] 도 1의 (B) 및 도 2의 (A)에 나타낸 바와 같이, 트랜지스터(200_1)와 트랜지스터(200_2)는 적층하여 제공된다. 또한, 도 1의 (B) 및 도 2의 (B)에 나타낸 바와 같이, 용량 소자(100_1)와 용량 소자(100_2)는 적층하여 제공된다. 즉, 본 발명의 일 형태의 반도체 장치에서는 2개의 트랜지스터(200)가 적층하여 제공되고, 2개의 용량 소자(100)가 적층하여 제공된다. 이와 같은 구성으로 함으로써, 본 발명의 일 형태의 반도체 장치의 점유 면적이 증가되는 것을 억제하면서, 복수의 트랜지스터(200) 및 복수의 용량 소자(100)를 상기 반도체 장치에 제공할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치를 미세화 또는 고집적화할 수 있다. 또한, 3개 이상의 트랜지스터(200) 및 3개 이상의 용량 소자(100)를 각각 적층하여 제공하여도 좋다. 이 경우, 도 1의 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 바와 같이, 절연체(282_2) 위에 절연체(216_3)가 제공되고, 절연체(216_3)에 매립 되도록 도전체(205_3)(도전체(205a_3) 및 도전체(205b_3))가 제공되고, 도전체(204) 위, 도전체(205) 위, 및 절연체(216_3) 위에 절연체(222_3)가 제공된다.
- [0106] 용량 소자(100)가 가지는 도전체(204)는, 트랜지스터(200)가 가지는 도전체(205)와 같은 층에 형성된다. 예를 들어, 도전체(204_1)는 도전체(205_2)와 같은 층에 형성된다. 이에 의하여, 도전체(204)와 도전체(205)를 동일 공정으로 형성할 수 있기 때문에, 본 발명의 일 형태의 반도체 장치의 제작 공정을 간략화할 수 있다. 따라서,

본 발명의 일 형태의 반도체 장치의 제조 비용을 절감하고 수율을 향상시킬 수 있다. 즉, 본 발명의 일 형태의 반도체 장치의 생산성을 향상시킬 수 있다.

- [0107] 또한 상술한 바와 같이, 본 발명의 일 형태의 반도체 장치에서는, 도전체(240)가 플러그로서의 기능과 용량 소자(100)의 한쪽 전극으로서의 기능을 겸한다. 이와 같이, 트랜지스터(200) 및 용량 소자(100)의 구성 요소의 일부를 공통화하는 구성으로 함으로써, 본 발명의 일 형태의 반도체 장치의 제조 공정을 간략화할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 제조 비용을 절감하고 수율을 향상시킬 수 있다. 즉, 본 발명의 일 형태의 반도체 장치의 생산성을 향상시킬 수 있다.
- [0108] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 자세한 구성에 대하여 설명한다.
- [0109] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되는 영역을 가지도록 배치된다. 또한 도전체(205)는 절연체(216)에 매립되어 제공되는 것이 바람직하다.
- [0110] 여기서, 도전체(260)는 제 1 게이트 전극(톱 게이트 전극이라고도 함)으로서 기능하는 경우가 있다. 또한, 도전체(205)는 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서 기능하는 경우가 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 V_{th} 를 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써 트랜지스터(200)의 V_{th} 를 0V보다 크게 하고, 오프 전류를 저감할 수 있게 된다. 따라서, 도전체(205)에 음의 전위를 인가하는 경우, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.
- [0111] 또한, 도 1의 (A)에 나타낸 바와 같이, 산화물(230)의 도전체(242a) 및 도전체(242b)와 중첩되지 않는 영역의 크기보다 크게 도전체(205)를 제공하는 것이 좋다. 특히, 도 2의 (A)에 나타낸 바와 같이, 도전체(205)는 산화물(230)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재(介在)하여 중첩되어 있는 것이 바람직하다. 또는, 도전체(205)를 크게 제공함으로써, 도전체(205) 형성 이후의 제작 공정의 플라즈마를 사용한 처리에 있어서, 국소적인 차징(차지 업이라고도 함)을 완화할 수 있는 경우가 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 도전체(205)는 적어도 도전체(242a)와 도전체(242b) 사이에 위치하는 산화물(230)과 중첩되는 영역을 가지면 좋다.
- [0112] 또한, 도 2의 (A)에 나타낸 바와 같이, 절연체(224)의 바닥면을 기준으로 하여, 산화물(230a) 및 산화물(230b)과 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 바닥면의 높이는 산화물(230b)의 바닥면의 높이보다 낮은 위치에 배치되어 있는 영역을 가지는 것이 바람직하다. 또한 상기 영역에서의 도전체(260)의 바닥면의 높이와, 산화물(230b)의 바닥면의 높이의 차이는 0nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 20nm 이하로 한다.
- [0113] 이와 같이, 게이트 전극으로서 기능하는 도전체(260)가, 채널 형성 영역의 산화물(230b)의 측면 및 상면을 산화물(230c) 및 절연체(250)를 통하여 덮는 구성이므로, 도전체(260)의 전계를 채널 형성 영역의 산화물(230b) 전체에 작용시키기 쉬워진다. 따라서, 트랜지스터(200)의 온 전류를 증대시켜, 주파수 특성을 향상시킬 수 있다. 본 명세서 등에서 제 1 게이트 및 제 2 게이트의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.
- [0114] 또한 도전체(205a) 및 도전체(204a)는 물 또는 수소 등의 불순물 및 산소의 투과를 억제하는 도전체인 것이 바람직하다. 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 또는 질화 탄탈럼을 사용할 수 있다. 또한 도전체(205b) 및 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(205)는 2층으로 도시하였지만, 3층 이상의 다층 구조를 가져도 좋다.
- [0115] 여기서 산화물 반도체와, 산화물 반도체의 아래층에 위치하는 절연체 또는 도전체와, 산화물 반도체의 위층에 위치하는 절연체 또는 도전체로서, 상이한 종류의 막을 대기에 개방하지 않고 연속적으로 성막함으로써, 불순물(특히 수소, 물)의 농도가 저감된, 실질적으로 고순도 진성인 산화물 반도체막을 성막할 수 있어 바람직하다.
- [0116] 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 물 또는 수소 등의 불순물이 기관 측으로부터 또는 위쪽으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서, 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282) 중 적어도 하나는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리

원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0117] 예를 들어, 절연체(214), 절연체(222), 절연체(272), 절연체(273), 및 절연체(282)로서 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 이로써, 물 또는 수소 등의 불순물이 절연체(214)를 통하여 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는, 절연체(224) 등에 포함되는 산소가 절연체(214)를 통하여 기판 측으로 확산되는 것을 억제할 수 있다. 또한, 물 또는 수소 등의 불순물이, 절연체(272) 및 절연체(273)보다 위쪽에 배치된 절연체(280) 및 절연체(274) 등으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다.

[0118] 또한 절연체(216), 절연체(280), 및 절연체(274)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(216), 절연체(280), 및 절연체(274)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.

[0119] 또한, 절연체(282)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO_3), 또는 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 등 소위 high-k 재료를 포함한 절연체를 사용하는 것이 바람직하다. 이에 의하여, 절연체(282)의 물리적 막 두께를 유지하면서 용량 소자(100)의 유지 용량을 확보할 수 있다. 따라서, 용량 소자(100)가 가지는 도전체(240)와 도전체(204) 사이에 절연체(282)를 통하여 누설 전류가 흐르는 것을 억제할 수 있다.

[0120] 절연체(222) 및 절연체(224)는 게이트 절연체로서의 기능을 가진다.

[0121] 여기서, 산화물(230)과 접하는 영역을 가지는 절연체(224)는 가열되면 산소를 이탈시키는 기능을 가지는 것이 바람직하다. 본 명세서 등에서는, 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어, 절연체(224)에는 산화 실리콘 또는 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함한 절연체를 산화물(230)에 접하여 제공함으로써, 산화물(230) 내의 산소 결손을 저감하여, 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.

[0122] 절연체(224)로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, 승온 이탈 가스 분석(TDS(Thermal Desorption Spectroscopy) 분석)에서, 산소 분자의 이탈량이 1.0×10^{18} molecules/cm³ 이상, 바람직하게는 1.0×10^{19} molecules/cm³ 이상, 더 바람직하게는 2.0×10^{19} molecules/cm³ 이상, 또는 3.0×10^{20} molecules/cm³ 이상인 산화물막이다. 또한, 상기 TDS 분석 시에서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0123] 절연체(222)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어, 절연체(222)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 이에 의하여, 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(200)로 침입하는 것을 억제할 수 있다.

[0124] 또한, 절연체(222)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(222)가 산소나 불순물의 확산을 억제하는 기능을 가지면, 산화물(230)에 포함되는 산소가 절연체(222)보다 아래쪽으로 확산되는 것을 저감할 수 있기 때문에 바람직하다. 또한 절연체(224)나 산화물(230)이 가지는 산소와 도전체(205)가 반응하는 것을 억제할 수 있다.

[0125] 절연체(222)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터의 산소의 방출이나, 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0126] 또는, 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산

화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0127] 또한, 절연체(222)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO_3), 또는 $(\text{Ba,Sr})\text{TiO}_3$ (BST) 등 상술한 high-k 재료를 포함하는 절연체를 단층 또는 적층으로 사용하여도 좋다. 예를 들어, 절연체(222)를 적층으로 하는 경우, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄이 이 순서대로 형성된 3층 적층이나, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄과, 산화 알루미늄이 이 순서대로 형성된 4층 적층 등을 사용하면 좋다. 또한, 절연체(222)에는 하프늄과 지르코늄이 포함된 화합물 등을 사용하여도 좋다. 반도체 장치의 미세화 및 고집적화가 진행되면, 게이트 절연체 및 용량 소자에 사용하는 유전체의 박막화에 의하여 트랜지스터나 용량 소자의 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체 및 용량 소자에 사용하는 유전체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감, 및 용량 소자의 용량의 확보가 가능하게 된다.

[0128] 또한, 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.

[0129] 또한, 산화물(230) 내의 산소가 도전체(242)(도전체(242a) 및 도전체(242b))로 확산됨으로써, 도전체(242a)와 산화물(230b) 사이, 및 도전체(242b)와 산화물(230b) 사이에 이층(異層)이 형성되는 경우가 있다. 상기 이층은 도전체(242)보다 산소를 많이 포함하기 때문에, 상기 이층은 절연성을 가지는 것으로 추정된다. 이때, 도전체(242)와, 상기 이층과, 산화물(230b)의 3층 구조는 금속-절연체-반도체로 이루어지는 3층 구조로 간주할 수 있고, MIS(Metal-Insulator-Semiconductor) 구조라고 부르거나, 또는 MIS 구조를 주로 한 다이오드 접합 구조라고 부르는 경우가 있다.

[0130] 또한, 상기 이층은 도전체(242)와 산화물(230b) 사이에 형성되는 것에 한정되지 않고, 예를 들어 이층이 도전체(242)와 산화물(230c) 사이에 형성되는 경우나, 도전체(242)와 산화물(230b) 사이, 및 도전체(242)와 산화물(230c) 사이에 형성되는 경우가 있다.

[0131] 산화물(230b) 위에는 소스 전극 및 드레인 전극으로서의 기능을 가지는 도전체(242)(도전체(242a) 및 도전체(242b))가 제공된다. 도전체(242)의 막 두께는 예를 들어 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 25nm 이하로 하면 좋다.

[0132] 도전체(242)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0133] 절연체(272)는 도전체(242)의 상면에 접하는 영역을 가지도록 제공되어 있고, 배리어층으로서의 기능을 가지는 것이 바람직하다. 상기 구성으로 함으로써, 도전체(242)에 의하여 절연체(280)가 가지는 과잉 산소가 흡수되는 것을 억제할 수 있다. 또한, 도전체(242)의 산화를 억제함으로써, 트랜지스터(200)와 배선의 콘택트 저항의 증가를 억제할 수 있다. 따라서, 트랜지스터(200)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.

[0134] 따라서, 절연체(272)는 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(272)는 절연체(280)보다 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 절연체(272)로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 절연체(272)로서는, 예를 들어 질화 알루미늄을 포함하는 절연체를 사용하면 좋다.

[0135] 도 1의 (B)에 나타낸 바와 같이, 절연체(272)는 도전체(242a)의 상면 및 도전체(242a)의 측면과 접하는 영역을 가진다. 또한, 절연체(272)는 도전체(242b)의 상면 및 도전체(242b)의 측면과 접하는 영역을 가진다. 또한, 절연체(272) 위에 절연체(273)가 배치되어 있다. 이와 같이 함으로써, 예를 들어 절연체(280)에 첨가된 산소가

도전체(242)에 흡수되는 것을 억제할 수 있다.

- [0136] 절연체(250)는 게이트 절연체로서의 기능을 가진다. 절연체(250)는 산화물(230c)에 접하는 영역을 가지도록 배치하는 것이 바람직하다. 절연체(250)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.
- [0137] 절연체(224)와 마찬가지로 절연체(250)는 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체를 절연체(250)로서 산화물(230c) 위에 접하여 제공함으로써, 산화물(230b)의 채널 형성 영역에 산소를 효과적으로 공급할 수 있다. 또한 절연체(224)와 마찬가지로 절연체(250) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는, 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0138] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소 확산을 억제하는 기능을 가지는 것이 바람직하다. 산소의 확산을 억제하는 기능을 가지는 금속 산화물을 제공함으로써, 절연체(250)로부터 도전체(260)로의 산소의 확산이 억제된다. 즉, 절연체(250)로부터 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.
- [0139] 또한 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(250)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능하게 된다. 또한, 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다.
- [0140] 구체적으로는, 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다.
- [0141] 또는, 상기 금속 산화물은 게이트의 일부로서의 기능을 가지는 경우가 있다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.
- [0142] 특히, 게이트로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는, 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.
- [0143] 도전체(260)는 도 1의 (B) 및 도 2의 (A)에서는 2층 구조로서 나타내었지만 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0144] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0145] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0146] 또한, 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직

하다. 또한 도전체(260b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(260b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[0147] 절연체(280)는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소 첨가 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘 등을 포함하는 것이 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함한 영역을 용이하게 형성할 수 있어 바람직하다. 또한, 절연체(280)는 상기 재료가 적층된 구조이어도 좋고, 예를 들어 스퍼터링법으로 성막한 산화 실리콘과, 그 위에 CVD법으로 성막한 산화질화 실리콘의 적층 구조로 하면 좋다. 또한, 더 위에 질화 실리콘을 적층하여도 좋다.

[0148] 절연체(280) 내의 물 또는 수소 등 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.

[0149] 절연체(280) 위에 층간막으로서 기능하는 절연체(274)를 제공하는 것이 바람직하다. 절연체(274)는 절연체(224) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0150] 도전체(240) 및 도전체(244)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도 1의 (A)에서 도전체(240) 및 도전체(244)는 상면에서 보았을 때 사각형 등 다각형의 모서리 부분을 동글린 형상으로 하였지만, 이에 한정되는 것이 아니다. 예를 들어, 도전체(240) 및 도전체(244)가 상면에서 보았을 때 원 형상, 타원 등의 실질적인 원 형상, 사각형 등의 다각 형상이어도 좋다.

[0151] <반도체 장치의 제작 방법에 1>

[0152] 다음으로, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 제작 방법의 일례에 대하여, 도면을 사용하여 설명한다. 상기 도면은 도 1의 (A)에 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향에 대응한다.

[0153] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(214)를 성막한다(도 3의 (A) 참조). 절연체(214)의 성막은 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 또는 ALD(Atomic Layer Deposition)법 등을 사용하여 수행할 수 있다.

[0154] 또한, CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한, 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 나눌 수 있다. 또한, 성막 시의 압력에 따라, 대기압하에서 성막을 수행하는 상압 CVD(APCVD: Atmospheric Pressure CVD)법, 대기압보다 낮은 감압 상태에서 성막을 수행하는 감압 CVD(LPCVD: Low Pressure CVD)법으로 나눌 수 있다.

[0155] 플라즈마 CVD법은 비교적 낮은 온도에서 품질이 좋은 막을 얻을 수 있다. 또한, 열 CVD법은 플라즈마를 사용하지 않기 때문에, 피처리물에 대한 플라즈마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어, 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라즈마로부터 전하를 받음으로써 차지 업하는 경우가 있다. 이때, 축적된 전하에 의하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라즈마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라즈마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한, 열 CVD법에서는 성막 중의 플라즈마 대미지가 생기지 않기 때문에 결함이 적은 막을 얻을 수 있다.

[0156] 또한, ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라즈마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등을 사용할 수 있다.

[0157] ALD법은 원자의 성질인 자기 제어성을 이용하여, 원자를 한 층씩 퇴적할 수 있기 때문에, 매우 얇게 성막할 수 있고, 종횡비가 높은 구조에 대한 성막을 할 수 있고, 핀홀 등의 결함이 적은 성막을 할 수 있고, 피복성이 우수한 성막을 할 수 있고, 저온에서 성막을 할 수 있다는 등의 효과가 있다. PEALD법에서는, 플라즈마를 이용함으로써, 더 저온에서의 성막이 가능하게 되어 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체로서는, 탄소 등의 불순물을 포함하는 것이 있다. 그러므로, ALD법으로 제공된 막은, 다른 성막법으로 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한, 불순물의 정량은 X선 광전자 분광법(XPS: X-ray

Photoelectron Spectroscopy)을 사용하여 수행할 수 있다.

- [0158] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서, 피처리물의 형상의 영향을 받기 어렵고, 양호한 단차 피복성을 가지는 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만, ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.
- [0159] CVD법 및 ALD법은 원료 가스의 유량비에 의하여, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어, CVD법 및 ALD법에서는 원료 가스의 유량비를 변화시킴으로써 임의의 조성의 막을 성막할 수 있다. 또한, 예를 들어 CVD법 및 ALD법에서는 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 반응이나 압력 조절에 걸리는 시간이 불필요한 만큼, 복수의 성막실을 사용하여 성막하는 경우보다, 성막에 걸리는 시간을 짧게 할 수 있다. 따라서, 반도체 장치의 생산성을 높일 수 있는 경우가 있다.
- [0160] 다음으로 절연체(214) 위에 절연체(216_1)를 성막한다(도 3의(A) 참조). 절연체(216_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 또한, 절연체(216_1)는 상술한 수소 원자가 저장 또는 제거된 가스를 사용한 방법으로 성막하는 것이 바람직하다. 이로써, 절연체(216_1)의 수소 농도를 저장할 수 있다.
- [0161] 다음으로 절연체(216_1)에, 절연체(214)에 도달하는 개구를 형성한다. 개구의 형성에는 웨트 에칭을 사용하더라도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 절연체(214)로서는 절연체(216_1)를 에칭하여 개구를 형성할 때의 에칭 스톱퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어, 절연체(214)로서 질화 실리콘막, 산화 알루미늄막, 또는 산화 하프늄막을 사용하는 경우, 개구를 형성하는 절연체(216_1)에는 산화 실리콘막 또는 산화질화 실리콘막을 사용하는 것이 좋다.
- [0162] 개구를 형성한 후에, 도전체(205a_1)가 되는 도전막을 성막한다. 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 도전체(205a_1)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0163] 도전체(205a_1)가 되는 도전막은 다층 구조로 할 수 있다. 예를 들어, 스퍼터링법으로 질화 탄탈럼을 성막하고, 상기 질화 탄탈럼 위에 질화 타이타늄을 적층할 수 있다. 이와 같은 금속 질화물을 도전체(205a_1)에 사용함으로써, 후술하는 도전체(205b_1)가 되는 도전막으로서 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(205a_1)로부터 외부로 확산되는 것을 방지할 수 있다.
- [0164] 다음으로, 도전체(205b_1)가 되는 도전막을 성막한다. 상기 도전막의 성막은 도금법, 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 도전체(205b_1)가 되는 도전막으로서 구리 등 저저항 도전성 재료를 사용할 수 있다.
- [0165] 다음으로, CMP 처리(Chemical Mechanical Polishing)를 수행함으로써, 도전체(205a_1)가 되는 도전막 및 도전체(205b_1)가 되는 도전막의 일부를 제거하여, 절연체(216_1)를 노출시킨다. 그 결과, 개구부에만 도전체(205a_1) 및 도전체(205b_1)가 잔존한다. 이에 의하여 상면이 평탄한 도전체(205_1)를 형성할 수 있다(도 3의(A) 참조). 또한, 상기 CMP 처리에 의하여 절연체(216_1)의 일부가 제거되는 경우가 있다.
- [0166] 또한, 앞에서는 도전체(205_1)를 절연체(216_1)의 개구에 매립되도록 형성하였지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 절연체(214) 위에 도전체(205_1)를 형성하고, 도전체(205_1) 위에 절연체(216_1)를 성막한 후에 절연체(216_1)에 CMP 처리를 수행함으로써, 절연체(216_1)의 일부를 제거하여, 도전체(205_1)의 표면을 노출시켜도 좋다.
- [0167] 다음으로, 절연체(205_1) 및 도전체(216_1) 위에 절연체(222_1)를 성막한다(도 3의(A) 참조). 절연체(222_1)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222_1)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터(200)의 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체

(222_1)를 통하여 트랜지스터(200)의 내측으로 확산되는 것이 억제되고, 산화물(230a_1) 내, 산화물(230b_1) 내, 및 산화물(230c_1) 내의 산소 결손의 생성을 억제할 수 있다.

- [0168] 절연체(222_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0169] 다음으로, 절연체(222_1) 위에 절연체(224_1)를 성막한다. 절연체(224_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 절연체(224_1)로서 산화 실리콘 또는 산화질화 실리콘을 사용할 수 있다. 또한, 절연체(224_1)는 상술한 수소 원자가 저장 또는 제거된 가스를 사용한 방법으로 성막하는 것이 바람직하다. 이에 의하여, 절연체(224_1)의 수소 농도를 저장할 수 있다. 절연체(224_1)는 추후의 공정에서 산화물(230a_1)과 접하는 영역을 가지기 때문에, 이와 같이 수소 농도가 저장되어 있는 것이 바람직하다.
- [0170] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한, 가열 처리는 질소 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한, 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 질소 또는 불활성 가스 분위기에서 가열 처리한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.
- [0171] 예를 들어, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속하여 산소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행할 수 있다. 가열 처리에 의하여, 절연체(224)에 포함되는 물, 수소 등의 불순물을 제거할 수 있다.
- [0172] 또한 가열 처리는 절연체(222_1)의 성막 후, 또한 절연체(224_1)를 성막하기 전에 수행하여도 좋다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.
- [0173] 여기서, 절연체(224_1)에 과잉 산소 영역을 형성하기 위하여, 산소를 포함한 플라즈마 처리를 감압 상태에서 수행하여도 좋다. 산소를 포함한 플라즈마 처리에서는, 예를 들어 마이크로파를 사용한 고밀도 플라즈마를 발생시키는 전원을 가지는 장치를 사용하는 것이 바람직하다. 또는, 기관 측에 RF 등의 고주파를 인가하는 전원을 가져도 좋다. 고밀도 플라즈마를 사용함으로써 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 절연체(224_1) 내에 효율적으로 도입할 수 있다. 또는, 이 장치를 사용하여 불활성 가스를 포함한 플라즈마 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산소를 포함한 플라즈마 처리를 수행하여도 좋다. 또한, 상기 플라즈마 처리의 조건을 적절히 선택함으로써, 절연체(224_1)에 포함되는 물, 수소 등 불순물을 제거할 수 있다. 그 경우, 가열 처리는 수행하지 않아도 된다.
- [0174] 여기서, 절연체(224_1) 위에 예를 들어 스퍼터링법으로 산화 알루미늄을 성막하고, 절연체(224_1)에 도달할 때까지 상기 산화 알루미늄에 대하여 CMP를 수행하여도 좋다. 상기 CMP를 수행함으로써, 절연체(224_1) 표면을 평탄화 및 평활화할 수 있다. 상기 산화 알루미늄을 절연체(224_1) 위에 배치하고 CMP를 수행함으로써, CMP의 종점 검출이 용이해진다. 또한 CMP에 의하여 절연체(224_1)의 일부가 연마되어 절연체(224_1)의 막 두께가 얇아지는 경우가 있지만, 절연체(224_1)의 성막 시에 막 두께를 조정하면 좋다. 절연체(224_1)의 표면의 평탄화 및 평활화를 수행함으로써, 나중에 성막하는 산화물의 피복률이 악화되는 것을 방지하고, 반도체 장치의 수율 저하를 방지할 수 있는 경우가 있다. 또한 절연체(224_1) 위에 스퍼터링법으로 산화 알루미늄을 성막함으로써, 절연체(224_1)에 산소를 첨가할 수 있어 바람직하다.
- [0175] 다음으로, 절연체(224_1) 위에 산화막(230A_1) 및 산화막(230B_1)을 순차적으로 성막한다(도 3의 (B) 참조). 또한, 상기 산화막은 대기 환경에 노출시키지 않고 연속적으로 성막하는 것이 바람직하다. 대기 개방하지 않고 성막함으로써, 산화막(230A_1) 및 산화막(230B_1) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있다. 이에 의하여 산화막(230A_1)과 산화막(230B_1)의 계면 근방을 청정하게 유지할 수 있다.
- [0176] 산화막(230A_1) 및 산화막(230B_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0177] 예를 들어, 산화막(230A_1) 및 산화막(230B_1)을 스퍼터링법으로 성막하는 경우에는, 스퍼터링 가스로서 산소, 또는 산소와 희가스의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다.

- [0178] 특히, 산화막(230A_1)의 성막 시에, 스퍼터링 가스에 포함되는 산소의 일부가 절연체(224_1)에 공급되는 경우가 있다. 따라서, 산화막(230A_1)의 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.
- [0179] 또한, 산화막(230B_1)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는, 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기판을 가열하면서 성막함으로써 상기 산화막의 결정성을 향상시킬 수 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 산화막(230B_1)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30%보다 높고 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면, 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는, 비교적 높은 신뢰성이 얻어진다.
- [0180] 예를 들어, 산화막(230A_1)은 In:Ga:Zn=1:1:0.5[원자수비], 2:2:1[원자수비], 또는 1:3:4[원자수비]의 타깃을 사용하여 스퍼터링법에 의하여 성막한다. 또한, 산화막(230B)은 In:Ga:Zn=4:2:4.1[원자수비] 또는 1:1:1[원자수비]의 타깃을 사용하여 스퍼터링법에 의하여 성막한다. 또한, 성막 조건 및 원자수비를 적절히 선택함으로써, 산화물(230)에서 요구되는 특성에 맞추어 각 산화막을 형성하는 것이 좋다.
- [0181] 다음으로, 가열 처리를 수행하여도 좋다. 가열 처리의 조건으로서 상술한 조건을 사용할 수 있다. 가열 처리에 의하여, 산화막(230A_1) 및 산화막(230B_1)에 포함되는 물, 수소 등의 불순물을 제거하는 것 등을 할 수 있다. 예를 들어 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속하여 산소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행할 수 있다.
- [0182] 다음으로, 산화막(230B_1) 위에 도전막(242Aa_1)을 성막한다(도 3의(B) 참조). 도전막(242Aa_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0183] 다음으로, 산화막(230A_1), 산화막(230B_1), 및 도전막(242Aa_1)을 섬 형상으로 가공한다. 이에 의하여, 도전체(242A_1), 산화물(230a_1), 및 산화물(230b_1)이 형성된다(도 3의 (C) 참조). 예를 들어, 도전막(242Aa_1)을 리소그래피법에 의하여 가공하여 도전체(242A_1)를 형성한 후, 도전체(242A_1)를 하드 마스크로 하여 산화막(230A_1) 및 산화막(230B_1)을 가공한다. 여기서, 산화물(230a_1), 산화물(230b_1), 및 도전체(242A_1)는 적어도 일부가 도전체(205_1)와 중첩되도록 형성한다. 또한, 산화물(230a_1), 산화물(230b_1), 및 도전체(242A_1)는 적어도 도전체(205_1)와 중첩되지 않는 영역을 가지도록 형성한다. 또한, 상기 가공에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.
- [0184] 또한, 산화물(230a_1), 산화물(230b_1), 및 도전체(242A_1)의 측면은 절연체(222_1)의 상면에 대하여 실질적으로 수직인 것이 바람직하다. 산화물(230a_1), 산화물(230b_1), 및 도전체(242A_1)의 측면을 절연체(222_1)의 상면에 대하여 실질적으로 수직으로 함으로써, 복수의 트랜지스터(200) 및 용량 소자(100)를 제공할 때, 면적을 축소하고, 밀도를 높일 수 있다. 다만, 이에 한정되지 않고, 산화물(230a_1), 산화물(230b_1), 및 도전체(242A_1)의 측면과 절연체(222)의 상면이 이루는 각이 작은 구성으로 하여도 좋다.
- [0185] 또한, 리소그래피법에서는, 우선 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 다음으로, 상기 레지스트 마스크를 통하여 에칭 처리함으로써 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어, KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet)광 등을 사용하여, 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한, 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채워 노광하는 액침 기술을 사용하여도 좋다. 또한, 상술한 광 대신에, 전자 빔이나 이온 빔을 사용하여도 좋다. 또한, 전자 빔이나 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한, 레지스트 마스크의 제거는, 애싱 등의 드라이 에칭 처리나, 웨트 에칭 처리, 드라이 에칭 처리 후에 웨트 에칭 처리, 또는 웨트 에칭 처리 후의 드라이 에칭 처리에 의하여 수행할 수 있다.
- [0186] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라즈마 에칭 장치는 평행 평판형 전극의 한쪽에 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극의 한쪽에 복수의 상이한 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 주파수가 같은 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 주파수가 상이한 고주파 전원을 인가하는 구성이어도 좋다. 또는

고밀도 플라즈마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라즈마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.

- [0187] 또한, 도전막(242Aa_1)을 리소그래피법에 의하여 가공하여 도전체(242A_1)를 형성한 후, 도전체(242A_1)를 하드 마스크로 하여 산화막(230A_1) 및 산화막(230B_1)을 가공하는 경우, 도전막(242Aa_1)을 가공할 때에 형성한 레지스트 마스크는 산화막(230A_1) 및 산화막(230B_1)의 가공 전에 제거하여도 좋고, 가공 후에 제거하여도 좋다.
- [0188] 다음으로, 리소그래피법 등을 사용하여 산화물(230a_1)의 일부, 산화물(230b_1)의 일부, 및 도전체(242A_1)의 일부를 가공하여, 절연체(224)에 도달하는 개구(231_1)를 형성한다(도 3의 (C) 참조). 상기 개구는 도전체(205_1)와 중첩되지 않도록 형성되는 것이 바람직하다.
- [0189] 다음으로, 개구(231_1)의 내벽에 접하도록 절연체(224_1) 위 및 도전체(242A_1) 위에 절연체(272_1)를 성막한다(도 3의 (D) 참조). 절연체(272_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 절연체(272_1)로서 스퍼터링법으로 산화 알루미늄을 성막할 수 있다. 스퍼터링법에 의하여 산화 알루미늄을 성막함으로써, 절연체(224_1)에 산소를 주입할 수 있다.
- [0190] 다음으로, 절연체(272_1) 위에 절연체(273_1)를 성막한다. 절연체(273_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 예를 들어, 절연체(273_1)로서 ALD법으로 산화 알루미늄을 성막할 수 있다(도 3의 (D) 참조).
- [0191] 다음으로, 절연체(280_1)를 성막한다. 절연체(280_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 예를 들어 절연체(280_1)로서 스퍼터링법을 사용하여 산화 실리콘막을 성막하고, 그 위에 PEALD법 또는 열 ALD법을 사용하여 산화 실리콘막을 성막하면 좋다. 또한 절연체(280_1)는 상술한 수소 원자가 저감 또는 제거된 가스를 사용한 방법으로 성막하는 것이 바람직하다. 이로써, 절연체(280_1)의 수소 농도를 저감할 수 있다.
- [0192] 다음으로, 절연체(280_1)에 CMP 처리를 수행하고, 상면이 평탄한 절연체(280_1)를 형성한다(도 3의 (D) 참조). 또한, 절연체(280_1) 위에, 예를 들어 스퍼터링법으로 산화 알루미늄을 성막하고, 절연체(280_1)에 도달할 때까지 상기 산화 알루미늄에 CMP 처리를 수행하여도 좋다.
- [0193] 다음으로, 절연체(280_1)의 일부, 절연체(273_1)의 일부, 절연체(272_1)의 일부, 및 도전체(242A_1)의 일부를 가공하여, 산화물(230b_1)에 도달하는 개구(232_1)를 형성한다(도 3의 (E) 참조). 개구(232_1)는, 도전체(205)와 중첩되는 영역을 가지도록 형성하는 것이 바람직하다. 개구(232_1)의 형성에 의하여, 도전체(242a_1) 및 도전체(242b_1)가 형성된다.
- [0194] 절연체(280_1)의 일부, 절연체(273_1)의 일부, 절연체(272_1)의 일부, 및 도전체(242A_1)의 일部的 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 상기 가공은 각각 다른 조건으로 수행하여도 좋다. 예를 들어 절연체(280_1)의 일부를 드라이 에칭법에 의하여 가공하고, 절연체(273_1)의 일부를 웨트 에칭법에 의하여 가공하고, 절연체(272_1)의 일부를 드라이 에칭법에 의하여 가공하고, 도전체(242A_1)의 일부를 드라이 에칭법에 의하여 가공하여도 좋다.
- [0195] 여기까지의 드라이 에칭 등의 가공에 의하여, 에칭 가스 등에 기인한 불순물이 산화물(230a_1) 및 산화물(230b_1) 등의 표면 또는 내부에 부착되거나 또는 이들로 확산되는 경우가 있다. 불순물로서는, 예를 들어 플루오린 또는 염소 등이 있다.
- [0196] 상기 불순물 등을 제거하기 위하여 세정을 수행한다. 세정 방법으로는 세정액 등을 사용한 웨트 세정, 플라즈마를 사용한 플라즈마 처리, 또는 가열 처리에 의한 세정 등이 있으며, 상기 세정을 적절히 조합하여 수행하여도 좋다.
- [0197] 웨트 세정으로서 옥살산, 인산, 암모니아수, 또는 플루오린화 수소산 등을 탄산수 또는 순수(純水)로 희석한 수용액을 사용하여 세정 처리를 수행하여도 좋다. 또는, 순수 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다.
- [0198] 여기까지의 드라이 에칭 등의 가공 또는 상술한 세정 처리에 의하여, 산화물(230b_1)의, 도전체(242a_1) 및 도전체(242b_1)와 중첩되지 않는 영역의 막 두께가, 중첩되는 영역의 막 두께보다 얇은 경우가 있다(도 3의 (E) 참조).

- [0199] 상기 에칭 후 또는 상기 세정 후에 가열 처리를 수행하여도 좋다. 가열 처리는 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어, 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이로써, 산화물(230a_1) 및 산화물(230b_1)에 산소를 공급하여, 산소 결손 V_o 를 저감할 수 있다. 또한, 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 산소 분위기에서 가열 처리한 후에, 대기에 노출시키지 않고 연속하여 질소 분위기에서 가열 처리를 수행하여도 좋다.
- [0200] 다음으로, 산화물(230c_1)이 되는 산화막을 성막한다. 상기 산화막을 성막하기 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하는 것이 바람직하다. 상기 가열 처리 후에, 산화물(230c_1)이 되는 산화막을 대기에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 또한 상기 가열 처리는 산소를 포함하는 분위기에서 수행하는 것이 바람직하다. 이러한 처리를 수행함으로써, 산화물(230b_1)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a_1) 및 산화물(230b_1) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하고, 150℃ 이상 350℃ 이하가 더 바람직하다.
- [0201] 산화물(230c_1)이 되는 산화막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 상기 산화막은, 예를 들어 In:Ga:Zn=4:2:4.1[원자수비]의 타깃, In:Ga:Zn=5:1:3[원자수비]의 타깃, In:Ga:Zn=10:1:3[원자수비]의 타깃, 또는 In:Ga:Zn=1:3:4[원자수비]의 타깃, 산화 인듐의 타깃을 사용하여, 스퍼터링법에 의하여 성막할 수 있다. 산화물(230c_1)이 되는 산화막으로서 인듐의 비율이 높은 타깃을 사용함으로써, 트랜지스터(200)의 온 전류 또는 전계 효과 이동도 등을 높일 수 있다.
- [0202] 또한, 산화물(230c_1)이 되는 산화막은 적층 구조로 하여도 좋다. 예를 들어, 스퍼터링법으로, In:Ga:Zn=4:2:4.1[원자수비]의 타깃을 사용하여 성막하고, 연속하여 In:Ga:Zn=1:3:4[원자수비]의 타깃을 사용하여 성막하여도 좋다.
- [0203] 산화물(230c_1)이 되는 산화막의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 산화물(230a_1) 및 산화물(230b_1)에 공급되는 경우가 있다. 또는 산화막(230c_1)이 되는 산화막의 성막 시에, 스퍼터링 가스에 포함되는 산소의 일부가 절연체(280_1)에 공급되는 경우가 있다. 따라서 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.
- [0204] 다음으로, 가열 처리를 수행하여도 좋다. 상기 가열 처리를 수행함으로써, 산화물(230c_1)이 되는 산화막의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a_1) 내, 산화물(230b_1) 내, 및 산화물(230c_1)이 되는 산화막 내의 수분 농도 및 수소 농도를 저감시킬 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.
- [0205] 다음으로, 산화물(230c_1)이 되는 산화막 위에 절연체(250_1)가 되는 절연막을 성막한다. 상기 절연막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다. 또한, 절연체(250_1)가 되는 절연막은 상술한 수소 원자가 저감 또는 제거된 가스를 사용한 방법으로 성막하는 것이 바람직하다. 이에 의하여, 절연체(250_1)가 되는 절연막의 수소 농도를 저감할 수 있다. 또한, 산화물(230c_1)이 되는 산화막의 성막 후에 가열 처리를 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 절연체(250_1)가 되는 절연막을 성막하여도 좋다.
- [0206] 다음으로, 마이크로파 또는 RF 등의 고주파를 조사하여도 좋다. 조사된 마이크로파 또는 RF 등의 고주파는 절연체(280_1), 산화물(230b_1), 및 산화물(230a_1) 내에 침투되고, 이들 내의 수소를 제거한다. 특히, 산화물(230a_1) 및 산화물(230b_1)에서는 VoH의 결합이 절단되는 반응, 환원하면 " $V_oH \rightarrow V_o + H$ "라는 반응이 일어나, 탈수소화된다. 이때 발생한 수소의 일부는 산소와 결합되어 H_2O 로서 산화물(230a_1), 산화물(230b_1), 및 절연체(280_1)로부터 제거되는 경우가 있다. 또한, 수소의 일부는 도전체(242a_1) 및 도전체(242b_1)에 게터링되는 경우가 있다. 이와 같이, 마이크로파 또는 RF 등의 고주파를 조사함으로써, 절연체(280_1) 내, 산화물(230b_1) 내, 및 산화물(230a_1) 내의 수소 농도를 저감할 수 있다.
- [0207] 또한 마이크로파 또는 RF 등의 고주파에 의하여 산소 가스를 플라즈마화하여, 산소 라디칼을 형성하여도 좋다. 즉, 절연체(280_1), 산화물(230b_1), 및 산화물(230a_1)에 대하여, 산소를 포함하는 분위기에서 플라즈마 처리를 수행하여도 좋다. 이하에서는 이와 같은 처리를 산소 플라즈마 처리라고 하는 경우가 있다. 또한 형성한 산소 라디칼에 의하여 절연체(280_1) 내, 산화물(230b_1) 내, 및 산화물(230a_1) 내에 산소를 공급할 수 있다.

또한 절연체(280_1), 산화물(230b_1), 및 산화물(230a_1)에 대하여, 산소를 포함하는 분위기에서 플라즈마 처리를 수행하는 경우에는, 산화물(230b_1) 내 및 산화물(230a_1) 내에 마이크로파 또는 RF 등의 고주파가 조사되기 어려운 구성으로 하여도 좋다.

[0208] 또한, 산소 플라즈마 처리는, 예를 들어 마이크로파를 사용한 고밀도 플라즈마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 또한, 마이크로파 처리 장치는 기관 측에 RF를 인가하는 전원을 가져도 좋다. 고밀도 플라즈마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있다. 또한, 기관 측에 RF를 인가함으로써, 고밀도 플라즈마에 의하여 생성된 산소 이온을 절연체(280_1) 내, 산화물(230b_1) 내, 및 산화물(230a_1) 내에 효율적으로 도입할 수 있다. 또한, 상기 산소 플라즈마 처리는 감압하에서 수행하는 것이 바람직하고, 압력을 60Pa 이상, 바람직하게는 133Pa 이상, 더 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한, 산소 유량비(O_2/O_2+Ar)를 50% 이하, 바람직하게는 10% 이상 30% 이하로 하여 수행하면 좋다. 또한, 처리 온도는 예를 들어 400℃ 정도로 하면 좋다. 또한, 산소 플라즈마 처리를 수행한 후에, 외기에 노출시키지 않고, 연속하여 열처리를 수행하여도 좋다.

[0209] 다음으로, 도전체(260a_1)가 되는 도전막 및 도전체(260b_1)가 되는 도전막을 성막한다. 도전체(260a_1)가 되는 도전막 및 도전체(260b_1)가 되는 도전막의 성막은, 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 예를 들어, ALD법을 사용하여 도전체(260a_1)가 되는 도전막을 성막하고, CVD법을 사용하여 도전체(260b_1)가 되는 도전막을 성막한다.

[0210] 다음으로, CMP 처리에 의하여, 산화물(230c_1)이 되는 산화막, 절연체(250_1)가 되는 절연막, 도전체(260a_1)가 되는 도전막, 및 도전체(260b_1)가 되는 도전막을, 절연체(280)가 노출될 때까지 연마함으로써, 개구(232_1)의 내측에 산화물(230c_1), 절연체(250_1), 및 도전체(260_1)(도전체(260a_1) 및 도전체(260b_1))를 형성한다(도 4의 (A) 참조).

[0211] 이 후 가열 처리를 수행하여도 좋다. 예를 들어 질소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(250_1) 내 및 절연체(280_1) 내의 수분 농도 및 수소 농도를 저감할 수 있다.

[0212] 다음으로, 도전체(260_1) 위, 산화물(230c_1) 위, 절연체(250_1) 위, 및 절연체(280_1) 위에 절연체(274_1)를 성막한다(도 4의 (B) 참조). 절연체(274_1)가 되는 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 또한, 절연체(274_1)는 상술한 수소 원자가 저감 또는 제거된 가스를 사용한 방법으로 성막하는 것이 바람직하다. 이로써, 절연체(274_1)의 수소 농도를 저감할 수 있다. 또한, 도전체(260_1)를 형성한 후에 가열 처리를 수행하고, 상기 가열 처리 후에 대기에 노출시키지 않고 연속하여 절연체(274_1)의 성막을 수행하여도 좋다.

[0213] 다음으로, 개구(231_1)와 중첩되는 영역을 가지도록, 절연체(214)에 도달하는 개구(233_1)를 절연체(274_1), 절연체(280_1), 절연체(273_1), 절연체(272_1), 절연체(224_1), 절연체(222_1), 및 절연체(216_1)에 형성한다. 또한, 도전체(242b_1)에 도달하는 개구(234_1)를 절연체(274_1), 절연체(280_1), 절연체(273_1), 및 절연체(272_1)에 형성한다(도 4의 (C) 참조). 개구(233_1) 및 개구(234_1)의 형성은 리소그래피법 등으로 수행하면 좋다.

[0214] 본 발명의 일 형태의 반도체 장치에서는, 절연체(280_1)를 성막하기 전에 개구(231_1)를 형성하고, 절연체(280_1) 및 절연체(274_1)를 형성한 후에 개구(231_1)와 중첩되는 영역을 가지도록 개구(233_1)를 형성한다. 이에 의하여, 개구(233_1)를 형성할 때에 산화물(230a_1), 산화물(230b_1), 및 도전체(242a_1)를 에칭할 필요가 없어진다. 즉, 절연체(274_1)의 형성 후, 절연체만 에칭하면 개구(233_1)를 형성할 수 있다. 이에 의하여, 절연체(274_1)의 형성 후, 하나의 에칭 조건으로 개구(231_1)를 형성할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 제작 공정을 간략화할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 제조 비용을 절감하고, 수율을 향상시킬 수 있다. 즉, 본 발명의 일 형태의 반도체 장치의 생산성을 향상시킬 수 있다.

[0215] 다음으로, 도전체(244_1) 및 도전체(240_1)가 되는 도전막을 성막한다. 상기 도전막은 물, 수소 등 불순물의 투과를 억제하는 기능을 가지는 도전체를 포함한 적층 구조를 가지는 것이 바람직하다. 예를 들어, 질화 탄탈럼, 질화 타이타늄 등과, 텅스텐, 몰리브데넘, 구리 등의 적층으로 할 수 있다. 도전체(244_1) 및 도전체(240_1)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

[0216] 다음으로, CMP 처리를 수행함으로써, 도전체(244_1) 및 도전체(240_1)가 되는 도전막의 일부를 제거하여 절연체(274_1)의 상면을 노출시킨다. 그 결과, 개구에만 상기 도전막이 잔존한다. 이에 의하여, 개구(233_1)의 내측에 도전체(244_1)가 형성되고, 개구(234_1)의 내측에 도전체(240_1)가 형성된다(도 5의 (A) 참조). 또한, 상기

CMP 처리에 의하여, 절연체(274_1)의 상면의 일부가 제거되는 경우가 있다.

- [0217] 다음으로, 도전체(240_1) 위, 도전체(244_1) 위, 및 절연체(274_1) 위에 절연체(282_1)를 성막한다(도 5의 (B) 참조). 절연체(282_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0218] 다음으로, 절연체(282_1) 위에 절연체(216_2)를 성막한다(도 5의 (C) 참조). 절연체(216_2)는 절연체(216_1)와 같은 방법으로 성막될 수 있다.
- [0219] 다음으로, 절연체(282_1)에 도달하는 개구를 절연체(216_2)에 2개 형성한다. 한쪽 개구는 도전체(205_1)와 중첩되는 영역을 가지도록 형성할 수 있고, 다른 쪽 개구는 도전체(240_1)와 중첩되는 영역을 가지도록 형성할 수 있다. 또한, 상기 한쪽 개구는 도전체(205_1)와 중첩되는 영역을 가지지 않아도 된다. 이들 개구는 도전체(205_1)가 제공되는 개구와 같은 방법으로 형성될 수 있다.
- [0220] 여기서, 절연체(282_1)로서는, 절연체(216_2)를 에칭하여 개구를 형성할 때의 에칭 스톱퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어, 절연체(282_1)로서 산화 알루미늄막 또는 산화 하프늄막을 사용하는 경우, 개구를 형성하는 절연체(216_2)에는 산화 실리콘막 또는 산화질화 실리콘막을 사용하는 것이 좋다.
- [0221] 개구를 형성한 후에, 도전체(204a_1) 및 도전체(205a_2)가 되는 도전막을 성막한다. 상기 도전막은, 도전체(205a_1)가 되는 도전막과 같은 방법 및 같은 재료로 성막할 수 있다.
- [0222] 개구를 형성한 후에, 도전체(204b_1) 및 도전체(205b_2)가 되는 도전막을 성막한다. 상기 도전막은, 도전체(205b_1)가 되는 도전막과 같은 방법 및 같은 재료로 성막할 수 있다.
- [0223] 다음으로, CMP 처리를 수행함으로써, 도전체(204_1) 및 도전체(205_2)가 되는 도전막을 제거하여 절연체(216_2)를 노출시킨다. 그 결과, 개구부에만 상기 도전막이 잔존한다. 이에 의하여 상면이 평탄한 도전체(204_1) 및 도전체(205_2)를 형성할 수 있다(도 5의 (C) 참조). 또한, 상기 CMP 처리에 의하여 절연체(216_2)의 일부가 제거되는 경우가 있다.
- [0224] 또한, 상기에 있어서는 도전체(204_1) 및 도전체(205_2)를 절연체(216_2)의 개구에 매립하도록 형성하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 절연체(282_1) 위에 도전체(204_1) 및 도전체(205_2)를 형성하고, 도전체(204_1) 위 및 도전체(205_2) 위에 절연체(216_2)를 성막한 후, 절연체(216_2)에 대하여 CMP 처리를 수행함으로써 절연체(216_2)의 일부를 제거하고 도전체(204_1)의 표면 및 도전체(205_2)의 표면을 노출시켜도 좋다.
- [0225] 이상과 같이, 본 발명의 일 형태의 반도체 장치의 제작 방법에서는, 도전체(204)와 도전체(205)를 동일한 공정으로 형성할 수 있다. 이에 의하여, 본 발명의 일 형태의 반도체 장치의 제작 공정을 간략화할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 제조 비용을 절감하고 수율을 향상시킬 수 있다. 즉, 본 발명의 일 형태의 반도체 장치의 생산성을 향상시킬 수 있다.
- [0226] 다음으로, 도전체(204_1) 위, 도전체(205_2) 위, 및 절연체(216_2) 위에 절연체(222_2)를 성막한다(도 6의 (A) 참조). 절연체(222_2)는 절연체(222_1)와 같은 방법 및 같은 재료로 성막할 수 있다.
- [0227] 다음으로, 절연체(224_2)를 절연체(224_1)와 같은 방법으로 형성하고, 산화물(230a_2)을 산화물(230a_1)과 같은 방법으로 형성하고, 산화물(230b_2)을 산화물(230b_1)과 같은 방법으로 형성한다. 또한, 개구(231_2)를 개구(231_1)와 같은 방법으로 형성하고, 절연체(272_2)를 절연체(272_1)와 같은 방법으로 형성하고, 절연체(273_2)를 절연체(273_1)와 같은 방법으로 형성하고, 절연체(280_2)를 절연체(280_1)와 같은 방법으로 형성한다. 또한, 도전체(242a_2)를 도전체(242a_1)와 같은 방법으로 형성하고, 도전체(242b_2)를 도전체(242b_1)와 같은 방법으로 형성하고, 산화물(230c_2)을 산화물(230c_1)과 같은 방법으로 형성하고, 절연체(250_2)를 절연체(250_1)와 같은 방법으로 형성하고, 도전체(260_2)를 도전체(260_1)와 같은 방법으로 형성하고, 절연체(274_2)를 절연체(274_1)와 같은 방법으로 형성한다(도 6의 (A) 참조).
- [0228] 다음으로, 개구(231_2)와 중첩되는 영역을 가지도록 도전체(244_1)에 도달하는 개구(233_2)를 절연체(274_2), 절연체(280_2), 절연체(273_2), 절연체(272_2), 절연체(224_2), 절연체(222_2), 절연체(216_2), 및 절연체(282_2)에 형성한다. 또한, 도전체(242b_2)에 도달하는 개구(234_2)를 절연체(274_2), 절연체(280_2), 절연체(273_2), 및 절연체(272_2)에 형성한다(도 6의 (B) 참조). 개구(233_2) 및 개구(234_2)의 형성은, 리소그래피법 등을 사용하여 수행하면 좋다.
- [0229] 본 발명의 일 형태의 반도체 장치에서는, 절연체(280_2)를 성막하기 전에 개구(231_2)를 형성하고, 절연체

(280_2) 및 절연체(274_2)를 형성한 후에 개구(231_2)와 중첩되는 영역을 가지도록 개구(233_2)를 형성한다. 이에 의하여, 개구(233_2)를 형성할 때에 산화물(230a_2), 산화물(230b_2), 및 도전체(242a_2)를 에칭할 필요가 없어진다. 즉, 절연체(274_2)를 형성한 후, 절연체만 에칭하면 개구(233_2)를 형성할 수 있다. 이에 의하여, 절연체(274_2)를 형성한 후, 하나의 에칭 조건으로 개구(233_2)를 형성할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 제작 공정을 간략화할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 제조 비용을 절감하고, 수율을 향상시킬 수 있다. 즉, 본 발명의 일 형태의 반도체 장치의 생산성을 향상시킬 수 있다.

[0230] 다음으로, 도전체(244_2) 및 도전체(240_2)를 도전체(244_1) 및 도전체(240_1)와 같은 방법으로 형성하고, 절연체(282_2)를 절연체(282_1)와 같은 방법으로 형성하고, 절연체(216_3)를 절연체(216_2)와 같은 방법으로 형성하고, 도전체(204_2)를 도전체(204_1)와 같은 방법으로 형성하고, 도전체(205_3)를 도전체(205_2)와 같은 방법으로 형성하고, 절연체(222_3)를 절연체(222_2)와 같은 방법으로 형성한다(도 7 참조).

[0231] 이러한 식으로, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치를 제작할 수 있다.

[0232] <반도체 장치의 구성예 2>

[0233] 도 8의 (A)는 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 구성예를 나타낸 상면도이다. 또한, 도 8의 (B), 그리고 도 9의 (A) 및 (B)는 상기 반도체 장치의 구성예를 나타낸 단면도이다. 여기서, 도 8의 (B), 그리고 도 9의 (A) 및 (B)는 상기 반도체 장치의 구성예를 나타낸 단면도이다. 여기서, 도 8의 (B)는 도 8의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도 및 용량 소자(100)의 상기 채널 길이 방향과 평행한 방향의 단면도이다. 또한 도 9의 (A)는 도 8의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 9의 (B)는 도 8의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 용량 소자(100)의, 트랜지스터(200)의 채널 폭 방향과 평행한 방향의 단면도이기도 하다.

[0234] 도 8의 (A) 및 (B), 그리고 도 9의 (A) 및 (B) 등, 본 실시형태에 나타낸 구성의 반도체 장치에 있어서, 도 1의 (A) 및 (B)에 나타낸 반도체 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 실시형태에서 나타낸 트랜지스터(200) 및 용량 소자(100)의 구성 재료에 대해서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0235] 도 8의 (A) 및 (B), 그리고 도 9의 (A) 및 (B)에 나타낸 구성의 반도체 장치는, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 구성의 반도체 장치의 변형예이고, 절연체(282) 및 도전체(204)가 도전체(240)의 측면의 일부를 덮는 구성인 점, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 구성의 반도체 장치와 상이하다. 본 발명의 일 형태의 반도체 장치를 도 8의 (A) 및 (B), 그리고 도 9의 (A) 및 (B)에 나타낸 구성으로 함으로써, 용량 소자(100)의 한쪽 전극으로서의 기능을 가지는 도전체(240)와, 용량 소자(100)의 다른 쪽 전극으로서의 기능을 가지는 도전체(204)가, 용량 소자(100)의 유전체로서의 기능을 가지는 절연체(282)를 개재하여 중첩되는 면적을, 상면에서 보았을 때의 면적보다 크게 할 수 있다. 즉, 상면에서 보았을 때의 한쪽 전극과 다른 쪽 전극이 중첩되는 면적을 증대시키지 않고 용량 소자(100)의 용량을 늘릴 수 있기 때문에, 용량 소자(100)를 미세화할 수 있다.

[0236] <반도체 장치의 제작 방법예 2>

[0237] 다음으로, 도 8의 (A) 및 (B), 그리고 도 9의 (A) 및 (B)에 나타낸 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 제작 방법의 일례에 대하여, 도면을 사용하여 설명한다. 상기 도면은 도 8의 (A)에 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향에 대응한다.

[0238] 우선, 도 3의 (A) 내지 (E) 및 도 4의 (A)에 나타낸 방법과 같은 방법에 의하여, 절연체(214), 도전체(205_1), 절연체(216_1), 절연체(222_1), 절연체(224_1), 산화물(230a_1), 산화물(230b_1), 개구(231_1), 절연체(272_1), 절연체(273_1), 절연체(280_1), 산화물(230c_1), 도전체(242a_1), 도전체(242b_1), 절연체(250_1), 및 도전체(260_1)를 형성한다(도 10의 (A) 참조).

[0239] 다음으로, 도 4의 (B)에 나타낸 방법과 같은 방법에 의하여 절연체(274_1)를 형성한다. 그 후, 절연체(274_1) 위에 절연체(275_1)를 형성한다(도 10의 (B) 참조). 다음으로, 개구(231_1)와 중첩되는 영역을 가지도록 절연체(214)에 도달하는 개구를 절연체(275_1), 절연체(274_1), 절연체(280_1), 절연체(273_1), 절연체(272_1), 절연체(224_1), 절연체(222_1), 및 절연체(216_1)에 형성한다. 또한, 도전체(242b_1)에 도달하는 개구를 절연체(275_1), 절연체(274_1), 절연체(280_1), 절연체(273_1), 및 절연체(272_1)에 형성한다. 이들 개구의 형성은

리소그래피법 등으로 수행하면 좋다.

- [0240] 다음으로, 도전체(244_1) 및 도전체(240_1)가 되는 도전막을 성막한다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0241] 이 후, CMP 처리를 수행함으로써, 도전체(244_1) 및 도전체(240_1)가 되는 도전막의 일부를 제거하여 절연체(275_1)의 상면을 노출시킨다. 그 결과, 개구에만 상기 도전막이 잔존한다. 이에 의하여, 개구(244_1) 및 도전체(240_1)가 형성된다(도 10의 (C) 참조). 또한, 상기 CMP 처리에 의하여, 절연체(275_1)의 상면의 일부가 제거되는 경우가 있다.
- [0242] 다음으로, 절연체(275_1)를 예를 들어 에칭, 예를 들어 웨트 에칭에 의하여 제거한다(도 11의 (A) 참조). 이에 의하여, 도전체(244_1)의 측면의 일부 및 도전체(240_1)의 측면의 일부가 노출된다. 절연체(275_1)의 제거 방법을 웨트 에칭으로 함으로써, 절연체(275_1)와 절연체(274_1)의 에칭 선택성을 높여, 절연체(275_1)를 에칭할 때에 절연체(274_1)가 에칭되는 것을 억제할 수 있다.
- [0243] 그 후, 도 5의 (B) 및 (C)에 나타난 방법과 같은 방법에 의하여, 절연체(282_1), 그리고 도전체(204_1) 및 도전체(205_2)를 형성한다(도 11의 (B) 참조).
- [0244] 다음으로, 도 10의 (A) 내지 (C)에 나타난 방법과 같은 방법에 의하여, 절연체(222_2), 절연체(224_2), 산화물(230a_2), 산화물(230b_2), 도전체(242a_2), 도전체(242b_2), 절연체(272_2), 절연체(273_2), 절연체(280_2), 산화물(230c_2), 절연체(250_2), 도전체(260_2), 절연체(274_2), 절연체(275_2), 도전체(244_2), 및 도전체(240_2)를 형성한다(도 12의 (A) 참조). 그 후, 도 11의 (A) 및 (B)에 나타난 방법과 같은 방법에 의하여, 절연체(275_2)를 제거하고, 절연체(282_2), 절연체(216_3), 도전체(204_2), 도전체(205_3), 및 절연체(222_3)를 형성한다(도 12의 (B) 참조).
- [0245] 이러한 식으로, 도 8의 (A) 및 (B), 그리고 도 9의 (A) 및 (B)에 나타난 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치를 제작할 수 있다.
- [0246] <반도체 장치의 구성예 3>
- [0247] 도 13의 (A)는 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 구성예를 나타낸 상면도이다. 또한, 도 13의 (B), 그리고 도 14의 (A) 및 (B)는 상기 반도체 장치의 구성예를 나타낸 단면도이다. 여기서, 도 13의 (B)는 도 13의 (A)에 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도 및 용량 소자(100)의 상기 채널 길이 방향과 평행한 방향의 단면도이다. 또한, 도 14의 (A)는 도 13의 (A)에 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이다. 또한 도 14의 (B)는 도 13의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 용량 소자(100)의, 트랜지스터(200)의 채널 폭 방향과 평행한 방향의 단면도이기도 하다.
- [0248] 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타난 구성의 반도체 장치는, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타난 구성의 반도체 장치와 마찬가지로, 기판(도시하지 않았음) 위의 절연체(214)와, 절연체(214) 위의 트랜지스터(200_1)와, 트랜지스터(200_1) 위의 절연체(280_1)와, 절연체(280_1) 위의 절연체(274_1)를 가진다. 또한, 트랜지스터(200_1)와 중첩되는 영역을 가지도록 용량 소자(100_1) 및 트랜지스터(200_2)가 제공된다. 또한, 트랜지스터(200_2) 위의 절연체(280_2)와, 절연체(280_2) 위의 절연체(274_2)를 가진다. 또한, 트랜지스터(200_2)와 중첩되는 영역을 가지도록 용량 소자(100_2)가 제공된다.
- [0249] 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타난 구성의 트랜지스터(200_1)는, 절연체(214) 위의 절연체(216_1)와, 절연체(216_1)와 접하는 영역을 가지는 도전체(207_1)와, 절연체(216_1) 위 및 도전체(207_1) 위의 절연체(222_1)와, 절연체(222_1) 위의 절연체(224_1)와, 절연체(224_1) 위의 산화물(230a_1)과, 산화물(230a_1) 위의 산화물(230b_1)과, 산화물(230b_1) 위의 도전체(242a_1) 및 도전체(242b_1)와, 절연체(224_1)의 상면, 산화물(230a_1)의 측면, 산화물(230b_1)의 측면, 그리고 도전체(242a_1) 및 도전체(242b_1)의 상면 및 측면과 접하는 영역을 가지는 절연체(272_1)와, 절연체(272_1) 위의 절연체(273_1)와, 산화물(230b_1) 위의 산화물(230c_1)과, 산화물(230c_1) 위의 절연체(250_1)와, 절연체(250_1) 위에 위치하고 산화물(230c_1)과 중첩되는 영역을 가지는 도전체(260_1)(도전체(260a_1) 및 도전체(260b_1))를 가진다. 여기서, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타난 구성의 트랜지스터(200_1)와 마찬가지로, 산화물(230c_1)은 도전체(242a_1) 및 도전체(242b_1)의 측면, 절연체(272_1)의 측면, 절연체(273_1)의 측면, 그리고 절연체(280_1)의 측면과 접하는 영역을 가진다. 또한, 도전체(260a_1)는 도전체(260b_1)의 바닥면 및 측면을 감싸도록 배치된다. 또한, 산화물(230c_1)의 상면, 절연체(250_1)의 상면, 도전체(260_1)의 상면은, 절연체(280_1)의 상

면과 실질적으로 일치하여 배치된다.

- [0250] 용량 소자(100_1)는 도전체(247_1)와, 도전체(247_1) 위 및 절연체(274_1) 위의 절연체(285_1)와, 절연체(285_1) 위의 도전체(206_1)를 가진다.
- [0251] 절연체(274_1), 절연체(280_1), 절연체(273_1), 및 절연체(272_1)에는 도전체(242b_1)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(247_1), 절연체(285_1), 및 도전체(206_1)가 제공된다. 또한, 절연체(274_1), 절연체(280_1), 절연체(273_1), 절연체(272_1), 도전체(242a_1), 산화물(230b_1), 산화물(230a_1), 절연체(224_1), 절연체(222_1), 및 절연체(216_1)에는 절연체(214)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(248_1)가 제공된다. 여기서, 도전체(247_1)의 상면의 높이 및 도전체(248_1)의 상면의 높이와, 절연체(274_1)의 상면의 높이는 동일하게 할 수 있다.
- [0252] 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 구성의 트랜지스터(200_2)는, 절연체(274_1) 위의 절연체(216_2)와, 절연체(216_2)와 접하는 영역을 가지는 도전체(207_2)와, 절연체(216_2) 위, 도전체(206_1) 위, 및 도전체(207_2) 위의 절연체(222_2)와, 절연체(222_2) 위의 절연체(224_2)와, 절연체(224_2) 위의 산화물(230a_2)과, 산화물(230a_2) 위의 산화물(230b_2)과, 산화물(230b_2) 위의 도전체(242a_2) 및 도전체(242b_2)와, 절연체(224_2)의 상면, 산화물(230a_2)의 측면, 산화물(230b_2)의 측면, 그리고 도전체(242a_2) 및 도전체(242b_2)의 상면 및 측면과 접하는 영역을 가지는 절연체(272_2)와, 절연체(272_2) 위의 절연체(273_2)와, 산화물(230b_2) 위의 산화물(230c_2)과, 산화물(230c_2) 위의 절연체(250_2)와, 절연체(250_2) 위에 위치하고 산화물(230c_2)과 중첩되는 영역을 가지는 도전체(260_2)(도전체(260a_2) 및 도전체(260b_2))를 가진다. 여기서, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 구성의 트랜지스터(200_2)와 마찬가지로, 산화물(230c_2)은 도전체(242a_2) 및 도전체(242b_2)의 측면, 절연체(272_2)의 측면, 절연체(273_2)의 측면, 그리고 절연체(280_2)의 측면과 접하는 영역을 가진다. 또한, 도전체(260a_2)는, 도전체(260b_2)의 바닥면 및 측면을 감싸도록 배치된다. 또한, 산화물(230c_2)의 상면, 절연체(250_2)의 상면, 도전체(260_2)의 상면은, 절연체(280_2)의 상면과 실질적으로 일치하여 배치된다.
- [0253] 용량 소자(100_2)는 도전체(247_2)와, 도전체(247_2) 위 및 절연체(274_2) 위의 절연체(285_2)와, 절연체(285_2) 위의 도전체(206_2)를 가진다.
- [0254] 절연체(274_2), 절연체(280_2), 절연체(273_2), 및 절연체(272_2)에는 도전체(242b_2)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(247_2), 절연체(285_2), 및 도전체(206_2)가 제공된다. 또한, 절연체(274_2), 절연체(280_2), 절연체(273_2), 절연체(272_2), 도전체(242a_2), 산화물(230b_2), 산화물(230a_2), 절연체(224_2), 절연체(222_2), 및 절연체(216_2)에는 도전체(248_1)에 도달하는 개구가 제공되고, 상기 개구에는 도전체(248_2)가 제공된다. 따라서, 트랜지스터(200_1)가 가지는 도전체(242a_1)와, 트랜지스터(200_2)가 가지는 도전체(242a_2)는 도전체(248_1) 및 도전체(248_2)를 통하여 전기적으로 접속된다. 또한, 도전체(247_2)의 상면의 높이 및 도전체(248_2)의 상면의 높이와, 절연체(274_2)의 상면의 높이는 동일하게 할 수 있다.
- [0255] 절연체(285)에는 절연체(282)와 같은 재료를 사용할 수 있다. 도전체(207)에는 도전체(205b)와 같은 재료를 사용할 수 있다. 도전체(206)에는 도전체(204b)와 같은 재료를 사용할 수 있다. 도전체(247)에는 도전체(240)와 같은 재료를 사용할 수 있다. 또한, 도전체(248)에는 도전체(244)와 같은 재료를 사용할 수 있다.
- [0256] 또한, 도 13의 (B), 그리고 도 14의 (A) 및 (B)에서는 도전체(207), 도전체(206), 도전체(247), 및 도전체(248)를 단층 구성으로 하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 도전체(207), 도전체(206), 도전체(247), 또는 도전체(248) 중 하나 이상을 2층 적층 구조로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋다.
- [0257] 여기서, 도전체(248)는 트랜지스터(200)의 소스 및 드레인 중 한쪽과 전기적으로 접속되는 플러그로서의 기능을 가지고, 도전체(247)는 트랜지스터(200)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속되는 플러그로서의 기능을 가진다. 따라서, 도전체(247)는 플러그로서의 기능과 용량 소자(100)의 한쪽 전극으로서의 기능을 겸할 수 있다.
- [0258] 도 13의 (B) 및 도 14의 (A)에 나타낸 바와 같이, 트랜지스터(200_1)와 트랜지스터(200_2)는 적층하여 제공된다. 또한, 도 13의 (B) 및 도 14의 (B)에 나타낸 바와 같이, 용량 소자(100_1)와 용량 소자(100_2)는 적층하여 제공된다. 즉, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 구성의 반도체 장치는, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 구성의 반도체 장치와 마찬가지로, 2개의 트랜지스터(200)가 적층하여 제공되고, 2개의 용량 소자(100)가 적층하여 제공된다. 또한, 3개 이상의 트랜지스터(200) 및 3개

이상의 용량 소자(100)를 각각 적층하여 제공하여도 좋다. 이 경우, 도 13의 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 바와 같이, 절연체(274_2) 위의 절연체(285_2) 위에 도전체(207_3)가 제공되고, 도전체(206_2)의 측면 및 도전체(207_2)의 측면과 접하는 영역을 가지도록 절연체(216_3)가 제공되고, 도전체(206_2) 위, 도전체(207_3) 위, 및 절연체(216_3) 위에 절연체(222_3)가 제공된다.

[0259] 용량 소자(100)가 가지는 도전체(206)는, 트랜지스터(200)가 가지는 도전체(207)와 같은 층에 형성된다. 예를 들어, 도전체(206_1)는 도전체(207_2)와 같은 층에 형성된다. 이에 의하여, 도전체(206)와 도전체(207)를 동일 공정으로 형성할 수 있기 때문에, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 구성의 반도체 장치의 제작 공정을, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 구성의 반도체 장치와 마찬가지로 간략화할 수 있다.

[0260] 또한, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 구성의 반도체 장치에서는, 상술한 바와 같이 도전체(247)가 플러그로서의 기능과 용량 소자(100)의 한쪽 전극으로서의 기능을 겸한다. 이와 같이, 트랜지스터(200) 및 용량 소자(100)의 구성 요소의 일부가 공통되는 구성으로 함으로써, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 구성의 반도체 장치의 제작 공정을, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타낸 구성의 반도체 장치와 마찬가지로 간략화할 수 있다.

[0261] 또한, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸 구성의 반도체 장치에서는, 상술한 바와 같이 절연체(274), 절연체(280), 절연체(273), 및 절연체(272)에 제공된 개구의 내측에 도전체(247) 외에 절연체(285) 및 도전체(206)가 제공된다. 따라서, 용량 소자(100)의 한쪽 전극으로서의 기능을 가지는 도전체(247)와, 용량 소자(100)의 다른 쪽 전극으로서의 기능을 가지는 도전체(206)가, 개구부의 내측에서 용량 소자(100)의 유전체로서의 기능을 가지는 절연체(285)를 개재하여 중첩되는 영역을 가진다. 이에 의하여, 도전체(247)와 도전체(206)가 절연체(285)를 개재하여 중첩되는 면적을, 상면에서 보았을 때의 면적보다 크게 할 수 있다. 즉, 상면에서 보았을 때의 한쪽 전극과 다른 쪽 전극이 중첩되는 면적을 증대시키지 않고, 용량 소자(100)의 용량을 늘릴 수 있다. 이상에 의하여, 용량 소자(100)를 미세화하면서 용량 소자(100)의 유지 용량을 크게 할 수 있다.

[0262] <반도체 장치의 제작 방법에 3>

[0263] 다음으로, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타낸, 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치의 제작 방법의 일례에 대하여 도면을 사용하여 설명한다. 상기 도면은 도 13의 (A)에 일점 쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향에 대응한다.

[0264] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(214)를 성막한다. 다음으로, 절연체(214) 위에 도전막(207_1)을 형성한다. 그 후, 절연체(214) 위 및 도전막(207_1) 위에 절연체(216_1)를 성막한다. 다음으로, 성막한 절연체(216_1)에 대하여 CMP 처리를 수행함으로써, 절연체(216_1)의 일부를 제거하여 도전체(207_1)의 표면을 노출시킨다. 또한, 도전막(207_1)의 표면을 노출시키지 않고, 절연체(216_1)가 도전체(207_1)를 덮는 구성으로 하여도 좋다. 이 경우, 절연체(216_1)는 트랜지스터(200_1)의 게이트 절연체로서의 기능을 가질 수 있다.

[0265] 다음으로, 도전체(207_1) 위 및 절연체(216_1) 위에 절연체(222_1)를 성막한다. 그 후, 도 3의 (B) 내지 (E), 그리고 도 4의 (A) 및 (B)에 나타낸 방법과 같은 방법에 의하여 절연체(224_1), 산화물(230a_1), 산화물(230b_1), 도전체(242a_1), 도전체(242b_1), 개구(231_1), 절연체(272_1), 절연체(273_1), 절연체(280_1), 산화물(230c_1), 절연체(250_1), 도전체(260_1), 및 절연체(274_1)를 형성한다(도 15의 (A) 참조).

[0266] 다음으로, 도 4의 (C)에 나타낸 방법과 같은 방법에 의하여 개구(233_1) 및 개구(234_1)를 형성한다(도 15의 (B) 참조). 그 후, 도전막(247A_1)을 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 성막한다(도 15의 (C) 참조).

[0267] 다음으로, 도전막(247A_1) 위에 절연체(276_1)를 성막한다(도 16의 (A) 참조). 그 후, CMP 처리를 수행함으로써 절연체(276_1)의 일부 및 도전막(247A_1)을 제거한다. 이에 의하여, 개구(233_1)의 내측에 도전체(248_1)가 형성되고, 개구(234_1)의 내측에 도전체(247_1)가 형성된다. 또한, 절연체(274_1)의 표면이 노출된다. 또한, 개구(233_1)의, 도전체(248_1)보다 더 내측에는 절연체(276_1)가 잔존한다. 또한, 개구(234_1)의, 도전체(247_1)보다 더 내측에는 절연체(276_1)가 잔존한다(도 16의 (B) 참조).

[0268] 다음으로, 개구(233_1)의 내측 및 개구(234_1)의 내측에 잔존하는 절연체(276_1)를 드라이 에칭법 또는 웨트 에칭법 등에 의하여 제거한다. 이에 의하여, 도전체(248_1)의 표면 및 도전체(247_1)의 표면이 노출된다(도 16의

(C) 참조).

- [0269] 다음으로, 도전체(247_1) 위, 도전체(248_1) 위, 및 절연체(274_1) 위에 절연체(285_1)를 성막한다. 이에 의하여, 도전체(247_1) 및 도전체(248_1)가 절연체(285_1)로 덮인다. 그 후, 절연체(285_1) 위에 도전막(206A_1)을 성막한다(도 17의 (A) 참조). 절연체(285_1)의 성막 및 도전막(206A_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0270] 다음으로, 도전막(206A_1)을 리소그래피법 등에 의하여 가공하여 도전체(206_1) 및 도전체(207_2)를 형성한다(도 17의 (B) 참조). 그 후, 도전체(206_1) 및 도전체(207_2)를 하드 마스크로 하여 절연체(285_1)를 가공한다. 상기 가공에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 상술한 바와 같이, 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.
- [0271] 절연체(285_1)를 가공함으로써, 도전체(248_1)의 표면을 노출시킬 수 있다(도 17의 (C) 참조). 또한, 도전체(206_1) 및 도전체(207_2)를 하드 마스크로 하여 절연체(285_1)를 가공하지 않아도 된다. 예를 들어, 절연체(285_1)의 성막 후에 성막한 절연체를 가공하고, 그 후에 도전막(206A_1)을 성막, 가공하여 도전체(206_1) 및 도전체(207_2)를 형성하여도 좋다. 상기 방법으로 절연체(285_1)를 가공함으로써, 예를 들어 도전체(207_2)의 바닥면이 절연체(274_1)와 접하는 영역을 가질 수 있다.
- [0272] 다음으로, 도전체(206_1) 위, 도전체(207_2) 위, 도전체(248_1) 위, 및 절연체(274_1) 위에 절연체(216_2)를 성막한다. 절연체(216_2)는 절연체(216_1)와 같은 방법으로 성막될 수 있다.
- [0273] 그 후, 절연체(216_2)에 대하여 CMP 처리를 수행함으로써, 절연체(216_2)의 일부를 제거하고, 도전체(206_1)의 표면 및 도전체(207_2)의 표면을 노출시킨다(도 18의 (A) 참조). 또한, 도전체(206_1)의 표면 및 도전체(207_2)의 표면을 노출시키지 않고, 절연체(216_2)가 도전체(206_1) 및 도전체(207_2)를 덮는 구성으로 하여도 좋다. 이 경우, 절연체(216_2)는 트랜지스터(200_2)의 게이트 절연체로서의 기능을 가질 수 있다.
- [0274] 이상과 같이, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타난 구성의 반도체 장치를 제작할 때에는, 개구(233)의 내측에 절연체(276)를 형성한 후, 절연체(276)를 제거하고, 그 후에 개구(233)의 내측에 절연체(216)를 형성한다. 따라서, 절연체(276)는 절연체(216)와 같은 재료를 사용하여 형성하는 것이 바람직하다.
- [0275] 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타난 구성의 반도체 장치의 제작 방법에서는, 도전체(206)와 도전체(207)를 동일 공정으로 형성할 수 있다. 이에 의하여, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 나타난 구성의 반도체 장치와 마찬가지로, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타난 구성의 반도체 장치의 제작 공정을 간략화할 수 있다.
- [0276] 다음으로, 도 6의 (A)에 나타난 방법과 같은 방법에 의하여, 절연체(222_2), 절연체(224_2), 산화물(230a_2), 산화물(230b_2), 도전체(242a_2), 도전체(242b_2), 절연체(231_2), 절연체(272_2), 절연체(273_2), 절연체(280_2), 산화물(230c_2), 절연체(250_2), 도전체(260_2), 및 절연체(274_2)를 형성한다(도 18의 (B) 참조).
- [0277] 다음으로, 도 4의 (C)에 나타난 방법과 같은 방법에 의하여 개구(234_2)를 형성한다. 또한, 개구(231_2)와 중첩되는 영역을 가지도록 도전체(248_1)에 도달하는 개구(233_2)를 절연체(274_2), 절연체(280_2), 절연체(273_2), 절연체(272_2), 절연체(224_2), 절연체(222_2), 및 절연체(216_2)에 형성한다(도 19의 (A) 참조).
- [0278] 다음으로, 도전체(247_2) 및 도전체(248_2)를 도전체(247_1) 및 도전체(248_1)와 같은 방법으로 형성하고, 절연체(285_2)를 절연체(285_1)와 같은 방법으로 형성하고, 도전체(206_2) 및 도전체(207_3)를 절연체(206_1) 및 도전체(207_2)와 같은 방법으로 형성하고, 절연체(216_3)를 절연체(216_2)와 같은 방법으로 형성하고, 절연체(222_3)를 절연체(222_2)와 같은 방법으로 형성한다(도 19의 (B) 참조).
- [0279] 이러한 식으로, 도 13의 (A) 및 (B), 그리고 도 14의 (A) 및 (B)에 나타난 트랜지스터(200) 및 용량 소자(100)를 가지는 반도체 장치를 제작할 수 있다.
- [0280] <반도체 장치의 구성예 4>
- [0281] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)를 가지는 반도체 장치의 일례에 대하여 설명한다.
- [0282] 도 20은 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)를 가지는 반도체 장치의 채널 길이 방향의 단면도이다. 반도체 장치는 도 20에 나타난 바와 같이, 일점쇄선 B1-B2를 대칭축으로 한 선대칭의 구성이다. 트랜지스터(200a)의 소스 전극 및 드레인 전극 중 한쪽과, 트랜지스터(200b)의 소스 전극 및

드레인 전극 중 한쪽을 도전체(242c)가 겸하는 구성이다. 또한, 플러그로서의 기능을 가지는 도전체(244)도, 트랜지스터(200a)와 트랜지스터(200b) 사이에서 겸하는 구성이다. 이상과 같이, 반도체 장치를 도 20에 나타난 구성으로 함으로써, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다.

[0283] 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b) 각각의 구성 및 효과에 대해서는, 도 1의 (A), (B), 도 2의 (A), (B), 도 8의 (A), (B), 도 9의 (A), (B), 도 13의 (A), (B), 도 14의 (A) 및 (B)에 나타난 반도체 장치의 구성예를 참조할 수 있다. 또한 도 20에서는 트랜지스터(200a) 및 트랜지스터(200b), 그리고 용량 소자(100a) 및 용량 소자(100b)를 도 1의 (B)에 나타난 구성으로 하였다.

[0284] <반도체 장치의 구성예 5>

[0285] 도 21은 본 발명의 일 형태의 반도체 장치의 구성예를 나타낸 도면이다. 도 21에 나타난 구성에서는 2개의 반도체 장치가 용량부를 통하여 접속된다. 본 명세서 등에서는, 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)를 가지는 반도체 장치를 셀이라고 부른다. 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)의 구성에 대해서는 상술한 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)에 따른 기재를 참조할 수 있다.

[0286] 도 21은 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)를 가지는 셀(60)과, 셀(60)과 같은 구성을 가지는 셀(61)이 용량부를 통하여 전기적으로 접속되는 구성을 나타낸 단면도이다.

[0287] 도 21에 나타난 바와 같이, 셀(60)이 가지는 트랜지스터(200b)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가지는 도전체(242b)는, 셀(61)이 가지는 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽을 겸하는 구성이다. 또한, 셀(60)이 가지는 용량 소자(100b)의 한쪽 전극으로서의 기능을 가지는 도전체(240)는, 셀(61)이 가지는 용량 소자의 한쪽 전극을 겸하는 구성이다. 또한, 셀(60)이 가지는 용량 소자(100b)의 다른 쪽 전극으로서의 기능을 가지는 도전체(204)는 셀(61)이 가지는 용량 소자의 다른 쪽 전극을 겸하는 구성이다.

[0288] 또한 도시하지 않았지만, 셀(60)이 가지는 트랜지스터(200a)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 가지는 도전체(242a)는, 셀(60)의 왼쪽, 즉 도 21에서 A1 방향으로 인접하는 반도체 장치가 가지는 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽을 겸하는 구성이다. 또한 도시하지 않았지만, 셀(60)이 가지는 용량 소자(100a)의 한쪽 전극으로서의 기능을 가지는 도전체(240)는, 셀(60)의 왼쪽에 인접하는 반도체 장치가 가지는 용량 소자의 한쪽 전극을 겸하는 구성이다. 또한 도시하지 않았지만, 셀(60)이 가지는 용량 소자(100a)의 다른 쪽 전극으로서의 기능을 가지는 도전체(204)는, 셀(60)의 왼쪽에 인접하는 반도체 장치가 가지는 용량 소자의 다른 쪽 전극을 겸하는 구성이다.

[0289] 또한, 셀(61)의 오른쪽, 즉 도 21에 있어서 A2 방향으로 인접하는 반도체 장치가 가지는 셀도 같은 구성으로 할 수 있다. 따라서, 셀을 복수로 배열한 셀 어레이(600)를 구성할 수 있다. 또한, 도 21은 트랜지스터(200a₁), 트랜지스터(200b₁), 용량 소자(100a₁), 및 용량 소자(100b₁)를 가지는 셀 어레이(600₁)와, 트랜지스터(200a₂), 트랜지스터(200b₂), 용량 소자(100a₂), 및 용량 소자(100b₂)를 가지는 셀 어레이(600₂)를 나타낸 것이다.

[0290] 셀 어레이(600)를 도 21에 나타난 구성으로 함으로써, 인접된 셀의 간격을 작게 할 수 있기 때문에, 셀 어레이(600)의 투영 면적을 작게 할 수 있다. 따라서, 본 발명의 일 형태의 반도체 장치의 미세화 또는 고집적화할 수 있다.

[0291] <반도체 장치의 구성예 6>

[0292] 도 22는 도 21에 나타난 셀 어레이(600)를 가지는 반도체 장치의 구성예를 나타낸 단면도이다. 도 22에 나타난 반도체 장치는 기판(311)과, 기판(311) 위의 절연체(211)와, 절연체(211) 위의 절연체(212)와, 절연체(212) 위의 절연체(214)를 가지고, 또한 절연체(214) 위에는 셀 어레이(600)가 n개 적층된 3D 셀 어레이가 배치되어 있다. 즉, 절연체(214) 위에는 셀 어레이(600₁) 내지 셀 어레이(600_n)가 배치되어 있다. 또한, 적층된 셀 어레이(600)는 플러그로서의 기능을 가지는 도전체(244)에 의하여 서로 전기적으로 접속된다. 상기 3D 셀 어레이는 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(222_n), 절연체(283), 및 절연체(284)에 의하여 밀봉된다(편의상 이하에서는 밀봉 구조라고 부른다). 절연체(284)의 주위에는 절연체(274)가 제공된다. 또한, 절연체(274), 절연체(284), 절연체(283), 및 절연체(211)에는 도전체(430)가 제공되고, 기판(311)과 전기적으로 접속된다.

[0293] 또한, 절연체(211), 절연체(283), 및 절연체(284)는 수소에 대한 차단성이 높은 재료이면 적합하다. 또한, 절

연체(214), 절연체(222), 및 절연체(287)는 수소를 포획 또는 수소를 고착하는 기능을 가지는 재료이면 적합하다.

[0294] 예를 들어, 상기 수소에 대한 차단성이 높은 기능을 가지는 재료로서 질화 실리콘 또는 질화산화 실리콘 등을 들 수 있다. 또한, 상기 수소를 포획 또는 수소를 고착하는 기능을 가지는 재료로서 산화 알루미늄, 산화 하프늄, 그리고 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄에이트) 등을 들 수 있다.

[0295] 또한 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 말한다. 또는 대응하는 물질을 포획 및 고착하는(게터링이라고도 함) 기능을 말한다.

[0296] 또한, 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(222), 절연체(283), 및 절연체(284)에 사용하는 재료의 결정 구조에 대하여 특별히 한정되지 않지만, 비정질 또는 결정성을 가지는 구조로 하면 좋다. 예를 들어, 수소를 포획 또는 고착하는 기능을 가지는 재료로서, 비정질의 산화 알루미늄막을 사용하면 적합하다. 비정질의 산화 알루미늄은 결정성이 높은 산화 알루미늄보다 수소를 포획 및 고착하는 양이 많은 경우가 있다.

[0297] 상기 구조로 함으로써, 셀 어레이(600)에 제공된 OS 트랜지스터가 가지는 산화물 반도체의 수소 농도를 저감할 수 있다. 이로써, 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다.

[0298] <반도체 장치의 구성 재료>

[0299] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0300] [기판]

[0301] 트랜지스터(200)를 형성하는 기판으로서는, 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는, 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한, 반도체 기판으로서는, 예를 들어 실리콘, 저마늄 등으로 이루어지는 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한, 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는, 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판 등이 있다. 또한, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는, 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0302] [절연체]

[0303] 절연체로서는 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0304] 예를 들어, 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 저전압화가 가능하게 된다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0305] 또한, 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 또는 실리콘 및 하프늄을 가지는 질화물 등이 있다.

[0306] 또한, 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0307] 또한 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억

제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨 등의 금속 산화물, 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘, 또는 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0308] 또한, 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘을 산화물(230)과 접촉하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0309] [도전체]

[0310] 도전체로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈륨, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈륨과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈륨, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈륨과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0311] 또한, 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0312] 또한, 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우에 있어서, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0313] 특히, 게이트 전극으로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어, 질화 타이타늄, 질화 탄탈륨 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는, 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0314] [금속 산화물]

[0315] 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c))로서, 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(230)에 적용 가능한 금속 산화물에 대하여 설명한다.

[0316] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈륨, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0317] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석 등으로 한다. 그 외의 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타

늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등이 있다. 다만, 원소 M으로서 상술한 원소를 복수 조합하여도 되는 경우가 있다.

- [0318] 또한, 본 명세서 등에서, 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한, 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.
- [0319] OS 트랜지스터에 사용할 수 있는 금속 산화물인 CAC-OS(Cloud-Aligned Composite Oxide Semiconductor) 및 CAAC-OS에 대하여 설명한다.
- [0320] <금속 산화물의 구성>
- [0321] CAC-OS는 재료의 일부에서는 도전성의 기능을 가지고, 재료의 다른 일부에서는 절연성의 기능을 가지고, 재료의 전체에서는 반도체로서의 기능을 가진다. 또한 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 활성층에 사용하는 경우, 도전성의 기능은 캐리어가 되는 전자(또는 홀)를 흘리는 기능이고, 절연성의 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성의 기능과 절연성의 기능을 각각 상보적으로 작용시킴으로써, 스위칭 기능(On/Off시키는 기능)을 CAC-OS 또는 CAC-metal oxide에 부여할 수 있다. CAC-OS 또는 CAC-metal oxide에서 각각의 기능을 분리시킴으로써, 양쪽의 기능을 최대한 높일 수 있다.
- [0322] 또한 CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 가진다. 도전성 영역은 상술한 도전성의 기능을 가지고, 절연성 영역은 상술한 절연성의 기능을 가진다. 또한 재료 내에서 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되어 있는 경우가 있다. 또한 도전성 영역과 절연성 영역은 각각 재료 내에 편재(偏在)하는 경우가 있다. 또한 도전성 영역은 경계가 흐릿해져 클라우드상(cloud-like)으로 연결되어 관찰되는 경우가 있다.
- [0323] 또한 CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기로 재료 내에 분산되어 있는 경우가 있다.
- [0324] 또한 CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 가지는 성분으로 구성된다. 예를 들어, CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 가지는 성분과 도전성 영역에 기인하는 내로 갭을 가지는 성분으로 구성된다. 이 구성의 경우, 캐리어를 흘릴 때에 내로 갭을 가지는 성분에서 주로 캐리어가 흐른다. 또한 내로 갭을 가지는 성분이 와이드 갭을 가지는 성분에 상보적으로 작용되고, 내로 갭을 가지는 성분과 연동하여 와이드 갭을 가지는 성분에도 캐리어가 흐른다. 그러므로 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉 큰 온 전류 및 높은 전계 효과 이동도를 얻을 수 있다.
- [0325] 즉, CAC-OS 또는 CAC-metal oxide는 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.
- [0326] [금속 산화물의 구조]
- [0327] 산화물 반도체는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 CAAC-OS, 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0328] 또한 결정 구조에 착안한 경우, 산화물 반도체는 상기와는 상이한 분류가 되는 경우가 있다. 여기서, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 23의 (A)를 사용하여 설명한다. 도 23의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga과, Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.
- [0329] 도 23의 (A)에 나타낸 바와 같이, IGZO는 "Amorphous(무정형)"와 "Crystalline(결정성)"과, "Crystal(결정)"로 크게 분류된다. 또한 Amorphous의 범주에는 completely amorphous가 포함된다. 또한 Crystalline의 범주에는 CAAC(c-axis aligned crystalline), nc(nanocrystalline), 및 CAC(Cloud-Aligned Composite)가 포함된다. 또한, "Crystalline"의 분류에서는 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 Crystal의 범주에는 single crystal 및 poly crystal이 포함된다.
- [0330] 또한 도 23의 (A)에 나타낸 굵은 테두리 내의 구조는 "Amorphous(무정형)"와 "Crystal(결정)"의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 상기 구조는 Amorphous와 Crystal 사이의 경계 영역에 있다. 즉, 상기 구조는 에너지적으로 불안정한 "Amorphous(무정형)"나, "Crystal(결정)"과는 전혀 다른 구조라고 환언할 수 있다.

- [0331] 또한 막 또는 기관의 결정 구조는 X선 회절(XRD: X-Ray Diffraction)상을 사용하여 평가할 수 있다. 여기서, 석영 유리 및 Crystalline으로 분류되는 결정 구조를 가지는 IGZO(결정성 IGZO라고도 함)의 XRD 스펙트럼을 도 23의 (B) 및 (C)에 나타내었다. 또한 도 23의 (B)가 석영 유리, 도 23의 (C)가 결정성 IGZO의 XRD 스펙트럼이다. 또한 도 23의 (C)에 나타낸 결정성 IGZO의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 23의 (C)에 나타낸 결정성 IGZO의 막 두께는 500nm이다.
- [0332] 도 23의 (B)에서 화살표로 나타낸 바와 같이, 석영 유리에서는 XRD 스펙트럼의 피크의 형상이 거의 좌우 대칭이다. 한편, 도 23의 (C)에서 화살표로 나타낸 바와 같이, 결정성 IGZO에서는 XRD 스펙트럼의 피크의 형상이 좌우 비대칭이다. XRD 스펙트럼의 피크의 형상이 좌우 비대칭인 것은 결정의 존재를 명시하고 있다. 환언하면, XRD 스펙트럼의 피크의 형상이 좌우 대칭이 아니면 Amorphous라고는 말할 수 없다. 또한 도 23의 (C)에서는 $2\theta=31^\circ$ 또는 그 근방에 결정상(IGZO crystal phase)을 명기하였다. XRD 스펙트럼의 피크에 있어서, 좌우 비대칭의 형상은 상기 결정상(미결정)에 기인한다고 추정된다.
- [0333] 구체적으로는, 도 23의 (C)에 나타낸 결정성 IGZO의 XRD 스펙트럼에 있어서, $2\theta=34^\circ$ 또는 그 근방에 피크를 가진다. 또한, 미결정은 $2\theta=31^\circ$ 또는 그 근방에 피크를 가진다. 산화물 반도체막을 X선 회절상을 사용하여 평가하는 경우, 도 23의 (C)에 나타낸 바와 같이 $2\theta=34^\circ$ 또는 그 근방의 피크보다 낮은 각도 측의 스펙트럼의 폭이 넓다. 이것은 산화물 반도체막 내에 $2\theta=31^\circ$ 또는 그 근방에 피크를 가지는 미결정이 내재하는 것을 시사한다.
- [0334] 또한 막의 결정 구조는, 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. 기관 온도를 실온으로 하여 성막한 IGZO막의 회절 패턴을 도 23의 (D)에 나타내었다. 또한 도 23의 (D)에 나타낸 IGZO막은 In:Ga:Zn=1:1:1[원자수비]인 산화물 타깃을 사용하여 스퍼터링법에 의하여 성막된다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행되었다.
- [0335] 도 23의 (D)에 나타낸 바와 같이, 실온에서 성막한 IGZO막의 회절 패턴에서는 헤일로가 아니라 스폿 형상의 패턴이 관찰된다. 그러므로 실온에서 성막한 IGZO막은 결정 상태도 비정질 상태도 아닌 중간 상태이고, 비정질 상태라고는 결론지을 수 없는 것으로 추정된다.
- [0336] CAAC-OS는 c축 배향성을 가지며 a-b면 방향에서 복수의 나노 결정이 연결되어 변형을 가지는 결정 구조가 되어 있다. 또한, 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되어 있는 부분을 가리킨다.
- [0337] 나노 결정은 기본적으로 육각형이지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한, 변형에서 오각형 및 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS의 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.
- [0338] 또한 명확한 결정립계(그레인 바운더리)가 확인되는 결정 구조는 소위 다결정(polycrystal)이라고 불린다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하 또는 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어, In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.
- [0339] 또한, CAAC-OS는 인듐 및 산소를 가지는 층(이하, In층)과 원소 M, 아연, 및 산소를 가지는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.
- [0340] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서, CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한, CAAC-OS는 제조 공정에

서의 높은 온도(소위 서멀 버짓(thermal budget))에 대해서도 안정적이다. 따라서, OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있게 된다.

- [0341] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.
- [0342] a-like OS는, nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는, 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS보다 결정성이 낮다.
- [0343] 산화물 반도체는 다양한 구조를 취하며, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0344] [산화물 반도체를 가지는 트랜지스터]
- [0345] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0346] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전체 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0347] 또한 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다.
- [0348] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0349] 또한, 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길어, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0350] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한, 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는, 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0351] [불순물]
- [0352] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0353] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와, 예를 들어 절연체와 산화물 반도체와의 계면 및 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry))에 의하여 얻어지는 농도)를 2×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{17} atoms/cm³ 이하로 한다.
- [0354] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다.
- [0355] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서 상기 산화물 반도체에서 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어, 산화물 반도체 내의 질소 농도는 SIMS에서 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0356] 또한, 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을

형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로, 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 산화물 반도체의 수소 농도를 1×10^{20} atoms/cm³ 미만, 바람직하게는 1×10^{19} atoms/cm³ 미만, 더 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 한다.

- [0357] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0358] [기타 반도체 재료]
- [0359] 산화물(230)에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 산화물(230)에는 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어, 실리콘 등의 단일 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다. 특히, 반도체로서 기능하는 층상 물질을 반도체 재료에 사용하는 것이 적합하다.
- [0360] 여기서, 본 명세서 등에서 층상 물질이란 층상의 결정 구조를 가지는 재료 그룹의 총칭이다. 층상의 결정 구조에서는, 공유 결합이나 이온 결합에 의하여 형성되는 층이 반데르발스 힘(Van der Waals force)과 같은 공유 결합이나 이온 결합보다 약한 결합에 의하여 적층되어 있다. 층상 물질은 단위 층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고, 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 높은 트랜지스터를 제공할 수 있다.
- [0361] 층상 물질로서, 그래핀, 실리센, 칼코겐화물 등이 있다. 칼코겐화물은 칼코젠을 포함한 화합물이다. 또한 칼코젠은 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한, 칼코겐화물로서 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.
- [0362] 산화물(230)로서는, 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 산화물(230)로서 적용할 수 있는 전이 금속 칼코제나이드로서 구체적으로는 황화 몰리브데넘(대표적으로는 MoS₂), 셀레늄화 몰리브데넘(대표적으로는 MoSe₂), 몰리브데넘텔루륨(대표적으로는 MoTe₂), 황화 텅스텐(대표적으로는 WS₂), 셀레늄화 텅스텐(대표적으로는 WSe₂), 텅스텐텔루륨(대표적으로는 WTe₂), 황화 하프늄(대표적으로는 HfS₂), 셀레늄화 하프늄(대표적으로는 HfSe₂), 황화 지르코늄(대표적으로는 ZrS₂), 셀레늄화 지르코늄(대표적으로는 ZrSe₂) 등을 들 수 있다.
- [0363] 본 실시형태에서 나타낸 구성, 방법 등은 다른 실시형태에 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0364] (실시형태 2)
- [0365] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치를 적용한 기억 장치에 대하여 설명한다.
- [0366] 도 24에 나타낸 기억 장치는 트랜지스터(200), 용량 소자(100), 및 트랜지스터(300)를 가진다. 도 24는 트랜지스터(200) 및 트랜지스터(300)의 채널 길이 방향의 단면도이다. 또한, 도 24에는 용량 소자(100)의 단면도도 나타내었다.
- [0367] 실시형태 1에서 나타낸 바와 같이, 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 실시형태 1에서 나타낸 바와 같이, 트랜지스터(200)는 오프 전류가 낮기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 따라서, 리프्रेस시 동작이 불필요하거나, 또는 리프्रेस시 동작 빈도를 매우 낮게 할 수 있다. 따라서, 기억 장치의 소비 전력을 충분히 저감할 수 있다.
- [0368] 본 발명의 일 형태의 기억 장치는 도 24에 나타낸 바와 같이 트랜지스터(300), 트랜지스터(200), 및 용량 소자(100)를 가진다. 트랜지스터(200) 및 용량 소자(100)는 트랜지스터(300)의 위쪽에 제공된다. 또한, 도 24에서는 트랜지스터(200) 및 용량 소자(100)를 각각 2개 제공하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 트랜지스터(200) 및 용량 소자(100)를 각각 3개 이상 제공하여도 좋다. 예를 들어, 서로 상이한 층

에 3개 이상의 트랜지스터(200)를 제공하고, 서로 상이한 층에 3개 이상의 용량 소자(100)를 제공하여도 좋다.

- [0369] 트랜지스터(200) 및 용량 소자(100)의 구성에 대해서는, 실시형태 1을 참조할 수 있다.
- [0370] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 반도체 영역(313), 저저항 영역(314a), 및 저저항 영역(314b)을 가진다. 여기서, 반도체 영역(313), 그리고 저저항 영역(314a) 및 저저항 영역(314b)은 기판(311) 내에 포함될 수 있다. 또한, 저저항 영역(314a)은 소스 영역 및 드레인 영역 중 한쪽으로서의 기능을 가지고, 저저항 영역(314b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서의 기능을 가진다.
- [0371] 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.
- [0372] 반도체 영역(313)의 채널이 형성되는 영역 및 그 근방의 영역, 그리고 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여, 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.
- [0373] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0374] 게이트 전극으로서 기능하는 도전체(316)에는, 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 혹은 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.
- [0375] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 도전체의 재료를 변경함으로써 문턱 전압을 조정할 수 있다. 구체적으로는 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 점에서 바람직하다.
- [0376] 또한 도 24에 나타난 트랜지스터(300)는 일레이며, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0377] 트랜지스터(300)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.
- [0378] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)로서 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0379] 절연체(322)는, 그 아래쪽에 제공되는 트랜지스터(300) 등에 의하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어, 절연체(322)의 상면은, 평탄성을 높이기 위하여 CMP법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.
- [0380] 또한 절연체(324)에는 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(200)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.
- [0381] 수소에 대한 배리어성을 가지는 막의 일례로서, 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(200) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0382] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은 TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여, $10 \times 10^{15} \text{ atoms/cm}^2$ 이하, 바람직하게는 $5 \times 10^{15} \text{ atoms/cm}^2$ 이하이면 좋다.
- [0383] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한, 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유

전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.

- [0384] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 트랜지스터(300)와 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한, 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다. 또한 플러그 또는 배선으로서 기능하는 도전체에서는 복수의 구조를 통틀어 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서, 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0385] 각 플러그 및 배선(도전체(328) 및 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.
- [0386] 절연체(326) 위 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 24에서 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0387] 또한, 예를 들어 절연체(350)에는 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(350)에 제공되는 개구부에, 수소에 대한 배리어성을 가지는 도전체(356)가 형성됨으로써, 트랜지스터(300)와 트랜지스터(200)를 배리어층에 의하여 분리할 수 있다. 이에 의하여, 트랜지스터(300)로부터 트랜지스터(200)로의 수소의 확산을 억제할 수 있다.
- [0388] 또한 수소에 대한 배리어성을 가지는 도전체로서는 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지하면서 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조인 것이 바람직하다.
- [0389] 상기에서, 도전체(356)를 포함하는 배선층에 대하여 설명하였지만, 본 실시형태에 따른 기억 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배선층과 같은 배선층을 5층 이상으로 하여도 좋다.
- [0390] 절연체(354) 위에는 절연체(210), 절연체(211), 절연체(212), 및 절연체(214)가 순차적으로 적층되어 제공되어 있다. 절연체(210), 절연체(211), 절연체(212), 및 절연체(214) 중 어느 것에는 산소나 수소에 대한 배리어성을 가지는 물질을 사용하는 것이 바람직하다.
- [0391] 절연체(210)에는 예를 들어 절연체(320)와 같은 재료를 사용할 수 있다. 또한, 유전율이 비교적 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(211) 및 절연체(212)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.
- [0392] 절연체(211) 및 절연체(212)에는, 예를 들어 기관(311) 또는 트랜지스터(300)를 제공하는 영역 등으로부터 트랜지스터(200)를 제공하는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 따라서, 절연체(211) 및 절연체(212)에는 절연체(324)와 같은 재료를 사용할 수 있다.
- [0393] 수소에 대한 배리어성을 가지는 막의 일례로서, CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(200) 등의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써 상기 반도체 소자의 특성이 저하하는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0394] 또한 수소에 대한 배리어성을 가지는 막으로서, 예를 들어 절연체(214)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0395] 특히 산화 알루미늄은 산소와, 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 높다. 따라서, 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에서 수소, 수분 등의 불순물이 트랜지스터(200)에 혼입되는 것을 방지할 수 있다. 또한, 트랜지스

터(200)를 구성하는 산화물로부터의 산소의 방출을 억제할 수 있다. 그러므로, 산화 알루미늄은, 트랜지스터(200)에 대한 보호막으로서 사용하는 데 적합하다.

- [0396] 또한, 절연체(210), 절연체(211), 절연체(212), 및 절연체(214)에는 도전체(218)가 매립되어 있다. 또한, 도전체(218)는 플러그 또는 배선으로서의 기능을 가진다. 도전체(218)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0397] 도전체(218)는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 이에 의하여, 트랜지스터(300)로부터 트랜지스터(200)로의 산소, 수소, 및 물의 확산을 억제할 수 있다.
- [0398] 절연체(214)의 위쪽에는 트랜지스터(200) 및 용량 소자(100)가 제공되어 있다. 또한, 트랜지스터(200) 및 용량 소자(100)의 구조는 실시형태 1에서 설명한 트랜지스터(200) 및 용량 소자(100)를 사용하면 좋다. 또한, 도 24에 나타난 트랜지스터(200) 및 용량 소자(100)의 구성은 일레이며, 그 구조에 한정되지 않고 회로 구성이나 구동 방법에 따라 적절한 구성의 트랜지스터 등을 사용하면 좋다.
- [0399] 절연체(282), 절연체(274), 절연체(280), 절연체(273), 절연체(272), 절연체(224), 절연체(222), 및 절연체(216)에는 개구가 제공되고, 상기 개구에는 도전체(241)가 제공된다. 도전체(241)는 실시형태 1에서 설명한 도전체(240)와 같은 재료를 사용하여 제공할 수 있다. 또한, 도전체(241)의 위쪽에는 도전체(208)가 제공된다. 도 24에서는 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(241)를 통하여 트랜지스터(300)와 도전체(208)가 전기적으로 접속되는 구성을 나타내었다.
- [0400] 이상이 구성예에 대한 설명이다. 본 구성을 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다.
- [0401] 본 실시형태에서 기재하는 구성, 방법 등은 다른 실시형태에 기재하는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0402] (실시형태 3)
- [0403] 본 실시형태에서는 OS 트랜지스터가 적용된 기억 장치(이하, OS 메모리 장치라고 부르는 경우가 있음)에 대하여 설명한다. OS 메모리 장치는 적어도 용량 소자와, 용량 소자의 충방전을 제어하는 OS 트랜지스터를 가지는 기억 장치이다. OS 트랜지스터의 오프 전류는 매우 작기 때문에, OS 메모리 장치는 유지 특성이 우수하고, 비휘발성 메모리로서 기능할 수 있다.
- [0404] 일반적으로 컴퓨터 등의 반도체 장치에서는 용도에 따라 다양한 기억 장치(메모리)가 사용된다. 도 25에 각종 기억 장치를 계층마다 나타내었다. 위층에 위치하는 기억 장치일수록 빠른 액세스 속도가 요구되고, 아래층에 위치하는 기억 장치일수록 큰 기억 용량과 높은 기록 밀도가 요구된다. 도 25에서는 가장 위의 층으로부터 순차적으로 CPU 등의 연산 처리 장치에 레지스터로서 혼재(混載)되는 메모리, SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 3D NAND 메모리를 나타내었다.
- [0405] CPU 등의 연산 처리 장치에 레지스터로서 혼재되는 메모리는 연산 결과의 일시적인 저장 등에 사용되기 때문에, 연산 처리 장치로부터의 액세스 빈도가 높다. 따라서 빠른 동작 속도가 기억 용량보다 더 요구된다. 또한 레지스터는 연산 처리 장치의 설정 정보 등을 유지하는 기능도 가진다.
- [0406] SRAM은 예를 들어 캐시에 사용된다. 캐시는 메인 메모리에 유지되는 정보의 일부를 복제하여 유지하는 기능을 가진다. 사용 빈도가 높은 데이터를 캐시에 복제함으로써 데이터에 대한 액세스 속도를 빠르게 할 수 있다.
- [0407] DRAM은 예를 들어 메인 메모리에 사용된다. 메인 메모리는 스토리지에서 판독된 프로그램이나 데이터를 유지하는 기능을 가진다. DRAM의 기록 밀도는 약 $0.1\text{Gbit}/\text{mm}^2$ 내지 $0.3\text{Gbit}/\text{mm}^2$ 이다.
- [0408] 3D NAND 메모리는 예를 들어 스토리지에 사용된다. 스토리지는 장기간 저장할 필요가 있는 데이터나 연산 처리 장치에서 사용되는 각종 프로그램 등을 유지하는 기능을 가진다. 따라서 스토리지에서는 동작 속도보다, 큰 기억 용량과 높은 기록 밀도가 더 요구된다. 스토리지에 사용되는 기억 장치의 기록 밀도는 약 $0.6\text{Gbit}/\text{mm}^2$ 내지 $6.0\text{Gbit}/\text{mm}^2$ 이다.
- [0409] 본 발명의 일 형태의 기억 장치는 동작 속도가 빠르고, 장기간에 걸친 데이터 유지가 가능하다. 본 발명의 일 형태의 기억 장치는 캐시가 위치하는 계층과 메인 메모리가 위치하는 계층의 양쪽을 포함하는 경계 영역(901)에 위치하는 기억 장치로서 적합하게 사용할 수 있다. 또한 본 발명의 일 형태의 기억 장치는 메인 메모리가 위치

하는 계층과 스토리지가 위치하는 계층의 양쪽을 포함하는 경계 영역(902)에 위치하는 기억 장치로서 적합하게 사용할 수 있다.

- [0410] <기억 장치의 구성예>
- [0411] 도 26의 (A)에 OS 메모리 장치의 구성의 일례를 나타내었다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는 행 회로(1420), 열 회로(1430), 출력 회로(1440), 컨트롤 로직 회로(1460)를 가진다.
- [0412] 열 회로(1430)는, 예를 들어 열 디코더, 프리차지 회로, 감지 증폭기, 및 기록 회로 등을 가진다. 프리차지 회로는 배선을 프리차지하는 기능을 가진다. 감지 증폭기는 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한, 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되는 배선이고, 자세한 내용은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여 데이터 신호(RDATA)로서 기억 장치(1400)의 외부로 출력된다. 또한, 행 회로(1420)는, 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.
- [0413] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한, 기억 장치(1400)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, WDATA는 기록 회로에 입력된다.
- [0414] 컨트롤 로직 회로(1460)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하여, 행 디코더, 열 디코더의 제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는 이에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.
- [0415] 메모리 셀 어레이(1470)는 매트릭스상으로 배치된 복수개의 메모리 셀(MC)과 복수의 배선을 가진다. 또한, 메모리 셀 어레이(1470)와 행 회로(1420)를 접속하는 배선의 개수는 메모리 셀(MC)의 구성, 1열에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다. 또한, 메모리 셀 어레이(1470)와 열 회로(1430)를 접속시키는 배선의 개수는 메모리 셀(MC)의 구성, 1행에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다.
- [0416] 또한, 도 26의 (A)에서, 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일 평면 위에 형성하는 예에 대하여 나타내었지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 도 26의 (B)에 나타난 바와 같이, 주변 회로(1411)의 일부 위에 메모리 셀 어레이(1470)가 중첩되도록 제공되어도 좋다. 예를 들어, 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다.
- [0417] 도 27의 (A) 내지 (C)에서, 상술한 메모리 셀(MC)에 적용할 수 있는 메모리 셀의 구성예에 대하여 설명한다.
- [0418] <DOSRAM>
- [0419] 도 27의 (A) 내지 (C)에 DRAM의 메모리 셀의 회로 구성예를 나타내었다. 본 명세서 등에서, 1 OS 트랜지스터 1 용량 소자형 메모리 셀을 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부르는 경우가 있다. 도 27의 (A)에 나타난 메모리 셀(1471)은 트랜지스터(M1)와 용량 소자(CA)를 가진다. 또한, 트랜지스터(M1)는 게이트(프린트 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다.
- [0420] 트랜지스터(M1)의 제 1 단자는 용량 소자(CA)의 제 1 단자와 접속되고, 트랜지스터(M1)의 제 2 단자는 배선(BIL)과 접속되고, 트랜지스터(M1)의 게이트는 배선(WOL)과 접속되고, 트랜지스터(M1)의 백 게이트는 배선(BGL)과 접속된다. 용량 소자(CA)의 제 2 단자는 배선(CAL)과 접속된다.
- [0421] 배선(BIL)은 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 판독 시에서, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M1)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 증감시킬 수 있다.
- [0422] 또한, 메모리 셀(MC)은 메모리 셀(1471)에 한정되지 않고, 회로 구성의 변경을 수행할 수 있다. 예를 들어, 메모리 셀(MC)은 도 27의 (B)에 나타난 메모리 셀(1472)과 같이, 트랜지스터(M1)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)과 접속되는 구성으로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 27의 (C)에 나타난 메모리 셀(1473)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M1)로 구성된 메

모리 셀로 하여도 좋다.

- [0423] 앞의 실시형태에 나타난 반도체 장치를 메모리 셀(1471) 등에 사용하는 경우, 트랜지스터(M1)로서 트랜지스터(200)를 사용하고, 용량 소자(CA)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M1)의 누설 전류를 매우 낮게 할 수 있다. 즉, 기록한 데이터가 트랜지스터(M1)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 적게 할 수 있다. 또한, 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한, 누설 전류가 매우 낮기 때문에, 메모리 셀(1471), 메모리 셀(1472), 메모리 셀(1473)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.
- [0424] 또한 DOSRAM에서, 상술한 바와 같이, 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하면, 비트선을 짧게 할 수 있다. 이로써, 비트선 용량이 작아지고 메모리 셀의 유지 용량을 저감할 수 있다.
- [0425] 본 실시형태에서 기재하는 구성, 방법 등은 다른 실시형태에 기재하는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0426] (실시형태 4)
- [0427] 본 실시형태에서는, 앞의 실시형태에서 나타난 기억 장치 등이 포함된 전자 부품 및 전자 기기의 일례를 설명한다.
- [0428] 먼저, 기억 장치(1000)가 제공된 전자 부품의 예를 도 28의 (A) 및 (B)를 사용하여 설명한다.
- [0429] 도 28의 (A)에 전자 부품(700) 및 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 나타내었다. 도 28의 (A)에 나타난 전자 부품(700)은 몰드(711) 내에 기억 장치(1000)를 가진다. 도 28의 (A)에서는 전자 부품(700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(700)은 몰드(711)의 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 기억 장치(1000)와 와이어(714)에 의하여 전기적으로 접속된다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수로 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써, 실장 기판(704)이 완성된다.
- [0430] 도 28의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)에서는 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(1000)가 제공되어 있다.
- [0431] 전자 부품(730)에서는 기억 장치(1000)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 예를 나타내었다. 또한 반도체 장치(735)로서는 CPU, GPU, FPGA 등의 집적 회로(반도체 장치)를 사용할 수 있다.
- [0432] 패키지 기판(732)으로서 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.
- [0433] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 하는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.
- [0434] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저에서는 능동 소자를 제공할 필요가 없기 때문에, 집적 회로보다 낮은 비용으로 제작할 수 있다. 한편, 실리콘 인터포저의 배선의 형성은 반도체 프로세스로 수행할 수 있다. 따라서, 수지 인터포저에서는 형성하기 어려운 미세 배선을, 실리콘 인터포저에서는 용이하게 형성할 수 있다.
- [0435] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저에는 실리콘 인터포저를 사용하는 것이 바람직하다.
- [0436] 또한 실리콘 인터포저를 사용한 SiP나 MCM 등에서는, 집적 회로의 팽창 계수와 인터포저의 팽창 계수 사이의 차이로 인한 신뢰성의 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량량이 발생하기 어렵다. 특히, 인터포저 위에

복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

- [0437] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에 나타낸 전자 부품(730)에서는 기억 장치(1000)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.
- [0438] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 28의 (B)에서는 전극(733)을 뿔뿔 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 뿔뿔 볼을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스상으로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.
- [0439] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어, SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.
- [0440] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0441] (실시형태 5)
- [0442] 본 실시형태에서는, 앞의 실시형태에 나타낸 반도체 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 앞의 실시형태에 나타낸 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어, 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한, 여기서 컴퓨터란, 태블릿형 컴퓨터나, 노트북형 컴퓨터나, 데스크톱형 컴퓨터 외에, 서버 시스템과 같은 대형의 컴퓨터를 포함하는 것이다. 또는, 앞의 실시형태에 나타낸 반도체 장치는, 메모리 카드(예를 들어, SD 카드), USB 메모리, SSD(solid state drive) 등의 각종의 리무버블 기억 장치에 적용된다. 도 29의 (A) 내지 (E)에 리무버블 기억 장치의 구성예를 모식적으로 나타내었다. 예를 들어, 앞의 실시형태에 나타낸 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.
- [0443] 도 29의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기판(1104)을 가진다. 기판(1104)은 하우징(1101)에 수납되어 있다. 예를 들어, 기판(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 기판(1104)의 메모리 칩(1105) 등에 앞의 실시형태에 나타낸 반도체 장치를 제공할 수 있다.
- [0444] 도 29의 (B)는 SD 카드의 외관의 모식도이고, 도 29의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기판(1113)을 가진다. 기판(1113)은 하우징(1111)에 수납되어 있다. 예를 들어, 기판(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기판(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한, 무선 통신 기능을 구비한 무선 칩을 기판(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 기판(1113)의 메모리 칩(1114) 등에 앞의 실시형태에 나타낸 반도체 장치를 제공할 수 있다.
- [0445] 도 29의 (D)는 SSD의 외관의 모식도이고, 도 29의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기판(1153)을 가진다. 기판(1153)은 하우징(1151)에 수납되어 있다. 예를 들어, 기판(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 워크 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기판(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 기판(1153)의 메모리 칩(1154) 등에 앞의 실시형태에 나타낸 반도체 장치를 제공할 수 있다.
- [0446] 본 실시형태에 나타낸 구성, 방법 등은 다른 실시형태에 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0447] (실시형태 6)
- [0448] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치에 적용할 수 있는 전자 기기의 구체적인 예에 대하여 도 30의 (A) 내지 (F)를 사용하여 설명한다.

- [0449] 더 구체적으로는, 본 발명의 일 형태에 따른 반도체 장치는 CPU나 GPU 등의 프로세서 또는 칩에 사용할 수 있다. 도 30의 (A) 내지 (F)에 본 발명의 일 형태에 따른 CPU나 GPU 등의 프로세서 또는 칩을 가지는 전자 기기의 구체적인 예를 나타내었다.
- [0450] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파칭코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등을 들 수 있다. 또한, 본 발명의 일 형태에 따른 집적 회로 또는 칩을 전자 기기에 제공함으로써, 전자 기기에 인공 지능을 탑재할 수 있다.
- [0451] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상이나 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.
- [0452] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것)를 가져도 좋다.
- [0453] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되는 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다. 도 30의 (A) 내지 (F)에 전자 기기의 예를 나타내었다.
- [0454] <휴대 전화>
- [0455] 도 30의 (A)에는 정보 단말기의 일종인 휴대 전화(스마트폰)가 도시되어 있다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 구비되고, 버튼이 하우징(5510)에 구비된다.
- [0456] 정보 단말기(5500)는, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5511)에 표시하는 애플리케이션, 표시부(5511)에 포함된 터치 패널에 대하여 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5511)에 표시하는 애플리케이션, 지문이나 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.
- [0457] <정보 단말기 1>
- [0458] 도 30의 (B)에는 데스크톱형 정보 단말기(5300)가 도시되어 있다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와 디스플레이(5302)와 키보드(5303)를 가진다.
- [0459] 데스크톱형 정보 단말기(5300)는 상술한 정보 단말기(5500)와 마찬가지로, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서, 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 데스크톱형 정보 단말기(5300)를 사용함으로써 신규 인공 지능을 개발할 수 있다.
- [0460] 또한, 앞에서는 전자 기기로서 스마트폰 및 데스크톱용 정보 단말기를 예로 들어, 각각 도 30의 (A) 및 (B)에 도시하였지만, 스마트폰 및 데스크톱용 정보 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰 및 데스크톱용 정보 단말기 이외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등을 들 수 있다.
- [0461] <전자 제품>
- [0462] 도 30의 (C)는 전자 제품의 일레인 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.
- [0463] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 저장되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능이나, 전기 냉동 냉장고

(5800)에 저장되어 있는 식재료에 적합한 온도로 자동적으로 조절하는 기능 등을 가질 수 있다.

[0464] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 워터 서버, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등을 들 수 있다.

[0465] <게임기>

[0466] 도 30의 (D)는 게임기의 일례인 휴대용 게임기(5200)를 나타낸 것이다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.

[0467] 휴대용 게임기(5200)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 소비 전력이 낮은 휴대용 게임기(5200)를 실현할 수 있다. 또한 소비 전력이 낮으므로, 회로로부터의 발열을 저감시킬 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0468] 또한, 휴대용 게임기(5200)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 인공 지능을 가지는 휴대용 게임기(5200)를 실현할 수 있다.

[0469] 원래, 게임의 진행, 게임 상에 등장하는 생물의 언동, 게임 상에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대용 게임기(5200)에 인공 지능을 적용함으로써, 게임의 프로그램에 한정되지 않는 표현이 가능하게 된다. 예를 들어, 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임 상에 등장하는 인물의 언동이 변화되는 등의 표현을 할 수 있게 된다.

[0470] 또한, 휴대용 게임기(5200)로 복수의 플레이어가 필요한 게임을 하는 경우, 인공 지능에 의하여 의인적으로 게임 플레이어를 구성할 수 있기 때문에, 대전 상대를 인공 지능에 의한 게임 플레이어로 함으로써, 혼자서도 게임을 할 수 있다.

[0471] 도 30의 (D)에서는 게임기의 일례로서 휴대용 게임기를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(게임 센터, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등을 들 수 있다.

[0472] <이동체>

[0473] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0474] 도 30의 (E1)은 이동체의 일례인 자동차(5700)를 나타낸 것이고, 도 30의 (E2)는 자동차 실내의 앞유리 주변을 나타낸 것이다. 도 30의 (E2)에서는 대시 보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 장착된 표시 패널(5704)을 도시하였다.

[0475] 표시 패널(5701) 내지 표시 패널(5703)은, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0476] 표시 패널(5704)에는 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 차단된 시계(사각)를 보완할 수 있다. 즉, 자동차(5700) 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써 더 자연스럽게 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0477] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차(5700)의 자동 운전 시스템에 사용할 수 있다. 또한, 상기 칩을 도로 안내, 위험 예측 등을 수행하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.

[0478] 또한, 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어, 이동체로서는, 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등을 들 수도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.

[0479] <방송 시스템>

- [0480] 본 발명의 일 형태의 GPU 또는 칩은 방송 시스템에 적용할 수 있다.
- [0481] 도 30의 (F)는 방송 시스템에서의 데이터 전송을 모식적으로 나타낸 것이다. 구체적으로는, 도 30의 (F)는 방송국(5680)으로부터 송신된 전파(방송 신호)가 각 가정의 텔레비전 수신 장치(TV)(5600)에 도달할 때까지의 경로를 나타낸 것이다. TV(5600)는 수신 장치를 구비하고(도시하지 않았음), 안테나(5650)에서 수신된 방송 신호는 상기 수신 장치를 통하여 TV(5600)로 송신된다.
- [0482] 도 30의 (F)에서는, 안테나(5650)를 UHF(Ultra High Frequency) 안테나로 도시하였지만, 안테나(5650)로서는 BS·110° CS 안테나, CS 안테나 등도 적용할 수 있다.
- [0483] 전파(5675A), 전파(5675B)는 지상파 방송용의 방송 신호이고, 전파탑(5670)은 수신한 전파(5675A)를 증폭시키고, 전파(5675B)의 송신을 수행한다. 각 가정에서는 안테나(5650)에서 전파(5675B)를 수신함으로써 TV(5600)에서 지상파 TV 방송을 시청할 수 있다. 또한, 방송 시스템은 도 30의 (F)에 나타낸 지상파 방송에 한정되지 않고, 인공 위성을 사용한 위성 방송, 광 회선에 의한 데이터 방송 등으로 하여도 좋다.
- [0484] 상술한 방송 시스템은, 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 방송 시스템으로 하여도 좋다. 방송국(5680)에서 각 가정의 TV(5600)로 방송 데이터를 송신할 때, 인코더에 의하여 방송 데이터의 압축이 수행되고, 안테나(5650)가 상기 방송 데이터를 수신하였을 때, TV(5600)에 포함되는 수신 장치의 디코더에 의하여 상기 방송 데이터의 복원이 수행된다. 인공 지능을 이용함으로써 예를 들어 인코더의 압축 방법 중 하나인 움직임 보상 예측에서, 표시 화상에 포함되는 표시 패턴의 인식을 수행할 수 있다. 또한 인공 지능을 이용한 프레임 내 예측 등을 수행할 수도 있다. 또한 예를 들어 해상도가 낮은 방송 데이터를 수신하고, 해상도가 높은 TV(5600)에서 상기 방송 데이터의 표시를 수행할 때, 디코더에 의한 방송 데이터의 복원에서, 업 컨버트 등의 화상 보간 처리를 수행할 수 있다.
- [0485] 상술한 인공 지능을 이용한 방송 시스템은 방송 데이터의 양이 증대되는 초고정세(超高精細) 텔레비전(UHDTV: 4K, 8K) 방송에 적합하다.
- [0486] 또한 TV(5600)에 대한 인공 지능의 응용으로서 예를 들어 TV(5600)에 인공 지능을 가지는 녹화 장치를 제공하여도 좋다. 이와 같은 구성으로 하여 상기 녹화 장치의 인공 지능에 사용자의 취향을 학습시킴으로써, 사용자의 취향에 맞춘 프로그램을 자동적으로 녹화할 수 있다.
- [0487] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.
- [0488] 본 실시형태에 나타낸 구성, 방법 등은 다른 실시형태에 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

부호의 설명

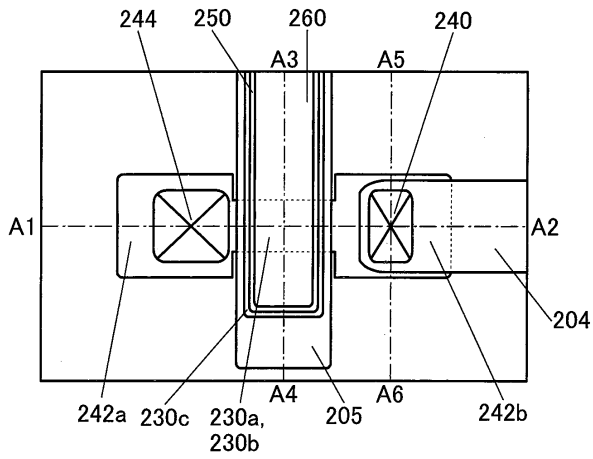
- [0489] 60: 셀, 61: 셀, 100: 용량 소자, 100_1: 용량 소자, 100_2: 용량 소자, 100a: 용량 소자, 100a_1: 용량 소자, 100a_2: 용량 소자, 100b: 용량 소자, 100b_1: 용량 소자, 100b_2: 용량 소자, 200: 트랜지스터, 200_1: 트랜지스터, 200_2: 트랜지스터, 200a: 트랜지스터, 200a_1: 트랜지스터, 200a_2: 트랜지스터, 200b: 트랜지스터, 200b_1: 트랜지스터, 200b_2: 트랜지스터, 204: 도전체, 204_1:도전체, 204_2:도전체, 204a: 도전체, 204a_1: 도전체, 204a_2: 도전체, 204b: 도전체, 204b_1: 도전체, 204b_2: 도전체, 205: 도전체, 205_1: 도전체, 205_2: 도전체, 205_3: 도전체, 205a: 도전체, 205a_1: 도전체, 205a_2: 도전체, 205a_3: 도전체, 205b: 도전체, 205b_1: 도전체, 205b_2: 도전체, 205b_3: 도전체, 206: 도전체, 206_1: 도전체, 206_2: 도전체, 206A_1: 도전막, 207: 도전체, 207_1: 도전체, 207_2: 도전체, 207_3: 도전체, 208: 도전체, 210: 절연체, 211: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 216_1: 절연체, 216_2: 절연체, 216_3: 절연체, 218: 도전체, 222: 절연체, 222_n: 절연체, 222_1: 절연체, 222_2: 절연체, 222_3: 절연체, 224: 절연체, 224_1: 절연체, 224_2: 절연체, 230: 산화물, 230a: 산화물, 230a_1: 산화물, 230a_2: 산화물, 230A_1: 산화막, 230b: 산화물, 230b_1: 산화물, 230b_2: 산화물, 230B: 산화막, 230B_1: 산화막, 230c: 산화물, 230c_1: 산화물, 230c_2: 산화물, 231_1: 개구, 231_2: 개구, 232_1: 개구, 233: 개구, 233_1: 개구, 233_2: 개구, 234_1: 개구, 234_2: 개구, 240: 도전체, 240_1: 도전체, 240_2: 도전체, 241: 도전체, 242: 도전체, 242a: 도전체, 242a_1: 도전체, 242a_2: 도전체, 242A_1: 도전체, 242Aa_1: 도전막, 242b: 도전체, 242b_1: 도전체, 242b_2: 도전체, 242c: 도전체, 244: 도전체, 244_1: 도전체, 244_2: 도전체, 247: 도전체, 247_1: 도전체, 247_2: 도전체, 247A_1: 도전막, 248: 도전체, 248_1: 도전체, 248_2: 도전체, 250: 절연체, 250_1: 절연체, 250_2: 절

연체, 260: 도전체, 260_1: 도전체, 260_2: 도전체, 260a: 도전체, 260a_1: 도전체, 260a_2: 도전체, 260b: 도전체, 260b_1: 도전체, 260b_2: 도전체, 272: 절연체, 272_1: 절연체, 272_2: 절연체, 273: 절연체, 273_1: 절연체, 273_2: 절연체, 274: 절연체, 274_1: 절연체, 274_2: 절연체, 275_1: 절연체, 275_2: 절연체, 276: 절연체, 276_1: 절연체, 280: 절연체, 280_1: 절연체, 280_2: 절연체, 282: 절연체, 282_1: 절연체, 282_2: 절연체, 283: 절연체, 284: 절연체, 285: 절연체, 285_1: 절연체, 285_2: 절연체, 287: 절연체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 430: 도전체, 600: 셀 어레이, 600_1: 셀 어레이, 600_2: 셀 어레이, 600_n: 셀 어레이, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 901: 경계 영역, 902: 경계 영역, 1000: 기억 장치, 1100: USB 메모리, 1101: 하우징, 1102: 캡, 1103: USB 커넥터, 1104: 기판, 1105: 메모리 칩, 1106: 컨트롤러 칩, 1110: SD 카드, 1111: 하우징, 1112: 커넥터, 1113: 기판, 1114: 메모리 칩, 1115: 컨트롤러 칩, 1150: SSD, 1151: 하우징, 1152: 커넥터, 1153: 기판, 1154: 메모리 칩, 1155: 메모리 칩, 1156: 컨트롤러 칩, 1400: 기억 장치, 1411: 주변 회로, 1420: 행 회로, 1430: 열 회로, 1440: 출력 회로, 1460: 컨트롤 로직 회로, 1470: 메모리 셀 어레이, 1471: 메모리 셀, 1472: 메모리 셀, 1473: 메모리 셀, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 디스크톱형 정보 단말기, 5301: 본체, 5302: 디스플레이, 5303: 키보드, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5600: TV, 5650: 안테나, 5670: 전파탑, 5675A: 전파, 5675B: 전파, 5680: 방송극, 5700: 자동차, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문

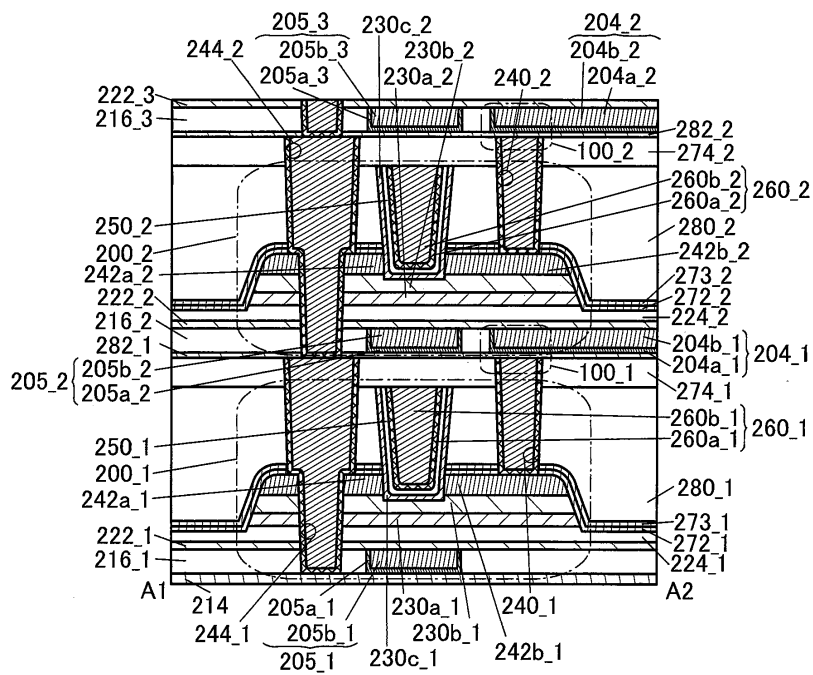
도면

도면1

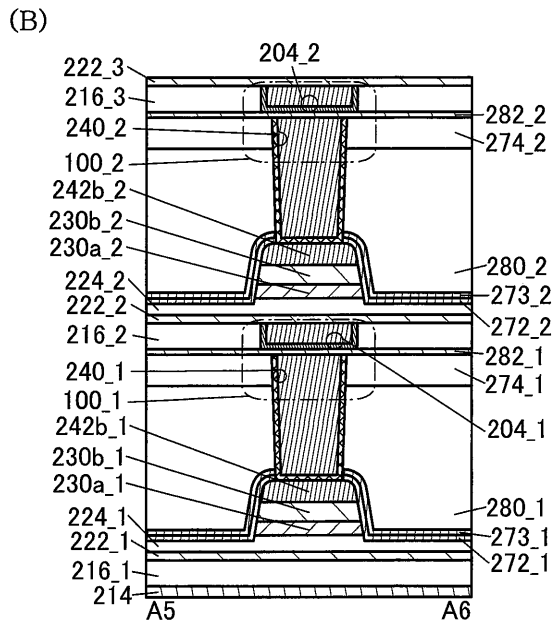
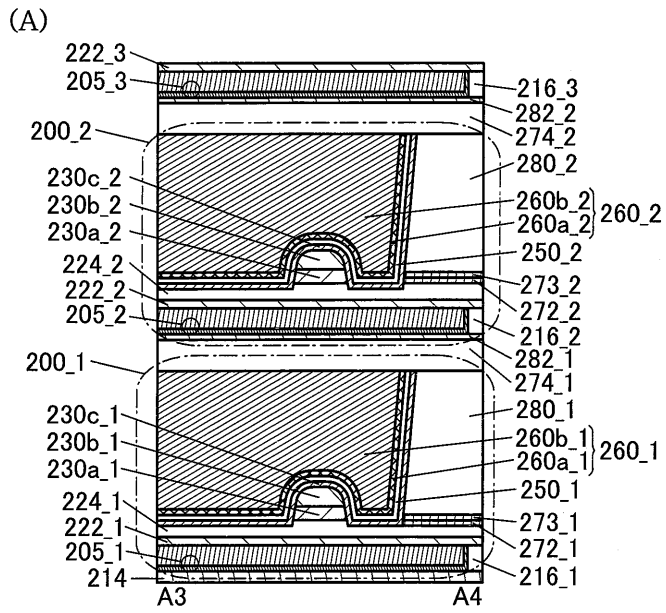
(A)



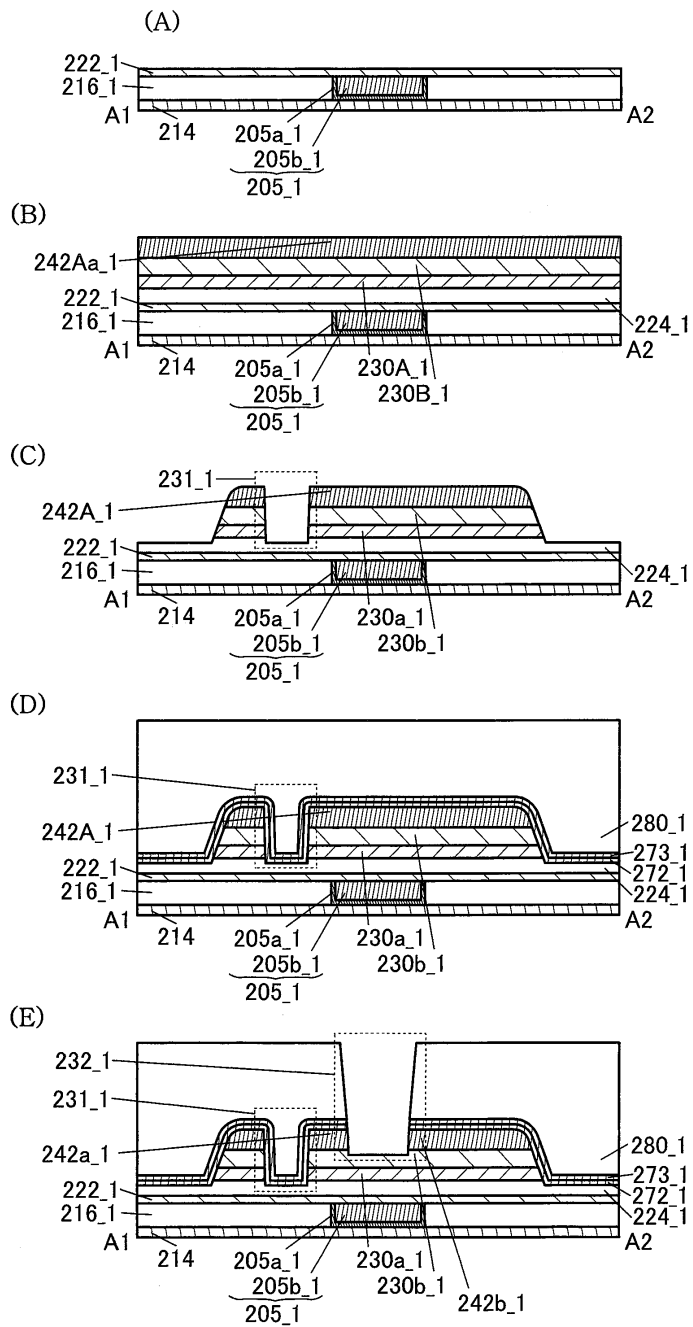
(B)



도면2

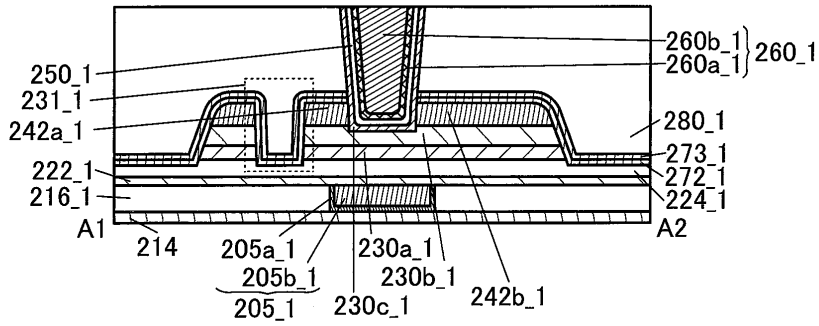


도면3

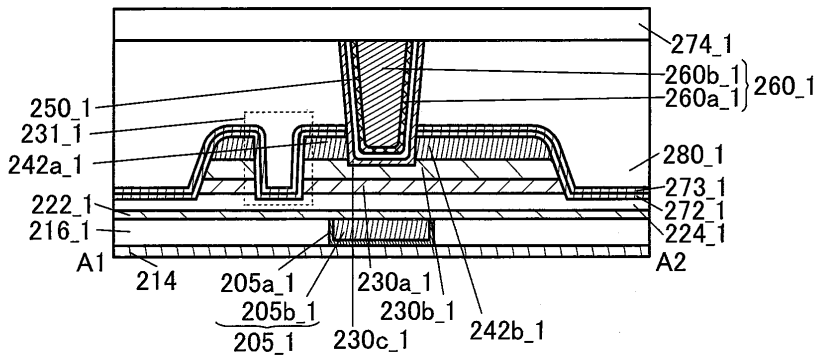


도면4

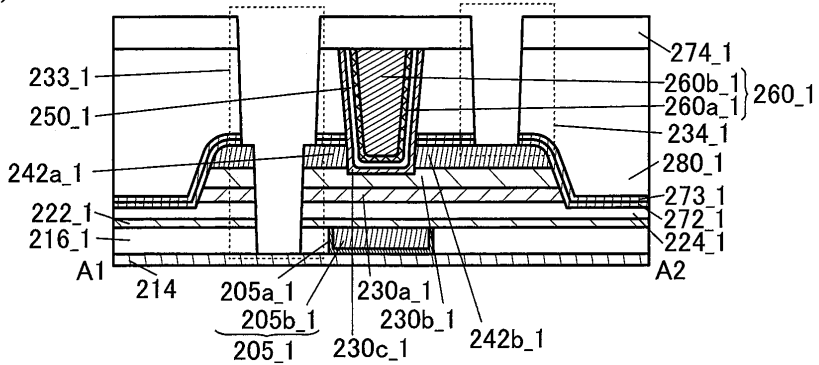
(A)



(B)

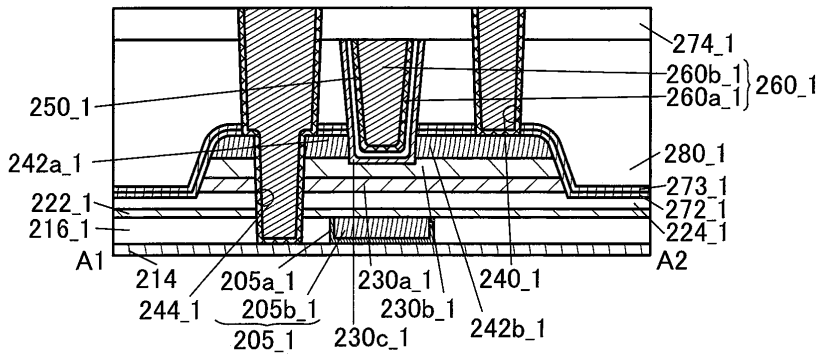


(C)

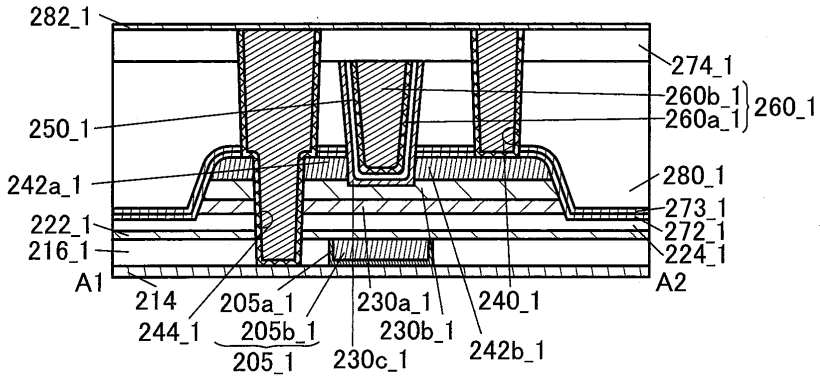


도면5

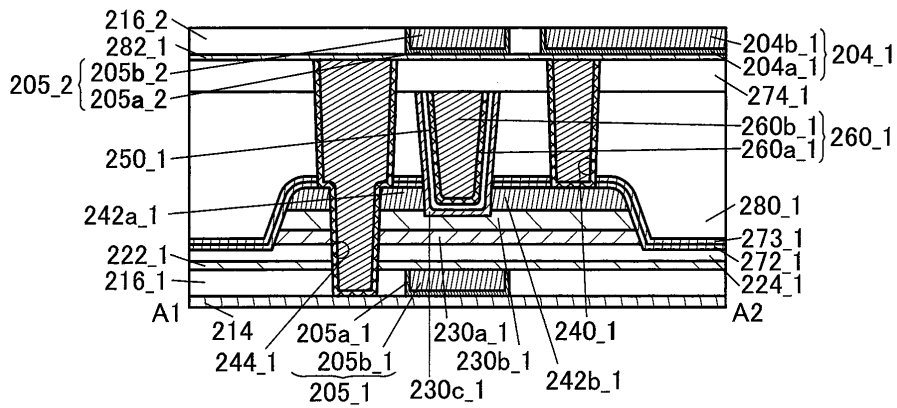
(A)



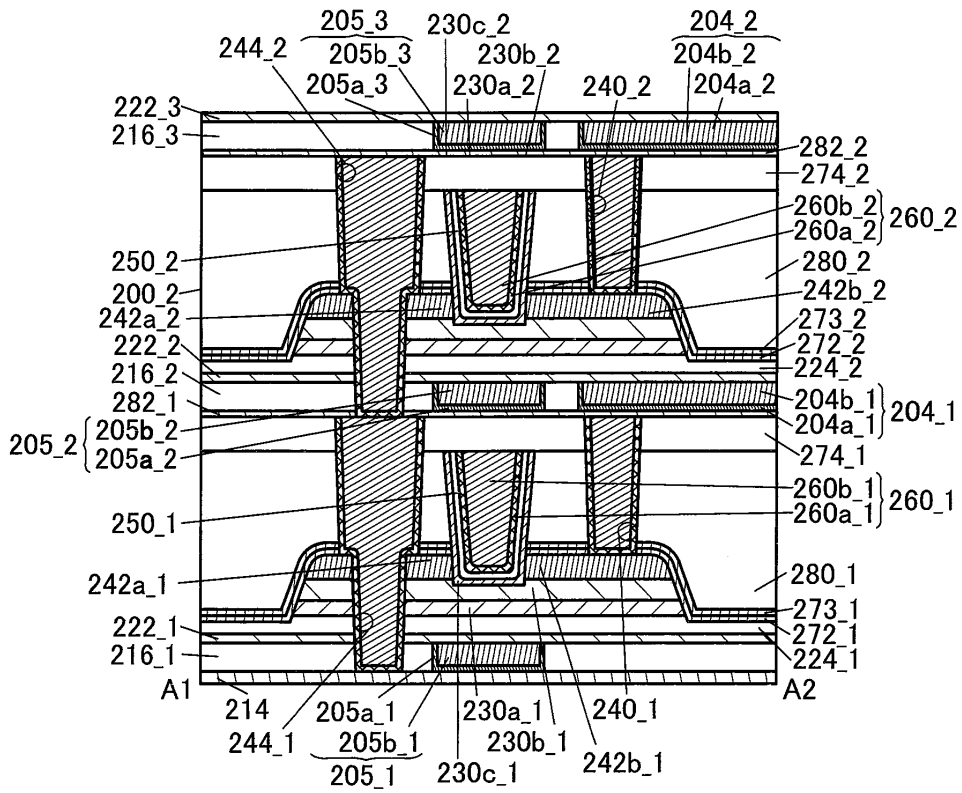
(B)



(C)

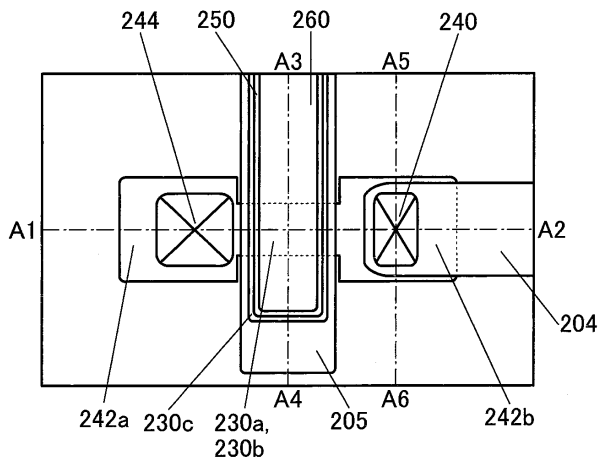


도면7

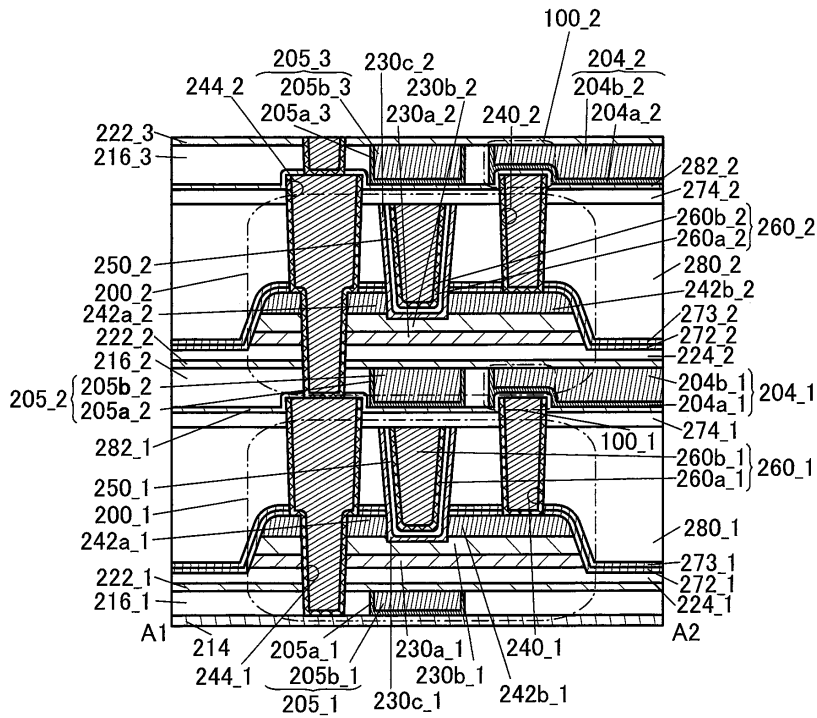


도면8

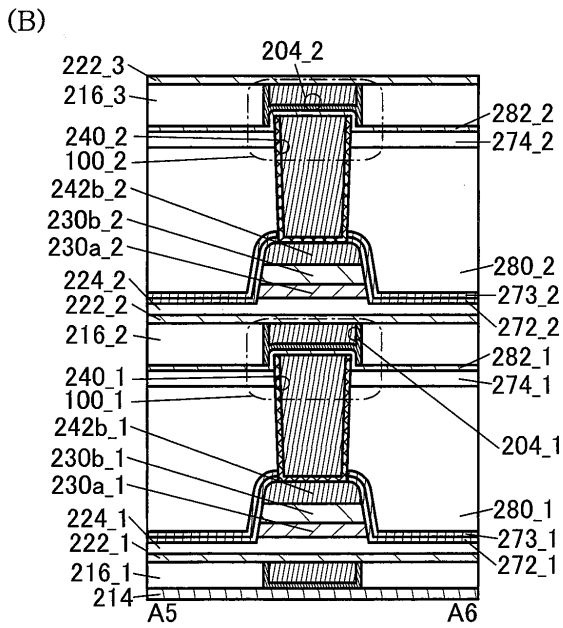
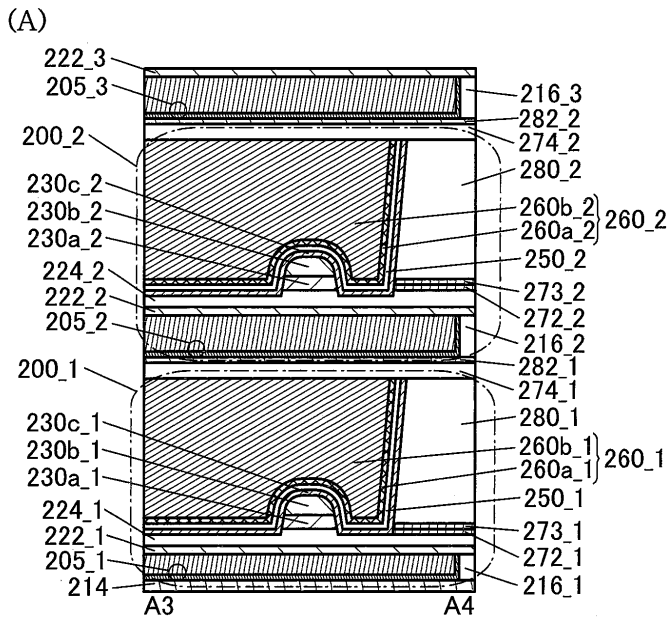
(A)



(B)

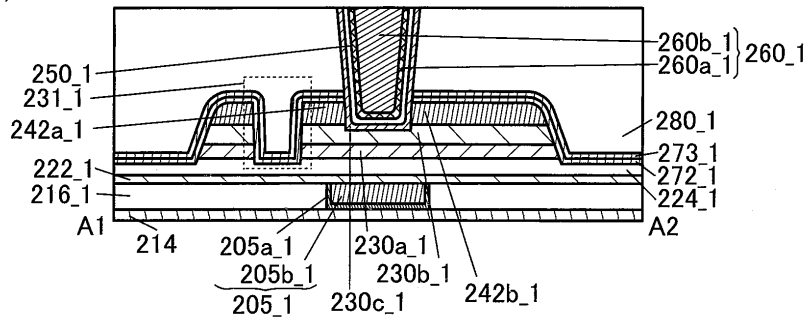


도면9

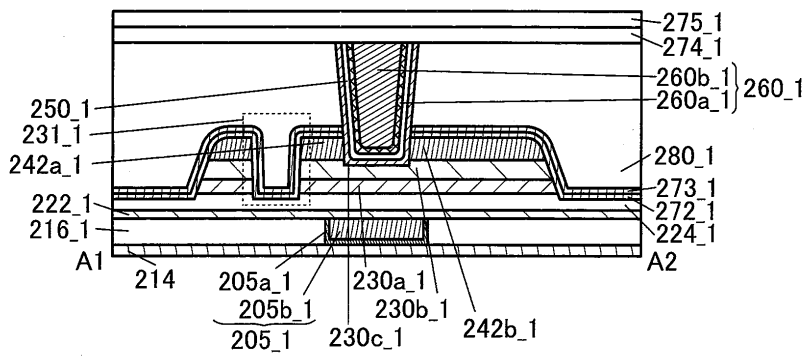


도면10

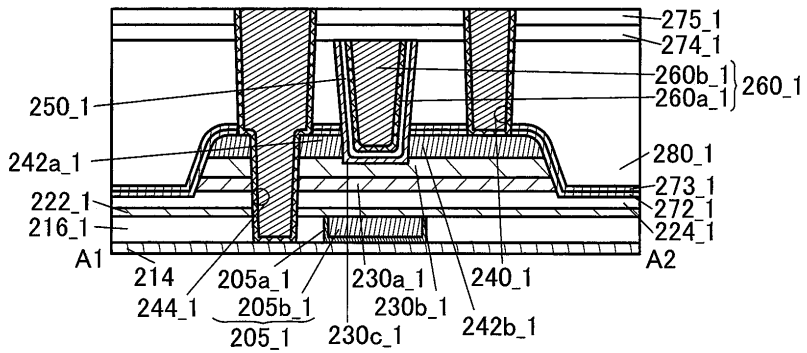
(A)



(B)

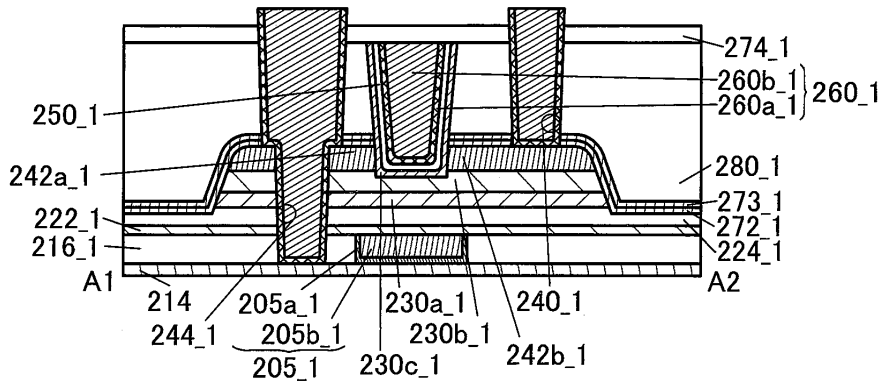


(C)

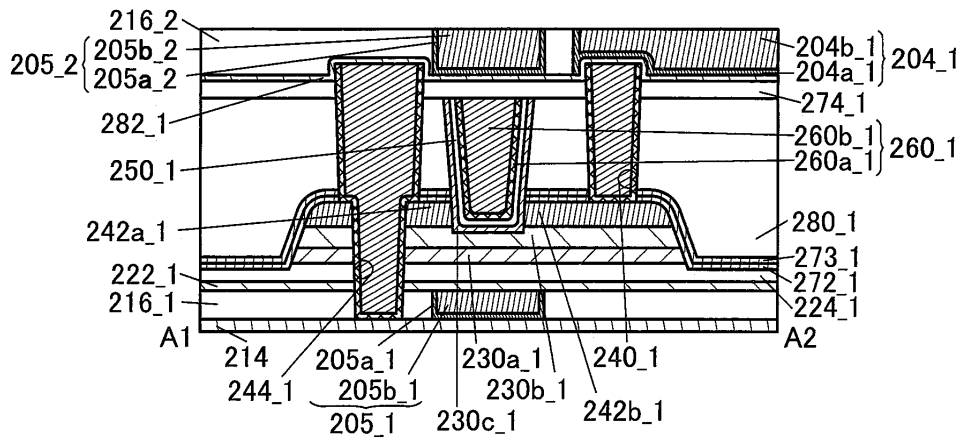


도면11

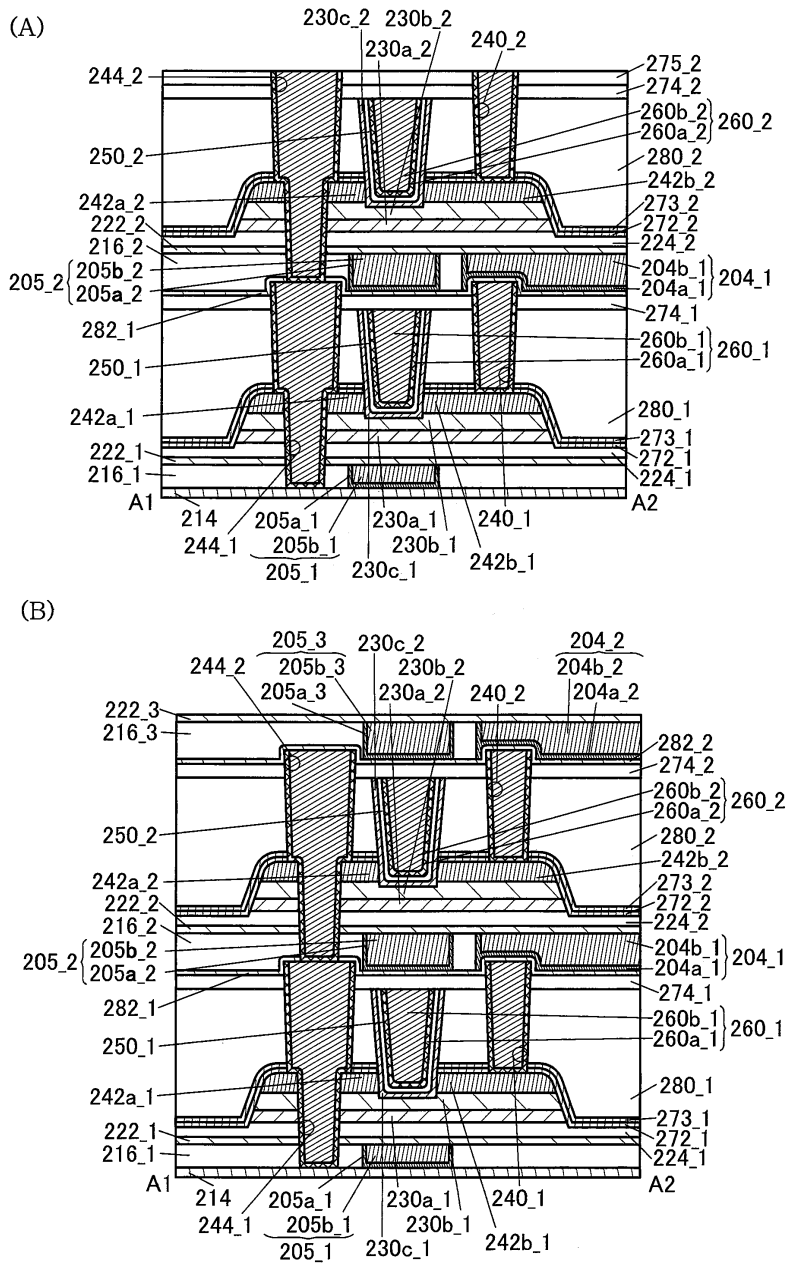
(A)



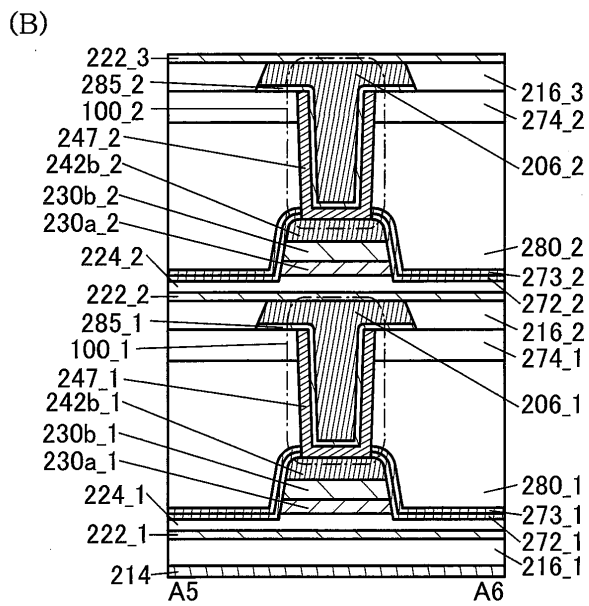
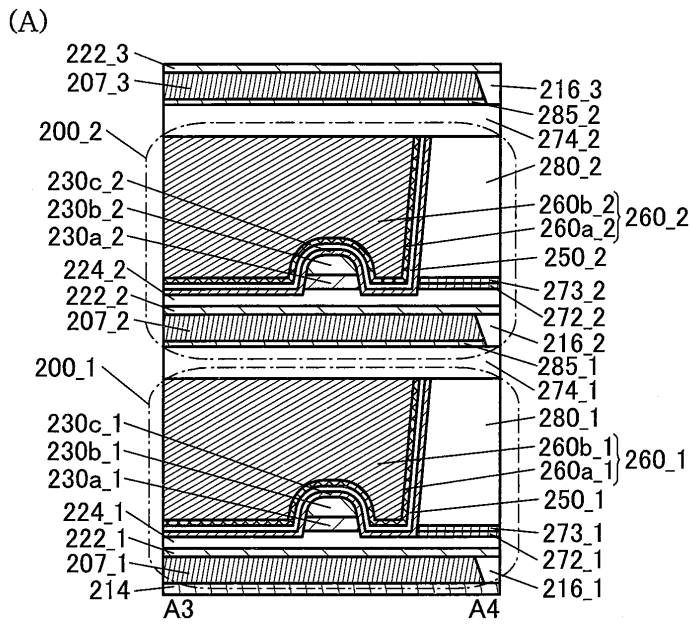
(B)



도면12

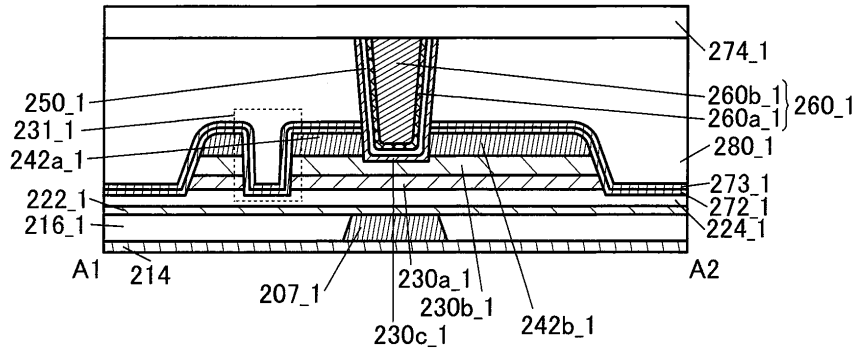


도면14

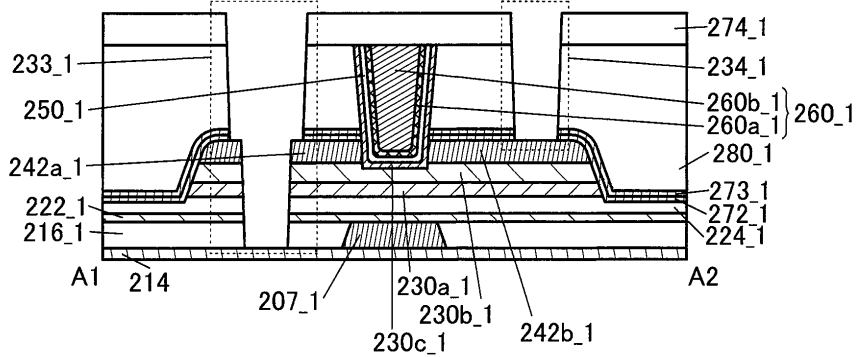


도면15

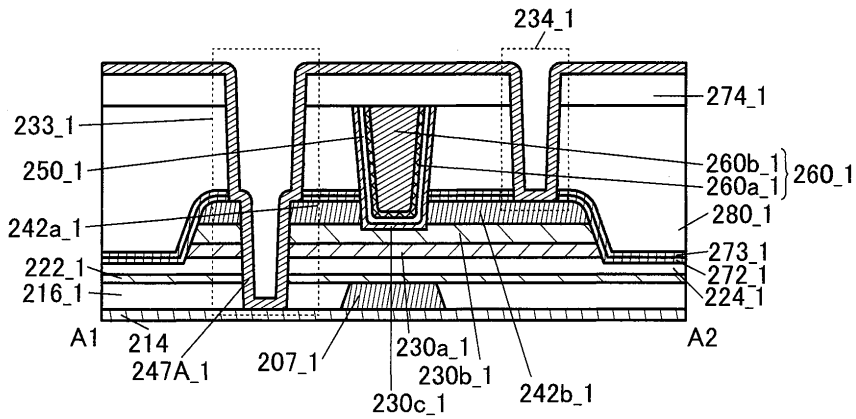
(A)



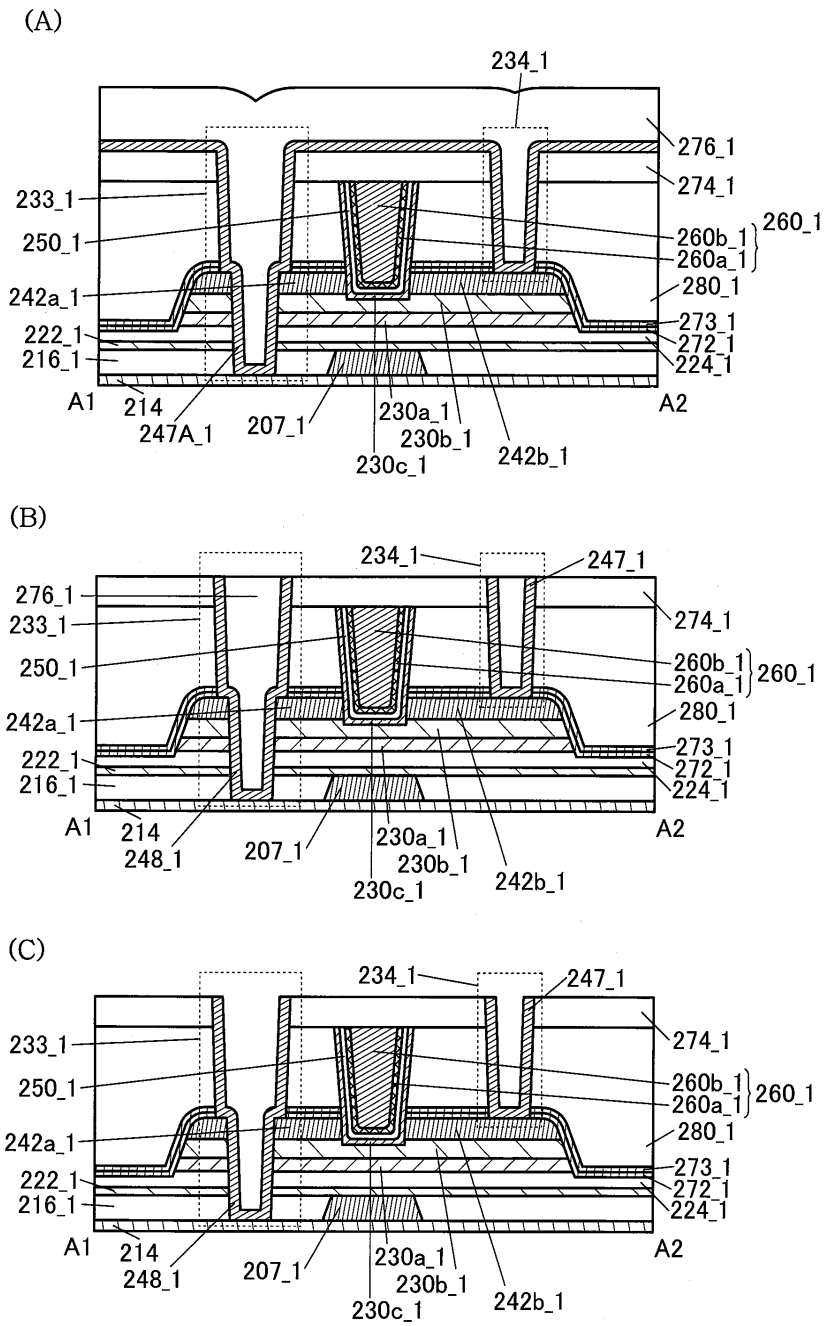
(B)



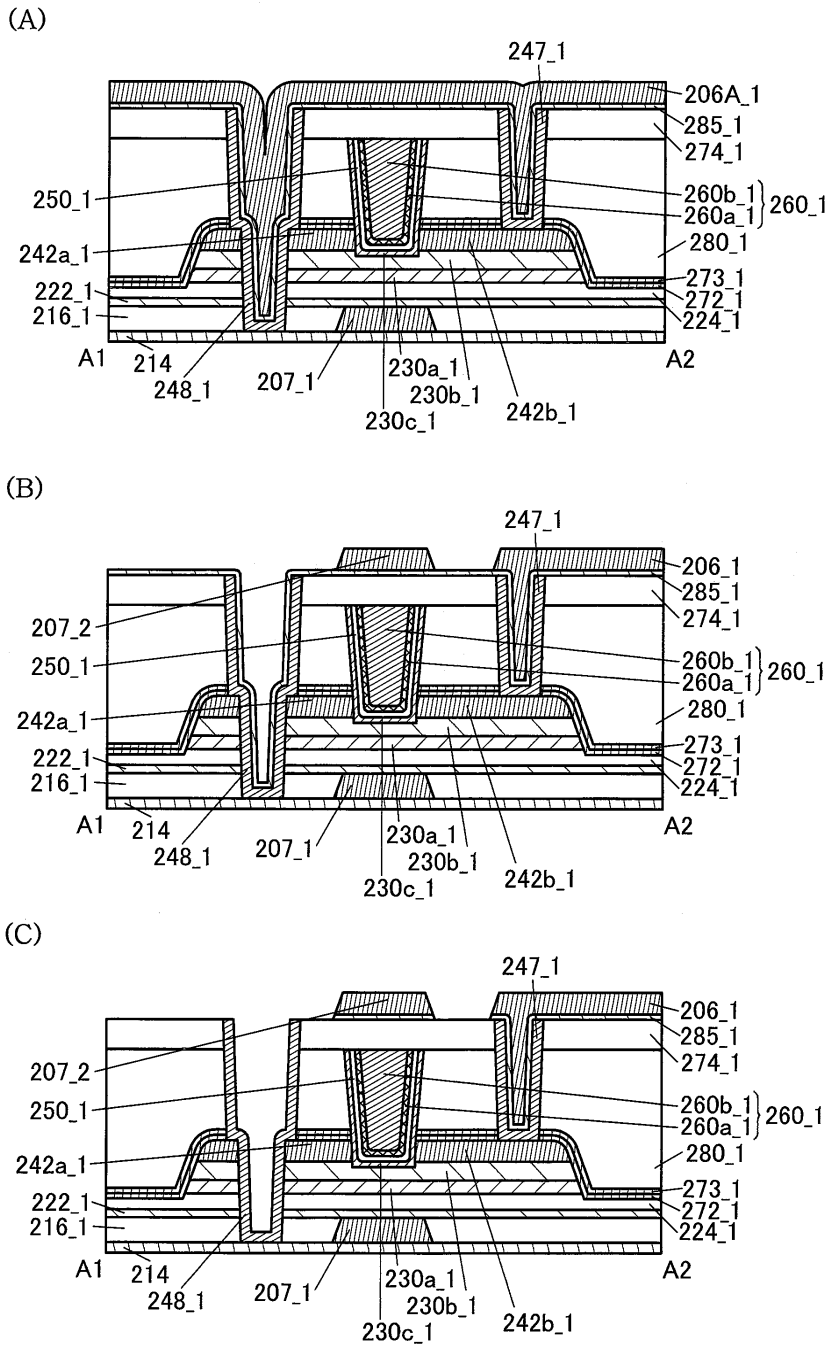
(C)



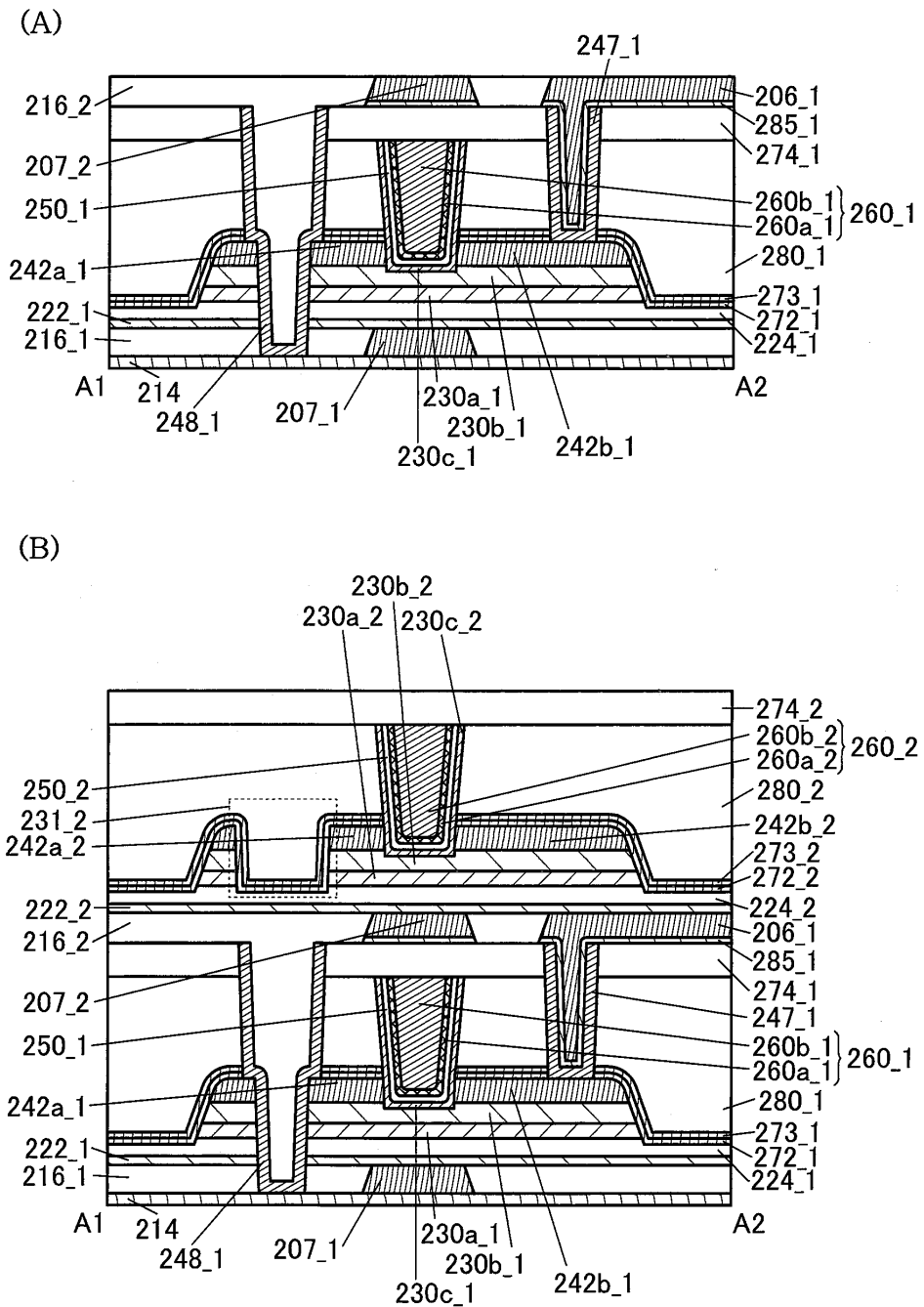
도면16



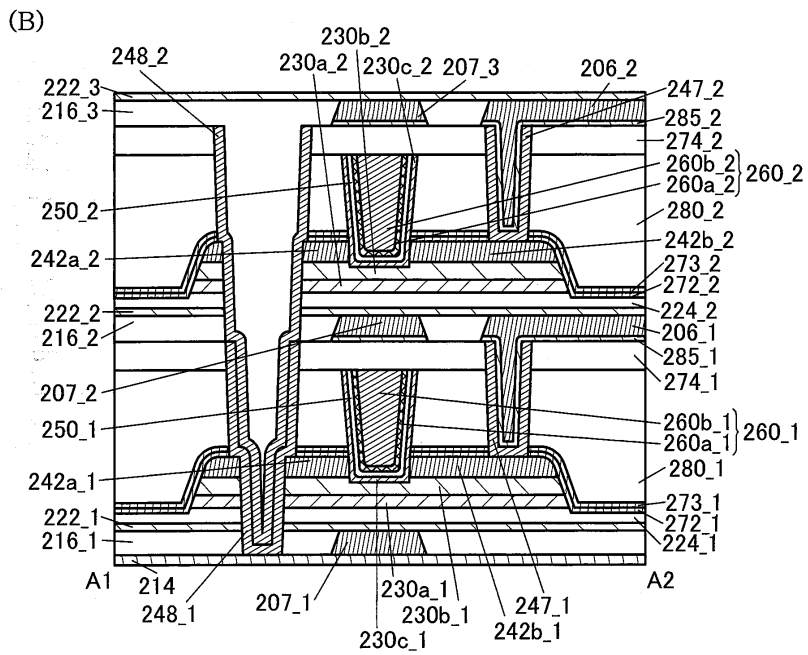
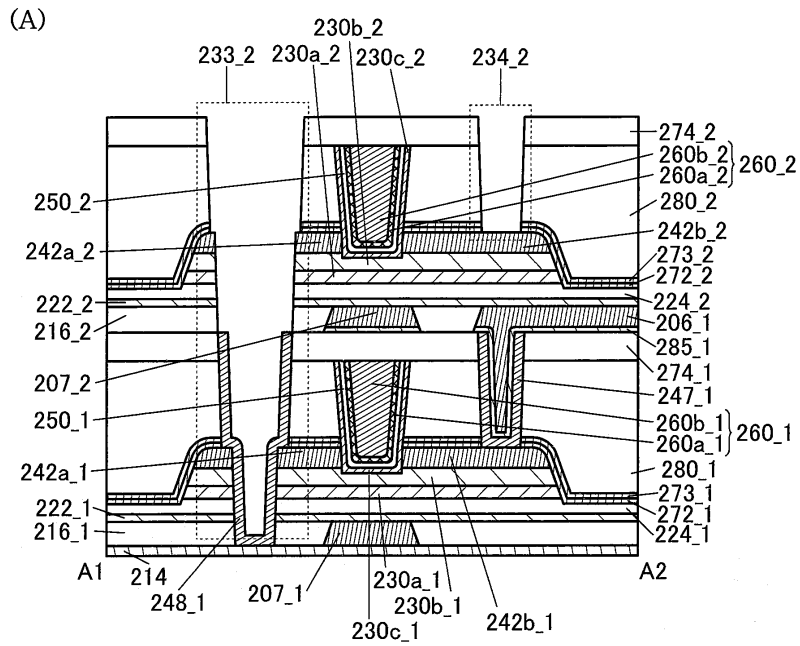
도면17



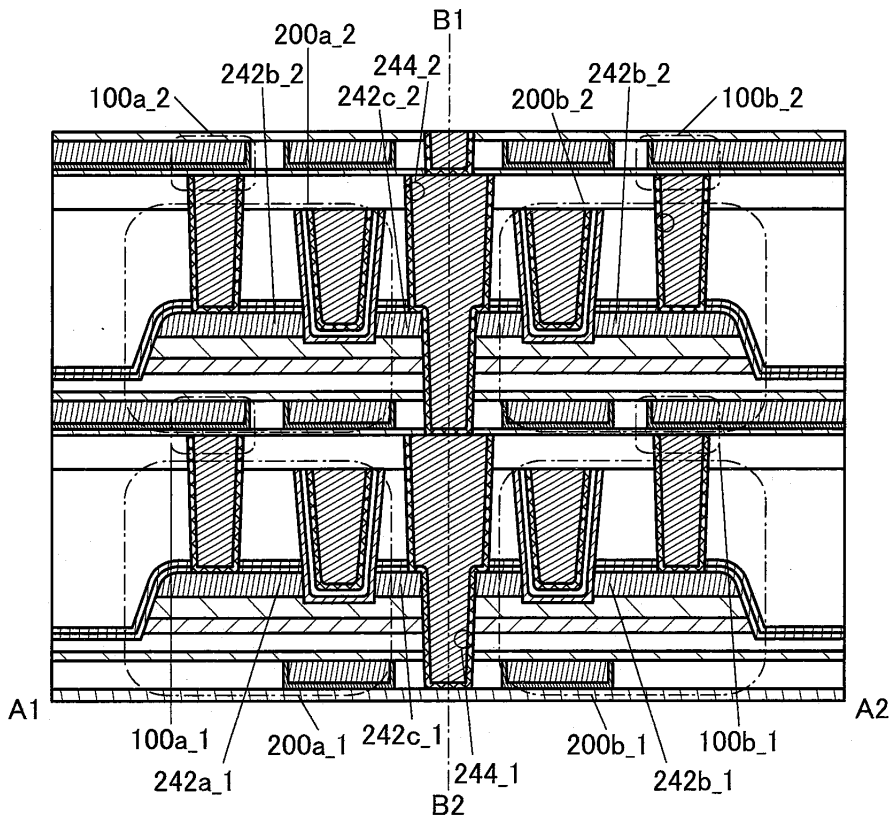
도면18



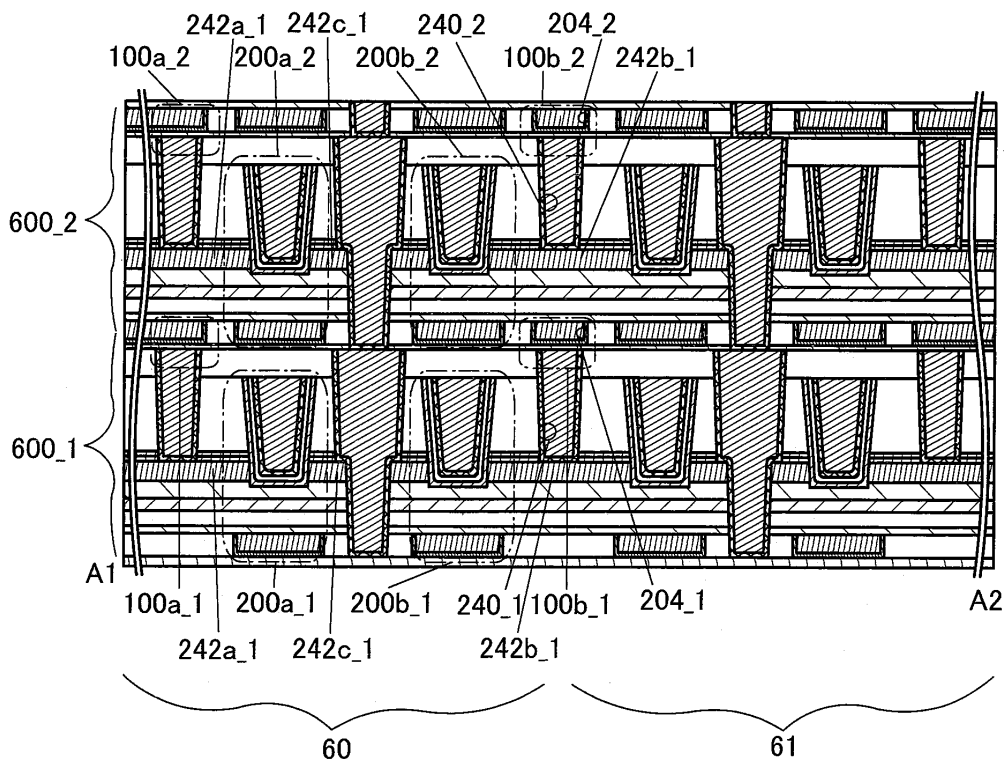
도면19



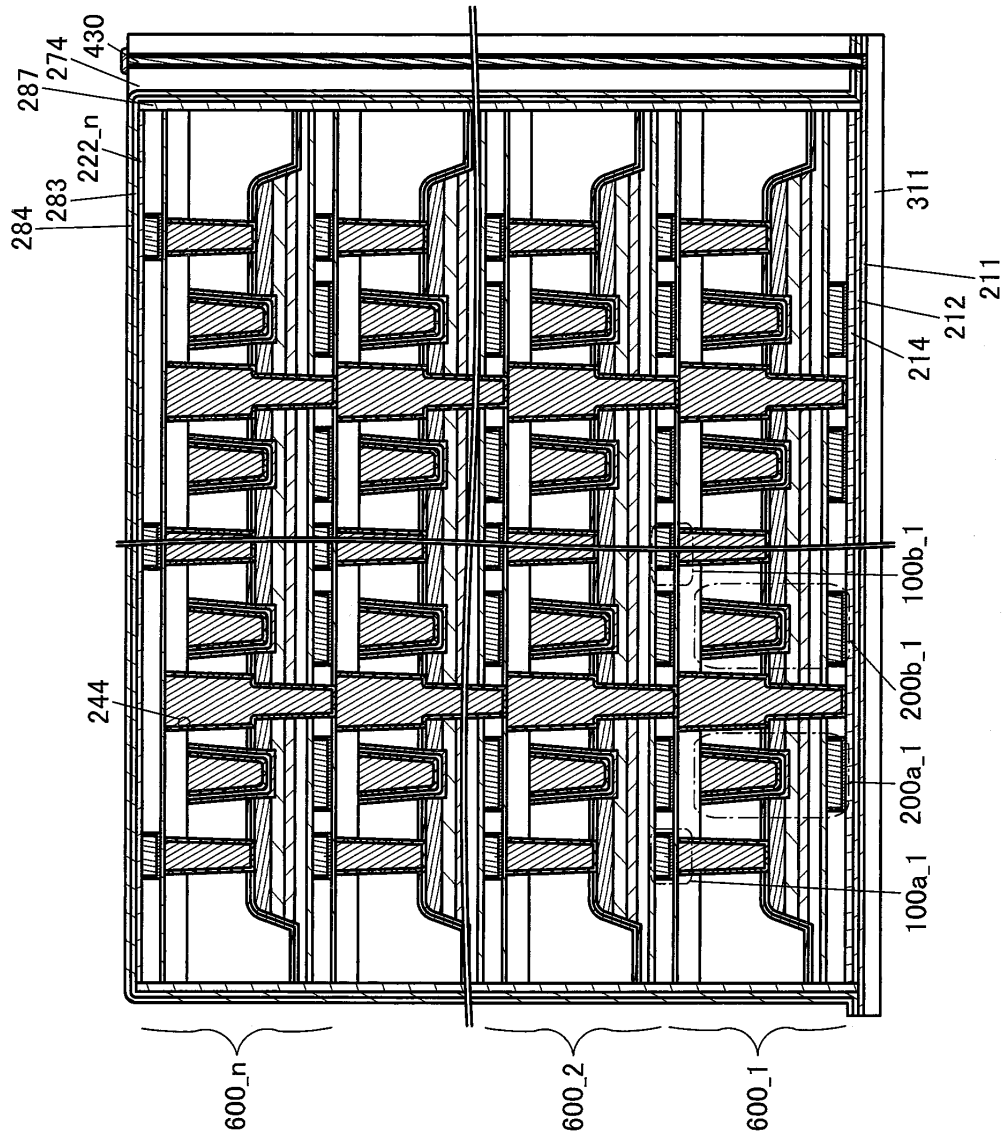
도면20



도면21



도면22



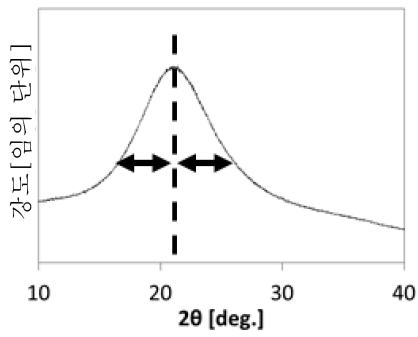
도면23

(A)

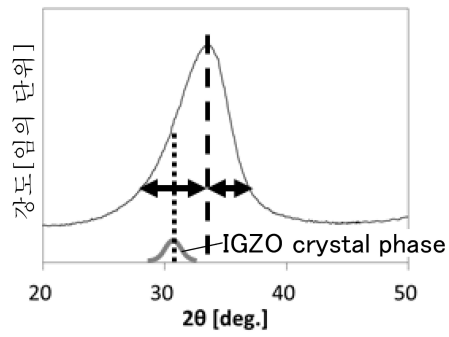
중간 상태
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
completely amorphous	<ul style="list-style-type: none"> • CAAC • nc • CAC excluding single crystal and poly crystal	<ul style="list-style-type: none"> • single crystal • poly crystal

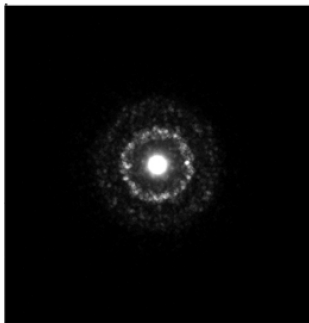
(B)



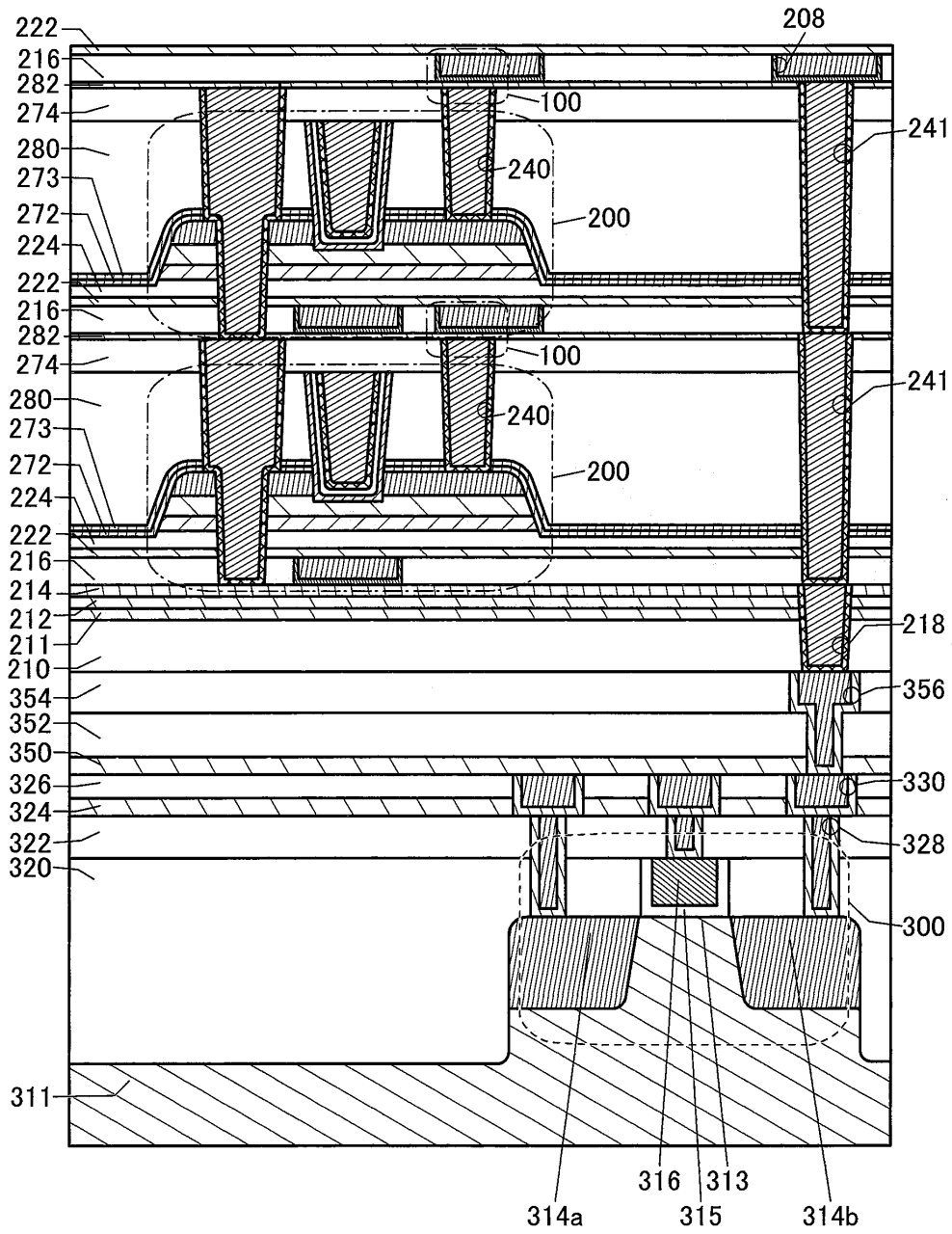
(C)



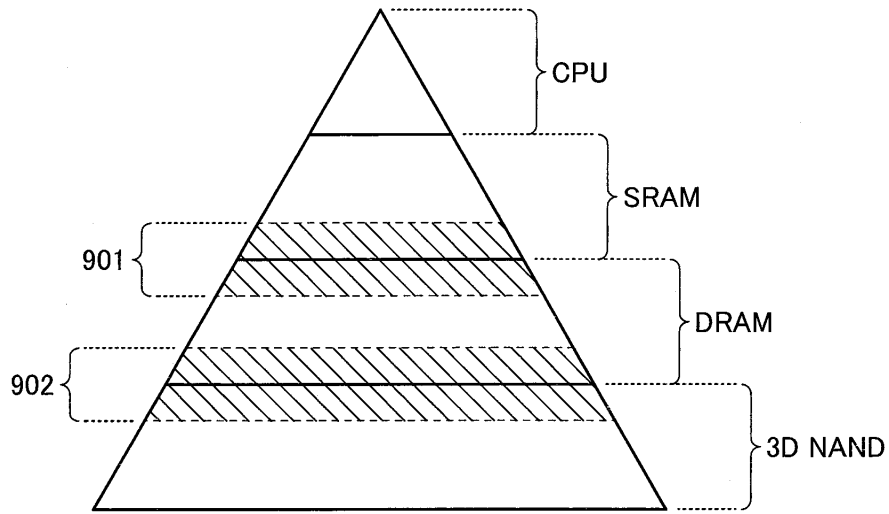
(D)



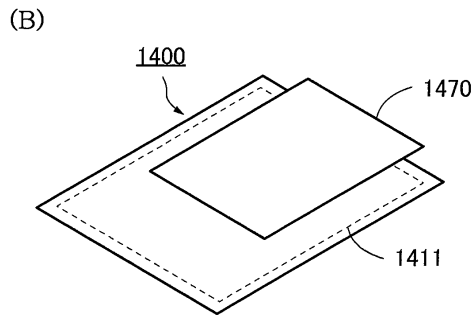
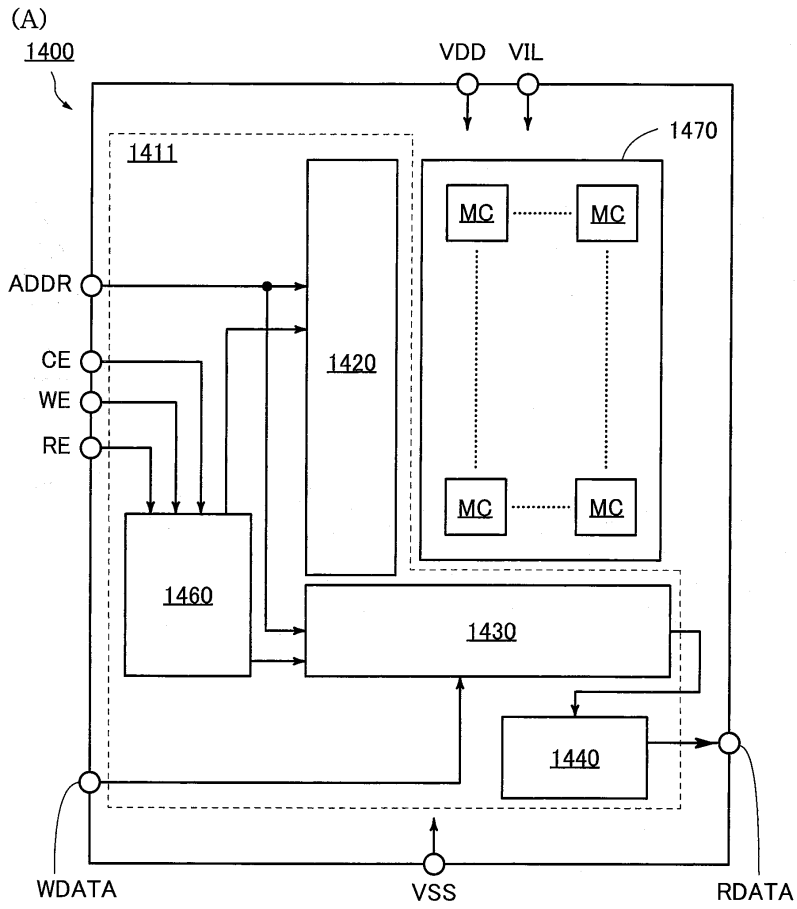
도면24



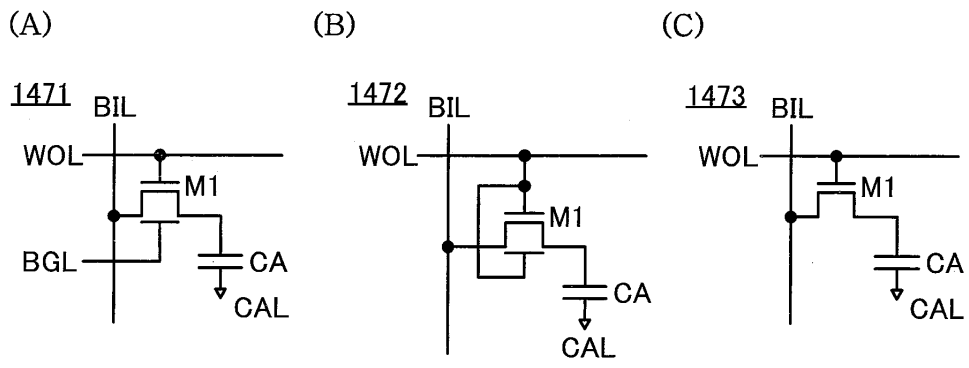
도면25



도면26

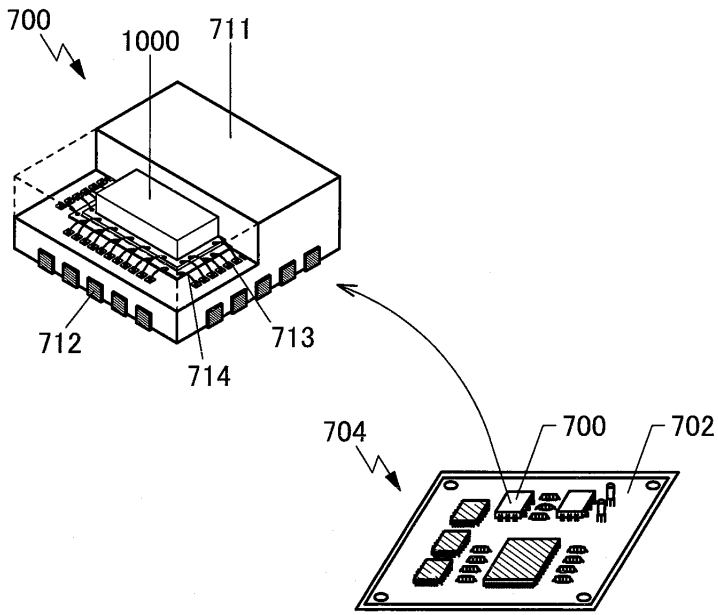


도면27

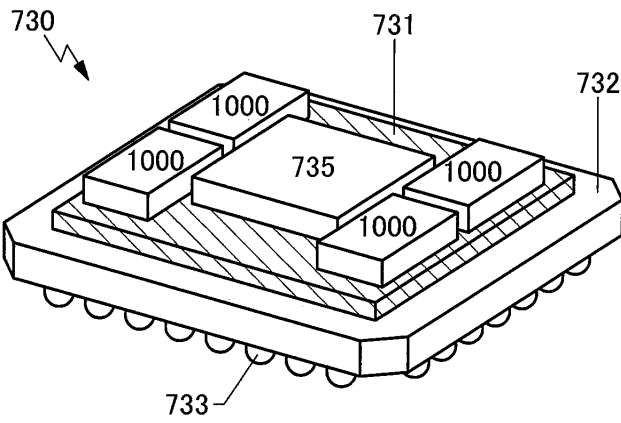


도면28

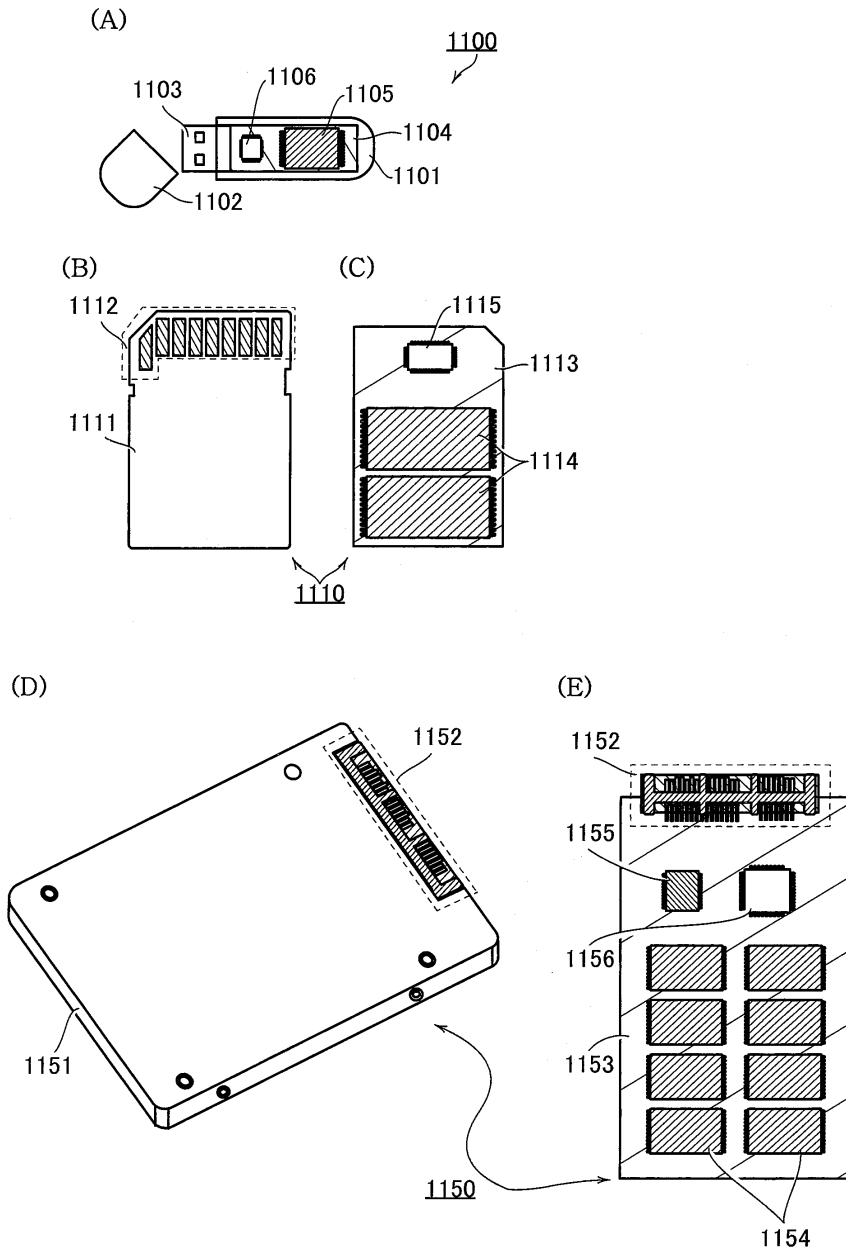
(A)



(B)



도면29



도면30

