



(12) 发明专利

(10) 授权公告号 CN 110870010 B

(45) 授权公告日 2023. 11. 14

(21) 申请号 201880041776.4

(22) 申请日 2018.04.16

(65) 同一申请的已公布的文献号  
申请公布号 CN 110870010 A

(43) 申请公布日 2020.03.06

(30) 优先权数据  
15/691,394 2017.08.30 US

(85) PCT国际申请进入国家阶段日  
2019.12.20

(86) PCT国际申请的申请数据  
PCT/US2018/027819 2018.04.16

(87) PCT国际申请的公布数据  
W02019/045785 EN 2019.03.07

(73) 专利权人 美光科技公司  
地址 美国爱达荷州

(72) 发明人 D·D·维尔莫特 J·M·布朗

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 王龙

(51) Int.Cl.  
G11C 7/22 (2006.01)  
G11C 8/12 (2006.01)

(56) 对比文件  
US 9520169 B2, 2016.12.13  
US 2014368241 A1, 2014.12.18  
US 6714463 B2, 2004.03.30  
US 7274237 B2, 2007.09.25  
US 6269451 B1, 2001.07.31

审查员 潘秋羽

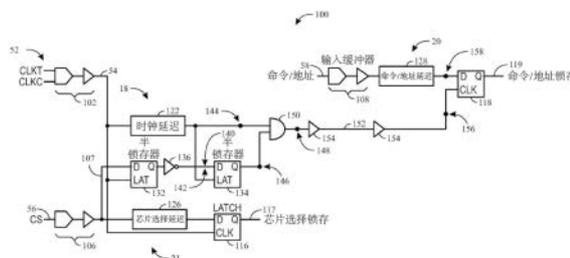
权利要求书3页 说明书7页 附图3页

(54) 发明名称

在DDR5 DRAM中调整到锁存路径的指令延迟

(57) 摘要

存储器装置(10)可提供经配置以从例如处理器的用户电路接收控制信号及/或地址信号的通信接口。所述存储器装置(10)可采用可具有不同延时的不同信号路径接收及处理信号而导致时钟偏斜。此处在本申请案中论述的实施例涉及可通过添加最小化所述时钟偏斜的延迟而减少所述存储器装置(10)的特定响应时间的接口电路。举例来说,例如芯片选择路径的控制路径中的延迟可允许减小地址路径的延迟,且导致减少所述存储器装置(10)的存取时间。实施例还揭示可如何采用训练模式来进一步调整所述控制及/或地址路径中的所述延迟以减少常规操作期间的存取时间。



1. 一种存储器装置,其包括:
  - 命令接口,其包括:
    - 时钟输入电路,其经配置以提供时钟信号;
    - 门控电路,其经配置以基于所述时钟信号及经接收芯片选择CS信号产生门控时钟信号;
    - 芯片选择CS输入电路,其经配置以接收所述CS信号,其中所述CS输入电路包括安置于输入缓冲器与经配置以提供所述CS信号的CS锁存器之间的延迟元件;及
    - 命令/地址CA输入电路,其包括CA锁存器,其中所述CA输入电路经配置以接收所述门控时钟信号且提供锁存命令/地址信号,及
  - 其中所述命令接口经配置以在CS训练模式中操作,其中所述存储器装置经配置以响应于经接收CS信号而提供CS训练信号,且其中所述CS信号基于所述延迟元件的延迟而提前。
2. 根据权利要求1所述的存储器装置,其中所述门控电路包括AND门,所述AND门经配置以接收所述时钟信号及所述CS信号且提供所述门控时钟信号。
3. 根据权利要求1所述的存储器装置,其中所述门控电路包括:
  - 第一半锁存器,其经配置以接收所述CS信号且将延时提供到CS信号;及
  - 第二半锁存器,其经配置以从所述第一半锁存器接收所述CS信号。
4. 根据权利要求3所述的存储器装置,其中所述第一半锁存器及所述第二半锁存器包括所述CS信号的第一延时,且其中所述时钟输入电路包括经配置以匹配所述第一延时的时钟延迟元件。
5. 根据权利要求1所述的存储器装置,其中所述命令接口包括传输线,所述传输线经配置以将所述门控时钟信号从所述门控电路载送到所述CA输入电路,所述传输线包括至少一个缓冲器。
6. 根据权利要求1所述的存储器装置,其中由所述CA输入电路接收的所述门控时钟信号包括第二延时,且其中所述CA输入电路包括经配置以匹配所述第二延时的CA延迟元件。
7. 根据权利要求1所述的存储器装置,其中所述存储器装置包括所述CS信号的训练模式。
8. 根据权利要求1所述的存储器装置,其中所述存储器装置包括在介于14ps与18ps之间的范围内的存取时间 $t_{AA}$ 。
9. 一种半导体装置,其包括:
  - 命令接口,其经配置以接收时钟信号、芯片选择CS信号及命令/地址CA信号,所述命令接口包括经配置以延迟经接收的CS信号的CS延迟电路;
  - 存储器电路,其经配置以存储数据;及
  - 输入/输出I/O接口,其经配置以基于所述CS信号及所述CA信号提供经存储的所述数据;
  - 其中所述半导体装置包括存取时间 $t_{AA}$ ,所述 $t_{AA}$ 包括在接收所述CA信号与提供经存储的所述数据之间的时间间隔,且其中所述CS延迟电路的延迟实现所述 $t_{AA}$ 的减小,及
  - 其中所述命令接口经配置以在CS训练模式中操作,其中所述半导体装置经配置以响应于经接收的所述CS信号而提供CS训练信号,且其中所述CS信号基于所述CS延迟电路的所述延迟而提前。

10. 根据权利要求9所述的半导体装置,其中所述命令接口包括门控电路,所述门控电路经配置以基于经接收的所述CS信号门控经接收的所述CA信号。

11. 根据权利要求10所述的半导体装置,其中所述门控电路包括第一延时,且其中基于所述第一延时确定所述CS延迟电路的所述延迟。

12. 根据权利要求11所述的半导体装置,其中所述CS延迟电路的所述延迟等于所述第一延时。

13. 根据权利要求10所述的半导体装置,其中所述门控电路包括逻辑电路,所述逻辑电路经配置以接收时钟信号及经接收的所述CS信号,且提供经配置以门控经接收的所述CA信号的门控时钟信号。

14. 根据权利要求13所述的半导体装置,其中所述命令接口包括时钟延迟电路。

15. 根据权利要求9所述的半导体装置,其中所述命令接口包括经配置以接收所述CS信号且将所述CS信号提供到所述CS延迟电路的输入缓冲器,及经配置以接收延迟CS信号的CS锁存器。

16. 一种用以操作存储器装置的方法,所述方法包括:

在训练模式中:

接收芯片选择CS信号;

使用延迟电路延迟所述CS信号;及

基于所述延迟CS信号提供训练信号;及

在非训练模式中:

接收所述CS信号;

基于经接收CS信号锁存命令/地址CA信号;

使用所述延迟电路延迟所述CS信号;及

锁存延迟的经接收CS信号;

其中经锁存CA信号与经锁存CS信号之间的时钟偏斜小于所述存储器装置的时钟循环。

17. 根据权利要求16所述的方法,其中锁存所述CA信号包括:

接收时钟信号;

使用所述经接收CS信号门控所述时钟信号;及

将经门控的所述时钟信号提供到锁存所述CA信号的CA锁存器。

18. 根据权利要求16所述的方法,其中在所述训练模式中延迟所述CS信号经配置以引起提供所述CS信号且接收所述训练信号的用户电路将所述CS信号提前。

19. 根据权利要求18所述的方法,其中所述用户电路包括处理器。

20. 一种存储器装置,其包括:

命令接口,其包括:

时钟输入电路,其经配置以提供时钟信号;

门控电路,其经配置以基于所述时钟信号及门控芯片选择CS信号产生门控时钟信号;

芯片选择CS输入电路,其经配置以接收输入CS信号并提供所述门控CS信号和经锁存CS信号,其中所述CS输入电路包括安置于CS输入缓冲器与经配置以提供所述经锁存CS信号的CS锁存器之间的CS延迟元件;及

命令/地址CA输入电路,其包括CA锁存器和安置于CA缓冲器和所述CA锁存器之间的CA

延迟元件,其中所述CA输入电路经配置以接收所述门控时钟信号和输入CA信号并提供经锁存CA信号,且其中所述CA延迟元件和所述CS延迟元件经配置以最小化所述经锁存CA信号和所述经锁存CS信号之间的偏斜。

21. 根据权利要求20所述的存储器装置,其中所述门控电路包括AND门,所述AND门经配置以接收所述时钟信号及所述CS信号且提供所述门控时钟信号。

22. 根据权利要求20所述的存储器装置,其中所述门控电路包括:

第一半锁存器,其经配置以向所述输入CS信号提供延时;及

第二半锁存器,其经配置以提供所述门控CS信号。

23. 根据权利要求22所述的存储器装置,其中所述第一半锁存器及所述第二半锁存器包括所述门控CS信号的第一延时,且其中所述时钟输入电路包括经配置以匹配所述第一延时的时钟延迟元件。

24. 根据权利要求20所述的存储器装置,其中所述命令接口包括传输线,所述传输线包括第二延时且经配置以将所述门控时钟信号从所述门控电路载送到所述CA输入电路,所述传输线包括至少一个缓冲器,且其中所述CA延迟元件补偿所述第二延时。

25. 根据权利要求20所述的存储器装置,其中所述存储器装置包括所述CS信号的训练模式。

26. 根据权利要求20所述的存储器装置,其中所述存储器装置包括在介于14ps与18ps之间的范围内的存取时间 $t_{AA}$ 。

27. 一种半导体装置,包括:

命令接口,其经配置以接收时钟信号、芯片选择CS信号及命令/地址CA信号,其中所述命令接口包括:

时钟延迟,其经配置以接收所述时钟信号并生成延迟时钟信号;

CS电路,其经配置以提供门控CS信号和延迟CS信号,其中所述CS电路包括

CS延迟电路和CS锁存器,所述CS延迟电路经配置以延迟经接收CS信号,所述

CS锁存器提供经锁存CS信号;及

CA电路,其包括CA延迟电路和CA锁存器,所述CA延迟电路经配置以延迟所述CA信号,所述CA锁存器经配置以接收经延迟的所述CA信号和所述门控CS信号以提供经锁存CA信号;

存储器电路,其经配置以存储数据;及

输入/输出I/O接口,其经配置以基于所述经锁存CS信号和所述经锁存CA信号提供经存储的所述数据;及

其中所述半导体装置包括存取时间 $t_{AA}$ ,所述 $t_{AA}$ 包括接收所述CA信号与提供经存储的所述数据之间的时间间隔,且其中所述CS延迟电路的延迟和所述CA延迟电路的延迟经配置以通过最小化所述经锁存CS信号与所述经锁存CA信号之间的偏斜来减小所述 $t_{AA}$ 。

28. 根据权利要求27所述的半导体装置,其中所述命令接口经配置以在CS训练模式中操作。

29. 根据权利要求27所述的半导体装置,其中所述命令接口包括门控电路,所述门控电路包括第一延时,且其中基于所述第一延时确定所述CS延迟电路的所述延迟。

30. 根据权利要求29所述的半导体装置,其中所述CS延迟电路的所述延迟等于所述第一延时。

## 在DDR5 DRAM中调整到锁存路径的指令延迟

### 技术领域

[0001] 本发明涉及用于存储器装置的电路,且更明确来说,涉及可在存储器装置中使用的用以调整输入处理经接收指令时的延迟的电路。

### 背景技术

[0002] 随机存取存储器(RAM)装置(例如可在电装置中采用以提供数据处理及/或存储的装置)可提供对存储于装置的存储器电路中的可寻址数据的直接可用性。某些RAM装置(例如动态RAM(DRAM)装置)可例如具有具许多可寻址存储器元件的多个存储器库。RAM装置还可具有可接收地址及指令(例如,读取、写入等)用于可与所述地址相关联的操作的命令接口,及可处理指令及地址以存取对应存储器库的解码电路。

[0003] 到RAM装置的指令及地址可由所述RAM装置外部的电装置的处理电路提供。电装置还可提供可与指令及地址同步的时控信号(clocking signal)。例如,时控信号的边缘可出现在其中地址信号稳定且因此应由RAM装置读取的时刻。因此,RAM装置可包含监测经接收时控信号且在接收到时控信号时读取地址及/或指令的电路。归因于未知延时,此电路可包含处理经接收指令及地址的延迟。此类延迟可增大RAM装置的总延时且增大RAM装置操作期间的功率消耗。

### 附图说明

[0004] 在阅读以下具体实施方式且参考图式时可更好理解本发明的各种方面,在图式中:

[0005] 图1是说明根据实施例的可受益于较快存取时间( $t_{AA}$ )的存储器装置的组织框图;

[0006] 图2说明根据实施例的可用以基于经接收时钟信号锁存芯片选择(CS)信号及/或命令/地址(CA)信号且包含可导致较快 $t_{AA}$ 的延迟元件的电路的框图;

[0007] 图3A说明根据实施例的耦合到存储器驱动器以执行读取训练的存储器装置的框图;

[0008] 图3B说明根据实施例的说明在读取训练过程期间CS信号中的增大的延迟的影响的时序图;及

[0009] 图4说明根据实施例的用于在读取训练期间调整延迟以减小 $t_{AA}$ 的方法。

### 具体实施方式

[0010] 下文将描述一或多个特定实施例。为提供这些实施例的简洁描述,本说明书中并未描述实际实施方案的全部特征。应明白,如在任何工程或设计项目中,在任何此实际实施方案的开发中,必须作出许多实施方案特定决策以实现可能随实施方案变化的开发者的特定目标,例如符合系统相关及业务相关约束。此外,应明白,此开发工作可为复杂的且耗时的,但对于受益于本发明的所属领域的一般技术人员来说,仍将为常规设计、制作及制造任

务。

[0011] 许多电装置可包含耦合到处理电路且可提供数据存储以进行处理的随机存取存储器 (RAM) 装置。RAM装置的实例包含可电子地存储个别位的动态RAM (DRAM) 装置及同步DRAM (SDRAM) 装置。可将经存储位组织成可由处理电路直接存取的可寻址存储器元件 (例如, 字)。存储器装置还可包含用以从处理电路接收指令及/或地址的命令电路。例如, 在第五代双倍数据率 (DDR5) SDRAM装置中, 可通过使用14位命令/地址 (CA) 信号而提供指令及地址。处理电路还可将时控信号连同指令及/或地址一起提供到存储器装置。在DDR5 SDRAM装置中, 此时控信号C1k可由差分信号对C1k\_t及C1k\_c提供。时控信号可将关于何时准备好处理指令及/或地址信号的信息提供到存储器装置。例如, 处理电路可将时控信号及指令提供到DDR5 SDRAM装置, 使得CA信号可在C1k信号的转变 (例如, 边缘) 期间可用 (例如, 稳定、准备好) 以进行处理。DDR5 SDRAM装置以及经配置以共享指令总线的其它存储器装置还可接收芯片选择 (CS) 信号, 所述CS信号可通知存储器装置其是指令总线上可用的CA信号的预期目的地。此外, 在一些标准中 (例如在DDR5标准中), 可使用双循环 (例如, 二阶) CA信号来提供命令。在此类情况中, CS信号可用以向存储器装置指示当前CA信号、双循环循环CA信号中的第一部分或第二指令。

[0012] 运用CS或CA信号的数据请求与存储器装置中的数据接收之间的延迟可称为存取时间 ( $t_{AA}$ )。一般来说,  $t_{AA}$ 可取决于经接收CS及/或CA信号的处理时间。CS及CA信号的处理可根据经接收时控信号C1k执行, 且可能易受存储器装置的输入电路中的滞后及延迟以及可补偿任何未知延时的延迟的影响。本文中描述的实施例论述可具有可调整延迟而可用以减小CS及/或CA信号的初始处理中的总延时的存储器装置。例如, 存储器装置中的输入电路可具有存储如由C1k信号时控的经接收CA及CS信号的锁存器。可添加及/或调整C1k、CA及CS信号中的输入延迟以通过例如增大CS延迟及减少CA延迟而减少 $t_{AA}$ 。可在训练过程期间及/或之后调整延迟, 在所述训练过程期间, 存储器装置可确定延时且可调整CS、CA及C1k信号之间的偏斜。此延迟调整可导致减小的 $t_{AA}$ , 而导致存储器装置的功率消耗及/或其它资源的减少。

[0013] 作为实例, 考虑其中可基于经接收CS信号 (其自身可经锁存) 锁存CA信号的存储器装置。处理CS信号以指示锁存CA信号时的延迟可导致CA信号的锁存与CS信号的锁存之间的偏斜 (例如, 时间差)。如下文详述, CS信号的锁存的延迟的增大可伴随着CA信号的锁存的延迟的减少, 此可减小偏斜及 $t_{AA}$  (例如, 接收CA信号与提供所请求数据之间的存取时间)。此外, 如下文进一步详述, 在与用户电路 (例如, 处理器) 之间耦合期间的训练模式可引起CS信号提前出现, 从而进一步减小 $t_{AA}$ 。应注意, 虽然实施例的描述涉及DDR5 SDRAM装置以及芯片选择信号以及命令及地址信号, 但这些系统可适于可通过添加特定延迟及/或存在训练过程而受益于减小的输入延时的其它同步数字电路的输入级。

[0014] 现转向图, 图1是说明存储器装置10的某些特征的简化框图。明确来说, 图1的框图是说明存储器装置10的特定功能性的功能框图。根据一个实施例, 存储器装置10可为第五代双倍数据率同步动态随机存取存储器 (DDR5 SDRAM) 装置。与前几代DDR SDRAM相比, DDR5 SDRAM的各种特征允许降低的功率消耗、较大的带宽及较大的存储容量。

[0015] 存储器装置10可包含若干存储器库12。存储器库12例如可为DDR5 SDRAM存储器库。存储器库12可提供于布置于双列直插式存储器模块 (DIMM) 上的一或多个芯片 (例如,

SDRAM芯片)上。如将明白,每一DIMM可包含若干SDRAM存储器芯片(例如,x8或x16存储器芯片)。每一SDRAM存储器芯片可包含一或多个存储器库12。存储器装置10表示具有若干存储器库12的单个存储器芯片(例如,SDRAM芯片)的部分。对于DDR5,存储器库12可进一步经布置以形成库群组。例如,对于8千兆字节(GB)DDR5 SDRAM,存储器芯片可包含布置成8个库群组的16个存储器库12,每一库群组包含2个存储器库。对于16GB DDR5 SDRAM,存储器芯片可包含例如布置成8个库群组的32个存储器库12,每一库群组包含4个存储器库。可取决于总体系统的应用及设计而利用存储器装置10上的存储器库12的各种其它配置、组织及大小。

[0016] 存储器装置10可包含命令接口14及输入/输出(I/O)接口16。命令接口14经配置以提供来自耦合到装置的处理电路(例如处理器或控制器)的若干信号(例如,信号15)。处理器或控制器可将各种信号15提供到存储器装置10以有利于传输及接收待写入到存储器装置10或待从存储器装置10读取的数据。

[0017] 如将明白,命令接口14可包含若干电路(例如时钟输入电路18、命令地址输入电路20及芯片选择输入电路21)以例如确保对信号15的适当处置。例如,输入电路18、20及21可执行同步锁存以提供稳定的信号15供存储器装置10进一步处理。命令接口14可从外部装置接收一或多个时钟信号。一般来说,双倍数据率(DDR)存储器利用可提供为由真实时钟信号(C1k\_t)及互补时钟信号(C1k\_c)形成的差分对的时钟信号(在本文中称为C1k信号52)。DDR中的C1k信号52的正时钟边缘指上升的真实时钟信号C1k\_t与下降的互补时钟信号C1k\_c交叉的点,而负时钟边缘指示下降的真实时钟信号C1k\_t与互补时钟信号C1k\_c的上升的转变。通常在时钟信号的正边缘上键入命令(例如,读取命令、写入命令等),且在正时钟边缘及负时钟边缘两者上传输或接收数据。

[0018] 时钟输入电路18接收真实时钟信号(C1k\_t)及互补时钟信号(C1k\_c)且产生内部时钟信号CLK 54。可将内部时钟信号CLK 54供应到内部时钟产生器,例如延迟锁定环路(DLL)电路30。DLL电路30基于经接收内部时钟信号CLK 54与通过DLL电路30经由总线36从命令解码器32接收的命令信号产生相控内部时钟信号LCLK。例如,相控内部时钟信号LCLK经供应到I/O接口16且用作用于确定读取数据的输出时序的时序信号。内部时钟信号CLK 54还可提供到存储器装置10内的各种其它组件且可用以产生各种额外内部时钟信号。例如,可将内部时钟信号CLK 54提供到命令解码器32。命令解码器32可从命令总线34接收命令信号且可解码命令信号以提供各种内部命令。经接收命令信号可从输入电路18、20及21中的锁存输入提供到命令总线34。

[0019] 此外,命令解码器32可解码命令(例如读取命令、写入命令、模式寄存器设置命令、激活命令等),且经由总线路径40提供对与命令对应的特定存储器库12的存取。如将明白,存储器装置10可包含各种其它解码器(例如行解码器及列解码器)以有利于存取存储器库12。在一个实施例中,每一存储器库12包含库控制块22,其提供必要解码(例如,行解码器及列解码器)以及其它特征(例如时序控制及数据控制)以有利于执行到及来自存储器库12的命令。

[0020] 存储器装置10基于从外部装置(例如处理器)接收的命令/地址信号执行操作,例如读取命令及写入命令。在一个实施例中,命令/地址(CA)总线可为用以容纳命令/地址信号58(CA<13:0>)的14位总线。如上文论述,使用时钟52(C1k\_t及C1k\_c)时控到命令接口14的命令/地址信号。命令接口14可包含命令地址输入电路20,其经配置以例如通过命令解码

器32接收及传输命令以提供对存储器库12的存取。另外,命令接口14可接收芯片选择信号(CS)信号。CS信号56使存储器装置10能够处理传入CA<13:0>总线上的命令。在CA<13:0>总线上用命令编码对存储器装置10内的存储器库12中的特定库的存取。作为实例,请求来自存储器装置10的数据的处理器可经由输入引脚提供CS启用信号56以通知存储器装置10其应对总线中可用的CA信号58操作。为此,命令接口14可基于经接收芯片选择信号56门控CA信号58,且经由总线40将门控CA信号提供到存储器库12。基于CA信号58,存储器库12可经由数据路径46及I/O接口16提供所请求数据。 $t_{AA}$ 可量测为在接收CA信号58与提供所请求数据之间的时间。例如,存取时间 $t_{AA}$ 可在介于约14ns与约18ns之间的范围内。如下文详述,可将延迟电路放置于CS输入电路21中以通过增大CS信号处理路径中的延迟而减小 $t_{AA}$ 。鉴于CS信号56中相对于C1k信号52的延时,命令接口14中的CS输入电路21可进一步执行CS训练例程以确定及/或引起CS信号的提前。如上文简要论述及下文详述,CS训练例程可用以进一步减少存储器装置10中的 $t_{AA}$ 。

[0021] 另外,命令接口14可经配置以接收若干其它命令信号。例如,可提供片内终结(on die termination)命令/地址(CA\_ODT)信号以有利于存储器装置10内的适当阻抗匹配。可例如在通电期间使用复位命令(RESET)来复位命令接口14、状态寄存器、状态机及类似者。命令接口14还可接收命令/地址反转(CAI)信号,所述CAI信号可经提供以例如取决于用于特定存储器装置10的命令/地址路由而使命令/地址总线上的命令/地址信号CA<13:0>反转。还可提供镜像(MIR)信号(mirror signal)以有利于镜像功能。基于特定应用中的多个存储器装置的配置,可使用MIR信号来多路复用信号使得可将其交换以启用信号到存储器装置10的特定路由。还可提供有利于测试存储器装置10的各种信号,例如测试启用(TEN)信号。例如,可使用TEN信号来将存储器装置10置于用于连接性测试的测试模式中。

[0022] 命令接口14还可用以针对可检测的特定错误将警报信号(ALERT)提供到系统处理器或控制器。例如,如果检测到循环冗余校验(CRC)错误,那么可从存储器装置10传输警报信号(ALERT)。还可产生其它警报信号。此外,在特定操作(例如使用TEN信号执行的连接性测试模式,如上文描述)期间,用于传输来自存储器装置10的警报信号(ALERT)的总线及引脚可用作输入引脚。

[0023] 利用上文论述的命令及时控信号,可借助于通过I/O接口16传输及接收数据信号44而将数据发送到存储器装置10及从存储器装置10发送数据。更明确来说,可经由数据路径46将数据发送到存储器库12或从存储器库12检索数据,数据路径46包含多个双向数据总线。通常在一或多个双向数据总线中传输及接收数据I/O信号(通常称为DQ信号)。对于某些存储器装置(例如DDR5 SDRAM存储器装置),可将I/O信号划分为高字节及低字节。例如,对于x16存储器装置,可将I/O信号划分为例如对应于数据信号的高字节及低字节的高I/O信号及低I/O信号(例如,DQ<15:8>及DQ<7:0>)。

[0024] 为允许存储器装置10内的较高数据率,某些存储器装置(例如DDR存储器装置)可利用数据选通信号(通常称为DQS信号)。通过发送数据的外部处理器或控制器(例如,针对写入命令)或通过存储器装置10(例如,针对读取命令)驱动DQS信号。针对读取命令,DQS信号实际上为具有预定模式的额外数据输出(DQ)信号。针对写入命令,DQS信号用作时钟信号以捕获对应输入数据。正如时钟信号(C1k\_t及C1k\_c),可将数据选通(DQS)信号提供为数据选通信号(DQS\_t/及DQS\_c)的差分对,以在读取及写入期间提供差分对信号。对于某些存储

器装置(例如DDR5 SDRAM存储器装置),可将DQS信号的差分对划分为例如对应于发送到存储器装置10及从存储器装置10发送的数据的高字节及低字节的高数据选通信号及低数据选通信号(例如,UDQS<sub>t</sub>/及UDQS<sub>c</sub>;LDQS<sub>t</sub>/及LDQS<sub>c</sub>)。

[0025] 还可通过I/O接口16将阻抗(ZQ)校准信号提供到存储器装置10。ZQ校准信号可提供到参考引脚且用以通过跨工艺、电压及温度(PVT)值的变化调整存储器装置10的上拉及下拉电阻器而调谐输出驱动器及ODT值。因为PVT特性可影响ZQ电阻器值,所以可将ZQ校准信号提供到ZQ参考引脚以用于调整电阻而将输入阻抗校准为已知值。如将明白,精密电阻器通常耦合于存储器装置10上的ZQ引脚与存储器装置10外部的GND/VSS之间。此电阻器充当用于调整I/O引脚的内部ODT及驱动强度的参考。

[0026] 另外,可通过I/O接口16将回送信号(LOOPBACK)提供到存储器装置10。可在测试或除错阶段期间使用回送信号来将存储器装置10设置为其中通过存储器装置10通过相同引脚回送信号的模式。例如,可使用回送信号来设置存储器装置10以测试存储器装置10的数据输出(DQ)。回送可包含数据及选通两者或可能仅为数据引脚。此通常希望用于监测由存储器装置10在I/O接口16处捕获的数据。

[0027] 如将明白,各种其它组件(例如电源供应电路(用于接收外部VDD及VSS信号)、模式寄存器(用以定义各种可编程操作模式及配置)、读取/写入放大器(用以在读取/写入操作期间放大信号)、温度传感器(用于感测存储器装置10的温度)等)还可并入到存储器系统10中。因此,应了解,图1中的框图仅经提供用于突出存储器装置10的某些功能特征以辅助后续详细描述。

[0028] 鉴于前述内容,图2中的电路100说明时钟输入电路18、命令地址输入电路20及芯片选择输入电路21的部分。电路100说明处理电路102,处理电路102接收作为差分对Clk<sub>t</sub>及Clk<sub>c</sub>的Clk信号52且提供数字时钟信号CLK 54。处理电路102可包含将差分对Clk<sub>t</sub>及Clk<sub>c</sub>转换成数字信号的差分放大器。处理电路102还可包含可稳定数字时钟信号CLK 54的缓冲器。电路100还说明输入缓冲器106,输入缓冲器106稳定经接收CS信号56以供电路利用。类似地,电路100说明缓冲器108,缓冲器108稳定CA信号58以供电路利用。可通过使用CS锁存器116及CA锁存器118而进一步稳定CS信号56及CA信号58。CS锁存器116可用以提供锁存CS信号117,且CA锁存器118可用以提供锁存信号119。如上文详述,锁存器116及118可存储希望在CLK 54的边缘期间捕获且因此为可由SDRAM装置10适当使用的稳定信号的信号。

[0029] 为获得锁存CS信号117,来自缓冲器106的CS信号107可用于CS锁存器116的数据输入。可通过CS延迟126延迟数据。CS延迟126可为固定或可编程延迟电路。CS锁存器116可根据CLK 54锁存经接收CS信号。可调整CS延迟126使得CS锁存器116可在由CLK 54适当锁存时锁存CS信号56,如在CS训练过程期间确定。此外,可调整CS延迟126以引起与存储器耦合的装置在训练过程期间将CS信号56提前,如下文详述。此外,可动态地调整或预先调整延迟122、126及128,使得匹配管线中的延时。例如,CS输入缓冲器106与门150之间的延时可匹配处理电路102与门150之间的延时。此外,处理电路102与锁存器118之间的延时可匹配CA缓冲器108与锁存器118之间的延时。此外,基于延迟元件的配置,可在具有时钟偏斜的情况下获得锁存CS信号117及锁存CA信号119。

[0030] 来自缓冲器106的CS信号107还可用以从其它电路(例如CA输入电路20)断开CLK 54。此门控可用以防止存储器装置10处理CA信号58。来自CS输入缓冲器106的CS信号107可

行进通过经由反相缓冲器136耦合的第一半锁存电路132及第二半锁存电路134。第一半锁存电路132可使用CLK信号54锁存CS信号。第二半锁存器电路134可使用由CLK延迟122提供的CLK信号54的延迟版本锁存来自反相缓冲器136的CS信号。CLK延迟122可为固定或可编程电路,且可经调整使得在节点142中接收的CS信号可对应于在节点140中接收的CS信号。锁存于第二半锁存电路134中的CS信号(在节点146中说明)可门控节点144中的延迟时钟信号以产生门控时钟信号148。

[0031] 门控时钟信号148可用以锁存CA信号58。可通过可具有缓冲器154的传输线152将门控时钟信号148传输到CA锁存器118。传输线152及缓冲器154可产生门处的门控时钟信号148与CA锁存器118处的门控时钟信号156之间的延时。如上文论述,CA锁存器118可锁存CA信号58。为适当锁存数据,CA延迟128电路可将延迟添加到CA信号58以允许节点158处的CA信号处的数据对应于门控时钟信号148。有利地,CS延迟电路126的存在及CA延迟电路128中的调整可导致锁存CS信号117与锁存CA信号119之间的减小的偏斜,所述偏斜可显著小于时钟循环(例如,小于时钟循环的10%)。如下文详述,可通过在训练模式期间用CS延迟电路126引起CS信号56提前出现而进一步减小此偏斜以减少 $t_{AA}$ 。

[0032] 如上文论述,当CS信号56通知存储器装置10应处理CA信号58时,电路100可提供锁存CS信号117及锁存CA信号119。CA信号的锁存可通过使用CS信号56门控时钟信号54而执行。在此系统同步操作时,可调整CLK延迟122、CS延迟126及CA延迟128以改进性能。例如,在一些系统中,CS延迟126中的延迟的增大可伴随着CLK延迟122及CA延迟128的减少,而电路100的逻辑性能无大体变化。此变化可提供关于总体系统的功率及/或延时的改进性能,这是因为用于提供锁存CA信号119的总时间减小。在一些实施方案中,可调整CS延迟电路126以提供类似于处理电路102与锁存器118之间的时钟信号的门控延时(即,值类似高达10%)的CS延时。

[0033] 此外,在一些情境中,可采用包含存储器装置及存储器驱动器系统(例如,用户装置)的训练过程。所述训练过程可在初始化操作期间或在刷新期间执行。作为实例,可执行CS训练过程,如图3A及3B中说明。图3A说明可耦合到具有电路100的存储器装置10的存储器驱动器202的框图200。存储器装置10可从存储器驱动器202接收差分时钟信号52及CS信号56(数据210),如所论述。在CS训练过程期间,存储器驱动器可基于存储器装置10对训练CS信号的响应220调整CS的时序。例如,存储器驱动器系统可提供时钟信号52及CS信号56,且可在训练期间监测响应220(例如,锁存CS信号117)。在注意到响应220中的过度滞后之后,存储器驱动器可将CS信号56相对于时钟信号52提前。图3B通过图表250说明此提前行为。图表250展示时钟信号252及初始CS信号256A。在训练过程之后,存储器驱动器202可将CS信号256A提前(箭头258)以提供CS信号256B。CS信号的提前可允许由CLK延迟122及CA延迟128引入的延时的减小。如上文论述,此减小可进一步降低存储器装置10中的功率消耗且减小CA锁存的总延时。

[0034] 如果所采用的延迟电路是可编程的,那么可动态地执行上文论述的过程。图4中的方法300说明可由电路(例如电路100)实施以在CS训练期间重新调整延迟的技术。在过程310中,系统可进入CS训练模式。在CS训练模式期间,使用存储器的装置可使用CS信号及差分CLK信号对存储器装置10提出请求,且监测请求的返回。基于返回延时,用户装置可相对于所发送的CLK信号调整其CS信号的时序。在过程320中,可调整CS线中的延迟电路(例如上

文论述的延迟电路)以增大请求返回的延时。此调整可引起用户装置将CS信号相对于CLK信号提前。因此,CS信号可比CA信号更早到达装置10,且因此可补偿归因于门控到CA锁存器的CLK的延迟,而无需CA线中的过度延迟。在过程322中,还可相应地调整CLK延迟,且电路可离开CS训练模式(过程324)。应注意,可在进入CS训练(过程310)之前调整CS延迟(过程320)及/或时钟延迟(过程322)。还应注意,CA延迟还可为可编程的,且因此方法300中可发生用于增大及/或减少其延迟的过程。将明白,在采用不可调整延迟电路的电路中,鉴于CS训练过程,可在配置处理器与存储器装置之间的通信期间调整延迟。

[0035] 虽然本文中描述的实施例可具有各种修改及替代形式,但已在图式中以实例方式展示且已在本文中详细描述特定实施例。然而,应了解,本发明并不希望限于所揭示的特定形式。而是,本发明希望涵盖落入本发明中描述的如由以下所附权利要求书定义的技术及系统的精神及范围内的全部修改、等效物及替代物。

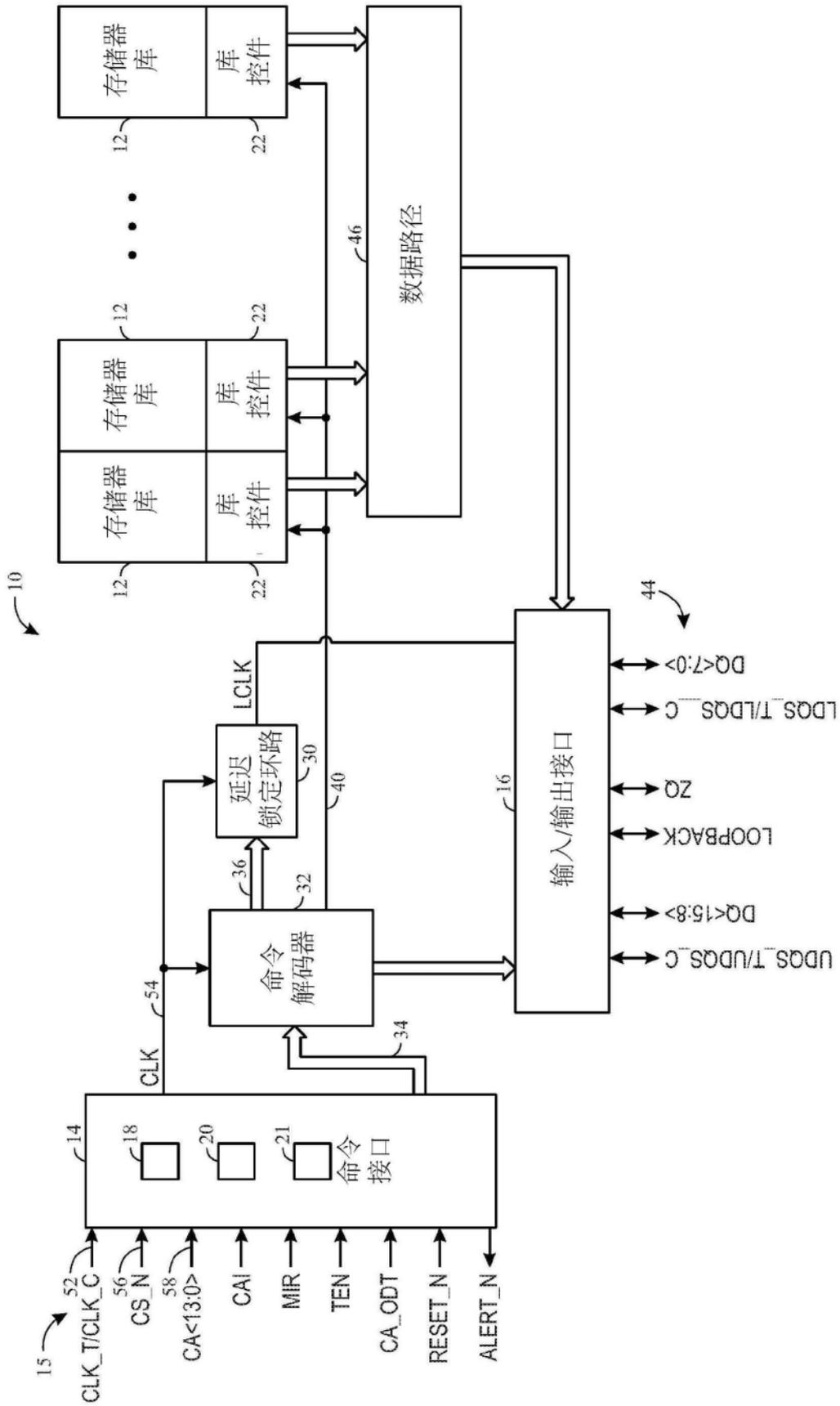


图1

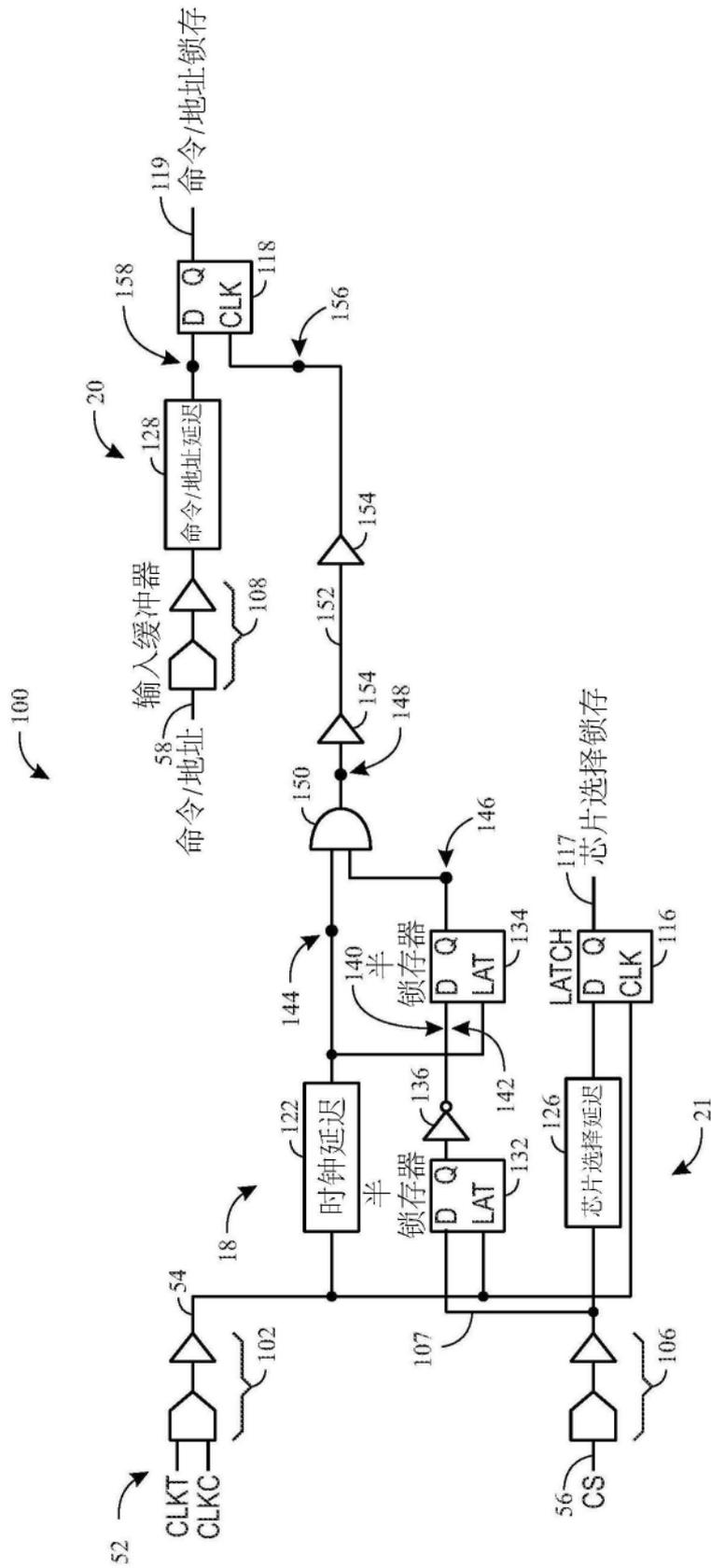


图2

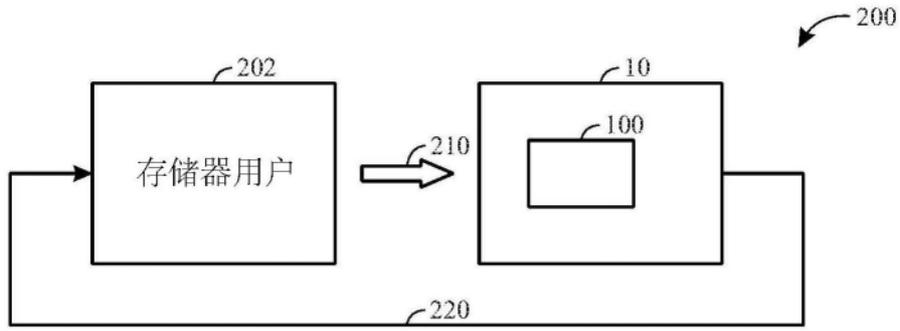


图3A

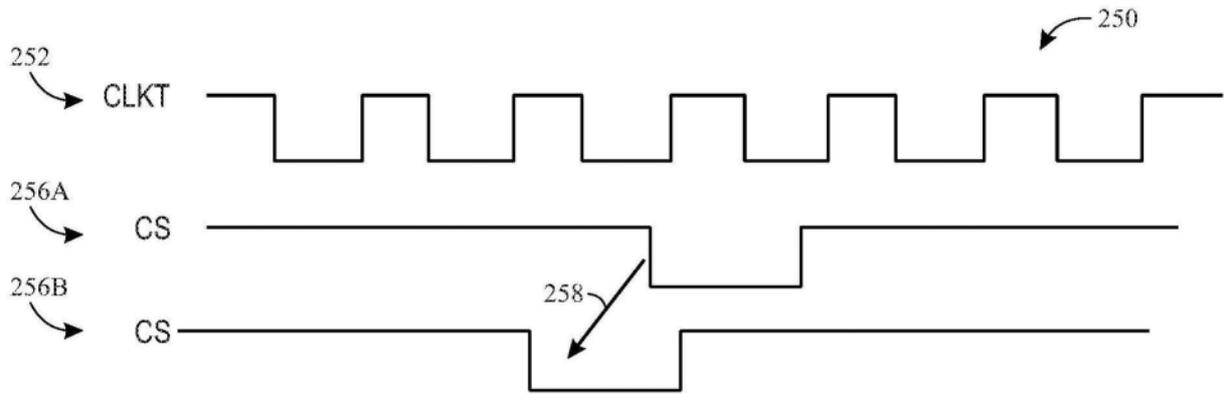


图3B

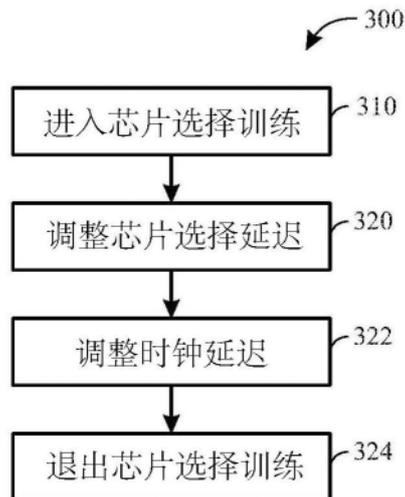


图4