



(12)发明专利申请

(10)申请公布号 CN 108878275 A

(43)申请公布日 2018. 11. 23

(21)申请号 201710325868.2

(22)申请日 2017.05.10

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 马琳

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈衡 李时云

(51) Int. Cl.

H01L 21/266(2006.01)

H01L 21/28(2006.01)

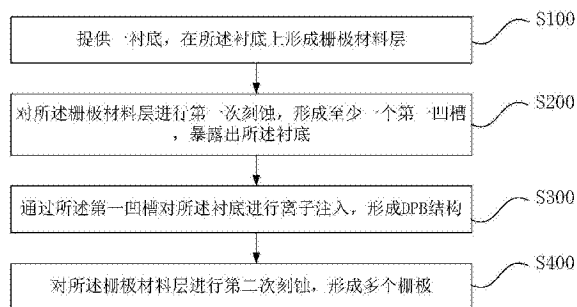
权利要求书1页 说明书5页 附图4页

(54)发明名称

半导体器件的制备方法

(57)摘要

本发明提供了一种半导体器件的制备方法,包括:提供一衬底,在衬底上形成栅极材料层;对栅极材料层进行第一次刻蚀,形成至少一个第一凹槽,暴露出衬底;通过第一凹槽对衬底进行离子注入,形成DPB结构;对栅极材料层进行第二次刻蚀,形成多个栅极。本发明首先在栅极材料层上形成第一凹槽进行离子注入形成深P型体区,然后再对栅极材料层进行刻蚀形成栅极,避免了现有技术中先形成栅极再进行离子注入导致的离子注入区与预定区存在偏差的问题,在一定程度上提高了制造工艺的精确度,提高了半导体器件的性能。



1. 一种半导体器件的制备方法,其特征在于,包括以下步骤:
提供一衬底,在所述衬底上形成栅极材料层;
对所述栅极材料层进行第一次刻蚀,形成至少一个第一凹槽,暴露出所述衬底;
通过所述第一凹槽对所述衬底进行离子注入,形成深P型体区结构;
对所述栅极材料层进行第二次刻蚀,形成多个栅极。
2. 如权利要求1所述的半导体器件的制备方法,其特征在于,形成所述第一凹槽的步骤包括:
在所述栅极材料层上形成第一光刻胶层;
图形化所述第一光刻胶层,暴露出部分所述栅极材料层;
对暴露出的所述栅极材料层进行第一次刻蚀,形成所述第一凹槽。
3. 如权利要求2所述的半导体器件的制备方法,其特征在于,形成深P型体区结构之后,所述半导体器件制备方法还包括:去除所述第一光刻胶层。
4. 如权利要求1所述的半导体器件的制备方法,其特征在于,形成栅极的步骤包括:
对所述栅极材料层进行第二次刻蚀,形成第二凹槽,暴露出所述衬底;
相邻的所述第一凹槽与所述第二凹槽之间的栅极材料层构成栅极。
5. 如权利要求4所述的半导体器件的制备方法,其特征在于,形成所述第二凹槽的步骤包括:
在所述栅极材料层上形成第二光刻胶层;
图形化所述第二光刻胶层,暴露出部分所述栅极材料层;
对暴露出的所述栅极材料层进行第二次刻蚀,形成所述第二凹槽。
6. 如权利要求5所述的半导体器件的制备方法,其特征在于,形成所述第二凹槽之后,所述半导体器件制备方法还包括:去除所述第二光刻胶层。
7. 如权利要求1~6中任一项所述的半导体器件的制备方法,其特征在于,所述离子注入为深P型离子注入。
8. 如权利要求1~6中任一项所述的半导体器件的制备方法,其特征在于,所述栅极材料层为多晶硅层。
9. 如权利要求8所述的半导体器件的制备方法,其特征在于,所述第一次刻蚀与所述第二次刻蚀均采用等离子体干法刻蚀。
10. 如权利要求9所述的半导体器件的制备方法,其特征在于,所述第一次刻蚀与第二次刻蚀的工艺条件相同。

半导体器件的制备方法

技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种半导体器件的制备方法。

背景技术

[0002] 在半导体器件的制造过程中,形成栅极(Gate)以及栅极之间的DPB(DeepPositive Hole Body,深P型体区)结构的步骤一般是先通过曝光与刻蚀在半导体衬底上形成多个栅极,然后在所述栅极上形成光刻胶层,通过曝光与显影在所述光刻胶层上形成凹槽,暴露出相邻两个栅极之间的半导体衬底,然后进行深P型离子注入,在半导体衬底内形成DPB结构。

[0003] 但是,由于在所述光刻胶层上形成的凹槽与相邻两个栅极之间所构成的凹槽是在两个工艺步骤中形成的,存在两者不完全重合的风险,会导致通过离子注入形成的DPB结构与预定DPB结构的位置有一定的偏差,从而影响后续半导体器件的制备,影响最终半导体器件的性能。

发明内容

[0004] 本发明的目的在于提供一种半导体器件的制备方法,避免出现离子注入区的位置偏差,提高半导体器件的性能。

[0005] 为实现上述目的,本发明提供一种半导体器件的制备方法,包括以下步骤:

[0006] 提供一衬底,在所述衬底上形成栅极材料层;

[0007] 对所述栅极材料层进行第一次刻蚀,形成至少一个第一凹槽,暴露出所述衬底;

[0008] 通过所述第一凹槽对所述衬底进行离子注入,形成深P型体区结构;

[0009] 对所述栅极材料层进行第二次刻蚀,形成多个栅极。

[0010] 可选的,形成所述第一凹槽的步骤包括:

[0011] 在所述栅极材料层上形成第一光刻胶层;

[0012] 图形化所述第一光刻胶层,暴露出部分所述栅极材料层;

[0013] 对暴露出的所述栅极材料层进行第一次刻蚀,形成所述第一凹槽。

[0014] 可选的,形成深P型体区结构之后,所述半导体器件制备方法还包括:去除所述第一光刻胶层。

[0015] 可选的,形成栅极的步骤包括:

[0016] 对所述栅极材料层进行第二次刻蚀,形成第二凹槽,暴露出所述衬底;

[0017] 相邻的所述第一凹槽与所述第二凹槽之间的栅极材料层构成栅极。

[0018] 可选的,形成所述第二凹槽的步骤包括:

[0019] 在所述栅极材料层上形成第二光刻胶层;

[0020] 图形化所述第二光刻胶层,暴露出部分所述栅极材料层;

[0021] 对暴露出的所述栅极材料层进行第二次刻蚀,形成所述第二凹槽。

[0022] 可选的,形成所述第二凹槽之后,所述半导体器件制备方法还包括:去除所述第二光刻胶层。

- [0023] 可选的,所述离子注入为深P型离子注入。
- [0024] 可选的,所述栅极材料层为多晶硅层。
- [0025] 可选的,所述第一次刻蚀与所述第二次刻蚀均采用等离子体干法刻蚀。
- [0026] 可选的,所述第一次刻蚀与第二次刻蚀的工艺条件相同。
- [0027] 与现有技术相比,本发明提供的半导体器件的制备方法,首先在栅极材料层上形成第一凹槽进行离子注入形成DPB结构,然后再对栅极材料层进行刻蚀形成栅极,避免了现有技术中先形成栅极再进行离子注入导致的离子注入区与预定区存在偏差的问题,在一定程度上提高了制造工艺的精确度,提高了半导体器件的性能。

附图说明

- [0028] 图1~4为一半导体器件的制备方法的各步骤结构示意图。
- [0029] 图5为本发明一实施例所提供的半导体器件的制备方法的流程图。
- [0030] 图6~图10为本发明一实施例所提供的半导体器件的制备方法的各步骤结构示意图。

具体实施方式

[0031] 图1~4为一半导体器件的制备方法的各步骤部分结构示意图。请参考图1~图4所示,一般情况下,所述半导体器件的制备方法包括以下步骤:

[0032] 第一步骤:提供一半导体衬底1,在所述半导体衬底1上形成栅极材料层2,在栅极材料层2上形成光刻胶层3,对所述光刻胶层3进行图形化,暴露出部分所述栅极材料层2,如图1所示。

[0033] 第二步骤,通过所述图形化的光刻胶层3对所述栅极材料2进行刻蚀至暴露出所述半导体衬底1,在所述半导体衬底1上形成多个栅极4,如图2所示。相邻的所述栅极4之间形成凹槽,如图2中的凹槽42。

[0034] 第三步骤,在所述半导体衬底1以及栅极4上形成光刻胶层5,通过曝光与显影在所述光刻胶层内形成凹槽52,暴露出所述半导体衬底1,所述凹槽52与所述凹槽42相重合,如图3所示。

[0035] 第四步骤,以图形化的光刻胶层5为掩膜,通过所述凹槽52对所述半导体衬底1进行深P型离子注入,形成DPB结构6,然后去除所述光刻胶层5,形成如图4所示的结构。

[0036] 理论上,对所述光刻胶层5进行曝光与显影形成的凹槽52,应该与栅极之间形成的凹槽42相重合,但是由于凹槽42是在第二步骤中形成的,凹槽52是在第三步骤中形成的,在实际的制造工艺中,并不能保证光刻胶层5中进行曝光与显影的位置与凹槽42完全重合,即并不能保证凹槽52完全与凹槽42相重合,存在一定的偏移风险,最终会导致通过离子注入形成的DPB结构与预定DPB结构的位置有一定的偏差,从而影响后续半导体器件的制备,影响最终半导体器件的性能。

[0037] 发明人针对以上问题,提出了一种半导体器件的制备方法。

[0038] 为使本发明的内容更加清楚易懂,以下结合说明书附图,对本发明的内容做进一步说明。当然本发明并不局限于该具体实施例,本领域的技术人员所熟知的一般替换也涵盖在本发明的保护范围内。

[0039] 其次,本发明利用示意图进行了详细的表述,在详述本发明实例时,为了便于说明,示意图不依照一般比例局部放大,不应对此作为本发明的限定。

[0040] 本发明提供一种半导体器件的制备方法,如图5所示,包括以下步骤:

[0041] 步骤S100,提供一衬底,在所述衬底上形成栅极材料层;

[0042] 步骤S200,对所述栅极材料层进行第一次刻蚀,形成至少一个第一凹槽,暴露出所述衬底;

[0043] 步骤S300,通过所述第一凹槽对所述衬底进行离子注入,形成DPB结构;

[0044] 步骤S400,对所述栅极材料层进行第二次刻蚀,形成多个栅极。

[0045] 本发明提供的半导体器件的制备方法中,首先在栅极材料层上形成第一凹槽进行离子注入形成DPB结构,然后再对栅极材料层进行刻蚀形成栅极,避免了现有技术中先形成栅极再进行离子注入导致的离子注入区与预定区存在偏差的问题,在一定程度上提高了制造工艺的精确度,提高了半导体器件的性能。

[0046] 图6~图10为本发明一实施例所提供的半导体器件的制备方法的各步骤的结构示意图,请参考图5所示,并结合图6~图10,详细说明本发明提出的半导体器件的制备方法:

[0047] 如图6所示,在步骤S100中,提供一衬底10,在所述衬底10上形成栅极材料层11。

[0048] 所述衬底10内可以设有浅沟槽隔离(图中未示出),所述衬底10的材质可以为单晶硅、多晶硅、无定型硅、硅锗化合物或绝缘体上硅(SOI)等,或者本领域技术人员已知的其他材料,在所述衬底10中还可以形成掺杂区或者其它半导体结构等,本发明对此不做限定。

[0049] 在所述衬底10上形成栅极材料层11。形成所述栅极材料层11的方法可以为化学气相沉积、物理气相沉积、原子层沉积或外延生长法。所述栅极材料层11优选为多晶硅层,也可以为金属,或本领域技术人员已知的其他材料。在其他实施例中,在所述衬底10上形成栅极材料层11之前,可以在所述衬底10上先形成栅介质层,然后在所述栅介质层上形成栅极材料层11。所述栅介质层可以采用化学气相沉积形成,或者所述栅介质层还可以采用热氧化生长法形成,采用热氧化生长法形成的栅介质层具有更好的致密结构。

[0050] 在步骤S200中,对所述栅极材料层11进行第一次刻蚀,形成至少一个第一凹槽112,暴露出所述衬底10,如图7所示。

[0051] 具体的,形成所述第一凹槽112的步骤包括:步骤S201,在所述栅极材料层11上形成第一光刻胶层12,如图6所示,优选的可以采用旋涂的方法在所述栅极材料层11上形成所述第一光刻胶层12。

[0052] 步骤S202,图形化所述第一光刻胶层12,暴露出部分所述栅极材料层11,例如可以在所述第一光刻胶层12的上侧设置掩膜版,所述掩膜版暴露出部分所述第一光刻胶层12,然后进行曝光,之后对所述第一光刻胶层12进行显影,去除暴露出的所述第一光刻胶层12(所述第一光刻胶层12为正光刻胶),形成图形化的第一光刻胶层12,如图6所示。

[0053] 步骤S203,对暴露出的所述栅极材料层11进行第一次刻蚀,形成所述第一凹槽112,如图7所示。可以但不限于采用等离子体干法刻蚀,对所述栅极材料层11进行第一次刻蚀,最终在所述栅极材料层11内形成第一凹槽112,暴露出所述衬底10。

[0054] 在步骤S300中,通过所述第一凹槽112对所述衬底10进行离子注入,形成DPB结构13,如图8所示。

[0055] 以所述第一光刻胶层12为掩膜,通过所述第一凹槽112对所述衬底10进行离子注

入,在所述衬底内形成DPB结构13,然后去除所述第一光刻胶层12。所述离子注入为深P型离子注入,注入的离子可以为硼、锗等P型离子。优选的,离子注入的方向为垂直于所述第一光刻胶层12的上表面所在的方向,如图8所示的竖直方向,由此形成的DPB结构13与所述第一凹槽112相对称,即所述DPB结构13在图8所示的水平方向上的尺寸大于所述第一凹槽112在水平方向上的尺寸,且多出的尺寸在所述第一凹槽112的左右两侧相对称。可以理解的是,所述离子注入方向也可以与水平方向呈一锐角,使得形成的所述DPB结构13与所述第一凹槽112相比偏左或者偏右,其具体注入角度由实际需求及实际工艺条件来决定,本发明对此不作限定。同样的,离子注入的能量、注入浓度等参数均根据实际需求或实际工艺条件来决定。

[0056] 另外,完成离子注入之后,还可以进行退火处理,例如,可以采用高温炉退火或快速热退火等退火方式,以消除所述衬底10经过离子注入之后造成的晶格损伤。

[0057] 在步骤S400中,对所述栅极材料层11进行第二次刻蚀,形成多个栅极15,如图10所示。

[0058] 对所述栅极材料层11进行第二次刻蚀,形成第二凹槽114,所述第二凹槽114暴露出所述衬底10;所述第一凹槽112为两个时,所述第二凹槽114位于两个所述第一凹槽112之间,所述第一凹槽112大于两个时,所述第二凹槽114与所述第一凹槽112间隔排列,相邻的所述第一凹槽112与所述第二凹槽114之间的栅极材料层构成栅极15。

[0059] 具体的,形成所述第二凹槽114的步骤包括:步骤S401,在所述栅极材料层11上形成第二光刻胶层14,例如可以采用旋涂的方法形成所述第二光刻胶层14。所述第二光刻胶层14覆盖所述栅极材料层11以及暴露出的所述DPB结构13,如图9所示。

[0060] 步骤S402,图形化所述第二光刻胶层14,暴露出部分所述栅极材料层11,例如对所述第二光刻胶层14进行曝光与显影,形成图形化的第二光刻胶层14,如图9所示。

[0061] 在该步骤中,暴露出的所述栅极材料层11是后续要形成第二凹槽的地方,第二凹槽与第一凹槽之间的栅极材料层11构成栅极,因此,需要根据所需栅极的尺寸以及第一凹槽所在的位置精确确定所要暴露出的栅极材料层11的具体位置。优选的,可以采用自对准工艺,实现第二凹槽与第一凹槽的自对准。

[0062] 步骤S403,对暴露出的所述栅极材料层11进行第二次刻蚀,形成所述第二凹槽114,然后去除所述第二光刻胶层14,形成多个栅极15,如图10所示。可以但不限于采用等离子体干法刻蚀,对所述栅极材料层11进行第二次刻蚀,最终在所述栅极材料层11内形成第二凹槽114,暴露出所述衬底10。所述第二凹槽114位于相邻的两个所述第一凹槽112之间,所述第二凹槽114与所述第一凹槽112间隔排列,相邻的所述第一凹槽112与所述第二凹槽114之间的栅极材料层构成栅极15。

[0063] 所述第一次刻蚀形成第一凹槽112,形成栅极15的一侧壁,所述第二次刻蚀形成第二凹槽114,形成栅极15的另一侧壁。因此,优选的,所述第一次刻蚀与第二次刻蚀采用的工艺条件相同,例如,都采用等离子体干法刻蚀,采用的等离子体以及等离子体的相关参数均相同,使得两次刻蚀的刻蚀速率、刻蚀量等均相同,使得最终形成的栅极15的两侧壁的轮廓相同。

[0064] 将形成半导体器件的两种方法进行对比,在先形成栅极再形成DPB结构的方法中,第一凹槽暴露出的衬底为后续形成DPB结构的预定区域,第一凹槽与第二凹槽完全重合,才

能保证最终形成的DPB结构与预定区域重合。由此需要不断的提高工艺的精度,但是由于第一凹槽与第二凹槽在不同的步骤中形成,不可避免的会存在一偏差,从而影响了后续半导体器件的制备。而本发明所提供的半导体器件的制备方法中,先形成DPB结构后形成栅极,即在预定形成DPB结构的区域的栅极材料上形成第一凹槽,然后通过第一凹槽直接进行离子注入,在衬底内形成DPB结构,然后再刻蚀形成栅极,可以避免上述离子注入区域与预定区域存在偏差的问题,能够在一定程度上提高制造工艺的精确度,提高半导体器件的性能。

[0065] 综上所述,本发明提供的半导体器件的制备方法,首先在栅极材料层上形成第一凹槽进行离子注入形成DPB结构,然后再对栅极材料层进行刻蚀形成栅极,避免了现有技术中先形成栅极再进行离子注入导致的离子注入区与预定区存在偏差的问题,在一定程度上提高了制造工艺的精确度,提高了半导体器件的性能。

[0066] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

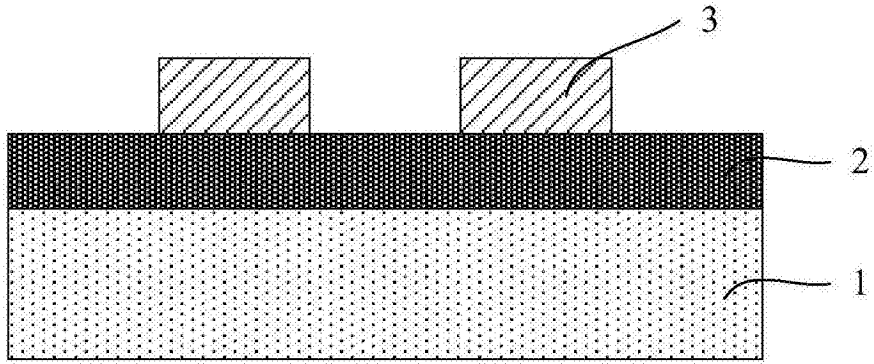


图1

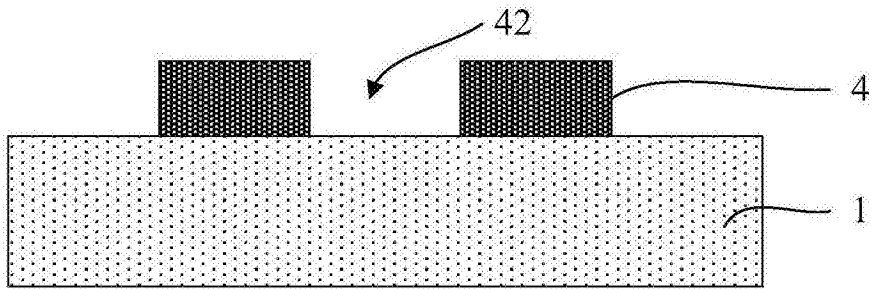


图2

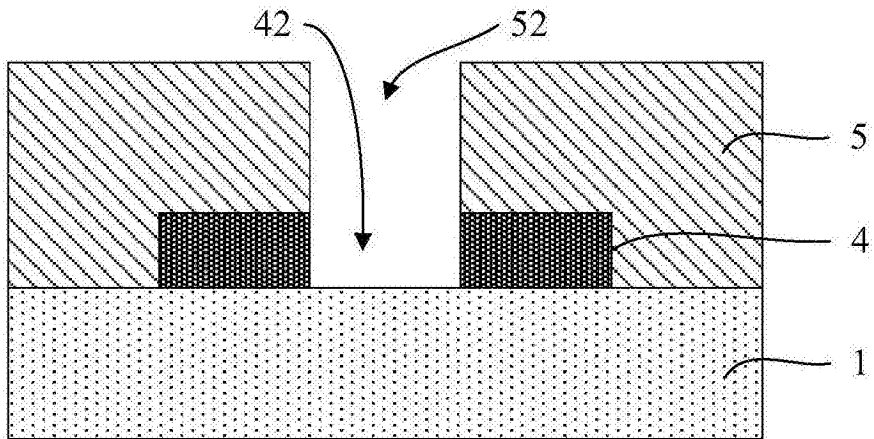


图3

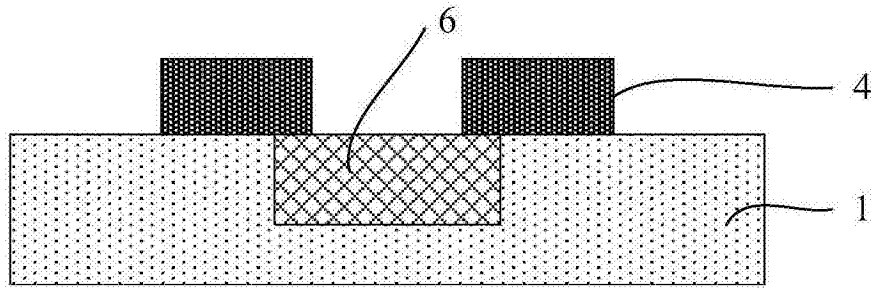


图4

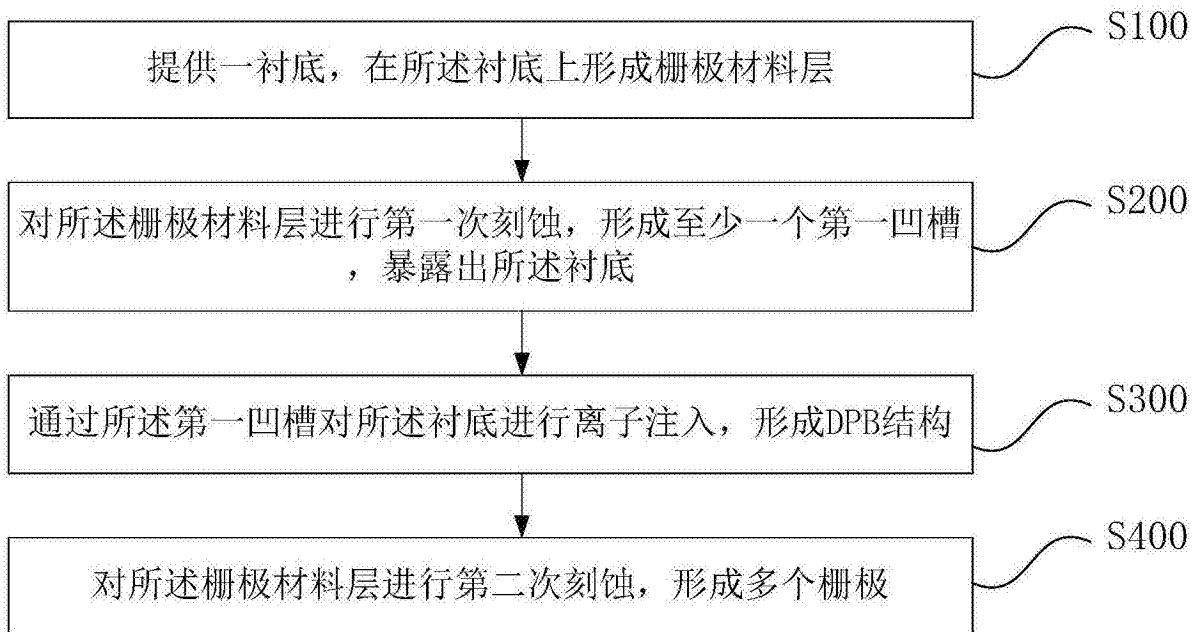


图5

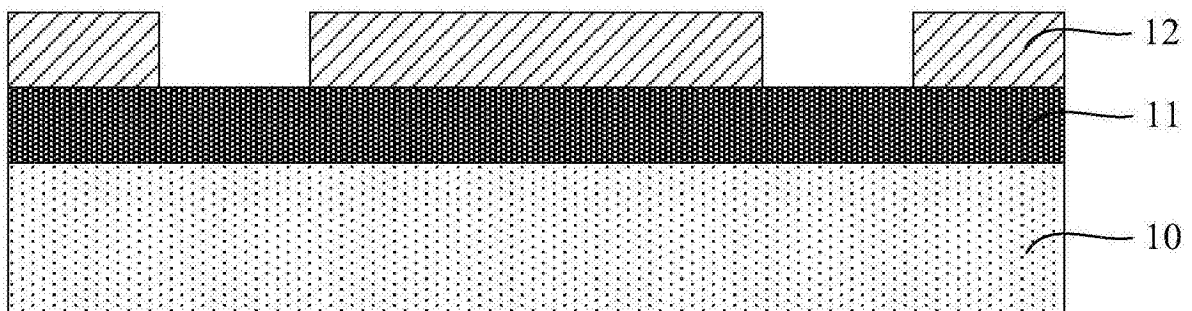


图6

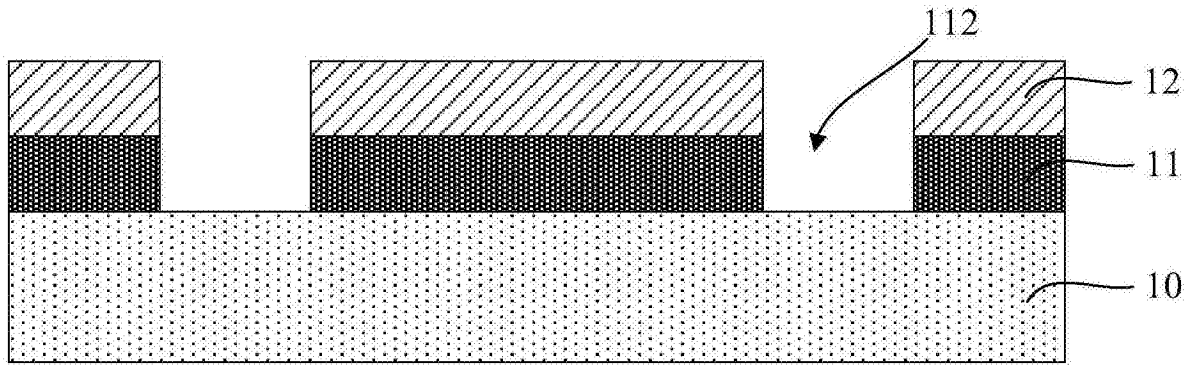


图7

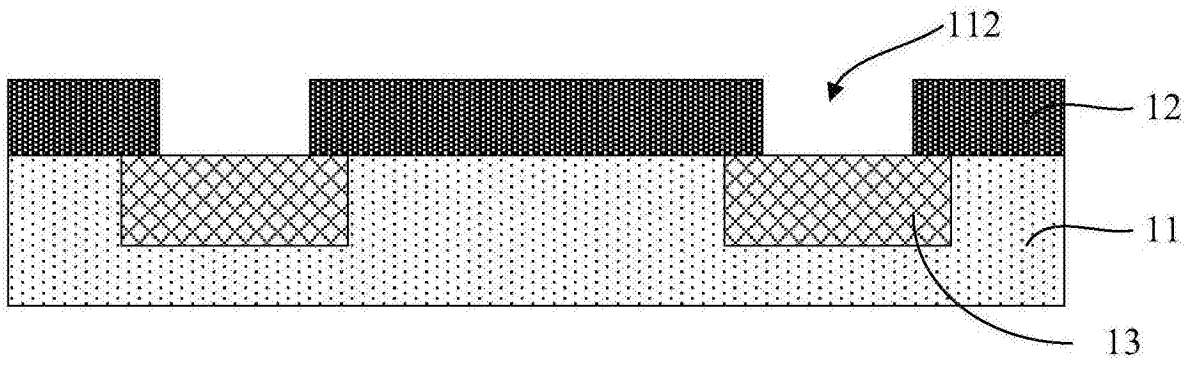


图8

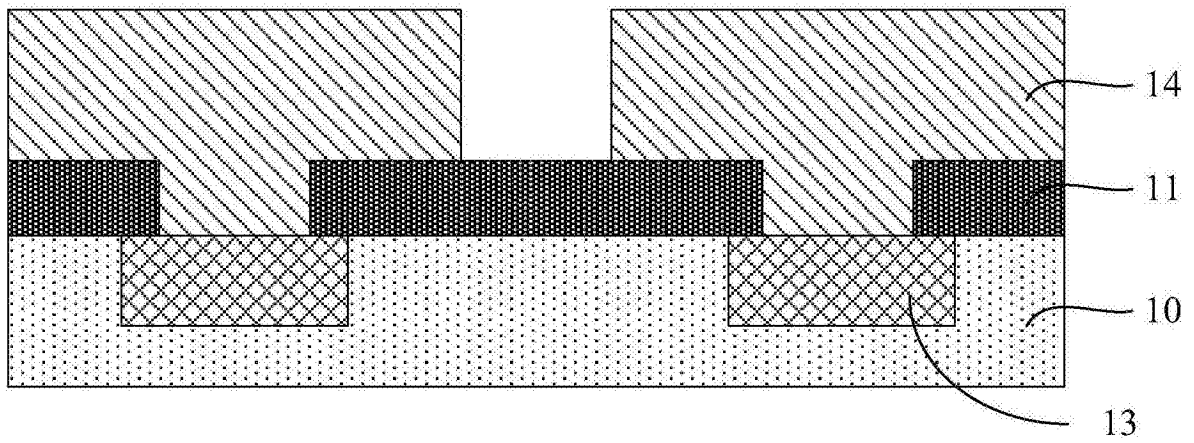


图9

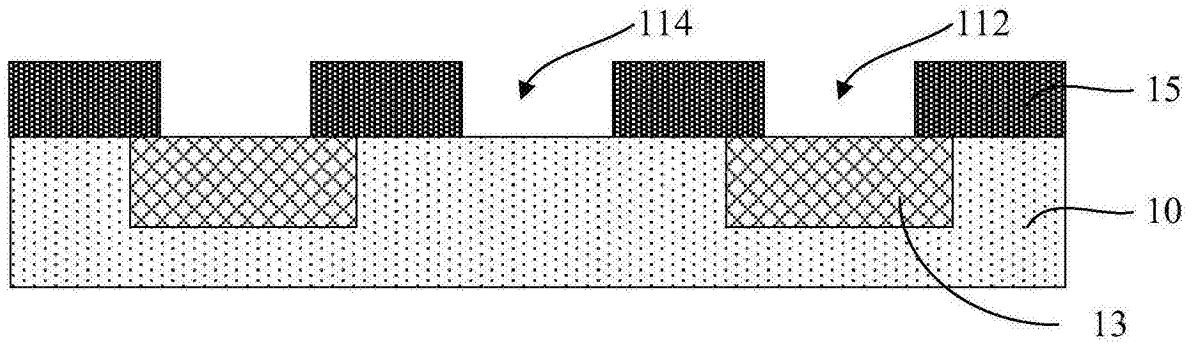


图10