

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4662494号
(P4662494)

(45) 発行日 平成23年3月30日(2011.3.30)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int. Cl.	F I	
G02F 1/1368 (2006.01)	G02F 1/1368	
G02F 1/1343 (2006.01)	G02F 1/1343	
G09G 3/20 (2006.01)	G09G 3/20	611C
G09G 3/36 (2006.01)	G09G 3/20	611D
	G09G 3/20	611J
請求項の数 4 (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2007-269433 (P2007-269433)	(73) 特許権者	302020207
(22) 出願日	平成19年10月16日(2007.10.16)		東芝モバイルディスプレイ株式会社
(65) 公開番号	特開2009-98374 (P2009-98374A)		埼玉県深谷市幡羅町一丁目9番地2
(43) 公開日	平成21年5月7日(2009.5.7)	(74) 代理人	100091351
審査請求日	平成21年6月12日(2009.6.12)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男
最終頁に続く			

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

一対の基板間に液晶層を保持し、一方の基板が層間絶縁膜を介して対向する一対の第1電極及び第2電極を備えた構成の横電界モードの液晶表示装置であって、
マトリクス状の画素の行方向に延在する走査線と、
前記画素の列方向に延在する信号線と、
各画素において、隣接する信号線間に形成された蓄積容量素子と、
各画素に配置されたスイッチング素子と、
を備え、行方向に隣接する一対の信号線間の画素は、前記スイッチング素子を介して一方の信号線に接続された前記第1電極と、他方の信号線に接続された前記第2電極と、を有することにより、隣接する一対の信号線間に前記蓄積容量素子を形成したことを特徴とする液晶表示装置。

【請求項 2】

一方の信号線の電位は、他方の信号線の電位を基準とした画素電位に設定されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素電位の極性は、上限のしきい値電圧 V_{sigH} 及び下限のしきい値電圧 V_{sigL} を超えないように選択されることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記画素は、行方向に沿った長さが列方向に沿った長さより長い形状であることを特徴

とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に係り、特に、液晶表示パネルを構成する一方の基板に層間絶縁膜を介して対向する一对の電極を備えた構造の液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を主として利用した構造が注目されている。(例えば、特許文献1及び特許文献2参照)。

10

【0003】

このIPSモードやFFSモードの液晶表示装置は、アレイ基板に形成された画素電極とコモン電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。また、アレイ基板及び対向基板のそれぞれの外面には、互いに偏光軸が直交するように配置された偏光板が配置されている。このような偏光板の配置により、例えば電圧無印加時に黒色画面を表示し、映像信号に対応した電圧を画素電極に印加することにより徐々に透過率(変調率)が増加して白色画面を表示する。このような液晶表示装置では、液晶分子が基板主面とほぼ平行な平面内で回転するため、透過光の入射方向に対して偏光状態が大きく影響しないので、視野角依存性は小さく、広い視野角特性を有するといった特徴がある。

20

【0004】

特許文献3によれば、IPS方式において、画素への書込が終わった後の信号線電位の変化により発生する電界及び隣接する信号線の電位の変化による電界によって表示に影響を受けるといった課題に対して、この表示への影響を防止するための配線を配置することなく、信号線と画素電極とを共用化することにより、広い画素部面積を確保する技術が開示されている。

30

【0005】

特許文献4によれば、各走査信号線に印加される電圧が選択走査電圧から非選択走査電圧に変化したときに各画素の画素電圧に電位変動が生じないようにする技術が開示されており、特に、IPS方式の液晶表示モジュールにおいては、画素電極に印加される階調電圧の最大振幅レベルを小さくするための技術が開示されている。

【特許文献1】特開2005-107535号公報

【特許文献2】特開2006-139295号公報

【特許文献3】特開2000-047250号公報

【特許文献4】特開2001-174784号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

横電界を主として利用した液晶モードにおいては、信号線からの表示に影響を与える電界を遮蔽するとともに不所望な寄生容量を抑制し、表示品位を改善することが望まれている。

【0007】

この発明は、上述した問題点に鑑みなされたものであって、その目的は、画素開口率の低下を招くことなく表示品位の良好な画像を表示可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 0 8 】

この発明の態様による液晶表示装置は、
 一対の基板間に液晶層を保持し、一方の基板が層間絶縁膜を介して対向する一対の第 1 電極及び第 2 電極を備えた構成の横電界モードの液晶表示装置であって、
 マトリクス状の画素の行方向に延在する走査線と、
 前記画素の列方向に延在する信号線と、
 各画素において、隣接する信号線間に形成された蓄積容量素子と、
各画素に配置されたスイッチング素子と、
 を備え、行方向に隣接する一対の信号線間の画素は、前記スイッチング素子を介して一方の信号線に接続された前記第 1 電極と、他方の信号線に接続された前記第 2 電極と、を有することにより、隣接する一対の信号線間に前記蓄積容量素子を形成したことを特徴とする。

10

【発明の効果】

【 0 0 1 0 】

この発明によれば、画素開口率の低下を招くことなく表示品位の良好な画像を表示可能な液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下、この発明の一実施の形態に係る液晶表示装置について図面を参照して説明する。

【 0 0 1 2 】

ここでは、一方の基板に一対の電極を備え、これらの間に形成される横電界（基板面に略平行な水平電界）を主として利用して液晶分子をスイッチングする液晶モードとして、F F Sモードの液晶表示装置を例に説明する。

20

【 0 0 1 3 】

図 1 及び図 2 に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示装置であって、液晶表示パネル L P N を備えている。この液晶表示パネル L P N は、アレイ基板 A R と、このアレイ基板 A R と互に対向して配置された対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えて構成されている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア D S P を備えている。このアクティブエリア D S P は、 $m \times n$ 個（ m 及び n を自然数である）のマトリクス状に配置された画素 P X によって構成されている。

30

【 0 0 1 4 】

この実施の形態においては、透過型の液晶表示パネル L P N を備えた液晶表示装置について説明するが、本発明は透過型に限定されるものではなく、反射型に適用しても良い。透過型の液晶表示装置は、液晶表示パネル L P N に対してアレイ基板 A R 側に配置されたバックライトユニット B L を備えている。このような透過型の液晶表示パネル L P N を備えた液晶表示装置は、バックライトユニット B L からのバックライト光を選択的に透過することによって画像を表示するように構成されている。

【 0 0 1 5 】

より具体的な液晶表示装置の構成について説明する。

40

【 0 0 1 6 】

アレイ基板 A R は、ガラス板や石英板などの光透過性を有する絶縁基板 1 0 を用いて形成されている。すなわち、このアレイ基板 A R は、アクティブエリア D S P において、画素 P X 毎に配置された $m \times n$ 個の第 1 電極 E 1、各画素 P X の行方向 H にそれぞれ延在する n 本の走査線 Y（ $Y_1 \sim Y_n$ ）、各画素 P X の列方向 V にそれぞれ延在する少なくとも $(m + 1)$ 本の信号線 X（ $X_1 \sim X(m + 1)$ ）、各画素 P X において走査線 Y と信号線 X との交差部を含む領域に配置された $m \times n$ 個のスイッチング素子 W、画素 P X 毎に配置された $m \times n$ 個の第 2 電極 E 2 などを備えている。アレイ基板 A R の液晶層 L Q に接触する面は、配向膜 2 0 によって覆われている。

【 0 0 1 7 】

50

各スイッチング素子Wは、例えば、nチャネル薄膜トランジスタであり、絶縁基板10の上に配置された半導体層12を備えている。この半導体層12は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではポリシリコンによって形成されている。半導体層12は、チャネル領域12Cを挟んだ両側にそれぞれソース領域12S及びドレイン領域12Dを有している。この半導体層12は、ゲート絶縁膜14によって覆われている。

【0018】

スイッチング素子Wのゲート電極WGは、走査線Yに接続されている（あるいは走査線Yと一体的に形成されている）。ゲート電極WG及び走査線Yは、ともにゲート絶縁膜14上に配置されている。これらのゲート電極WG及び走査線Yは、第1層間絶縁膜16によって覆われている。ゲート絶縁膜14及び第1層間絶縁膜16は、酸化シリコン膜や窒化シリコン膜などの無機系材料からなる薄膜によって形成可能である。

10

【0019】

スイッチング素子Wのソース電極WS及びドレイン電極WDは、第1層間絶縁膜16上においてゲート電極WGの両側に配置されている。ソース電極WSは、信号線Xに接続される（あるいは信号線Xと一体に形成される）とともに、ゲート絶縁膜14及び第1層間絶縁膜16を貫通するコンタクトホールを介して半導体層12のソース領域12Sにコンタクトしている。ドレイン電極WDは、第1電極E1に接続される（あるいは第1電極E1と一体に形成される）とともに、ゲート絶縁膜14及び第1層間絶縁膜16を貫通するコンタクトホールを介して半導体層12のドレイン領域12Dにコンタクトしている。これらのソース電極WS、ドレイン電極WD、及び、信号線Xは、第2層間絶縁膜18によって覆われている。

20

【0020】

上述したような構成のポリシリコン薄膜トランジスタを適用した場合には、第2層間絶縁膜18は、有機系材料（樹脂材料）によって形成可能である。なお、アモルファスシリコン薄膜トランジスタを適用した場合には、第2層間絶縁膜18は、窒化膜などの無機系材料からなる薄膜によって形成可能である。

【0021】

n本の走査線Y（Y1～Yn）は、それぞれ列方向Vに並んで配置されている。（m+1）本の信号線X（X1～X（m+1））は、それぞれ行方向Hに並んで配置されている。つまり、m×n個の画素PXのそれぞれは、行方向に隣接する一对の信号線Xの間に位置している。

30

【0022】

各画素PXにおいて、第1電極E1と第2電極E2とは、層間絶縁膜を介して対向している。これらの第1電極E1及び第2電極E2は、隣接する信号線間に形成された蓄積容量素子としての機能を有している。

【0023】

図2に示した例では、第1電極E1と第2電極E2とは、第2層間絶縁膜18を介して対向している。すなわち、第1電極E1は、第2層間絶縁膜18上において島状に配置され、画素PXの両側に配置された一对の信号線のうちの一方の信号線XAに接続されている。第2電極E2は、第2層間絶縁膜18の下、つまり第1層間絶縁膜16と第2層間絶縁膜18との間において島状に配置され、画素PXの両側に配置された一对の信号線のうちの他方の信号線XBに接続されている。

40

【0024】

ここでは、第1電極E1は、第2層間絶縁膜18を貫通するコンタクトホールを介してドレイン電極WDと電氣的に接続されており、各画素PXのスイッチング素子Wを介して信号線XAに接続されている。また、第2電極E2は、第1電極E1が接続された信号線XAに対して行方向Hに隣接する信号線XBに接続されている。すなわち、第2電極E2のエッジが隣接信号線XBに重なって、両者が電氣的に接続されている。このような構成によれば、第1電極E1及び第2電極E2は、両者の間に液晶容量Clcを形成すると

50

もに、これを保持するための補助容量 C_s を形成する蓄積容量素子としての機能を兼ね備えている。

【0025】

これらの第1電極E1及び第2電極E2は、例えばインジウム・ティン・オキサイド(I TO)やインジウム・ジンク・オキサイド(I ZO)などの光透過性を有する導電材料によって形成されている。

【0026】

アレイ基板ARは、さらに、アクティブエリアDSPの周辺の駆動回路領域DC Tにおいて、 n 本の走査線Yに接続された走査線ドライバY Dを構成する少なくとも一部や、 $(m + 1)$ 本の信号線Xに接続された信号線ドライバX Dを構成する少なくとも一部などを備えている。走査線ドライバY Dは、コントローラCNTによる制御に基づいて n 本の走査線Yに順次走査信号(駆動信号)を供給する。また、信号線ドライバX Dは、コントローラCNTによる制御に基づいて各行のスイッチング素子Wが走査信号によってオンするタイミングで $(m + 1)$ 本の信号線Xに映像信号(駆動信号)を供給する。

【0027】

信号線ドライバX Dは、各行のそれぞれの画素PXについて、所定の画素電位に設定する電位設定部としての機能を有している。すなわち、信号線ドライバX Dは、各信号線Xに映像信号を供給する際、各画素PXについて、一方の信号線の電位が他方の信号線の電位を基準とした画素電位に設定されるような信号電圧を出力する。

【0028】

一方、対向基板CTは、ガラス板や石英板などの光透過性を有する絶縁基板30を用いて形成されている。特に、カラー表示タイプの液晶表示装置においては、図2に示したように、対向基板CTは、絶縁基板30の内面すなわち液晶層L Qに対向する面に、各画素PXを区画するブラックマトリクス32、ブラックマトリクス32によって囲まれた各画素PXに個別に配置されたカラーフィルタ層34などを備えている。なお、カラーフィルタ層34は、アレイ基板AR側に配置されても良い。また、対向基板CTは、さらに、外部電界の影響を緩和するためのシールド電極や、カラーフィルタ層34の表面の凹凸を平坦化するように比較的厚い膜厚で配置されたオーバコート層などを備えて構成してもよい。

【0029】

ブラックマトリクス32は、絶縁基板30上において、アレイ基板ARに設けられた走査線Yや信号線X、スイッチング素子Wなどの配線部に対向するように配置されている。カラーフィルタ層34は、絶縁基板30上に配置され、互いに異なる複数の色、例えば赤色、青色、緑色といった3原色にそれぞれ着色された着色樹脂によって形成されている。赤色着色樹脂、青色着色樹脂、及び、緑色着色樹脂は、それぞれ赤色画素、青色画素、及び、緑色画素に対応して配置されている。対向基板CTの液晶層L Qに接触する面は、配向膜36によって覆われている。

【0030】

上述したような構成のアレイ基板ARと対向基板CTとをそれぞれの配向膜20及び配向膜36が対向するように配置したとき、両者の間に配置された図示しないスペーサ(例えば、樹脂材料によって形成された柱状スペーサ)により、所定のギャップが形成される。液晶層L Qは、これらのアレイ基板ARの配向膜20と対向基板CTの配向膜36との間に形成されたギャップに封入された液晶分子40を含む液晶組成物によって構成されている。

【0031】

液晶層L Qに含まれる液晶分子40は、配向膜20及び配向膜36による規制力によって配向されている。すなわち、第1電極E1の電位と第2電極E2の電位との間に電位差が形成されていない(つまり、第1電極E1と第2電極E2との間に電界が形成されていない)無電界時には、液晶分子40は、その長軸が配向膜20及び配向膜36のラビング方向と平行な方位を向くように配向されている。

【 0 0 3 2 】

また、この液晶表示装置は、液晶表示パネル L P N の一方の外面（すなわちアレイ基板 A R の液晶層 L Q と接触する面とは反対の面）に設けられた光学素子 O D 1 を備え、また、液晶表示パネル L P N の他方の外面（すなわち対向基板 C T の液晶層 L Q と接触する面と反対の面）に設けられた光学素子 O D 2 を備えている。

【 0 0 3 3 】

これらの光学素子 O D 1 及び O D 2 は、偏光板を含み、例えば、無電界時において、液晶表示パネル L P N の透過率が最低となる（つまり黒色画面を表示する）ノーマリーブラックモードを実現している。なお、光学素子 O D 1 及び O D 2 は、無電界時において、液晶表示パネル L P N の透過率が最大となる（つまり白色画面を表示する）ノーマリーホワイトモードを実現するように構成されても良い。

10

【 0 0 3 4 】

このような液晶表示装置において、第 1 電極 E 1 及び第 2 電極 E 2 は、液晶層 L Q に及ぶ電界を形成するような形状に形成されている。図 2 及び図 3 に示した例では、第 1 電極 E 1 は、信号線 X A 及び X B 間において、第 2 層間絶縁膜 1 8 を介して第 2 電極 E 2 と重なるように配置されるとともに、その一部に切欠を有し、第 2 電極 E 2 を露出している。ここでは、第 1 電極 E 1 は、第 2 電極 E 2 と対向する複数のスリット S L を有している。このスリット S L は、その長軸が配向膜 2 0 及び配向膜 3 6 のラビング方向 S と交差するように形成されている。また、第 2 電極 E 2 の形状は、スリット等の無い略矩形となっている。

20

【 0 0 3 5 】

このような構成によれば、第 1 電極 E 1 の電位と第 2 電極 E 2 の電位との間に電位差が形成された場合（つまり、第 1 電極 E 1 に第 2 電極 E 2 の電位（基準電位）を基準としてこの基準電位とは異なる電位の電圧が印加された電圧印加時）には、スリット S L を介して第 1 電極 E 1 と第 2 電極 E 2 との間に電界 E が形成される。この電界 E は、概ねスリット S L のエッジに直交する方位に形成される。このとき、液晶分子 4 0 は、その長軸がラビング方向 S から電界 E と平行な方位に配向するように駆動される。

【 0 0 3 6 】

このように、液晶分子 4 0 の長軸の方位がラビング方向 S から変化すると、液晶層 L Q を透過する光に対する変調率が変化する。このため、バックライトユニット B L から出射されたバックライト光は、第 1 光学素子 O D 1 を介して液晶表示パネル L P N に入射した後、液晶層 L Q の変調率に基づいて、その一部が第 2 光学素子 O D 2 を透過し、白色画面を表示する。つまり、液晶表示パネル L P N の透過率は、電界 E の大きさに依存して変化する。横電界を利用した液晶モードでは、このようにして選択的にバックライト光を透過し、画像を表示する。

30

【 0 0 3 7 】

上述したように、この実施の形態によれば、各画素は、隣接する一対の信号線間に形成された蓄積容量素子を備えている。つまり、信号線が補助容量線としての機能を兼ね備えている（信号線と補助容量線との共用化）。このため、信号線からの表示に影響を与える電界の発生を抑制することが可能となるとともに、信号線とは別に補助容量線を配置した場合に生じ得る問題、つまり、信号線と補助容量線との間の容量に関する問題が解消される。これにより、表示品位の良好な画像を表示することが可能となる。また、補助容量線が不要となるため、画素開口率を拡大することが可能となる。さらに、補助容量素子に対して電位を供給する電源回路が不要となり、コストの低減が可能となる。

40

【 0 0 3 8 】

図 3 に示した例では、各画素 P X は、行方向 H に沿った長さが列方向 V に沿った長さより短い形状となっている。

【 0 0 3 9 】

すなわち、第 1 電極 E 1 は、一対の信号線、すなわち自画素 P X に対応の信号線 X A とこれに隣接する信号線 X B との間に配置され、概ね列方向（つまり信号線の延在方向と平

50

行な方向) Vに長い長方形形状となっている。この第1電極E1は、列方向Vに延在し行方向Hに並んだ4つのスリットSLを有している。第2電極E2は、信号線XAから離間しているとともにその一端側のエッジが隣接信号線XBに重なるように配置され、概ね列方向Vに長い長方形形状となっている。第1電極E1は信号線XAに接続され、また、第2電極E2は信号線XBに接続されている。このような構成の画素PXにおいては、画素開口率が約66%となった。

【0040】

一方、図4に示した例では、各画素PXは、行方向Hに沿った長さが列方向Vに沿った長さより長い形状となっている。

【0041】

すなわち、第1電極E1は、一对の信号線XA及びXBの間に配置され、概ね行方向(つまり走査線の延在方向と平行な方向)Hに長い長方形形状となっている。この第1電極E1は、行方向Hに延在し列方向Vに並んだ4つのスリットSLを有している。第2電極E2は、信号線XAから離間しているとともにその一端側のエッジが隣接信号線XBに重なるように配置され、概ね行方向Hに長い長方形形状となっている。第1電極E1は信号線XAに接続され、また、第2電極E2は信号線XBに接続されている。このような構成の画素PXにおいては、図3に示した例と比較して第2電極E2と信号線XAとの間のスペースを縮小できるため、画素開口率が約73%となった。つまり、この実施の形態においては、列方向Vに長い画素形状よりも行方向Hに長い画素形状の方が画素開口率を向上可能となる。

【0042】

次に、上述した構成の液晶表示装置における駆動例について説明する。ここでは、説明を簡略にするため、図5に示すように、アクティブエリアDSPにおける1行の3画素(PX1、PX2、PX3)に着目し、5V駆動のノーマリーブラックモード(電位差が0Vのときに黒表示であって、電位差が5Vのときに白表示となるモード)の駆動例について説明する。

【0043】

画素PX1は、信号線X1及びX2の間に配置され、その第1電極が信号線X1に接続されるとともにその第2電極が信号線X2に接続されている。画素PX2は、信号線X2及びX3の間に配置され、その第1電極が信号線X2に接続されるとともにその第2電極が信号線X3に接続されている。画素PX3は、信号線X3及びX4の間に配置され、その第1電極が信号線X3に接続されるとともにその第2電極が信号線X4に接続されている。

【0044】

これらの3画素は、走査線Y1にそれぞれスイッチング素子を介して接続されており、走査線Y1にオン信号が供給された際に、各信号線を介して第1電極E1と第2電極E2との間に画素電位の書込が可能となるとともに、走査線Y1にオフ信号が供給されている期間内においては書き込まれた画素電位を保持している。例えば、画素PX2に着目すれば、走査線Y1がオフしている期間内は、画素PX2と信号線X3とのカップリングにより、他方の信号線の電位が変動しても、画素PX2の画素電位は保持される。

【0045】

そして、上述のような画素電位の書込に際しては、いずれの画素においても、一方の信号線の電位は、他方の信号線の電位を基準とした画素電位に設定されている。

【0046】

例えば、図6Aに示すように、画素PX3については、信号線X4の電位を基準電位、例えば0Vとし、信号線X3の電位を5Vとすることにより、白表示となる。また、画素PX3に隣接する画素PX2については、信号線X3の電位を基準電位(5V)とし、信号線X2の電位を10Vまたは0Vとすることにより、同じく白表示となる。このような手法によって各信号線の電位を設定することにより、所望の画面表示が可能となる。

【0047】

10

20

30

40

50

なお、図6Aに示したように、画素P X 3における画素電位の極性(正)に対して、これに隣接する画素P X 2における画素電位の極性は、10Vを選択したときのように(正)であっても良いが、0Vを選択したときのように(負)であっても良い。一般的には、隣接する画素の画素電位の極性を反転させるVライン反転駆動やドット反転駆動(HV反転駆動)などの駆動手法を適用することで、最大信号振幅を低減できる。

【0048】

また、画素電位の極性は、規則的に反転させなくても良い。

【0049】

例えば、図6Bに示すように、画素P X 3については、信号線X 4の電位を基準電位(0V)とし、正極性を選択して、信号線X 3の電位を5Vとすることにより、白表示となる。画素P X 3に隣接する画素P X 2については、1V相当の中間調を表示しようとする場合、信号線X 3の電位を基準電位(5V)とし、負極性を選択して、信号線X 2の電位を4Vとする。そして、画素P X 2に隣接する画素P X 1について、5V相当の白を表示しようとする場合、信号線X 2の電位を基準電位(4V)とし、正極性を選択すると、信号線X 1の電位は9Vとなる。このため、最大信号振幅は増大する傾向となる。

10

【0050】

そこで、図6Cに示すように、画素電位の極性に規則性を持たせず、画素P X 1について、5V相当の白を表示しようとする場合には、信号線X 2の電位を基準電位(4V)とし、負極性を選択することにより、信号線X 1の電位は-1Vとなる。このような駆動手法により、最大信号振幅の増大を抑制することが可能となる。

20

【0051】

つまり、信号線ドライバXDは、隣接する信号線の電位、隣接する画素の画素電位などに基づいて、出力可能な最大信号振幅を越えないように各信号線に供給する電圧を設定する。たとえば、信号線ドライバXDは、ある画素の画素電位を設定する際、基準電位に対して信号線に供給する電圧が上限のしきい値電圧 V_{sigH} (例えば5V)及び下限のしきい値電圧 V_{sigL} (例えば-5V)を超えないように画素電位の極性を選択する。あるいは、信号線ドライバXDは、中間駆動電圧 V_{sigc} (例えば2.5V)に向かう側の極性を選択するようにしても良い。

【0052】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

30

【図面の簡単な説明】

【0053】

【図1】図1は、この発明の一実施の形態に係る横電界を利用した液晶モードの液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示装置の1画素分の構造例を概略的に示す断面図である。

40

【図3】図3は、図1に示した液晶表示装置に適用可能なアレイ基板の1画素分の構造例を概略的に示す平面図である。

【図4】図4は、図1に示した液晶表示装置に適用可能なアレイ基板の1画素分の他の構造例を概略的に示す平面図である。

【図5】図5は、この実施の形態の液晶表示装置における駆動例を説明するための図である。

【図6A】図6Aは、図5に示した5V駆動のノーマリーブラックモードにおいて隣接する画素が白表示となる場合の駆動例を示す図である。

【図6B】図6Bは、白表示となる画素の間に中間調の画素を挟んだ場合の駆動例を示す図である。

50

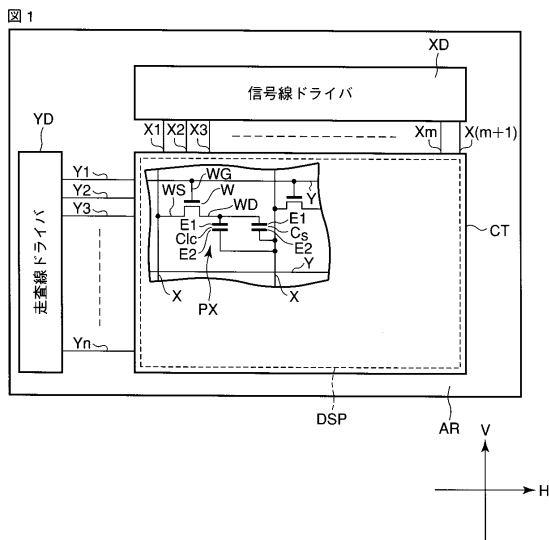
【図6C】図6Cは、白表示となる画素の間に中間調の画素を挟んだ場合の他の駆動例を示す図である。

【符号の説明】

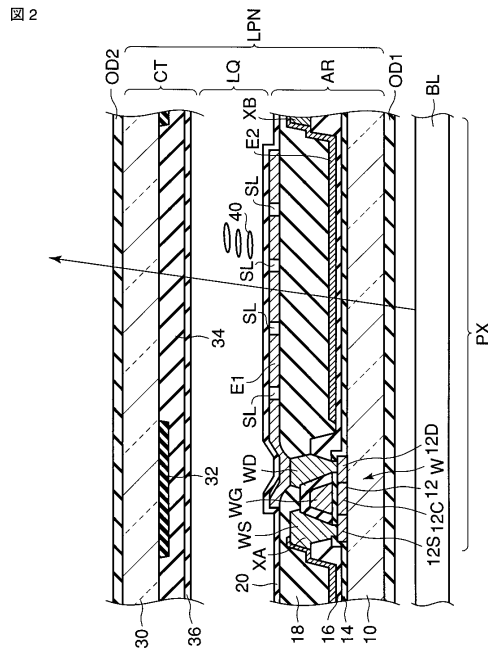
【0054】

- LPN...液晶表示パネル
- AR...アレイ基板
- CT...対向基板
- LQ...液晶層
- DSP...アクティブエリア
- Y...走査線
- X...信号線
- PX...画素
- E1...第1電極(上部電極)
- E2...第2電極(下部電極)
- SL...スリット
- XD...信号線ドライバ
- Clc...液晶容量
- Cs...補助容量

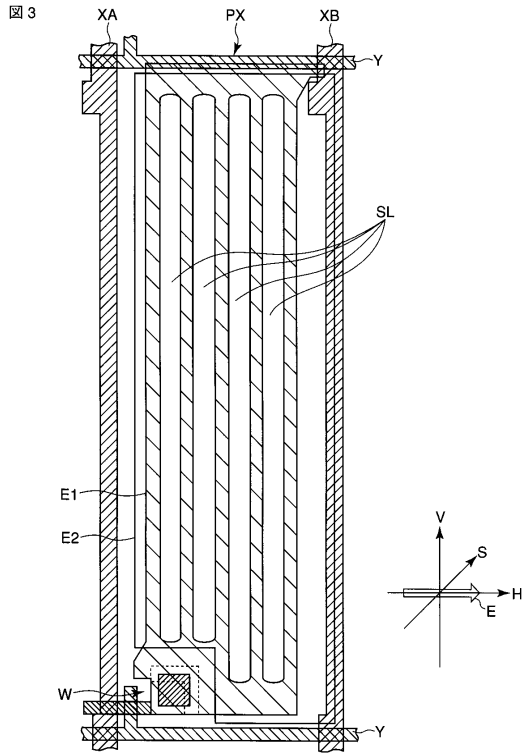
【図1】



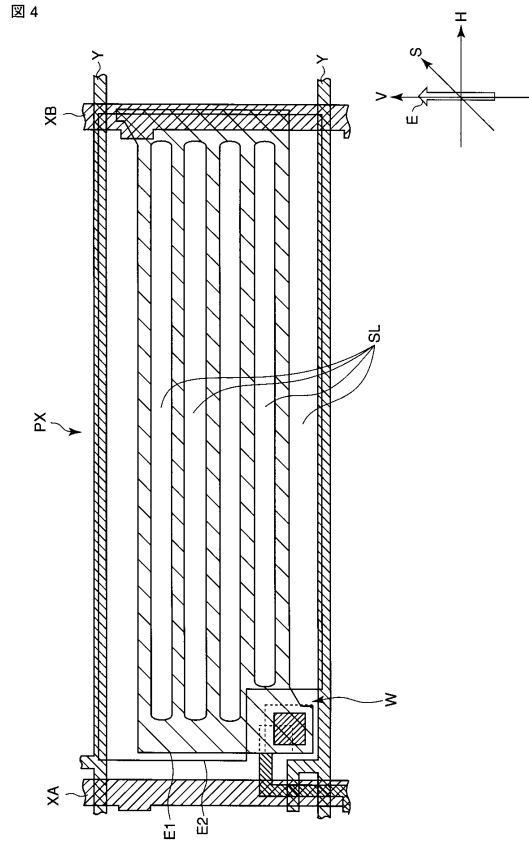
【図2】



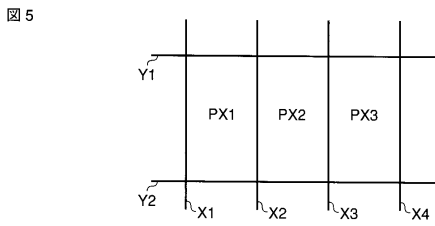
【 図 3 】



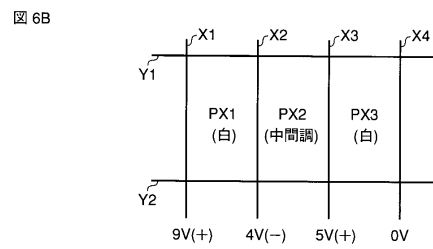
【 図 4 】



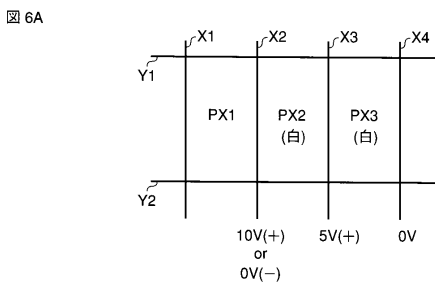
【 図 5 】



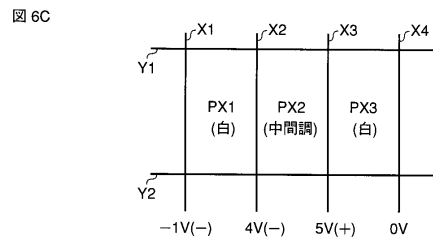
【 図 6 B 】



【 図 6 A 】



【 図 6 C 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 4 A
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 4 2 D
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/36

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 原田 和幸
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 藤田 都志行

(56)参考文献 特開2006-235449(JP,A)
特開2006-189758(JP,A)
特開2005-77424(JP,A)
特開2006-292854(JP,A)
特開2003-15155(JP,A)
特開2005-300780(JP,A)
特開2005-300779(JP,A)
国際公開第2005/059637(WO,A1)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 4 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6