



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년07월23일  
 (11) 등록번호 10-2002462  
 (24) 등록일자 2019년07월16일

(51) 국제특허분류(Int. Cl.)  
 G11C 8/00 (2006.01) G11C 7/22 (2015.01)  
 (21) 출원번호 10-2012-0095228  
 (22) 출원일자 2012년08월29일  
 심사청구일자 2017년08월07일  
 (65) 공개번호 10-2014-0029738  
 (43) 공개일자 2014년03월11일  
 (56) 선행기술조사문헌  
 KR1020100052664 A\*  
 KR1020110108759 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 에스케이하이닉스 주식회사  
 경기도 이천시 부발읍 경충대로 2091  
 (72) 발명자  
 최훈  
 경기 이천시 구مان리로 42, 103동 1203호 (중일동, 이천현대홈타운)  
 (74) 대리인  
 김성남

전체 청구항 수 : 총 2 항

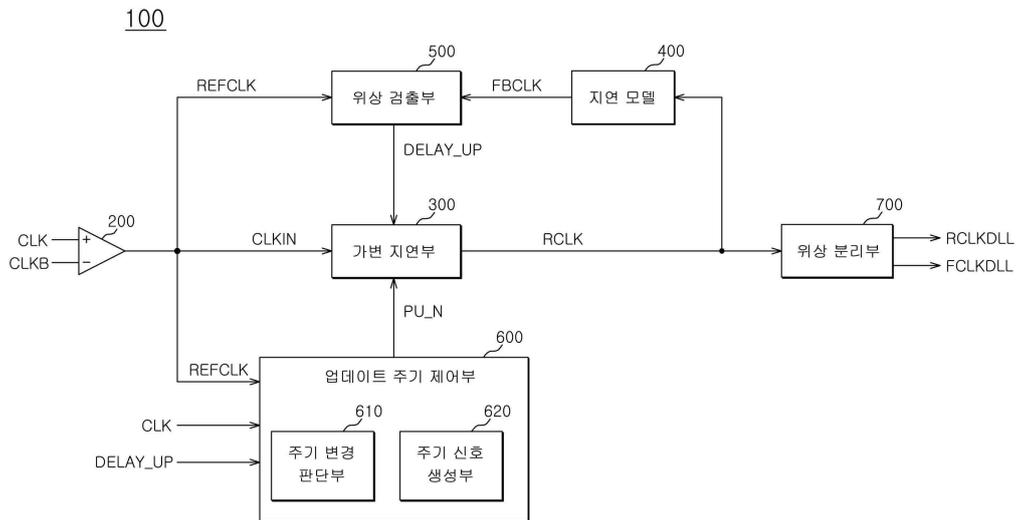
심사관 : 손윤식

(54) 발명의 명칭 **지연 고정 루프 회로 및 그 지연 고정 방법**

**(57) 요약**

위상 보정 성능을 향상시킬 수 있도록 한 지연 고정 루프 회로에 관한 것으로, 업데이트 주기 신호에 상응하는 타이밍에 지연 제어 신호에 응답하여 가변된 지연 시간만큼 입력 클럭 신호를 지연시켜 지연 고정 루프 클럭 신호를 생성하도록 구성되는 가변 지연부; 기 설정된 지연 시간 동안 상기 지연 고정 루프 클럭 신호를 지연시켜 피드백 클럭 신호를 생성하도록 구성된 지연 모델; 기준 클럭 신호를 기준으로 상기 피드백 클럭 신호의 위상을 검출한 결과를 상기 지연 제어 신호로서 출력하도록 구성된 위상 검출부; 및 외부 클럭 신호 및 상기 지연 제어 신호에 응답하여 주기 변경 여부를 판단하고, 그 판단결과에 따라 상기 업데이트 주기 신호의 발생 주기를 변경하도록 구성 업데이트 주기 제어부를 포함한다.

**대표도**



**명세서**

**청구범위**

**청구항 1**

외부 클럭 신호를 버퍼링하여 입력 클럭 신호 및 기준 클럭 신호로서 출력하도록 구성된 버퍼;

업데이트 주기 신호가 발생하는 타이밍에 지연 제어 신호에 응답하여 가변된 지연 시간만큼 상기 입력 클럭 신호를 지연시켜 지연 고정 루프 클럭 신호를 생성하도록 구성되는 가변 지연부;

기 설정된 지연 시간 동안 상기 지연 고정 루프 클럭 신호를 지연시켜 피드백 클럭 신호를 생성하도록 구성된 지연 모델;

상기 기준 클럭 신호를 기준으로 상기 피드백 클럭 신호의 위상을 검출한 결과를 상기 지연 제어 신호로서 출력하도록 구성된 위상 검출부; 및

상기 외부 클럭 신호 및 상기 지연 제어 신호에 응답하여 주기 변경 여부를 판단하고, 그 판단결과에 따라 상기 업데이트 주기 신호의 발생 주기를 변경하도록 구성된 업데이트 주기 제어부를 포함하는 지연 고정 루프 회로.

**청구항 2**

삭제

**청구항 3**

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 가변 지연부는

커스 딜레이 라인(Coarse Delay Line) 및 파인 딜레이 라인(Fine Delay Line)을 포함하는 지연 고정 루프 회로.

**청구항 4**

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 업데이트 주기 제어부는

상기 외부 클럭 신호 및 상기 지연 제어 신호에 응답하여 주기 변경 여부를 판단하여 주기 변경 판단 신호를 생성하도록 구성된 주기 변경 판단부, 및

초기 신호를 상기 기준 클럭 신호에 따라 래치하여 생성한 복수의 주기 기준신호 중에서 하나를 상기 주기 변경 판단 신호에 응답하여 상기 초기 신호로서 선택함으로써 상기 업데이트 주기 신호의 발생 주기를 변경하도록 구성된 주기 신호 생성부를 포함하는 지연 고정 루프 회로.

**청구항 5**

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 4 항에 있어서,

상기 주기 변경 판단부는

상기 외부 클럭 신호를 분주하여 타이머 신호를 생성하도록 구성된 타이머,

상기 타이머 신호를 기준으로 상기 지연 제어 신호를 래치하여 복수의 판단 기준신호를 생성하도록 구성된 판단 기준신호 생성부, 및

상기 복수의 판단 기준신호 중에서 어느 하나에 응답하여 상기 복수의 판단 기준신호를 제 1 논리 연산한 결과 또는 제 2 논리 연산한 결과를 상기 주기 변경 판단 신호로서 출력하도록 구성된 판단부를 포함하는 지연 고정 루프 회로.

**청구항 6**

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 복수의 판단 기준신호 중에서 어느 하나는

상기 복수의 판단 기준신호 중에서 가장 빠른 타이밍에 활성화되는 신호인 지연 고정 루프 회로.

**청구항 7**

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 판단 기준신호 생성부는

상기 타이머 신호를 클럭 단자에 입력받아 상기 지연 제어 신호를 래치하여 상기 복수의 판단 기준신호를 생성하도록 구성된 복수의 플립플롭을 포함하는 지연 고정 루프 회로.

**청구항 8**

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 판단부는

상기 복수의 판단 기준신호를 부정 논리 곱하도록 구성된 제 1 로직 게이트,

상기 제 1 로직 게이트의 출력을 상기 복수의 판단 기준신호 중에서 어느 하나가 로직 하이로 활성화되면 상기 주기 변경 판단 신호로서 출력하도록 구성된 제 1 패스 게이트,

상기 복수의 판단 기준신호를 논리합하도록 구성된 제 2 로직 게이트, 및

상기 제 2 로직 게이트의 출력을 상기 복수의 판단 기준신호 중에서 어느 하나가 로직 로우로 비 활성화되면 상기 주기 변경 판단 신호로서 출력하도록 구성된 제 2 패스 게이트를 포함하는 지연 고정 루프 회로.

**청구항 9**

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 4 항에 있어서,

상기 주기 신호 생성부는

상기 초기 신호를 상기 기준 클럭 신호에 따라 래치하여 상기 복수의 주기 기준신호를 생성하도록 구성된 복수의 플립플롭, 및

상기 주기 변경 판단 신호에 응답하여 상기 복수의 주기 기준신호 중에서 서로 다른 타이밍의 신호를 선택하여 상기 초기 신호로서 상기 복수의 플립플롭에 제공하도록 구성된 다중화기를 포함하는 지연 고정 루프 회로.

**청구항 10**

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 9 항에 있어서,

상기 다중화기는

상기 주기 변경 판단 신호가 고속 업데이트를 정의하는 레벨이면, 상기 서로 다른 타이밍의 신호 중에서 앞선

타이밍의 신호를 선택하도록 구성되는 지연 고정 루프 회로.

**청구항 11**

지연 고정 루프 회로의 지연 고정 방법으로서,

지연 제어 신호에 따라 입력 클럭 신호의 지연 시간을 가변시켜 피드백 클럭 신호를 생성하는 단계;

업데이트 주기마다 상기 입력 클럭 신호를 기준으로 상기 피드백 클럭 신호의 위상을 검출하고, 그 검출 결과를 상기 지연 제어 신호로서 출력하는 위상 검출 단계; 및

상기 피드백 클럭 신호의 위상이 상기 입력 클럭 신호에 비해 앞서거나 뒤지는 경우, 상기 업데이트 주기를 조정하는 주기 조정 단계를 포함하는 지연 고정 루프 회로의 지연 고정 방법.

**청구항 12**

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서,

상기 위상 검출 단계는

상기 업데이트 주기마다 설정 시간 동안 상기 입력 클럭 신호를 기준으로 상기 피드백 클럭 신호의 위상을 검출하는 단계인 지연 고정 루프 회로의 지연 고정 방법.

**청구항 13**

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서,

상기 주기 조정 단계는

상기 피드백 클럭 신호의 위상이 설정 시간 이상 상기 입력 클럭 신호에 비해 앞서거나 뒤지는 경우, 상기 업데이트 주기를 감소시키는 단계인 지연 고정 루프 회로의 지연 고정 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 지연 고정 루프 회로 및 그 지연 고정 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 메모리와 같은 반도체 장치는 외부 클럭 신호 즉, 메모리 컨트롤러에서 제공하는 클럭 신호에 따라 동작하게 된다.

[0003] 외부 클럭 신호는 반도체 메모리에 입력되면, 입력 버퍼, 신호 라인, 출력 버퍼 및 각종 로직 회로 등 각종 내부 회로를 경유하게 되고, 그에 따라 위상이 변하게 된다.

[0004] 따라서 반도체 메모리는 외부 클럭 신호의 위상 변화를 보상하기 위한 회로 즉, 지연 고정 루프 회로(Delay Locked Loop Circuit)를 포함할 수 있다.

[0005] 지연 고정 루프 회로(Delay Locked Loop Circuit)는 외부 클럭 신호의 지연 시간을 지연 고정 루프 회로가 적용되는 반도체 메모리의 내부 지연 시간만큼 보상함으로써 반도체 메모리의 출력 신호의 위상이 외부 클럭 신호와 일치하도록 하는 위상 보정 동작을 수행하는 회로이다.

[0006] 종래의 지연 고정 루프 회로는 상술한 위상 보정 동작을 주기적으로 수행하도록 설계된다.

[0007] 이때 외부 시스템 즉, 메모리 컨트롤러의 동작 이상 또는 반도체 메모리 동작 환경의 변화 등으로 클럭 신호의 위상이 변화할 수 있다.

[0008] 그러나 종래의 지연 고정 루프 회로는 기 설정된 주기로 위상 보정 동작을 수행하므로 위상 보정 동작을 수행하기 위한 주기가 도래하기 이전에 클럭 신호의 위상이 보상 불가능한 수준으로 변하게 되면, 이를 보상하지 못하

여 위상 보정 패일(Fail)을 초래하게 된다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명의 실시예는 위상 보정 성능을 향상시킬 수 있도록 한 지연 고정 루프 회로 및 그 지연 고정 방법을 제공한다.

**과제의 해결 수단**

[0010] 본 발명의 실시예는 업데이트 주기 신호에 상응하는 타이밍에 지연 제어 신호에 응답하여 가변된 지연 시간만큼 입력 클럭 신호를 지연시켜 지연 고정 루프 클럭 신호를 생성하도록 구성되는 가변 지연부; 기 설정된 지연 시간 동안 상기 지연 고정 루프 클럭 신호를 지연시켜 피드백 클럭 신호를 생성하도록 구성된 지연 모델; 기준 클럭 신호를 기준으로 상기 피드백 클럭 신호의 위상을 검출한 결과를 상기 지연 제어 신호로서 출력하도록 구성된 위상 검출부; 및 외부 클럭 신호 및 상기 지연 제어 신호에 응답하여 주기 변경 여부를 판단하고, 그 판단결과에 따라 상기 업데이트 주기 신호의 발생 주기를 변경하도록 구성 업데이트 주기 제어부를 포함할 수 있다.

[0011] 본 발명의 실시예는 입력 클럭 신호의 지연 시간을 가변시켜 피드백 클럭 신호를 생성하는 단계; 업데이트 주기마다 상기 입력 클럭 신호를 기준으로 상기 피드백 클럭 신호의 위상을 검출하는 위상 검출 단계; 및 상기 피드백 클럭 신호의 위상이 상기 입력 클럭 신호에 비해 앞서거나 뒤지는 경우, 상기 업데이트 주기를 조정하는 주기 조정 단계를 포함할 수 있다.

**발명의 효과**

[0012] 본 발명의 실시예는 위상의 변화폭에 상관 없이 안정적으로 위상 보정 동작을 수행할 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 본 발명의 실시예에 따른 지연 고정 루프 회로(100)의 블록도,  
 도 2는 도 1의 주기 변경 판단부(610)의 회로도,  
 도 3은 도 1의 주기 신호 생성부(620)의 회로도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0015] 도 1은 본 발명의 실시예에 따른 지연 고정 루프 회로(100)의 블록도이다.

[0016] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 지연 고정 루프 회로(100)는 버퍼(200), 가변 지연부(300), 지연 모델(400), 위상 검출부(500), 업데이트 주기 제어부(600) 및 위상 분리부(700)를 포함한다.

[0017] 버퍼(200)는 외부 클럭 신호 쌍(CLK, CLKB)를 차동 버퍼링하여 입력 클럭 신호(CLKIN) 및 기준 클럭 신호(REFCLK)를 생성하도록 구성된다.

[0018] 이때 입력 클럭 신호(CLKIN)와 기준 클럭 신호(REFCLK)는 전송 경로가 달라 다른 명칭을 붙인 것일 뿐, 실질적으로 동일한 신호로 볼 수 있다.

[0019] 가변 지연부(300)는 업데이트 주기 신호(PU\_N)에 상응하는 타이밍에 지연 제어 신호(DELAY\_UP)에 응답하여 가변된 지연 시간만큼 입력 클럭 신호(CLKIN)를 지연시켜 지연 고정 루프 클럭 신호(RCLK)를 생성하도록 구성된다.

[0020] 이때 가변 지연부(300)는 커스 딜레이 라인(Coarse Delay Line), 파인 딜레이 라인(Fine Delay Line) 및 제어 로직 회로를 포함할 수 있다.

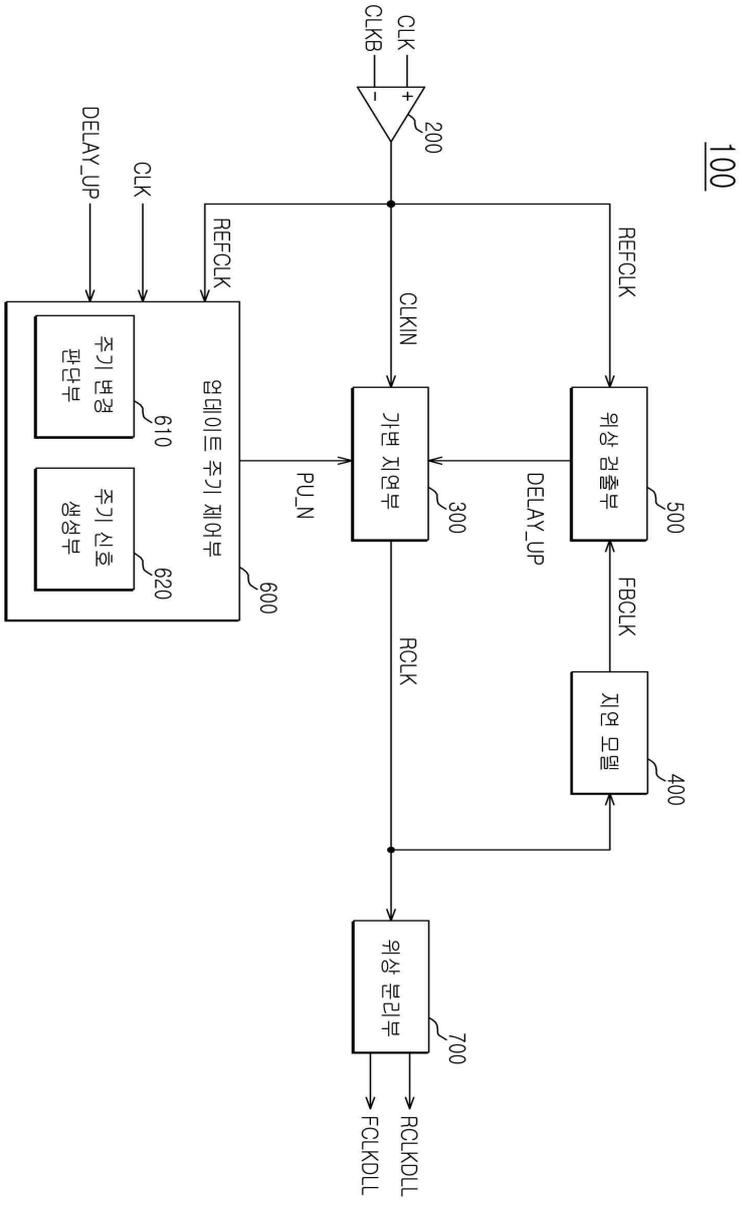
[0021] 지연 모델(400)은 기 설정된 지연 시간 동안 지연 고정 루프 클럭 신호(RCLK)를 지연시켜 피드백 클럭 신호(FBCLK)를 생성하도록 구성된다.

[0022] 이때 지연 모델(400)에 설정된 지연 시간은 지연 고정 루프 회로가 적용된 칩의 내부 신호 처리 지연 시간을 모델링한 것이다.

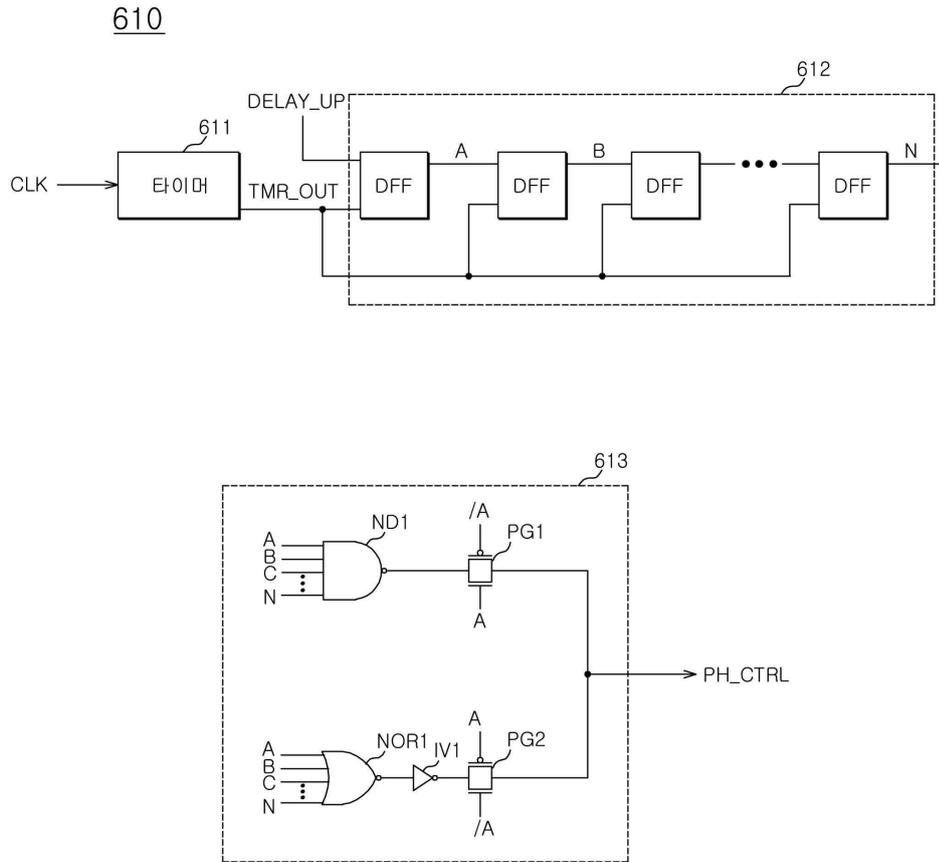
- [0023] 위상 검출부(500)는 기준 클럭 신호(REFCLK)를 기준으로 피드백 클럭 신호(FBCLK)의 위상을 검출한 결과를 지연 제어 신호(DELAY\_UP)로서 출력하도록 구성된다.
- [0024] 위상 분리부(700)는 지연 고정 루프 클럭 신호(RCLK)의 위상을 분리하여 지연 고정 루프 클럭 신호 쌍(RCLKDLL, FCLKDLL)을 생성하도록 구성된다.
- [0025] 업데이트 주기 제어부(600)는 외부 클럭 신호(CLK), 기준 클럭 신호(REFCLK) 및 지연 제어 신호(DELAY\_UP)에 응답하여 업데이트 주기 신호(PU\_N)를 생성하도록 구성된다.
- [0026] 업데이트 주기 제어부(600)는 외부 클럭 신호(CLK) 및 지연 제어 신호(DELAY\_UP)에 응답하여 주기 변경 여부를 판단하고, 그 판단결과에 따라 업데이트 주기 신호(PU\_N)의 발생 주기를 변경하도록 구성된다.
- [0027] 업데이트 주기 제어부(600)는 주기 변경 판단부(610) 및 주기 신호 생성부(620)를 포함한다.
- [0028] 도 2는 도 1의 주기 변경 판단부(610)의 회로도이다.
- [0029] 도 2에 도시된 바와 같이, 주기 변경 판단부(610)는 외부 클럭 신호(CLK) 및 지연 제어 신호(DELAY\_UP)에 응답하여 주기 변경 여부를 판단하여 주기 변경 판단 신호(PH\_CTRL)를 생성하도록 구성된다.
- [0030] 주기 변경 판단부(610)는 타이머(611), 판단 기준신호 생성부(612) 및 판단부(613)를 포함한다.
- [0031] 타이머(611)는 외부 클럭 신호(CLK)를 N 분주하여 타이머 신호(TMR\_OUT)를 생성하도록 구성된다.
- [0032] 판단 기준신호 생성부(612)는 타이머 신호(TMR\_OUT)를 기준으로 지연 제어 신호(DELAY\_UP)를 래치하여 복수의 판단 기준신호(A ~ N)를 생성하도록 구성된다.
- [0033] 판단 기준신호 생성부(612)는 타이머 신호(TMR\_OUT)를 클럭 단자에 입력 받고 지연 제어 신호(DELAY\_UP)를 래치하여 복수의 판단 기준신호(A ~ N)를 생성하도록 구성된 복수의 플립플롭(DFF)을 포함한다.
- [0034] 판단부(613)는 복수의 판단 기준신호(A ~ N) 중에서 어느 하나 예를 들어, 초기 신호(A) 및 그 반전 신호(A/)에 응답하여 복수의 판단 기준신호(A ~ N)를 부정 논리 곱한 결과 또는 논리합한 결과를 주기 변경 판단 신호(PH\_CTRL)로서 출력하도록 구성된다.
- [0035] 판단부(613)는 제 1 로직 게이트(ND1), 제 2 로직 게이트(NOR1, IV1), 제 1 패스 게이트(PG1, PG2) 및 제 2 패스 게이트(PG2)를 포함한다.
- [0036] 판단부(613)의 제 1 로직 게이트(ND1) 및 제 1 패스 게이트(PG1)는 복수의 판단 기준신호(A ~ N) 중에서 초기 신호(A)가 로직 하이로 활성화되면 복수의 판단 기준신호(A ~ N)를 부정 논리 곱한 결과를 주기 변경 판단 신호(PH\_CTRL)로서 출력한다.
- [0037] 판단부(613)의 제 2 로직 게이트(NOR1, IV1) 및 제 2 패스 게이트(PG2)는 복수의 판단 기준신호(A ~ N) 중에서 초기 신호(A)가 로직 로우로 비 활성화되면 복수의 판단 기준신호(A ~ N)를 논리 합한 결과를 주기 변경 판단 신호(PH\_CTRL)로서 출력한다.
- [0038] 이때 지연 제어 신호(DELAY\_UP)가 지속적으로 로직 하이(H) 또는 로직 로우(L)의 값을 갖게 되면, 판단 기준신호 생성부(612)는 복수의 판단 기준신호(A ~ N)를 모두 로직 하이 또는 로직 로우로 출력하게 된다.
- [0039] 지연 제어 신호(DELAY\_UP)가 지속적으로 로직 하이 또는 로직 로우의 값을 갖는 다는 것은 입력 클럭 신호(CLKIN)의 위상이 이전 보정 동작에 의해 정해진 값에 비해 많이 벗어난 것을 의미한다.
- [0040] 즉, 피드백 클럭 신호(FBCLK)의 위상이 기준 클럭 신호(REFCLK) 대비 심하게 어긋난 것을 의미한다.
- [0041] 따라서 판단부(613)의 제 1 로직 게이트(ND1) 및 제 1 패스 게이트(PG1)는 복수의 판단 기준신호(A ~ N)가 모두 로직 하이의 값을 갖는 경우를 판단하여 주기 변경 판단 신호(PH\_CTRL)를 로직 로우로 출력한다.
- [0042] 또한 판단부(613)의 제 2 로직 게이트(NOR1, IV1) 및 제 2 패스 게이트(PG2)는 복수의 판단 기준신호(A ~ N)가 모두 로직 로우의 값을 갖는 경우를 판단하여 주기 변경 판단 신호(PH\_CTRL)를 로직 로우로 출력한다.
- [0043] 한편, 판단부(613)는 복수의 판단 기준신호(A ~ N)가 모두 로직 하이 또는 로직 로우가 아닌 경우에는 주기 변경 판단 신호(PH\_CTRL)를 로직 하이로 출력한다.

- [0044] 도 3은 도 1의 주기 신호 생성부(620)의 회로도이다.
- [0045] 도 3에 도시된 바와 같이, 주기 신호 생성부(620)는 초기 신호(PU\_S)를 기준 클럭 신호(REFCLK)에 따라 래치하여 생성한 복수의 주기 기준신호(PU\_1 ~ PU\_Y) 중에서 하나를 주기 변경 판단 신호(PH\_CTRL)에 응답하여 초기 신호(PU\_S)로서 선택함으로써 업데이트 주기 신호(PU\_N)의 발생 주기를 변경하도록 구성된다.
- [0046] 주기 신호 생성부(620)는 다중화기(621) 및 복수의 플립플롭(DFF)을 포함한다.
- [0047] 복수의 플립플롭(DFF)은 초기 신호(PU\_S)를 기준 클럭 신호(REFCLK)에 따라 래치하여 복수의 주기 기준신호(PU\_1 ~ PU\_Y)를 생성하도록 구성된다.
- [0048] 복수의 플립플롭(DFF)은 리셋 신호(RST)에 응답하여 그 출력들이 초기화된다.
- [0049] 다중화기(621)는 주기 변경 판단 신호(PH\_CTRL)에 응답하여 복수의 주기 기준신호(PU\_1 ~ PU\_Y) 중에서 앞서거나 뒤진 타이밍의 신호를 선택하여 초기 신호(PU\_S)로서 가장 앞 단의 플립플롭(DFF)에 제공하도록 구성된다.
- [0050] 다중화기(621)는 주기 변경 판단 신호(PH\_CTRL)가 저속 업데이트(예를 들어, 기존과 동일한 주기가 될 수 있음)를 정의하는 레벨 즉, 로직 하이이면 주기 기준신호(PU\_Y)를 초기 신호(PU\_S)로서 선택할 수 있다.
- [0051] 한편, 다중화기(621)는 주기 변경 판단 신호(PH\_CTRL)가 고속 업데이트를 정의하는 레벨 즉, 로직 로우이면 복수의 주기 기준신호(PU\_1 ~ PU\_Y) 중에서 주기 기준신호(PU\_Y)에 비해 앞선 타이밍의 신호를 초기 신호(PU\_S)로서 선택할 수 있다.
- [0052] 따라서 복수의 주기 기준신호(PU\_1 ~ PU\_Y) 중에서 주기 기준신호(PU\_Y)에 비해 앞선 타이밍의 신호가 초기 신호(PU\_S)로서 선택됨에 따라 업데이트 주기 신호(PU\_N)의 주기가 짧아지게 된다.
- [0053] 결국, 주기 신호 생성부(620)는 주기 변경 판단 신호(PH\_CTRL)가 고속 업데이트를 정의하는 레벨 즉, 로직 로우이면 업데이트 주기 신호(PU\_N)를 이전에 비해 짧은 주기로 발생시키고, 그에 따라 지연 고정 루프 회로(100)의 위상 보정 동작이 빠른 타이밍에 이루어진다.
- [0054] 한편, 주기 신호 생성부(620)는 주기 변경 판단 신호(PH\_CTRL)가 저속 업데이트를 정의하는 레벨 즉, 로직 하이이면 업데이트 주기 신호(PU\_N)를 상기 고속 업데이트에 비해 상대적으로 긴 주기로 발생시킨다.
- [0055] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면  
도면1



도면2



도면3

