

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-105590  
(P2016-105590A)

(43) 公開日 平成28年6月9日(2016.6.9)

(51) Int.Cl. F I テーマコード (参考)  
H03K 3/356 (2006.01) H03K 3/356 Z 5J034

審査請求 未請求 請求項の数 11 O L (全 49 頁)

(21) 出願番号 特願2015-227220 (P2015-227220)  
(22) 出願日 平成27年11月20日 (2015.11.20)  
(31) 優先権主張番号 特願2014-236763 (P2014-236763)  
(32) 優先日 平成26年11月21日 (2014.11.21)  
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 前橋 幸男  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 上杉 航  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
Fターム(参考) 5J034 AB03 AB05 AB15 CB02 DB03

(54) 【発明の名称】 論理回路、および論理回路を有する半導体装置

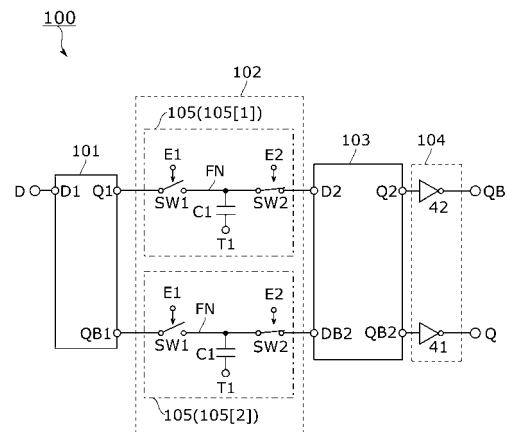
(57) 【要約】

【課題】電源遮断状態でも状態の保持が可能な論理回路を提供する。

【解決手段】論理回路は、第1回路、一对の保持回路、および第2回路を有する。一对の保持回路は、それぞれ、電気的に直列に接続された2個のスイッチ、ならびに、これらの接続部に電気的に接続されている容量素子を有する。2個のスイッチはそれぞれ酸化物半導体トランジスタで構成される。第1回路は1の入力データから相補データを生成する機能を有する。一对の保持回路によって相補データが保持される。第2回路は、一对の保持回路が保持する相補データを増幅する機能を有する。

【選択図】 図1

FIG. 1



## 【特許請求の範囲】

## 【請求項 1】

第 1 回路、一对の保持回路、および第 2 回路を有する論理回路であって、  
 前記一对の保持回路は、それぞれ、電氣的に直列に接続された 2 個のスイッチ、ならびに、前記 2 個のスイッチの接続部に電氣的に接続されている容量素子を有し、かつ、前記 2 個のスイッチは、活性層が酸化物半導体を含むトランジスタで構成され、  
 前記第 1 回路は 1 の入力データから相補データを生成する機能を有し、  
 前記一对の保持回路によって相補データが保持され、  
 前記一对の保持回路で保持されている相補データは前記第 2 回路によって増幅される論理回路。

10

## 【請求項 2】

第 1 回路と、  
 一对の第 1 保持回路と、  
 第 2 回路と、  
 を有し、  
 前記第 1 回路は、第 1 入力ノード、第 1 出力ノードおよび第 2 出力ノードを有し、  
 前記一对の第 1 保持回路は、それぞれ、第 1 トランジスタ、第 2 トランジスタ、第 1 容量素子、第 1 ノード、第 2 入力ノード、および第 3 出力ノードを有し、  
 前記第 2 回路は、第 3 入力ノード、第 4 入力ノード、第 4 出力ノード、および第 5 出力ノードを有し、  
 前記第 1 回路は、前記第 1 入力ノードの入力データから第 1 相補データを生成する機能を有し、  
 前記第 1 相補データのうち、前記第 1 入力ノードと同じ論理のデータが前記第 1 出力ノードから出力され、他方が前記第 2 出力ノードから出力され、前記一对の保持回路において、それぞれ、  
 前記第 1 容量素子は前記第 1 ノードに電氣的に接続され、  
 前記第 1 トランジスタおよび前記第 2 トランジスタの活性層は酸化物半導体を有し、  
 前記第 1 トランジスタは前記第 1 ノードと前記第 2 入力ノード間の導通状態を制御する機能を有し、  
 前記第 2 トランジスタは前記第 1 ノードと前記第 3 出力ノード間の導通状態を制御する機能を有し、  
 前記第 1 トランジスタのゲートには第 1 クロック信号が入力され、  
 前記第 2 トランジスタのゲートには第 2 クロック信号が入力され、  
 前記第 1 クロック信号と前記第 2 クロック信号とは論理が反転関係にあり、一方の前記第 1 保持回路の前記第 2 入力ノードは前記第 1 出力ノードと電氣的に接続され、かつ当該第 1 保持回路の前記第 3 出力ノードは前記第 3 入力ノードと電氣的に接続され、  
 他方の前記第 1 保持回路の前記第 2 入力ノードは前記第 2 出力ノードと電氣的に接続され、かつ当該第 1 保持回路の前記第 3 出力ノードは前記第 4 入力ノードと電氣的に接続され、  
 前記第 2 回路は、前記第 3 入力ノードと前記第 4 入力ノード間の電圧を増幅して、第 2 相補データを生成する機能を有し、  
 前記第 2 相補データの一方のデータが前記第 4 出力ノードから出力され、他方のデータが前記第 5 出力ノードから出力される論理回路。

20

30

40

## 【請求項 3】

請求項 2 において、  
 前記第 2 回路は、第 1 n 型トランジスタ、第 2 n 型トランジスタ、第 1 p 型トランジスタ、および第 2 p 型トランジスタを有し、  
 前記第 1 n 型トランジスタのドレインと前記第 1 p 型トランジスタのドレインとは互いに電氣的に接続され、

50

前記第 2 n 型トランジスタのドレインと前記第 2 p 型トランジスタのドレインとが電氣的に接続され、

前記第 1 n 型トランジスタおよび前記第 2 n 型トランジスタのソースには、第 1 電位が入力され、

前記第 1 p 型トランジスタおよび前記第 2 p 型トランジスタのソースには、第 2 電位が入力され、

前記第 3 入力ノードは前記第 1 n 型トランジスタのゲートと電氣的に接続され、

前記第 4 入力ノードは前記第 2 n 型トランジスタのゲートと電氣的に接続され、

前記第 4 出力ノードは前記第 1 p 型トランジスタのゲートおよび前記第 2 p 型トランジスタのドレインと電氣的に接続され、

前記第 5 出力ノードは前記第 2 p 型トランジスタのゲートおよび前記第 1 p 型トランジスタのドレインと電氣的に接続されている論理回路。

【請求項 4】

請求項 3 において、

前記第 2 回路は、第 3 n 型トランジスタおよび第 4 n 型トランジスタを有し、

前記第 3 n 型トランジスタのゲートは前記第 4 出力ノードと電氣的に接続され、

前記第 3 n 型トランジスタのドレインは前記第 5 出力ノードと電氣的に接続され、

前記第 4 n 型トランジスタのゲートは前記第 5 出力ノードと電氣的に接続され、

前記第 4 n 型トランジスタのドレインは前記第 4 出力ノードと電氣的に接続され、

前記第 3 n 型トランジスタおよび前記第 4 n 型トランジスタのソースには、前記第 1 電位が入力される論理回路。

【請求項 5】

請求項 3 において、

前記第 2 回路は、第 3 n 型トランジスタ、第 4 n 型トランジスタおよび第 5 n 型トランジスタを有し、

前記第 3 n 型トランジスタのゲートは前記第 4 出力ノードと電氣的に接続され、

前記第 3 n 型トランジスタのドレインは前記第 5 出力ノードと電氣的に接続され、

前記第 4 n 型トランジスタのゲートは前記第 5 出力ノードと電氣的に接続され、

前記第 4 n 型トランジスタのドレインは前記第 4 出力ノードと電氣的に接続され、

前記第 1 n 型トランジスタのソースと前記第 2 n 型トランジスタのソースは互いに電氣的に接続され、

前記第 5 n 型トランジスタは、前記第 1 n 型トランジスタおよび前記第 2 n 型トランジスタのソースと第 1 配線間の導通状態を制御する機能を有し、

前記第 1 配線には前記第 1 電位が入力され、

前記一対の第 1 保持回路の前記第 1 トランジスタのゲートおよび前記第 5 n 型トランジスタのゲートには、前記第 1 クロック信号が入力され、

前記一対の第 1 保持回路の前記第 2 トランジスタのゲートには第 1 信号が入力され、

前記第 1 信号は、前記第 2 トランジスタをオン状態にするための信号である論理回路。

【請求項 6】

請求項 2 において、

前記第 2 回路は、第 1 乃至第 6 n 型トランジスタ、第 1 p 型トランジスタ、および第 2 p 型トランジスタを有し、

前記第 3 入力ノードは前記第 1 n 型トランジスタのゲートと電氣的に接続され、

前記第 4 入力ノードは前記第 2 n 型トランジスタのゲートと電氣的に接続され、

前記第 4 出力ノードには、前記第 1 p 型トランジスタのゲート、前記第 2 p 型トランジスタのドレイン、前記第 3 n 型トランジスタのゲート、および前記第 4 n 型トランジスタのドレインが電氣的に接続され、

前記第 5 出力ノードには、前記第 2 p 型トランジスタのゲート、前記第 1 p 型トランジスタのドレイン、前記第 3 n 型トランジスタのドレイン、および前記第 4 n 型トランジスタのゲートが電氣的に接続され、

10

20

30

40

50

前記第 1 乃至第 4 n 型トランジスタのソースには、第 1 電位が入力され、  
前記第 1 p 型トランジスタおよび前記第 2 p 型トランジスタのソースには、第 2 電位が入力され、

前記第 5 n 型トランジスタは、前記第 1 n 型トランジスタのソースと前記第 1 p 型トランジスタのソース間の導通状態を制御する機能を有し、

前記第 6 n 型トランジスタは、前記第 2 n 型トランジスタのソースと前記第 2 p 型トランジスタのソース間の導通状態を制御する機能を有し、

前記第 2 トランジスタのゲートには第 1 信号が入力され、

前記第 1 信号は、通常動作期間に前記第 2 トランジスタをオン状態にするための信号であり、

前記第 5 n 型トランジスタおよび前記第 6 n 型トランジスタのゲートには、第 3 クロック信号が入力され、

前記第 1 クロック信号と前記第 3 クロック信号とは、論理が反転関係にある論理回路。

【請求項 7】

請求項 2 において、

前記第 2 回路は、第 1 乃至第 7 n 型トランジスタ、および第 1 乃至第 3 p 型トランジスタを有し、

前記第 3 入力ノードは、前記第 1 n 型トランジスタのゲートと電氣的に接続され、

前記第 4 入力ノードは、前記第 2 n 型トランジスタのゲートと電氣的に接続され、

前記第 4 出力ノードは、前記第 1 p 型トランジスタのゲート、前記第 2 p 型トランジスタのドレイン、前記第 3 n 型トランジスタのゲート、および前記第 4 n 型トランジスタのドレインが電氣的に接続され、

前記第 5 出力ノードは、前記第 2 p 型トランジスタのゲート、前記第 1 p 型トランジスタのドレイン、前記第 4 n 型トランジスタのゲート、および前記第 3 n 型トランジスタのドレインが電氣的に接続され、

前記第 5 n 型トランジスタは、前記第 1 n 型トランジスタのソースと前記第 1 p 型トランジスタのソース間の導通状態を制御する機能を有し、

前記第 6 n 型トランジスタは、前記第 2 n 型トランジスタのソースと前記第 2 p 型トランジスタのソース間の導通状態を制御する機能を有し、

前記第 1 n 型トランジスタおよび前記第 2 n 型トランジスタのソースは、第 1 配線と電氣的に接続され、

前記第 1 配線には、第 1 電位が入力され、

前記第 7 n 型トランジスタは、前記第 3 n 型トランジスタおよび前記第 4 n 型トランジスタのソースと、前記第 1 配線との間の導通状態を制御する機能を有し、

前記第 1 p 型トランジスタ及び前記第 2 p 型トランジスタのソースには第 2 電位が入力され、

前記第 3 p 型トランジスタのソースおよびドレインの一方は前記第 1 p 型トランジスタのゲートと電氣的に接続され、他方は前記第 2 p 型トランジスタのゲートと電氣的に接続され、

前記第 1 トランジスタのゲート、および前記第 7 n 型トランジスタのゲートには前記第 1 クロック信号が入力され、

前記第 5 n 型トランジスタおよび前記第 6 n 型トランジスタのゲートには、第 3 クロック信号が入力され、

前記第 1 クロック信号と前記第 3 クロック信号とは、論理が反転関係にあり、

前記第 2 トランジスタのゲート、および前記第 3 p 型トランジスタのゲートには第 1 信号が入力され、

前記第 1 信号は、前記第 2 トランジスタをオン状態にし、かつ前記第 3 p 型トランジスタをオフ状態にするための信号である論理回路。

【請求項 8】

請求項 7 において、

10

20

30

40

50

前記第 2 回路は、一对の第 2 保持回路を有し、  
 前記一对の第 2 保持回路は、それぞれ、第 3 トランジスタ、第 2 容量素子、第 2 ノード、および入出力ノードを有し、  
 前記一对の第 2 保持回路において、それぞれ、  
 前記第 3 トランジスタの活性層は酸化物半導体を有し、  
 前記第 2 ノードは前記第 2 容量素子と電氣的に接続され、  
 前記第 3 トランジスタは前記第 2 ノードと前記入出力ノード間の導通状態を制御する機能を有し、  
 前記第 3 トランジスタのゲートには第 2 信号が入力され  
 一方の前記第 2 保持回路の前記入出力ノードは前記第 4 出力ノードと電氣的に接続され、  
 他方の前記第 2 保持回路の前記入出力ノードは前記第 5 出力ノードと電氣的に接続されている論理回路。

【請求項 9】

組み合わせ回路、およびフリップフロップを有する半導体装置であり、  
 前記フリップフロップは前記組み合わせ回路の出力データを保持し、  
 前記フリップフロップは、請求項 1 乃至 8 の何れか 1 項に記載の論理回路を有する半導体装置。

【請求項 10】

チップおよびリードを有する電子部品であり、  
 前記チップには、請求項 1 乃至 8 の何れか 1 項に記載の論理回路が設けられ、  
 前記リードは前記チップと電氣的に接続されている電子部品。

【請求項 11】

請求項 1 乃至 8 の何れか 1 項に記載の論理回路と、  
 表示装置、タッチパネル、マイク、スピーカ、操作キー、及び筐体の少なくとも一と、  
 を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本出願の明細書、図面、および特許請求の範囲（以下、「本明細書等」と呼ぶ。）には、例えば、論理回路、保持回路、記憶回路、処理装置、その他の半導体装置、そのための駆動方法、およびそのための作製方法等が開示される。本発明の一形態の技術分野は、これらに限定されるものではない。例えば、本発明の一形態は、撮像装置、表示装置、発光装置、蓄電装置、又はそれらの駆動方法、又はそれらの製造方法に関する。

【背景技術】

【0002】

電子機器の低消費電力化が重視されている。そのため、CPU 等の集積回路（IC）の低消費電力化は回路設計の大きな課題となっている。IC の消費電力は大きく分けると、動作時の消費電力（ダイナミック電力）と、動作していない時（スタンバイ時）の消費電力（スタティック電力）との 2 つになる。高性能化のため動作周波数を高めることで、ダイナミック電力が増大する。スタティック電力の大半はトランジスタのリーク電流によって消費される電力である。リーク電流には、サブシュレッシュルド・リーク電流、ゲート・トンネル・リーク電流、ゲート誘導ドレインリーク（GIDL: Gate-induced drain leakage）電流、ジャンクション・トンネル・リーク電流がある。これらのリーク電流は、トランジスタの微細化によって増大する。IC の低消費電力への需要の増加は、高性能化や高集積化の大きな壁となっている。そこで、低消費電力化と、高性能化または高集積化とを両立する技術が検討されている。

【0003】

半導体装置の消費電力削減のため、パワーゲーティングやクロックゲーティングにより、動作させる必要のない回路を停止させることが行われている。フリップフロップ（FF）

は、データを一時的に保管する半導体装置に多く含まれるロジック回路の1つである。よって、FFの消費電力の削減は、FFを組み込んだ半導体装置の消費電力の削減につながる。一般的なFFは、電源を遮断すると保持しているデータが失われてしまう。

【0004】

例えば、非特許文献1には、クロック信号で動作するトランジスタ数が削減されたFFが記載されている。クロック信号の入力によって消費されるダイナミック電力を低減している。例えば、非特許文献2では、パワーゲーティングを行うため、FFをバックアップするため強誘電体メモリベースの不揮発ロジック回路を設けている。パワーゲーティングによって電源を遮断することで、スタンバイ状態でのリーク電流をほぼゼロにすることができる。

10

【0005】

活性層が酸化物半導体で形成されているトランジスタ(以下、「酸化物半導体トランジスタ」または「OSTランジスタ」と呼ぶ場合がある。)のオフ電流が極めて小さいという特性を利用して、電源遮断時でもデータを保持することが可能な保持回路が提案されている。例えば、非特許文献3には、FFおよびSRAMにOSTランジスタが用いられた保持回路を設けて、プロセッサのパワーゲーティングを可能にしている。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】C. K. Teh et al., "A 77% Energy - Saving 22 - Transistor Single - Phase - Clocking D - Flip - Flop with Adaptive - Coupling Configuration in 40nm CMOS," ISSCC Dig. Tech. Papers, Feb. 2011, pp. 338 - 340.

20

【非特許文献2】S. Khanna et al., "An FRAM - Based Nonvolatile Logic MCU SoC Exhibiting 100% Digital State Retention at VDD = 0V Achieving Zero Leakage With 400 - ns Wakeup Time for ULP Applications," IEEE Journal of Solid - State Circuits, vol. 49, no. 1, Jan. 2014, pp. 95 - 106.

30

【非特許文献3】H. Tamura et al., "Embedded SRAM and Cortex - M0 Core with Backup Circuits Using a 60 - nm Crystalline Oxide Semiconductor for Power Gating," IEEE COOL Chips X VII, Apr. 2014.

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一形態の課題は、新規な半導体装置、または新規な半導体装置の駆動方法を提供することである。または、本発明の一形態の課題として、パワーゲーティングを可能にすること、電源を遮断した状態でもデータを保持できるようにすること、消費電力を低減すること、素子数を低減すること、小型化すること、データの退避動作をせず電源を遮断することを可能にすること、データの復元動作をせずに電源遮断状態から通常動作状態に復帰することを可能にすること等が、挙げられる。

40

【0008】

複数の課題の記載は互いの課題の存在を妨げるものではない。なお、本発明の一形態はこれらの課題の全てを解決する必要はなく、少なくとも1の課題を解決すればよい。また、列記した以外の課題が本明細書等の記載から自ずと明らかとなるものであり、これらの課題も本発明の一形態の課題となり得る。

50

## 【課題を解決するための手段】

## 【0009】

(1) 本発明の一形態は、第1回路、一对の保持回路、および第2回路を有する論理回路である。一对の保持回路は、それぞれ、電氣的に直列に接続された2個のスイッチ、ならびに、2個のスイッチの接続部に電氣的に接続されている容量素子を有し、かつ、2個のスイッチは、活性層が酸化物半導体を含むトランジスタで構成され、第1回路は1の入力データから相補データを生成する機能を有し、一对の保持回路によって相補データが保持され、一对の保持回路で保持されている相補データは第2回路によって増幅される。

## 【0010】

(2) 本発明の一形態は、第1回路と、一对の第1保持回路と、第2回路とを有する論理回路である。第1回路は第1入力ノード、第1出力ノードおよび第2出力ノードを有し、一对の第1保持回路は、それぞれ、第1トランジスタ、第2トランジスタ、第1容量素子、第1ノード、第2入力ノード、および第3出力ノードを有し、第2回路は第3入力ノード、第4入力ノード、第4出力ノード、および第5出力ノードを有し、第1回路は、第1入力ノードの入力データから第1相補データを生成する機能を有し、第1相補データのうち、第1入力ノードと同じ論理のデータが第1出力ノードから出力され、他方が第2出力ノードから出力され、前記一对の保持回路において、それぞれ、第1容量素子は第1ノードに電氣的に接続され、第1トランジスタおよび第2トランジスタの活性層は酸化物半導体を有し、第1トランジスタは第1ノードと第2入力ノードとの間の導通状態を制御する機能を有し、第2トランジスタは第1ノードと第3出力ノードとの間の導通状態を制御する機能を有し、第1トランジスタのゲートには第1クロック信号が入力され、第2トランジスタのゲートには第2クロック信号が入力され、第1クロック信号と第2クロック信号とは論理が反転関係にあり、一方の第1保持回路の第2入力ノードは第1出力ノードと電氣的に接続され、かつ当該第1保持回路の第3出力ノードは第3入力ノードと電氣的に接続され、他方の第1保持回路の第2入力ノードは第2出力ノードと電氣的に接続され、かつ当該第1保持回路の第3出力ノードは第4入力ノードと電氣的に接続され、第2回路は第3入力ノードと第4入力ノードとの間の電圧を増幅して、第2相補データを生成する機能を有し、第2相補データの一方のデータが第4出力ノードから出力され、他方のデータが前記第5出力ノードから出力される。

## 【0011】

上記形態(2)において、第2回路は、第1n型トランジスタ、第2n型トランジスタ、第1p型トランジスタ、および第2p型トランジスタを有していてもよい。第1n型トランジスタのドレインと第1p型トランジスタのドレインとは互いに電氣的に接続され、第2n型トランジスタのドレインと第2p型トランジスタのドレインとが電氣的に接続され、第1n型トランジスタおよび第2n型トランジスタのソースには、第1電位が入力され、第1p型トランジスタおよび第2p型トランジスタのソースには、第2電位が入力され、第3入力ノードは第1n型トランジスタのゲートと電氣的に接続され、第4入力ノードは第2n型トランジスタのゲートと電氣的に接続され、第4出力ノードは第1p型トランジスタのゲートおよび第2p型トランジスタのドレインと電氣的に接続され、第5出力ノードは第2p型トランジスタのゲートおよび第1p型トランジスタのドレインと電氣的に接続されている。

## 【発明の効果】

## 【0012】

本発明の一形態によって、新規な半導体装置を提供することが可能になる。新規な半導体装置の動作方法を提供することが可能になる。または、本発明の一形態によって、パワーゲーティングが可能になる、電源を遮断した状態でもデータを保持することが可能になる、消費電力を低減できる、素子数が低減される、半導体装置を小型化が可能になる、データの退避動作をせず電源を遮断することが可能になる、または、データの復元動作をせずに電源遮断状態から通常動作状態に復帰することが可能になる。

## 【0013】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0014】

【図1】論理回路の構成例を示す回路図。

【図2】論理回路の構成例を示す回路図。

【図3】A、B、C：回路の構成例を示す回路図。

【図4】A、B：回路の構成例を示す回路図。

10

【図5】図2の論理回路の動作例を示すタイミングチャート。

【図6】クロック信号の波形整形用の回路の構成例を示す回路図。

【図7】論理回路の構成例を示す回路図。

【図8】論理回路の構成例を示す回路図。

【図9】図8の論理回路の動作例を示すタイミングチャート。

【図10】A、B：クロック信号の波形整形用の回路の構成例を示す回路図。

【図11】論理回路の構成例を示す回路図。

【図12】論理回路の構成例を示す回路図。

【図13】図12の論理回路の動作例を示すタイミングチャート。

【図14】論理回路の構成例を示す回路図。

20

【図15】図14の論理回路の動作例を示すタイミングチャート。

【図16】処理装置の構成例を示すブロック図。

【図17】プロセッサコアの構成例を示すブロック図。

【図18】A：電子部品の作製方法例を示すフローチャート。B：電子部品の構成例を示す斜視模式図。

【図19】A - F：電子機器の例を示す図。

【図20】OSトランジスタの構成例を示す図。A：上面図。B：y1 - y2線断面図。C：x1 - x2線断面図。D：x3 - x4線断面図。

【図21】A：図20BのOSトランジスタの部分拡大図。B：OSトランジスタのエネルギーバンド図。

30

【図22】A - C：OSトランジスタの構成例を示す断面図。

【図23】半導体装置の構成例を示す断面図。

【図24】半導体装置のレイアウト例を示す回路図。

【発明を実施するための形態】

【0015】

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、およびパッケージにチップを収納した電子部品も半導体装置の一例である。記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、又は半導体装置を有している場合がある。

40

【0016】

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0017】

50



トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御ノードとして機能するノードである。ソースまたはドレインとして機能する2つの入出力端子は、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。

【0018】

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

10

【0019】

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは、相対的なものである。よって、接地電位と記載されていても、必ずしも、0Vを意味しない場合もある。

【0020】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

20

【0021】

本明細書等において、「第1」、「第2」、「第3」などの序数詞は、順序を表すために使用される場合がある。または、構成要素の混同を避けるために使用する場合があり、この場合、序数詞の使用は構成要素の個数を限定するものではなく、順序を限定するものでもない。また、例えば、「第1」を「第2」または「第3」に置き換えて、発明の一形態を説明することができる。

【0022】

本明細書等において、例えば、クロック信号CLKを、信号CLK、CLK等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、電位、回路、素子、電極、配線等）についても同様である。

30

【0023】

図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0024】

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

40

【0025】

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また、各回路ブロックの機能は説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては、一つの回路ブロックで行う処理を複数の回路ブロックで行うよう設けられている場合もある。

【0026】

50

以下に本発明の実施の形態を示す。ただし、実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に複数の構成例（動作例、製造方法例も含む）が示される場合は、互いに構成例を適宜組み合わせることが可能である。また、本発明は、多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0027】

〔実施の形態1〕

《論理回路》

図1は論理回路の構成例を示す。図1に示す論理回路100は、ノードD、ノードQ、ノードQB、回路101、回路102、回路103および回路104を有する。

10

【0028】

論理回路100はデータ（状態）を保持することが可能な半導体装置である。回路構成等によっては、論理回路100を順序回路と呼ぶこともできる。論理回路100はノードDの入力データから相補データを生成する機能を有する。相補データはノードQ、QBから出力される。ノードQはノードDと同じ論理のデータを出力するための出力ノードである。ノードQBは反転出力ノードであり、ノードDの論理を反転したデータを出力するための出力ノードである。論理回路100は、ノードQまたはノードQBの一方のみを有していてもよい。なお、相補データは、論理が“1”のデータと、“0”のデータとでなる。また、相補データは、相補信号と読み替えてもよい。相補信号は、高レベル電位（“H”）の信号と、低レベル電位（“L”）の信号とでなる。

20

【0029】

回路101

回路101はノードD1、Q1、QB1を有する。回路101は、論理回路100の入力段であり、ノードD1はノードDと電氣的に接続されている。回路101は論理回路であり、ノードD1から入力されるデータから相補データを生成する機能を有する。ノードQ1は、ノードD1と同じ論理のデータを出力するための端子である。ノードQB1は反転出力端子であり、ノードD1の論理を反転したデータを出力するための端子である。

【0030】

回路102

回路102は、回路101から出力される相補データを保持する機能を有する。回路102は一对の保持回路105（105[1]、105[2]）を有する。保持回路105[1]はノードQ1と電氣的に接続され、保持回路105[2]は、ノードQB1と電氣的に接続されている。ノードQ1から出力されるデータは保持回路105[1]で保持され、ノードQB1から出力されるデータは保持回路105[2]で保持される。

30

【0031】

保持回路105は、スイッチSW1、スイッチSW2、容量素子C1、ノードFN、およびノードT1を有し、信号E1、E2が入力される。ノードFNは保持回路105のデータ保持ノードであり、電氣的に浮遊状態となることが可能なノードである。容量素子C1はノードFNおよびノードT1に電氣的に接続されている。容量素子C1はノードFNの電位を保持する保持容量である。ノードT1には、信号あるいは一定電位を入力することができる。例えば、ノードT1には、論理回路100の低電源電位を入力することができる。スイッチSW1とスイッチSW2は直列に電氣的に接続されている。スイッチSW1は保持回路105の入力端子とノードFN間の導通状態を制御する。スイッチSW2はノードFNと保持回路105の出力端子間の導通状態を制御する。信号E1はスイッチSW1の制御信号であり、信号E2はスイッチSW2の制御信号である。

40

【0032】

スタンバイ状態では、回路102は、論理回路100のデータ（状態）を保持するためのバックアップ回路として機能する。スタンバイ状態では、スイッチSW1、SW2双方をオフにして、ノードFNを電氣的に浮遊状態にする。スタンバイ状態とは、クロック信号

50

が停止されている状態、または電源が遮断されている状態の何れかの状態のことをいう。つまり、スタンバイ状態は、半導体装置が省電力状態または電源遮断状態となり、通常動作ができない状態である。

#### 【0033】

通常動作状態では、回路102は、回路101で生成された相補データを記憶するラッチ回路として機能する。例えば、信号E1、E2により、スイッチSW1とスイッチSW2とを相補的にスイッチング動作させる。つまり、スイッチSW1がオンのときにスイッチSW2をオフにし、スイッチSW1がオフのときにスイッチSW2をオンにする。または、スイッチSW2はスイッチング動作させず、常時オン状態にしておき、スイッチSW1はスイッチング動作させてもよい。

10

#### 【0034】

保持回路105は、スタンバイ期間、データを保持できる保持特性を備えていればよい。保持回路105でデータを長時間保持させるには、電氣的に浮遊状態のノードFNの電位の変動（特に、電位の降下）を可能な限り抑えることが好ましい。このための手段の1つとして、スイッチSW1、SW2を非導通状態でのドレイン電流（オフ電流）が非常に小さいトランジスタにすることが挙げられる。

#### 【0035】

トランジスタのオフ電流を下げるには、例えば、半導体領域（活性層）をエネルギーギャップが広い半導体で形成すればよい。半導体のエネルギーギャップは、 $2.5\text{ eV}$ 以上、または $2.7\text{ eV}$ 以上、または $3\text{ eV}$ 以上であることが好ましい。このような半導体として酸化物半導体が挙げられる。例えば、スイッチSW1、SW2は、半導体領域が酸化物半導体で形成されているトランジスタ（OSTランジスタ）とすればよい。チャネル幅で規格化したOSTランジスタのリーク電流は、ソースドレイン間電圧が $10\text{ V}$ 、室温（ $25$  程度）の状態では $10 \times 10^{-21}\text{ A}/\mu\text{m}$ （ $10$ ゼプトA/ $\mu\text{m}$ ）以下とすることが可能である。スイッチSW1、SW2に適用されるOSTランジスタのリーク電流は、室温（ $25$  程度）にて $1 \times 10^{-18}\text{ A}$ 以下、または、 $1 \times 10^{-21}\text{ A}$ 以下、または $1 \times 10^{-24}\text{ A}$ 以下が好ましい。または、リーク電流は $85$ にて $1 \times 10^{-15}\text{ A}$ 以下、または $1 \times 10^{-18}\text{ A}$ 以下、または $1 \times 10^{-21}\text{ A}$ 以下であることが好ましい。

20

#### 【0036】

酸化物半導体はエネルギーギャップが大きく、電子が励起されにくく、ホールの有効質量が大きい半導体である。このため、OSTランジスタは、シリコン等を用いた一般的なトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。アバランシェ崩壊に起因するホットキャリア劣化等が抑制されることで、OSTランジスタは高いドレイン耐圧を有することとなり、高いドレイン電圧で駆動することが可能である。よって、保持回路105にOSTランジスタを適用することで、信号の電位レベルや入力タイミング等の駆動条件の余裕度（マージン）を高くすることができる。例えば、データ保持状態にノードFNの電位が高くなるような駆動も可能になる。

30

#### 【0037】

OSTランジスタの活性層は、In、Ga、SnおよびZnのうちの1種以上の元素を構成元素とする酸化物を有していることが好ましい。このような酸化物としては、In-Sn-Ga-Zn酸化物、In-Ga-Zn酸化物、In-Sn-Zn酸化物、In-Al-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物や、In-Ga酸化物、In酸化物、Sn酸化物、Zn酸化物等がある。また、これら酸化物に、酸化物の構成元素以外の元素や化合物を含むもの、例えば $\text{SiO}_2$ を含む酸化物半導体を用いることができる。

40

#### 【0038】

また、OSTランジスタは、活性層がワイドバンドギャップである酸化物半導体で形成されているため、短チャネル効果が表れにくい。ゲート絶縁層を厚くし、例えば酸化膜換算膜厚で $15\text{ nm}$ 以下 $11\text{ nm}$ 以上にし、かつチャネル長を短く、例えば $60\text{ nm}$ 以下 $20$

50

n m以上としても、非常に良好なオフ電流特性およびサブスレッショルド特性を有することが可能である。よって、O Sトランジスタは、論理回路を構成する一般的なS iトランジスタよりも厚いゲート絶縁層を用いることができるため、ゲート絶縁層を介したリーク電流が低減され、ゲート絶縁層の膜厚のばらつきによる電気特性のばらつきも抑えることができる。O Sトランジスタの詳細は実施の形態4で説明する。

#### 【0039】

回路101、103、104のトランジスタには特段の制約がなく、一般的なトランジスタとすることができ、例えば、活性層が第14族元素(S i、G e、C)で形成されているトランジスタとすることができる。これらのトランジスタの代表例は、活性層がシリコンで形成されているトランジスタ(S iトランジスタ)である。また、S iトランジスタの移動度を向上させる目的等のため、S iでなる活性層にG eが添加されている歪みトランジスタを用いてもよい。回路101、103、104において、高電位が印加されるトランジスタには、高耐圧型のトランジスタとすればよい。トランジスタがnチャンネル型であれば、O Sトランジスタとしてもよい。

10

#### 【0040】

##### 回路103

回路103は、ノードD2、ノードDB2、ノードQ2、およびノードQB2を有する。回路103は、回路102から出力された相補データを増幅する機能を有する。または、回路103は、回路102から出力された相補データを保持する機能を有する。または、回路103は、ノードD2と同じ論理のデータをノードQ2から出力し、かつノードDB2と同じ論理のデータをノードQB2から出力する機能を有する。論理回路100において、データ(状態)保持機能を備える回路は、回路102と回路103である。

20

#### 【0041】

##### 回路104

回路104は論理回路100の出力段である。回路104は回路103の出力データの波形を整形する機能を有する。回路104は、インバータ(INV)41、42を有する。INV41の入力ノードはノードQB2と電氣的に接続され、その出力ノードはノードQと電氣的に接続されている。INV42の入力ノードはノードQ2と電氣的に接続され、その出力ノードはノードQBと電氣的に接続されている。

30

#### 【0042】

ノードQ2、QB2から出力されるデータの相補性を確保するため、回路104は、ノードQ2とノードQB2にかかる負荷が等しくなるような回路構成が好ましい。よって、論理回路100にノードQBを設けない場合は、INV42と同等な負荷をノードQ2に電氣的に接続することが好ましい。また、論理回路100に回路104を設けない場合は、ノードQ2がノードQと電氣的に接続され、ノードQB2がノードQBと電氣的に接続される。

30

#### 【0043】

論理回路100は、クロックゲーティングおよびパワーゲーティングが可能な回路である。回路101、103、104は、パワーゲーティングによって電源が遮断される回路である。回路102は、クロックゲーティングおよびパワーゲーティングが行われている期間、論理回路100の状態を保持する。

40

#### 【0044】

例えば、論理回路100はフリップフロップ(FF)として半導体装置に組み込むことができる。CPU(中央処理装置)、GPU(画像処理装置)等のプロセッサのレジスタに論理回路100を設けることで、プロセッサのパワーゲーティングが可能となる。電源を遮断しても、レジスタで電源遮断直前の状態を保持させることができる。電源を復帰することでプロセッサの状態を直ちに復帰させることができる。

#### 【0045】

以下、図2 - 図15を参照して、論理回路100のより具体的な回路構成例および動作方法例について説明する。

50

## 【 0 0 4 6 】

## 《 論理回路 1 1 0 》

図 2 に示す論理回路 1 1 0 は、ノード D、ノード Q、ノード Q B、回路 1 0、回路 2 0、回路 3 0 および回路 4 0 を有する。回路 1 0、2 0、3 0、4 0 は、それぞれ、回路 1 0 1 - 1 0 4 ( 図 1 ) に対応する回路である。論理回路 1 1 0 は、配線 8 1、配線 8 2、配線 9 0 および配線 9 1 と電氣的に接続されている。

## 【 0 0 4 7 】

配線 8 1 には C L K B H が入力され、配線 8 2 には C L K H が入力される。C L K H、C L K B H は制御信号 ( 例えば、クロック信号 ) であり、C L K B H は C L K H の反転信号である。配線 9 0 は V S S が入力される電源線であり、配線 9 1 は V D D が入力される電源線である。V D D は高電源電位であり、V S S は低電源電位であり、 $V D D > V S S$  である。以下、配線 9 0 を V S S 線と呼び、配線 9 1 を V D D 線と呼ぶこととする。

10

## 【 0 0 4 8 】

## 回路 1 0

回路 1 0 は論理回路 1 1 0 の入力段である。回路 1 0 は I N V 5 1 および I N V 5 2 を有する。I N V 5 1、5 2 は直列に電氣的に接続され、V D D 線および V S S 線と電氣的に接続されている。I N V 5 1 の入力ノードはノード D 1 と電氣的に接続され、その出力ノードはノード D B 1 と電氣的に接続されている。I N V 5 2 の出力ノードはノード Q 1 に電氣的に接続されている。

## 【 0 0 4 9 】

図 3 は入力段の他の構成例を示す。図 3 A に示す回路 1 1 は、I N V 5 2、N A N D 回路 ( N A N D ) 5 5 を有する。図 3 B に示す回路 1 2 は、I N V 5 2、N O R 回路 ( N O R ) 5 6 を有する。図 3 C に示す回路 1 3 は、選択回路 1 4 および回路 1 0 を有する。

20

## 【 0 0 5 0 】

N A N D 5 5 のノード T 2 には、例えばセット信号またはリセット信号を入力すればよい。ノード T 2 を “ 0 ” とすることで、ノード D 1 の論理に関わらず、ノード Q 1 を “ 0 ” とし、ノード Q B 1 を “ 1 ” とすることができる。ノード T 2 を “ 1 ” とすることで、ノード Q 1、Q B 1 の論理はノード D 1 の論理に応じて変化する。

## 【 0 0 5 1 】

N O R 5 6 のノード T 3 には、例えばセット信号またはリセット信号を入力すればよい。ノード T 3 を “ 1 ” とすることで、ノード D 1 の論理に関わらず、ノード Q 1 は “ 1 ” となり、ノード Q B 1 は “ 0 ” とすることができる。ノード T 3 を “ 0 ” とすることで、ノード Q 1、Q B 1 の論理はノード D 1 の論理に応じて変化する。

30

## 【 0 0 5 2 】

論理回路 1 1 0 のダイナミック電力を低減するため、入力段のトランジスタ数を減らすことが好ましい。よって、回路 1 0 - 1 2 のように、2 つの基本論理ゲート回路で入力段を構成することが好ましい。C M O S トランジスタで回路 1 0 - 1 2 を構成する場合、回路 1 0 のトランジスタ数は 4 であり、回路 1 1、1 2 のそれは 6 である。また、回路 1 0 - 1 2 はクロック信号が入力されない論理回路であるので、論理回路 1 1 0 のダイナミック電力を低減することができる。

40

## 【 0 0 5 3 】

論理回路 1 1 0 の入力段に図 3 C に示す回路 1 3 を設けてもよい。選択回路 1 4 は、ノード D、またはノード S D の一方を選択し、選択されたノードの入力データをノード D 1 に出力する機能を有する。回路 1 3 を設けることで、論理回路 1 1 0 をスキャンフリップフロップとして機能させることができる。この場合、選択回路 1 4 のノード S D はスキャンテスト用のテストデータの入力ノードとして用いられればよい。

## 【 0 0 5 4 】

## 回路 2 0

回路 2 0 は、一对の保持回路 ( R C : r e t e n t i o n c i r c u i t ) 2 1 を有する。R C 2 1 は、トランジスタ M 1、トランジスタ M 2、容量素子 C 1、およびノード F

50

Nを有する。RC21は、保持回路105(図1)のスイッチSW1、SW2がn型トランジスタである回路である。ここでは、一对のRC21のうち、ノードQ1と電氣的に接続されている方をRC21[1]と呼び、他方をRC21[2]と呼ぶこととする。また、RC21[1]とRC21[2]の要素を区別するために、符号に[1]、[2]を付けることとする。具体的には、RC21[1]のノードFNをノードFN[1]と呼ぶ。

#### 【0055】

トランジスタM1のゲートは配線81と電氣的に接続され、トランジスタM2のゲートは配線82と電氣的に接続されている。トランジスタM1とトランジスタM2は電氣的に直列に接続されている。トランジスタM1とトランジスタM2との接続部がノードFNである。トランジスタM1、M2をオフ状態にすることで、ノードFNを電氣的に浮遊状態にすることができる。容量素子C1の第1端子はノードFNと電氣的に接続され、その第2端子はVSS線と電氣的に接続されている。

10

#### 【0056】

トランジスタM1、M2はOSトランジスタである。トランジスタM1、M2のオフ電流が極めて小さいので、電氣的に浮遊状態のノードFNの電位の変動を抑えることが可能である。よって、RC21はデータを長時間保持することが可能であり、RC21を不揮発性メモリ回路として用いることが可能である。

#### 【0057】

なお、ノードFNが電氣的に浮遊状態である期間に、トランジスタM1、M2が完全にオフ状態となるような電位がこれらのゲートに入力され続けている場合がある。または、トランジスタM1、M2にバックゲートを設けた場合、トランジスタM1、M2がノーマリオフ状態になるような電位がバックゲートに入力され続けている場合がある。そのような場合には、RC21に電位が供給されていることになるが、電流が殆ど流れないので、RC21では電流が殆ど消費されない。よって、電位がRC21に供給されていても、データ保持にRC21は電力をほとんど消費しないことから、RC21は不揮発性メモリ回路であるといえることができる。

20

#### 【0058】

図4は保持回路の他の構成例を示す。図4に示す保持回路は、スイッチSW1、SW2がバックゲートを有するOSトランジスタで構成されている。

#### 【0059】

図4Aに示すRC22では、トランジスタM3、M4のバックゲートが配線80に電氣的に接続されている。配線80の電位によって、例えば、トランジスタM3、M4の閾値電圧を調節することが可能となる。トランジスタM3、M4のバックゲートに容量素子を接続してもよい。この容量素子を充電しておき、トランジスタM3、M4のバックゲートの電位を保持するようにしてもよい。また、トランジスタM3、トランジスタM4の一方はバックゲートを設けない構成とすることも可能である。

30

#### 【0060】

図4Bに示すRC23では、トランジスタM5、M6のゲートは、それぞれ、当該トランジスタのバックゲートと電氣的に接続されている。このようなデバイス構造とすることで、トランジスタM5、M6のオン電流特性を向上させることができる。トランジスタM5、M6の一方にはバックゲートを設けない、または、一方のトランジスタのバックゲートを配線80と電氣的に接続してもよい。

40

#### 【0061】

##### 回路30

回路30はCMOS回路である。回路30は、トランジスタN1、N2、P1、P2を有する。トランジスタN1、N2のソースはVSS線と電氣的に接続され、トランジスタP1、P2のソースはVDD線と電氣的に接続されている。ノードD2にはトランジスタN1のゲートが電氣的に接続され、ノードDB2にはトランジスタN2のゲートが電氣的に接続されている。ノードQ2には、トランジスタP1のゲート、トランジスタN2のドレインおよびトランジスタP2のドレインが電氣的に接続されている。ノードQB2には、

50

トランジスタ P 2 のゲート、トランジスタ N 1 のドレイン、およびトランジスタ P 1 のドレインが電氣的に接続されている。

【 0 0 6 2 】

よって、トランジスタ N 1 とトランジスタ N 2 は相補的にオン状態、オフ状態となることができ、トランジスタ P 1 とトランジスタ P 2 も相補的にオン状態、オフ状態となることができる。回路 3 0 はレベルシフト機能を有する。具体的には、回路 3 0 は、入力される相補信号のうち、“ H ” の信号の電位を V D D にシフトし、“ L ” の信号の電位を V S S にシフトする機能を有する。レベルシフトされた相補信号は、回路 3 0 の 2 個の出力ノードから出力される。別言すると、回路 3 0 は、ノード D 2 とノード D B 2 との間の電圧を ( V D D - V S S ) に増幅する機能を有する。

10

【 0 0 6 3 】

ノード D 2 が “ H ” であり、ノード D B 2 が “ L ” である場合、トランジスタ N 1 がオン状態となり、トランジスタ N 2 がオフ状態となる。よって、ノード Q B 2 が V S S となる。トランジスタ P 2 のゲートは V S S となり、そのソースが V D D であるので、トランジスタ P 2 はオン状態となり、ノード Q 2 が V D D となる。このとき、トランジスタ P 1 のゲートおよびソースは V D D であるので、トランジスタ P 1 はオフ状態である。つまり、ノード D 2 が “ H ” であり、ノード D B 2 が “ L ” である場合、ノード Q 2 は V D D となり、ノード Q B 2 は V S S となる。ノード D 2、D B 2 の電位レベルが逆の場合、ノード Q 2 は V S S となり、ノード Q B 2 は V D D となる。

【 0 0 6 4 】

回路 4 0

回路 4 0 は、回路 1 0 4 と同様の構成を有し、 I N V 5 3 および I N V 5 4 を有する。ノード Q B 2、Q 2 の電位は I N V 5 3、5 4 を経て、ノード Q、Q B から出力される。 I N V 5 3、I N V 5 4 は、ノード Q、Q B における大きな負荷を駆動する機能を有する。

20

【 0 0 6 5 】

《論理回路 1 1 0 の動作例》

図 5 を参照して、論理回路 1 1 0 の通常動作状態からスタンバイ状態に移行する動作例、およびスタンバイ状態から通常動作状態に復帰する動作例を説明する。ここでは、ノード D の入力データの高レベル電位は V D D であり、低レベル電位は V S S である。

【 0 0 6 6 】

図 5 は論理回路 1 1 0 の動作例を示すタイミングチャートである。図 5 には、V D D 線 ( 配線 9 0 )、配線 8 1、配線 8 2、ノード Q、ノード F N [ 1 ] の電位の波形を示す。配線 8 1、8 2 の高レベル電位は V D D H であり、V D D H > V D D である。t 0、t 1 等は時刻である。A 0、A 1 等はデータを表し、“ 1 ” または “ 0 ” の論理をもつ。

30

【 0 0 6 7 】

通常動作状態：t 0 - t 1

t 0 から t 1 までの期間での論理回路 1 1 0 の動作モードは、通常動作である。論理回路 1 1 0 には V D D、V S S が供給され、かつ C L K H、C L K B H が入力されている。C L K B H が “ H ” である期間、回路 2 0 には回路 1 0 から相補データが転送され、ノード F N [ 1 ]、ノード F N [ 2 ] のデータが書き換えられる。C L K B H が “ L ” である期間、回路 2 0 はノード F N [ 1 ]、ノード F N [ 2 ] のデータを保持する。よって、回路 2 0 では、C L K B H がアクティブの期間、ノード F N [ 1 ]、ノード F N [ 2 ] に相補データが書き込まれ、次に C L K B H が “ H ” になるまで、ノード F N [ 1 ]、ノード F N [ 2 ] で相補データを保持している。

40

【 0 0 6 8 】

回路 3 0 は、回路 2 0 で保持されている相補データを増幅する機能、増幅した相補データを保持する機能を有する。通常動作時には、回路 3 0 は相補データを増幅して出力するアンプの機能を有する。C L K H が “ H ” である期間、回路 2 0 は保持している相補データを回路 3 0 に読み出す。回路 3 0 では、ノード F N [ 1 ] のデータがノード D 2 に書き込まれ、ノード F N [ 2 ] のデータがノード D B 2 に書き込まれる。C L K H が “ L ” であ

50

る期間、ノードD2、DB2のデータが保持される。よって、回路30では、CLKHの立ち上がりで、保持している相補データが書き換えられ、次にCLKHが“H”になるまで、その相補データが保持される。

【0069】

図5の例のように、CLKBHの立ち上がりに同期して、ノードFN[1]がA0、A1、A2となる場合、ノードQからは、CLKHの立ち上がりのタイミングで、A0、A1、A2が出力される。このように、論理回路110は、CLKHに同期するフリップフロップとして動作させることができる。

【0070】

なお、CLKH、CLKBHの高レベル電位をVDDよりも高い電位としているのは、RC21のトランジスタM1、M2の電流駆動能力を向上させるためである。トランジスタM1、M2がOSTランジスタであるため、閾値電圧が、回路10、30、40のVDDで駆動されるトランジスタよりも高くなる場合がある。そこで、トランジスタM1、M2を確実にオン状態にして大きなオン電流が流れるように、VDDよりも高い電位VDDHをトランジスタM1、M2のゲートに入力している。

【0071】

スタンバイ状態：t1 - t4

t1からt4までの期間では、論理回路110はスタンバイ状態であり、省電力状態となる。t1でクロックゲーティングが開始され、クロック信号が停止される。CLKHおよびCLKBHが“L”になるとノードFN[1]、ノードFN[2]は電氣的に浮遊状態となり、ノードFN[1]はA3を保持し、ノードFN[2]はA3の反転データを保持する。つまり、クロック信号を停止することで、論理回路110はデータ保持状態になる。論理回路110は、通常状態からスタンバイ状態に短時間で移行することができる。

【0072】

t2でパワーゲーティングにより、論理回路110への電源を遮断する。例えば、パワースイッチによって、電源回路とVDD線との電氣的接続を遮断する。VDD線は徐々に放電され、その電位はVSSまで低下する。これによりVDD線とVSS線の電位差が0Vになる。VDD線とVSS線との電位差を0Vにすることを、電源遮断と呼んでいる。回路30、40が停止しているため、t2からt4までの期間では、ノードQ、QBの論理は不定である。なお、クロック信号を停止した時点(t1)で電源を遮断してもよい。

【0073】

t3からt4までの期間は、スタンバイ状態から通常動作状態に復帰するための動作が実行される。論理回路110は、電源供給とクロック信号入力とを再開することで、通常動作状態に復帰させることができる。

【0074】

t3でVDDの供給を再開する。パワースイッチによって、電源回路とVDD線とを電氣的に接続する。VDD線は充電されVDDになる。VDD線がVDDになってから、t4でクロック信号の入力を再開することで、論理回路110は通常動作状態に復帰する。

【0075】

通常動作状態：t4以降

t4で、まず、CLKHをアクティブにする。CLKHが“H”になることで、ノードFN[1]がノードD2と電氣的に接続され、ノードFN[2]がノードDB2と電氣的に接続される。このとき、ノードFN[1]はA3であり、ノードFN[2]はA3の反転データであるので、ノードQからはA3が出力され、ノードQBからA3の反転データが出力される。

【0076】

t1でCLKHが停止されていなければ、t1でノードQからA3が出力されていたことに留意すれば、t4で論理回路110はクロックゲーティング開始時(t1)の動作を再開していることとなる。VDD線の電位がVDDに復帰した後、t5で初めてCLKBHがアクティブになると、回路20の相補データが書き換えられる。ノードFN[1]には

10

20

30

40

50



ノードDの入力データA4が書き込まれる。CLKHがアクティブになるとノードQからA4が出力される。再びCLKBHがアクティブになると、ノードFN[1]には、ノードDの入力データA5が書き込まれる。

#### 【0077】

回路30は、減衰した回路20の相補データを再生する機能を持つ。A3が“1”のデータである場合を例に、この機能を説明する。トランジスタM1[1]、M2[1]がOSトランジスタであっても、ノードFN[1]からの電荷のリークを完全に防ぐことはできない。そのため、スタンバイ期間では、ノードFN[1]の電位が減衰してしまい、VDDよりも低くなる。t4で、ノードFN[1]、FN[2]の電位が回路30のノードD2、DB2に入力されると、回路30はノードD2とノードDB2との電位差により動作し、ノードFN[1]の電位およびノードFN[2]の電位が増幅されて、ノードQ2からVDDが出力され、ノードQB2からVSSが出力される。回路30は、このように差動増幅動作を行うことによって、通常動作状態に復帰する際に、減衰した“1”の電位レベルをVDDに復元している。

10

#### 【0078】

回路20がデータ退避用の回路として動作するため、論理回路110に、データ退避用の回路を別途設ける必要がない。よって、論理回路110を組み込んだ半導体装置を小型化できる。また、図5に示すように、論理回路110を通常動作状態からスタンバイ状態にするには、クロックゲーティングとパワーゲーティングを行えばよく、論理回路110のデータを退避するための特別な動作が必要ない。また、論理回路110をスタンバイ状態から通常動作状態に復帰させるには、クロックゲーティングとパワーゲーティングを終了すればよく、論理回路110のデータを復元するための特別な動作は行っていない。つまり、論理回路110によって、データの退避と復帰が必要ない、長期間の状態保持機能を持った不揮発性の論理回路を得ることができる。

20

#### 【0079】

INV51-54をCMOSトランジスタで構成する場合、論理回路110は、16個のトランジスタと2個の容量素子で構成される。クロック信号で駆動されるトランジスタの数は4と非常に少ない。これに対して、一般的なフリップフロップは、例えば、非特許文献1の図19.4.1のTGFFは、クロック信号の波形整形用の2個のINVを除くと、20個のトランジスタで構成され、そのうちクロック信号で駆動されるトランジスタ数は8である。つまり、論理回路110は、面積およびダイナミック電力が低減されている。かつ、パワーゲーティングが可能であるので、スタティック電力も低減されている。

30

#### 【0080】

また、論理回路110では、CLKHとCLKBHとの遅延または重なりに対する余裕度（マージン）は、一般的なフリップフロップと比較して高いため、クロック信号の波形整形用の回路を論理回路110毎に設ける必要がない。図6に示すように、複数個（例えば128個、256個）の論理回路110に対して、1個のクロック信号の波形整形用の回路60を設ければよい。回路60は直列に接続されたINV61とINV62を有する。INV61、62の高電源電位はVDDHであり、低電源電位はVSSである。INV61の出力ノードは配線82と電氣的に接続され、INV62の出力ノードは配線81と電氣的に接続されている。INV61とINV62のトランジスタは、高閾値電圧のトランジスタであることが好ましい。図6に示す回路構成とすることで、論理回路110を組み込んだ半導体装置のインバータの数を低減することができるので、ダイナミック電圧およびスタティック電圧を削減することができ、また、小型化することができる。

40

#### 【0081】

##### 《論理回路111》

図7に示す論理回路111は論理回路110の変形例であり、回路30に代えて回路31を有する。回路31は、回路30に2個のトランジスタN3、N4を追加した回路である。トランジスタN3のゲートはトランジスタP1のゲートに電氣的に接続され、そのソースはVSS線に電氣的に接続され、そのドレインはノードQB2に電氣的に接続されてい

50

る。トランジスタN4のゲートはトランジスタP2のゲートに電氣的に接続され、そのソースはVSS線に電氣的に接続され、そのドレインはノードQ2に電氣的に接続されている。回路31は回路30と同様に動作する。よって、論理回路111は、論理回路110と同様に動作させることができる。

#### 【0082】

トランジスタN1、N2のゲートリーク電流が大きいと、回路30のデータ保持時間がCLKHの1周期よりも短くなる場合がある。そのような場合、回路30に代えて回路31を用いるとよい。トランジスタN1、N2のスイッチング速度は、トランジスタN3、N4およびトランジスタP1、P2よりも速いことが好ましい。

#### 【0083】

回路31のデータ保持時間を長くすることで、論理回路111は低い動作周波数でも通常動作させることが可能になる。論理回路111が組み込まれた半導体装置の処理内容に応じて、クロック信号の周波数を下げることで、半導体装置のダイナミック電力を削減することが可能になる。

#### 【0084】

##### 《論理回路112》

図8に示す論理回路112は論理回路111の変形例であり、回路31に代えて回路32を有する。論理回路112はVSS線、VDD線、配線81、配線83および配線92と電氣的に接続されている。配線81、配線92がクロック信号用の配線であり、配線81にはCLKBHが入力され、配線92にはCLKが入力される。CLKとCLKBHとは互いに論理が反転関係にあるクロック信号である。CLKとCLKBHとは周波数が同じであるが高レベル電位が異なり、CLKのそれはVDDであり、CLKBHのそれはVDDHである。配線83には信号EN1が入力される。信号EN1の高レベル電位はVDDHである。信号EN1は、回路20と回路32間の導通状態を制御するための信号である。

#### 【0085】

回路32は、回路31にトランジスタN10を追加した回路である。回路32も、回路30、31と同様に、入力される相補データを増幅するアンプとして動作させることができる。トランジスタN10のゲートは配線92に電氣的に接続され、そのソースはVSS線に電氣的に接続され、そのドレインはトランジスタN1、N2のソースに電氣的に接続されている。トランジスタN1、N2、N10のスイッチング速度は、トランジスタN3、N4およびトランジスタP1、P2よりも速いことが好ましい。別言すると、トランジスタN1、N2、N10の駆動能力は、トランジスタN3、N4、P1、P2よりも高いことが好ましい。

#### 【0086】

トランジスタM1とトランジスタN10は相補的にスイッチング動作し、トランジスタM1がオン状態のとき、トランジスタN10はオフ状態となり、トランジスタM1がオフ状態のときトランジスタN10はオン状態となる。また、通常動作期間では、トランジスタM2を常にオン状態にする。このような動作方法により、回路20では、相補データの書き込み動作のみを制御する。回路20から回路32への相補データの読み出し動作は、トランジスタN10により制御される。したがって、回路20からの相補データ読み出し速度は、論理回路112ではトランジスタN10のスイッチング速度に依存し、これに対して、論理回路111では、トランジスタM2のスイッチング速度に依存する。

#### 【0087】

トランジスタM2はOSトランジスタであり、Siトランジスタよりもスイッチング速度が遅い場合がある。そのため、トランジスタN10をトランジスタM2よりもスイッチング速度の速いトランジスタ(例えば、Siトランジスタ)とすることで、回路20からの相補データの読み出し速度を上げることができる。

#### 【0088】

回路20の相補データの書き込み速度は、トランジスタM1のスイッチング速度と、容量

10

20

30

40

50

素子C 1の静電容量に依存する。容量素子C 1の静電容量を小さくすることで、書き込み速度を上げることができる。しかしながら、論理回路1 1 1ではトランジスタN 1、N 2のゲートに接続されている浮遊容量の存在により、容量素子C 1の静電容量をこの浮遊容量よりも小さくすることができない。論理回路1 1 2では、容量素子C 1の静電容量に対するこのような制限を解除できる。よって、論理回路1 1 2の動作周波数を論理回路1 1 1よりも高くすることが可能である。

【0089】

《論理回路1 1 2の動作例》

図9は論理回路1 1 2の動作例を示すタイミングチャートである。図9は配線8 1、配線8 3、配線9 1（VDD線）、配線9 2、ノードQおよびノードFN[1]の電位の波形を示す。t 0 t 5は時刻である。A 0 A 5はデータを表し、“1”または“0”の論理をもつ。

10

【0090】

通常動作状態：t 0 - t 1

t 0からt 1までの期間での論理回路1 1 2の動作モードは、通常動作モードである。論理回路1 1 2にはVDD、VSSが供給され、CLK、CLKBH、およびEN 1が入力されている。CLKBHが“H”である期間、回路2 0には回路1 0から相補データが転送され、ノードFN[1]、FN[2]のデータが書き換えられる。CLKBHが“L”である期間、回路2 0は、ノードFN[1]、FN[2]のデータを保持する。つまり、回路2 0では、CLKBHがアクティブの期間、ノードFN[1]、FN[2]に相補データが書き込まれ、次にCLKBHがアクティブ（“H”）になるまで、ノードFN[1]、FN[2]で相補データを保持している。

20

【0091】

CLKが“H”である期間、回路3 2は回路2 0からの相補データにより動作する。トランジスタN 1 0がオン状態となることで、トランジスタN 1、N 2のソースがVSSとなり、回路3 2は、ノードD 2とノードDB 2間の電位差による差動増幅動作を行う。ノードD 2、DB 2の電位がそれぞれレベルシフトされ、ノードQ 2、QB 2に出力される。CLKが“L”である期間、回路3 2は、CLKが“H”である期間に書き込まれた相補データを保持する。回路3 2は回路3 0と同様に動作する。よって、論理回路1 1 2の通常動作は論理回路1 1 0と同様である。

30

【0092】

スタンバイ状態：t 1 - t 5

t 1からt 5までの期間では、論理回路1 1 2はスタンバイ状態であり、省電力状態となる。t 1でクロックゲーティングが開始され、クロック信号の入力を停止する。また、クロックゲーティングと共に、配線8 3へのVDDHの供給を停止する。具体的には、CLK、CLKBHおよびEN 1を“L”にする。回路2 0はデータ保持状態となり、ノードFN[1]はA 3を保持し、ノードFN[2]はA 3の反転データを保持する。回路3 2もデータ保持状態となるので、ノードQ、QBのデータの書き換えが停止し、ノードQ、QBの状態が維持される。

【0093】

t 2でパワーゲーティングにより、論理回路1 1 2への電源を遮断する。VDD線は放電され、その電位はVSSまで低下する。電源遮断状態でも、回路2 0はA 3およびその反転データを保持する。t 2からt 5までの期間では、ノードQ、QBの論理は不定である。なお、クロック信号の入力を停止した時点（t 1）で電源供給を遮断してもよい。

40

【0094】

t 3からt 5までの期間では、スタンバイ状態から通常動作状態に復帰するための動作が行われる。電源供給を再開し、次いで、信号EN 1、CLK、CLKBHの順で信号をアクティブにする。t 3でVDD線へのVDDの供給が再開される。VDD線がVDDになってから、t 4でEN 1をアクティブにする。配線8 3がVDDHに充電されてから、クロック信号の入力を再開する。回路3 2の相補データを更新するために、まず、t 5でC

50

L Kをアクティブにする。

【0095】

通常動作状態：t 5以降

t 5以降は、通常動作が行われる。CLKがアクティブになることで、回路32は、回路20で保持されていたA3とその反転データを読み込む。ノードQの論理はA3に確定し、ノードQBの論理はその反転データに確定する。つまり、t 5で、論理回路112はクロック信号の停止時点(t 1)での通常動作を再開している。t 6でCLKBHがアクティブになると、ノードFN[1]には、ノードDの入力データ(A4)が書き込まれる。次に、CLKBHがアクティブになると、ノードFN[1]には、ノードDの入力データ(A5)が書き込まれる。

10

【0096】

図9に示すように、論理回路112も論理回路110と同様に、スタンバイ状態に移行するためのデータの退避動作、および通常動作状態に復帰するためのデータの復元動作を行う必要がない。また、データ退避用の回路を設ける必要がない。したがって、論理回路112によって、データ退避およびデータ復帰動作が必要のない、状態保持機能を有する不揮発性の論理回路を得ることができる。

【0097】

また、論理回路110と同様に、論理回路112も、CLKとCLKBHとの遅延または重なりに対する余裕度(マージン)は一般的なフリップフロップと比較して高いため、論理回路112毎にクロック信号の波形を整形するための回路を設ける必要がない。例えば、図10Aに示すように、複数個(例えば128個、256個)の論理回路112に対して、1個の回路65を設ければよい。

20

【0098】

回路65は、INV66とレベルシフト67を有する。回路65は、CLKBからCLK、CLKBHを生成する機能を有する。INV66の出力ノードは配線92と電氣的に接続され、レベルシフト67の第1の出力ノード(トランジスタP35のドレイン)は配線81と電氣的に接続されている。トランジスタN31、N33、P31は低閾値電圧のトランジスタとする。トランジスタN34、N35、P34、P35は、トランジスタN31、N33、P31よりも閾値電圧が高いことが好ましい。レベルシフト67の高電源電位用の電源線には信号EN1が入力される。回路65はゲーテッド・クロック信号を生成することが可能である。スタンバイ状態にするため、CLKBHの電位レベルを“H”に固定しても、信号EN1を“L”にすることで、CLKBHを“L”にすることができる。よって、回路65を設けることで、論理回路112をクロックゲーティング状態(スタンバイ状態)にすること、およびクロックゲーティング状態(スタンバイ状態)を解除することができる。

30

【0099】

図10Bに示す回路69は、回路65の変形例であり、回路65と同様の機能を有する。回路69は、回路65にトランジスタP39を追加した回路である。トランジスタP39のゲートには信号EN1が入力され、ドレインにはVSSが入力され、ソースはINV66の出力ノードと電氣的に接続されている。信号EN1を“L”にすることで、回路69からは、電位レベルが“L”のCLKBHおよびCLKが出力される。

40

【0100】

回路65、69は、後述する論理回路113-115にも適用することができる。また、論理回路110にも適用することができる。この場合、レベルシフト67の第1出力ノードを配線81と電氣的に接続し、その第2出力ノード(トランジスタP34のドレイン)を配線82と電氣的に接続すればよい。

【0101】

《論理回路113》

図11に示す論理回路113は論理回路112の変形例であり、回路32に代えて回路33を有する。回路33は回路32の変形例であり、トランジスタN10に代えてトランジ

50

スタN11およびN12を有する。トランジスタN11のゲートは配線92と電氣的に接続され、そのソースはトランジスタN1のドレインと電氣的に接続され、そのドレインはトランジスタP1のドレインと電氣的に接続されている。トランジスタN12のゲートは配線92と電氣的に接続され、そのソースはトランジスタN2のドレインと電氣的に接続され、そのドレインはトランジスタP2のドレインと電氣的に接続されている。

【0102】

論理回路113は、論理回路112と同様に動作させることができる。例えば、図9のタイミングチャートに従って論理回路113を動作させることができる。回路33は回路32よりもトランジスタが1つ多いが、トランジスタN11、N12が設けられていることで、回路32よりも安定した動作を行うことができる。

10

【0103】

《論理回路114》

回路30-33では、VDDの供給が再開されたときに、ノードQ2、QB2の論理は不定である。そのため、これらの回路では、通常動作に復帰した時点では、相補データの復元性能が低下している。図12は、そのような問題点を解消することが可能な論理回路の構成例を示す。

【0104】

図12に示す論理回路114は論理回路113の変形例であり、回路33に代えて回路34を有する。回路34は回路33の変形例であり、イコライズ回路(EQC)25、トランジスタN13を有する。

20

【0105】

EQC25はノードQ2およびノードQB2の電位をイコライズ(平均化)する機能を有する。EQC25はトランジスタP13を有する。トランジスタP13のゲートは配線83と電氣的に接続されている。トランジスタP13のソースおよびドレインの一方はノードQ2と電氣的に接続され、他方はノードQB2と電氣的に接続されている。トランジスタP13がオン状態のとき、EQC25はアクティブである。

【0106】

トランジスタN13のゲートは配線81と電氣的に接続され、ソースは配線90と電氣的に接続され、ドレインはトランジスタN3、N4のソースと電氣的に接続されている。トランジスタN13は、EQC25の動作を安定化する機能を有する。EQC25がアクティブであるとき、トランジスタN13をオフ状態にすることで、VSS線とノードQ2、QB2との間を非導通状態にすることができる。トランジスタN13は、高電源電位(VDDH)がゲートに入力されるため、高閾値電圧をもつことが好ましい。例えば、トランジスタM1、M2と同様に、OSTランジスタとしてもよい。トランジスタN13をOSTランジスタとすることで、トランジスタN13を回路34内のSiトランジスタに積層することができるので、回路34の面積を低減することができる。

30

【0107】

《論理回路114の動作例》

図13は、論理回路114の動作例を示すタイミングチャートである。図13は、VDD線、配線81、配線83、配線92、ノードFN[1]、ノードQB2、およびノードQの電位の波形を示す。論理回路114は論理回路113と同様に動作することができる。論理回路113の動作と最も異なる動作は、スタンバイ期間にEQC25をアクティブにすることである。

40

【0108】

通常動作状態：t0 - t1

論理回路114にはVDD、VSSが供給され、かつCLK、CLKBH、および信号EN1が入力される。通常動作期間では、トランジスタN13はCLKBHがアクティブになると同期してオン状態になり、EQC25は常に非アクティブである(トランジスタP13がオフ状態である)ので、論理回路114の動作は論理回路113と同様である。

【0109】

50

スタンバイ状態：t 1 - t 6

t 1でクロック信号を停止する。図13の例は、ノードFN[1]とノードQB2双方がA2であるときに、クロック信号を停止している。t 2で配線83へのVDDHの供給を停止して、信号EN1を“L”にする。t 2からt 5までの期間は、EQC25がアクティブである。信号EN1が“L”になると、トランジスタP13がオン状態となる。EQC25によって、ノードQ2、QB2の電位はVDDレベルにイコライズされる。t 3で電源を遮断する。VDD線が放電されることでノードQ2、QB2も放電されるので、それらの論理は電源供給が再開されるまで不定値である。

【0110】

t 4で、電源供給を再開する。EQC25がアクティブであるので、ノードQ、QBは“0”に確定する。VDD線の電位の上昇に伴い、ノードQ2、QB2の電位も上昇する。t 5で、信号EN1を“H”にしてEQC25を非アクティブにする。t 6でクロック信号の入力が再開されると、論理回路114は通常動作を再開する。

10

【0111】

通常動作状態：t 6以降

t 6で、まずCLKをアクティブして、トランジスタN11、N12をオン状態にする。回路34は、回路20で保持されている相補データにより差動増幅動作を行う。回路34は、読み込んだ相補データが減衰していても、VSS、VDDの電位をもつ相補データに復元することができる。

【0112】

トランジスタN11、N12はOSトランジスタであってもよい。この場合、配線92にCLKHを入力すればよい。

20

【0113】

図13に示すように、論理回路114も論理回路110と同様に、スタンバイ状態に移行するためのデータの退避動作、および通常動作状態に復帰するためのデータの復元動作を行う必要がない。また、データ退避用の回路を設ける必要がない。したがって、論理回路114によって、データ退避およびデータ復帰動作が必要のない、状態保持機能を有する不揮発性の論理回路を得ることができる。

【0114】

《論理回路115》

例えば、論理回路114において、データ保持用の容量素子C1の静電容量を小さくすることで、書込み速度、および読み出し速度を高速化することができる。他方、電源遮断状態でデータを長時間保持するには、容量素子C1の静電容量を大きくすることが求められる。静電容量を大きくすると、書き込み速度および読み出し速度が低下する。そこで、図14の構成例は、ノードQ2、QB2のデータを保持することができる回路を追加することで、データ保持性能と、書き込み/読み出し性能とを分離して設定することを可能にしている。

30

【0115】

図14に示す論理回路115は論理回路114の変形例であり、回路34に代えて回路35を有する。回路35は、回路34に一对のRC26を追加した回路である。

40

【0116】

一对のRC26は配線84と電氣的に接続されている。配線84には信号EN2が入力される。ここでは、一对のRC26のうち、入出力ノードがノードQB2と電氣的に接続されている方をRC26[1]と呼び、ノードQ2と電氣的に接続されている方をRC26[2]と呼ぶ。

【0117】

RC26はトランジスタM3、容量素子C3およびノードFN3を有する。ノードFN3はデータ保持ノードである。トランジスタM3は、ノードFN3とRC26の入出力ノード間の導通状態を制御することができるパストラジスタであり、そのゲートには信号EN2が入力される。トランジスタM3はOSトランジスタであり、RC26は不揮発性の

50

アナログメモリの機能を持つことができる。例えば、一対のRC26によって、電源遮断状態での論理回路115の内部状態を保持させることができる。

【0118】

回路20と回路35にそれぞれ不揮発性の保持回路を設けることで、電源遮断状態でのデータ保持特性の向上と、動作速度の向上とを両立させることができる。容量素子C3の静電容量を容量素子C1の静電容量をよりも大きくする。容量素子C3の静電容量を大きくすることで、電源遮断状態での論理回路115のデータ保持性能を向上させることができる。容量素子C1の静電容量を小さくすることで、回路20の書き込み速度および読み出し速度を速くすることができ、論理回路115の動作周波数を上げることが可能である。

【0119】

《論理回路115の動作例》

図15は論理回路115の動作例を示すタイミングチャートである。図15はVDD線、配線81、配線83、配線84、配線92、ノードFN[1]、ノードQB2、およびノードQの電位の波形を示す。論理回路115は論理回路114と同様に動作することができる。論理回路115が論理回路114と最も異なる点は、スタンバイ状態にする際に、RC26[1]にノードQB2のデータを、RC26[2]にノードQ2のデータを退避する点、および、通常動作状態に復帰する際に、RC26[1]、26[2]によって、それぞれ、ノードQB2、Q2のデータを復帰する点である。

【0120】

通常動作状態：t0 - t1、退避：t1 - t2

通常動作時には、論理回路115にはVDD、VSSが供給され、かつCLK、CLKBH、および信号EN1が入力される。また、信号EN2は“L”である。ここでは、電源遮断直前のCLKのアクティブ期間(t1 - t2)に、信号EN2を“H”にすることで退避動作を行っている。

【0121】

CLKを立ち上げる時(t1)に信号EN2を立ち上げる。信号EN2が“H”になると、トランジスタM3[1]、M3[2]がオン状態となるので、RC26[1]、26[2]にそれぞれノードQB2、Q2のデータが書き込まれる。t2でCLKが非アクティブになると、ノードQB2、Q2のデータが確定する。t2でスタンバイ状態になる。

【0122】

スタンバイ状態：t2 - t8、復帰：t8 - t9

t3で信号EN2を“L”にする。トランジスタM3[1]、M3[2]がオフ状態となるので、RC26[1]、26[2]はデータ保持状態になる。信号EN2を“L”にした後、t4でEQC25をアクティブにする。t5で電源を遮断する。

【0123】

t6で電源供給を再開する。t7でEQC25を非アクティブにする。t8でクロック信号の入力を再開する。ここでは、まずCLKをアクティブにする。電源投入直後のCLKのアクティブ期間(t8 - t9)で復帰動作が行われる。t8 - t9に信号EN2を“H”してトランジスタM3をオン状態にする。RC26[1]、26[2]のデータがノードQB2、Q2に書き込まれることで、ノードQB2、Q2がt2の状態に復帰し、かつノードQ、QBもt2の状態に復帰する。t9で、CLKおよび信号EN2を“L”にして、退避動作を終了する。

【0124】

通常動作状態：t9以降

t9でCLKBHがアクティブになると通常動作が再開する。

【0125】

容量素子C1の静電容量を小さくすることで、RC21[1]、21[2]のデータ保持性能が低下するため、スタンバイ期間にFN[1]またはFN[2]のデータが消失する場合もある。論理回路115では、RC26[1]、26[2]のデータによって、ノードQB2、Q2の状態を復元しているため、クロック信号入力再開時(t8)のノード

10

20

30

40

50

F N [ 1 ] および F N [ 2 ] の状態は、論理回路 1 1 5 の動作に影響しない。

【 0 1 2 6 】

つまり、論理回路 1 1 5 のデータ保持性能は一对の R C 2 6 で設定され、かつ論理回路 1 1 5 の書き込み速度および読み出し速度は R C 2 1 で設定される。このように、論理回路 1 1 5 はデータ保持性能と、書き込み / 読み出し性能とを分離して設定することが可能である。

【 0 1 2 7 】

論理回路 1 1 5 によって、長期間の状態保持機能を有する不揮発性の論理回路を得ることができる。なお、論理回路 1 1 5 は、パワーゲーティングのために一对の R C 2 6 を動作させているが、図 1 5 に示すように、通常動作に影響はなく、電源遮断に移行するオーバーヘッド時間をゼロにすることができる。また、一对の R C 2 6 が書き込みおよび読み出し動作で消費するエネルギーは、容量素子 C 3 を充放電するためのエネルギーであるので、D R A M 同様に小さい。よって、一对の R C 2 6 を設けたことによる消費電力の増加はほとんどない。また、一对の R C 2 6 は、S i トランジスタが形成されている領域に積層することができるため、回路 3 5 の面積を低減することができる。

【 0 1 2 8 】

本実施の形態の論理回路は、クロック信号で制御されるトランジスタの数が低減されているため、動作時の消費電力を低減することができる。また、データを保持する保持回路は、スタンバイ状態で電力を殆ど消費しないため、スタンバイ状態での消費電力が小さい。また、パワーゲーティングによるオーバーヘッド時間をゼロにすることが可能である。よって、本実施の形態の論理回路はノーマリオフ・コンピューティングに非常に好適である。本実施の形態の論理回路を搭載しても、ダイナミック電力の増加はほとんど発生せず、パワーゲーティングによって消費電力を効果的に低減することが可能である。

【 0 1 2 9 】

本実施の形態の論理回路 1 1 0 - 1 1 5 は、F F として各種の半導体装置に組み込むことが可能である。例えば、F F はプロセッサコアの論理回路の半分近くを占めるので、本実施の形態の論理回路を搭載することで、効果的に低消費電力化ができる。

【 0 1 3 0 】

〔実施の形態 2〕

実施の形態 1 の論理回路を搭載した半導体装置について説明する。

【 0 1 3 1 】

《処理装置の構成例》

処理装置 ( P U ) は一のチップに集積された複数の機能回路を有する。図 1 6 に示す P U 2 0 0 は、プロセッサコア 2 0 1、電源管理装置 ( P M U ) 2 0 2、クロック制御回路 2 0 3、電源線 2 1 0、パワースイッチ ( P S W ) 2 1 1、2 1 2、およびレベルシフト回路 ( L S ) 2 1 5 を有する。電源線 2 1 0 には V D D が入力される。

【 0 1 3 2 】

プロセッサコア

プロセッサコア 2 0 1 は、命令を処理する機能を有する回路であり、演算処理回路、あるいはプロセッサ ( 処理装置 ) と呼ぶことも可能である。プロセッサコア 2 0 1 は、F F 2 2 0、論理回路 2 2 1 等を有しており、これらにより、各種の機能回路が構成されている。F F 2 2 0 は論理回路 2 2 1 の出力データを保持する。例えば、F F 2 2 0 はレジスタに含まれる。例えば、論理回路 2 2 1 は組み合わせ回路とすることができる。

【 0 1 3 3 】

F F 2 2 0 には実施の形態 1 の論理回路が適用される。また、F F 2 2 0 はスキャン F F であってもよい。F F 2 2 0 が設けられたことで、プロセッサコア 2 0 1 のクロックゲーティングおよびパワーゲーティングが可能となり、P U 2 0 0 の消費電力を削減することができる。

【 0 1 3 4 】

図 1 7 はプロセッサコア 2 0 1 の構成例を示す。図 1 7 に示すプロセッサコア 2 0 1 は、



制御装置 231、プログラムカウンタ 232、パイプラインレジスタ 233、パイプラインレジスタ 234、レジスタファイル 235、ALU（算術論理演算装置）236、およびデータバス 237を有する。プロセッサコア 201とPMU 202やキャッシュ等の周辺回路とのデータのやり取りは、データバス 237を介して行われる。

【0135】

制御装置 231は、プログラムカウンタ 232、パイプラインレジスタ 233、パイプラインレジスタ 234、レジスタファイル 235、ALU 236およびデータバス 237の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。ALU 236は、四則演算、論理演算などの各種演算処理を行う機能を有する。プログラムカウンタ 232は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。

10

【0136】

パイプラインレジスタ 233は、命令データを一時的に記憶する機能を有するレジスタである。レジスタファイル 235は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU 236の演算処理の結果得られたデータ、などを記憶することができる。パイプラインレジスタ 234は、ALU 236の演算処理に利用するデータ、またはALU 236の演算処理により得られたデータなどを一時的に記憶する機能を有するレジスタである。

【0137】

電源管理

PMU 202は、パワーゲーティング、クロックゲーティング等を制御する機能を有する。より具体的には、PMU 202は、プロセッサコア 201、PSW 211、212、クロック制御回路 203を制御する機能を有する。例えば、PMU 202は割り込み要求信号INTに従い、PSW 211、212、クロック制御回路 203を制御する。

20

【0138】

PMU 202は、時間を計測することができるタイマ回路を有していてもよい。タイマ回路で得られる時間に関するデータをもとに、電源管理を行ってもよい。

【0139】

LS 215は、VDDをVDDHに昇圧するために設けられている。PSW 211は、PMU 202の制御信号に従い、PU 200へのVDDの供給、遮断を制御する機能を有する。PSW 212は、PMU 202の制御信号に従い、LS 215へのVDDの供給、遮断を制御する機能を有する。LS 215へのVDDの供給が停止されることで、プロセッサコア 201へのVDDHの供給が遮断される。

30

【0140】

クロック制御回路 203は、クロック信号CLKから、ゲーティッド・クロック信号を生成し、出力する機能を有する。クロック制御回路 203は、PMU 202の制御信号に従い、プロセッサコア 201へのクロック信号を遮断する機能を有する。クロック制御回路 203には、電源線 210からVDDが供給され、また、図示しないレベルシフト回路を介してVDDHが供給される。

【0141】

例えば、プロセッサコア 201からPMU 202に信号SLPが出力されると、PU 200をスタンバイ状態にする。信号SLPは、プロセッサコア 201をスタンバイ状態に移行するためトリガとなる信号である。信号SLPに従い、PMU 202は、クロック制御回路 203を制御しクロック信号の出力を停止する。次に、PMU 202は、PSW 211、212を制御し、電源の供給を停止させる。

40

【0142】

プロセッサコア 201をスリープモードからアクティブモードへ復帰するための処理は、例えば、信号INTの入力により実行される。信号INTに従い、PMU 202は、PSW 211、212を制御し、電源の供給を再開させる。次に、PMU 202はクロック制御回路 203を制御し、クロック信号の入力を再開させる。

50

## 【 0 1 4 3 】

## 〔 実施の形態 3 〕

本実施の形態では、半導体装置の一例として、電子部品、及び電子部品を具備する電子機器等について説明する。

## 【 0 1 4 4 】

## 電子部品の作製方法例

図 1 8 A は、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、IC用パッケージ、またはパッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

10

## 【 0 1 4 5 】

トランジスタで構成される半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図 1 8 A に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップ S 1）した後、基板を複数のチップに分離するダイシング工程を行う（ステップ S 2）。基板を複数のチップに分割する前に、基板を薄膜化して、前工程での基板の反り等を低減し、部品の小型化を図る。

## 【 0 1 4 6 】

チップをピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップ S 3）。ダイボンディング工程におけるチップとリードフレームとの接着方法は製品に適した方法を選択すればよい。例えば、樹脂やテープによってこれらを接着すればよい。ダイボンディング工程は、インターポーザ上にチップを搭載し接合してもよい。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の細線（ワイヤー）で電氣的に接続する（ステップ S 4）。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングの何れでもよい。

20

## 【 0 1 4 7 】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップ S 5）。リードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップ S 6）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。パッケージの表面に印字処理（マーキング）を施す（ステップ S 7）。検査工程（ステップ S 8）を経て、電子部品が完成する（ステップ S 9）。上掲した実施の形態の半導体装置を組み込むことで、低消費電力で、小型な電子部品を提供することができる。

30

## 【 0 1 4 8 】

図 1 8 B は完成した電子部品の斜視模式図である。一例として、図 1 8 B は Q F P ( Q u a d F l a t P a c k a g e ) を示している。図 1 8 B に示す電子部品 7 0 0 0 は、リード 7 0 0 1 及び回路部 7 0 0 3 を有する。回路部 7 0 0 3 には、例えば、実施の形態 1 の論理回路やその他の論理回路が作製されている。電子部品 7 0 0 0 は、例えばプリント基板 7 0 0 2 に実装される。このような電子部品 7 0 0 0 が複数組み合わせられて、それぞれがプリント基板 7 0 0 2 上で電氣的に接続されることで電子機器に搭載することができる。完成した回路基板 7 0 0 4 は、電子機器等の内部に設けられる。例えば、電子部品 7 0 0 0 は、データを記憶するランダムアクセスメモリ、CPU、MCU（マイクロコントローラユニット）、FPGA、無線IC等の各種の処理を実行するプロセッシングユニットに用いることができる。電子部品 7 0 0 0 を搭載することで、電子機器の消費電力を削減することができる。または、電子機器を小型化することが容易になる。

40

## 【 0 1 4 9 】

よって、電子部品 7 0 0 0 は、デジタル信号処理、ソフトウェア無線、アビオニクス（通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器）、ASICのプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティ

50

クス（生物情報科学）、機械装置のエミュレータ、および電波天文学における電波望遠鏡等、幅広い分野の電子機器の電子部品（ICチップ）に適用することが可能である。電子部品7000が組み込まれる電子機器としては、表示機器、パーソナルコンピュータ（PC）、記録媒体を備えた画像再生装置（DVD、ブルーレイディスク、フラッシュメモリ、HDD等の記録媒体を再生する装置、および画像を表示するための表示部を有する装置）を挙げることができる。その他に、本発明の一形態に係る電子部品を用いることができる電子機器には、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、カメラ（ビデオカメラ、デジタルスチルカメラ等）、ウェアラブル型表示装置（ヘッドマウント型、ゴーグル型、眼鏡型、腕章型、ブレスレッド型、ネックレス型等）ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図19に示す。

10

## 【0150】

図19Aに示す携帯型ゲーム機900は、筐体901、筐体902、表示部903、表示部904、マイクロホン905、スピーカ906、操作キー907、およびスタイラス908等を有する。

## 【0151】

図19Bに示す携帯情報端末910は、筐体911、筐体912、表示部913、表示部914、接続部915、および操作キー916等を有する。表示部913は筐体911に設けられ、表示部914は筐体912に設けられている。接続部915により筐体911と筐体912とが接続され、筐体911と筐体912との間の角度は接続部915により変更可能となっている。そのため、接続部915における筐体911と筐体912との間の角度によって、表示部913に表示される画像を切り換える構成としてもよい。また、表示部913および/または表示部914にタッチパネル付の表示装置を使用してもよい。

20

## 【0152】

図19Cに示すノート型PC920は、筐体921、表示部922、キーボード923、およびポインティングデバイス924等を有する。

## 【0153】

図19Dに示す電気冷凍冷蔵庫930は、筐体931、冷蔵室用扉932、および冷凍室用扉933等を有する。

30

## 【0154】

図19Eに示すビデオカメラ940は、筐体941、筐体942、表示部943、操作キー944、レンズ945、および接続部946等を有する。操作キー944およびレンズ945は筐体941に設けられており、表示部943は筐体942に設けられている。そして、筐体941と筐体942は接続部946によって接続されており、かつ接続部946により筐体941と筐体942の間の角度を変えることが可能な構造となっている。筐体941に対する筐体942の角度によって、表示部943に表示される画像の向きの変更、画像の表示/非表示の切り換え等を行えるようにしてもよい。

## 【0155】

図19Fに示す自動車950は、車体951、車輪952、ダッシュボード953、およびライト954等を有する。

40

## 【0156】

## 〔実施の形態4〕

## 《OSTランジスタの構成例1》

図20にOSTランジスタの構成の一例を示す。図20AはOSTランジスタの構成の一例を示す上面図である。図20Bは、 $y_1 - y_2$ 線断面図であり、図20Cは $x_1 - x_2$ 線断面図であり、図20Dは $x_3 - x_4$ 線断面図である。ここでは、 $y_1 - y_2$ 線の方向をチャンネル長方向と、 $x_1 - x_2$ 線方向をチャンネル幅方向と呼称する場合がある。よって、図20Bは、OSTランジスタのチャンネル長方向の断面構造を示す図であり、図20C

50

および図20Dは、Oストランジスタのチャンネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図20Aでは、一部の構成要素が省略されている。

【0157】

Oストランジスタ501は絶縁表面に形成される。ここでは、絶縁層511上に形成されている。絶縁層511は基板510表面に形成されている。Oストランジスタ501は絶縁層516に覆われている。なお、絶縁層516をOストランジスタ501の構成要素とみなすこともできる。Oストランジスタ501は、絶縁層512、絶縁層513、絶縁層514、絶縁層515、半導体層521-523、導電層530、導電層531、導電層532および導電層533を有する。ここでは、半導体層521-523をまとめて、半導体領域520と呼称する。

10

【0158】

導電層530はゲート電極として機能し、導電層533はバックゲート電極として機能する。導電層531、532は、それぞれ、ソース電極またはドレイン電極として機能する。絶縁層511は、基板510と導電層533を電気的に分離させる機能を有する。絶縁層515はゲート絶縁層を構成し、絶縁層513、514はバックチャンネル側のゲート絶縁層を構成する。

【0159】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は一つの値に定まらない場合がある。そのため、本明細書等では、チャンネル長はチャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0160】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0161】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

【0162】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0163】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる

50

領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0164】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

10

【0165】

図20B、図20Cに示すように、半導体領域520は、半導体層521、半導体層522、半導体層523の順に積層している部分を有する。絶縁層515はこの積層部分を覆っている。導電層530は絶縁層513を介して積層部分と重なる。導電層531および導電層532は、半導体層521および半導体層523とでなる積層上に設けられており、それぞれ、この積層の上面と、同チャンネル長方向の側面とに接している。半導体層521、522および導電層531、532の積層は、同じマスクを用いたエッチング工程を経ることで形成されている。

20

【0166】

半導体層523は、半導体層521、522、および導電層531、532を覆うように形成されている。絶縁層515は半導体層523を覆っている。ここでは、半導体層523と絶縁層515は同じマスクを用いてエッチングされている。

【0167】

絶縁層515を介して、半導体層521 - 523の積層部分のチャンネル幅方向を取り囲むように、導電層530が形成されている(図20C参照)。このため、この積層部分には、垂直方向からのゲート電界と、側面方向からのゲート電界も印加される。OSトランジスタ501において、ゲート電界とは、導電層530(ゲート電極層)に印加される電圧により形成される電界のことをいう。ゲート電界によって、半導体層521 - 523の積層部分全体を電気的に取り囲むことができるので、半導体層522の全体に(バルク)にチャンネルが形成される場合がある。OSトランジスタ501のように、ゲート電界によって、チャンネルが形成される半導体層が電気的に囲まれるトランジスタのデバイス構造をsurrounded channel (s-channel)構造と呼ぶことができる。s-channel構造をとるため、OSトランジスタ501は高いオン電流を有することができる。また、s-channel構造をとることで、OSトランジスタ501の高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。

30

【0168】

s-channel構造は、高いオン電流が得られるため、LSI (Large Scale Integration) など微細化されたトランジスタが要求される半導体装置に適した構造といえる。s-channel構造は、高いオン電流が得られるため、高周波での動作が要求されるトランジスタに適した構造といえる。該トランジスタを有する半導体装置は、高周波で動作可能な半導体装置とすることが可能となる。

40

【0169】

OSトランジスタの微細化によって、集積度が高い、または小型な半導体装置を提供することが可能となる。例えば、OSトランジスタは、チャンネル長が好ましくは10nm以上、1μm未満、さらに好ましくは10nm以上、100nm未満、さらに好ましくは10nm以上、70nm未満、さらに好ましくは10nm以上、60nm未満、さらに好ましくは10nm以上、30nm未満の領域を有する。例えば、OSトランジスタは、チャンネル幅が好ましくは10nm以上、1μm未満、さらに好ましくは10nm以上、100n

50

m未満、さらに好ましくは10nm以上、70nm未満、さらに好ましくは10nm以上、60nm未満、さらに好ましくは10nm以上、30nm未満の領域を有する。

【0170】

絶縁層

絶縁層511-516は、単層構造または積層構造の絶縁膜で形成される。絶縁膜を構成する材料には、例えば、酸化アルミニウム、酸化マグネシウム、酸化シリコン、窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどがある。

【0171】

なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。本明細書等において、絶縁材料に用いられる酸化物には、窒素濃度が1atomic%未満のものも含まれる。

【0172】

絶縁層514および絶縁層515は半導体領域520と接しているため、酸化物を含むことが好ましく、特に、加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。絶縁層514、絶縁層515から脱離した酸素は酸化物半導体である半導体領域520に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

【0173】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、例えば、TDS(Thermal Desorption Spectroscopy)分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18}$  atoms/cm<sup>3</sup>以上、好ましくは $3.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度は100以上700以下、または100以上500以下の範囲が好ましい。

【0174】

絶縁層513は、絶縁層514に含まれる酸素が、導電層533に含まれる金属と結びつき、絶縁層514に含まれる酸素が減少することを防ぐパッシベーション機能を有する。絶縁層516は、絶縁層514に含まれる酸素が減少することを防ぐパッシベーション機能を有する。

【0175】

絶縁層511、513、516は、酸素、水素、水、アルカリ金属、アルカリ土類金属等をブロッキングできる機能を有していることが好ましい。絶縁層511、513、516を設けることで、半導体領域520から外部への酸素の拡散と、外部から半導体領域520への水素、水等の入り込みを防ぐことができる。このような機能を持たせるため、絶縁層511、513、516には、例えば、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等である絶縁膜を少なくとも1層設ければよい。

【0176】

導電層

導電層530-533は、銅(Cu)、タングステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)、白金(Pt)、イリジウム(Ir)、ストロンチウム(Sr)の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタ

10

20

30

40

50

ングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンがCuの拡散を抑制する機能を持つので好ましい。

【0177】

OSトランジスタ502の導電層531および導電層532は、半導体層521と半導体層522との積層を形成するために使用されるハードマスクから作製されている。そのため、導電層531および導電層532は、半導体層521および半導体層522の側面に接する領域を有していない。例えば、次のような工程を経て、半導体層521、522、導電層531、532を作製することができる。半導体層521、522を構成する2層の酸化物半導体膜を形成する。酸化物半導体膜上に、単層または積層の導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。このハードマスクを用いて、2層の酸化物半導体膜をエッチングして、半導体層521と半導体層522の積層を形成する。次に、ハードマスクをエッチングして、導電層531および導電層532を形成する。

10

【0178】

半導体層

半導体層522は、例えば、インジウム(In)を含む酸化物半導体である。半導体層522は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体層522は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム(Al)、ガリウム(Ga)、イットリウム(Y)またはスズ(Sn)などとする。その他の元素Mに適用可能な元素としては、ホウ素(B)、シリコン(Si)、チタン(Ti)、鉄(Fe)、ニッケル(Ni)、ゲルマニウム(Ge)、ジルコニウム(Zr)、モリブデン(Mo)、ランタン(La)、セリウム(Ce)、ネオジム(Nd)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)などがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体層522は、亜鉛(Zn)を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

20

30

【0179】

ただし、半導体層522は、インジウムを含む酸化物半導体に限定されない。半導体層522は、インジウムを含まず亜鉛、ガリウム、およびスズのうちの少なくとも1を含む酸化物半導体(例えば、亜鉛スズ酸化物、ガリウムスズ酸化物など)などであっても構わない。半導体層522は、例えば、エネルギーギャップが大きい酸化物を用いる。半導体層522のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。半導体領域520は、後述するCAAC-OSで形成されていることが好ましい。または、少なくとも、半導体層522はCAAC-OSで形成されていることが好ましい。

40

【0180】

例えば、半導体層521および半導体層523は、半導体層522を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体層522を構成する酸素以外の元素一種以上、または二種以上から半導体層521および半導体層523が構成されるため、半導体層521と半導体層522との界面、および半導体層522と半導体層523との界面において、界面準位が形成されにくい。

【0181】

なお、半導体層521がIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高いとする。半導体層521をスパッタリング法で成膜する場合、上記の組成を満た

50

すスパッタリングターゲットを用いることが好ましい。例えば、 $In : M : Zn = 1 : 3 : 2$ が好ましい。

【0182】

また、半導体層522が $In - M - Zn$ 酸化物のとき、 $In$ および $M$ の和を100 atomic %としたとき、好ましくは $In$ が25 atomic %より高く、 $M$ が75 atomic %未満、さらに好ましくは $In$ が34 atomic %より高く、 $M$ が66 atomic %未満とする。半導体層522をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 1 : 1 : 1.2$ 、 $In : M : Zn = 2 : 1 : 3$ 、 $In : M : Zn = 3 : 1 : 2$ 、 $In : M : Zn = 4 : 2 : 4.1$ が好ましい。特に、スパッタリングターゲットとして、原子数比が $In : Ga : Zn = 4 : 2 : 4.1$ を用いる場合、成膜される半導体層522の原子数比は、 $In : Ga : Zn = 4 : 2 : 3$ 近傍となる場合がある。

10

【0183】

また、半導体層523が $In - M - Zn$ 酸化物のとき、 $In$ および $M$ の和を100 atomic %としたとき、好ましくは $In$ が50 atomic %未満、 $M$ が50 atomic %より高く、さらに好ましくは $In$ が25 atomic %未満、 $M$ が75 atomic %より高くする。なお、半導体層523は、半導体層521と同種の酸化物を用いても構わない。ただし、半導体層521または/および半導体層523がインジウムを含まなくても構わない場合がある。例えば、半導体層521または/および半導体層523が酸化ガリウムであっても構わない。

20

【0184】

(エネルギーバンド構造)

図21を参照して、半導体層521、半導体層522、および半導体層523の積層により構成される半導体領域520の機能およびその効果について、説明する。図21Aは、図20Bの部分拡大図であり、OSTランジスタ501の活性層(チャンネル部分)を拡大した図である。図21BはOSTランジスタ501の活性層のエネルギーバンド構造であり、図21Aの点線Z1-Z2で示す部位のエネルギーバンド構造を示している。

【0185】

図21Bの、 $Ec_{514}$ 、 $Ec_{521}$ 、 $Ec_{522}$ 、 $Ec_{523}$ 、 $Ec_{515}$ は、それぞれ、絶縁層514、半導体層521、半導体層522、半導体層523、絶縁層515の伝導帯下端のエネルギーを示している。

30

【0186】

ここで、真空準位と伝導帯下端のエネルギーとの差(「電子親和力」ともいう。)は、真空準位と価電子帯上端のエネルギーとの差(イオン化ポテンシャルともいう。)からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリブソメータを用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置を用いて測定できる。

【0187】

絶縁層514と絶縁層515は絶縁体であるため、 $Ec_{514}$ と $Ec_{515}$ は、 $Ec_{521}$ 、 $Ec_{522}$ 、および $Ec_{523}$ よりも真空準位に近い(電子親和力が小さい)。

40

【0188】

半導体層522には、半導体層521および半導体層523よりも電子親和力の大きい酸化物が用いられる。例えば、半導体層522として、半導体層521および半導体層523よりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物が用いられる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0189】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体層523がインジウムガリウム酸化物を含むと好ましい。ガリウム原

50



子割合  $[Ga / (In + Ga)]$  は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。このとき、ゲート電圧を印加すると、半導体層521、半導体層522、半導体層523のうち、電子親和力の大きい半導体層522にチャネルが形成される。

【0190】

ここで、半導体層521と半導体層522との間には、半導体層521と半導体層522との混合領域を有する場合がある。また、半導体層522と半導体層523との間には、半導体層522と半導体層523との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体層521、半導体層522および半導体層523の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

10

【0191】

このとき、電子は、半導体層521中および半導体層523中ではなく、半導体層522中を主として移動する。上述したように、半導体層521および半導体層522の界面における界面準位密度、半導体層522と半導体層523との界面における界面準位密度を低くすることによって、半導体層522中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

【0192】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。または、例えば、チャネル形成領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

20

【0193】

OSトランジスタ501のオン電流を高くするためには、例えば、半導体層522の上面または下面（被形成面、ここでは半導体層521）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS: Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、走査型プローブ顕微鏡システムを用いて測定することができる。

30

【0194】

例えば、半導体層522が酸素欠損（ $V_O$ とも表記する。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を $V_OH$ と表記する場合がある。 $V_OH$ は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、半導体層522中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

40

【0195】

例えば、半導体層522のある深さにおいて、または、半導体層522のある領域において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定される水素濃度は、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

【0196】

50

半導体層522の酸素欠損を低減するために、例えば、絶縁層514に含まれる過剰酸素を、半導体層521を介して半導体層522まで移動させる方法などがある。この場合、半導体層521は、酸素透過性を有する層（酸素を透過させる層）であることが好ましい。

【0197】

OSトランジスタ501がs-channel構造である場合、半導体層522の全体にチャンネルが形成される。したがって、半導体層522が厚いほどチャンネル領域は大きくなる。即ち、半導体層522が厚いほど、OSトランジスタ501のオン電流を高くすることができる。

【0198】

また、OSトランジスタ501のオン電流を高くするためには、半導体層523の厚さは小さいほど好ましい。半導体層523は、例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有していればよい。一方、半導体層523は、チャンネルの形成される半導体層522へ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体層523は、ある程度の厚さを有することが好ましい。半導体層523は、例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有していればよい。また、半導体層523は、絶縁層513などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0199】

また、OSトランジスタ501の信頼性を高くするためには、半導体層521は厚く、半導体層523は薄いことが好ましい。半導体層521は、例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有していればよい。半導体層521の厚さを、厚くすることで、隣接する絶縁体と半導体層521との界面からチャンネルの形成される半導体層522までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、半導体層521は、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有していればよい。

【0200】

OSトランジスタ501に安定した電気特性を付与するには、半導体領域520中の不純物濃度を低減し、半導体層522を真性または実質的に真性にするのが有効である。なお、本明細書等において、酸化物半導体を実質的に真性であるという場合、酸化物半導体膜のキャリア密度は、 $8 \times 10^{11} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{10} / \text{cm}^3$  未満であり、 $1 \times 10^{-9} / \text{cm}^3$  以上である。

【0201】

酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、半導体層521、半導体層522および半導体層523の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0202】

例えば、半導体層522と半導体層521との間に、シリコン濃度が  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $1 \times 10^{19} \text{ atoms} / \text{cm}^3$  未満である領域を有する。シリコン濃度は、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $5 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満が好ましく、 $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $2 \times 10^{18} \text{ atoms} / \text{cm}^3$  未満であることがより好ましい。また、半導体層522と半導体層523との間に、シリコン濃度が  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $1 \times 10^{19} \text{ atoms} / \text{cm}^3$  未満である領域を有する。シリコン濃度は  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  以上かつ  $5 \times$

10

20

30

40

50

$1 \times 10^{18}$  atoms/cm<sup>3</sup>未満が好ましく、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上、 $2 \times 10^{18}$  atoms/cm<sup>3</sup>未満がより好ましい。シリコン濃度は例えばSIMSで測定することができる。

【0203】

また、半導体層522の水素濃度を低減するために、半導体層521および半導体層523の水素濃度を低減すると好ましい。半導体層521および半導体層523は、水素濃度が $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $2 \times 10^{20}$  atoms/cm<sup>3</sup>以下の領域を有する。水素濃度は、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下が好ましく、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下がより好ましく、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下がさらに好ましい。水素濃度は例えばSIMSで測定することができる。

10

【0204】

半導体層522の窒素濃度を低減するために、半導体層521および半導体層523の窒素濃度を低減すると好ましい。半導体層521および半導体層523は、窒素濃度が $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $5 \times 10^{19}$  atoms/cm<sup>3</sup>未満の領域を有する。窒素濃度は $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下が好ましく、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下がより好ましく、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上かつ $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下がさらに好ましい。窒素濃度はSIMSで測定することができる。

20

【0205】

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数yA/μmから数zA/μmにまで低減することが可能となる。

【0206】

図20は、半導体領域520が3層構造の例であるが、これに限定されない。例えば、半導体層521または半導体層523が無い2層構造としてもよい。または、半導体層521の上もしくは下、または半導体層523上もしくは下に、半導体層521 523と同様の半導体層を設けて、4層構造とすることも可能である。または、半導体層521の上、半導体層521の下、半導体層523の上、半導体層523の下のいずれか二箇所以上に、半導体層521 523と同様の半導体層を設けて、n層構造(nは5以上の整数)とすることもできる。

30

【0207】

OSTランジスタ501をバックゲート電極の無いトランジスタにする場合、導電層533を設けなければよい。この場合、絶縁層512、513も設けず、絶縁層511上に絶縁層513を形成すればよい。

【0208】

基板

基板510としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板は、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板(イットリア安定化ジルコニア基板など)、樹脂基板などである。また、半導体基板は、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などである。半導体基板は、バルク型でよいし、半導体基板に絶縁領域を介して半導体層が設けられているSOI(Silicon On Insulator)型でもよい。導電体基板は、黒鉛基板、金属基板、合金基板、導電性樹脂基板などである。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などである。また

40

50

は、上掲された基板に素子が設けられたものを用いてもよい。基板に設けられる素子は、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などである。

【0209】

基板510は可撓性基板でもよい。可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板（例えば、半導体基板）上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板510に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板510として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板510が伸縮性を有してもよい。また、基板510は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板510の厚さは、例えば、5 $\mu$ m以上700 $\mu$ m以下、好ましくは10 $\mu$ m以上500 $\mu$ m以下、さらに好ましくは15 $\mu$ m以上300 $\mu$ m以下とする。基板510を薄くすると、半導体装置を軽量化することができる。また、基板510を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板510上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

【0210】

可撓性基板である基板510は、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などである。可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板には、例えば、線膨張率が $1 \times 10^{-3} / K$ 以下、 $5 \times 10^{-5} / K$ 以下、または $1 \times 10^{-5} / K$ 以下である材質を用いるとよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン（PTFE）などがある。特に、アラミドは、線膨張率が低いため可撓性基板の材料として好適である。

20

【0211】

《OSTランジスタの構成例2》

図20A - 図20Dに示すOSTランジスタ501の作製工程では、導電層530をマスクにして、半導体層523及び絶縁層515をエッチングすることができる。そのような工程を経たOSTランジスタの構成例を図22Aに示す。図22Aに示すOSTランジスタ502では、半導体層523および絶縁層515の端部は導電層530の端部とほぼ一致することになる。導電層530の下部のみに半導体層523および絶縁層515が存在する。

30

【0212】

《OSTランジスタの構成例3》

図22Bに示すOSTランジスタ503は、OSTランジスタ502に導電層535、導電層536を追加したデバイス構造を有する。OSTランジスタ503のソース電極およびドレイン電極として機能する一対の電極は、導電層535と導電層531の積層、および導電層536と導電層532の積層で構成される。

【0213】

導電層535、536は、単層または積層の導電体で形成される。例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を用いることができる。導電体は合金膜や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

40

【0214】

導電層535、536は可視光線を透過する性質を有してよい。または、導電層535、536は可視光線、紫外線、赤外線もしくはX線を、反射もしくは吸収することで透過させない性質を有してもよい。このような性質を有することで、OSTランジスタ503の

50

電気特性の迷光による変動を抑制できる場合がある。

【0215】

導電層535、536は、半導体層522などとの間にショットキー障壁を形成しない層を用いると好ましい場合がある。こうすることで、OSトランジスタ503のオン特性を向上させることができる。

【0216】

導電層535、536は、導電層531、532よりも高抵抗の膜を用いると好ましい場合がある。また、導電層535、536は、OSトランジスタ503のチャンネル(具体的には、半導体層522)よりも抵抗を低いことが好ましい場合がある。例えば、導電層535、536の抵抗率を、0.1 cm以上100 cm以下、0.5 cm以上50 cm以下、または1 cm以上10 cm以下とすればよい。導電層535、536の抵抗率を上述の範囲とすることにより、チャンネルとドレインとの境界部における電界集中を緩和することができる。そのため、OSトランジスタ503の電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャンネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、導電層535および導電層536のいずれか一方のみ(例えば、ドレイン側)を配置するほうが好ましい場合がある。

10

【0217】

《OSトランジスタの構成例4》

図20に示すOSトランジスタ501は、導電層531及び導電層532が、半導体層521、522の側面と接していてもよい。そのような構成例を図22Cに示す。図22Cに示すOSトランジスタ504は、導電層531及び導電層532が半導体層521の側面及び半導体層522の側面と接している。

20

【0218】

《チップのデバイス構造の例》

図23に、OSトランジスタとSiトランジスタとで構成されているチップのデバイス構造の一例を示す。図23は、PU200(図16)の積層構造を説明するための図である。ここでは、PU200のFF220が論理回路110を有しているとし、図23には、論理回路110の一部の構成要素を示している。

30

【0219】

チップは単結晶シリコンウエハ550に形成されている。560 562は素子層であり、 $W_1 - W_8$ は配線層である。素子層560はSiトランジスタが形成される層である。ここでは、代表的に、INV51のトランジスタP51と、回路30のトランジスタN1を示している。トランジスタP51はp型である。素子層561はOSトランジスタが形成される層である。素子層561には、トランジスタM1、M2が形成されている。トランジスタM1、M2はOSトランジスタ502(図22A)と同様のデバイス構造を有している。ここでは、配線層 $W_4$ に、トランジスタM1、M2のバックゲートが形成されている。素子層562に容量素子C1が形成されている。ここでは、容量素子C1はトレンチ構造であるが、これに限定されない。例えば、平板型としてもよい。トレンチ構造とすることで、容量素子C1の面積を増やさずに静電容量を大きくすることができる。

40

【0220】

配線層 $W_1 - W_5$ によって、トランジスタP52とトランジスタM1とが電氣的に接続され、トランジスタN51とトランジスタM2とが電氣的に接続されている。配線層 $W_5$ 、 $W_6$ に形成される導電層によって、トランジスタM1、M2と容量素子C1とが電氣的に接続されている。配線層 $W_7$ 、 $W_8$ によって、論理回路110はVDD線、VSS線と電氣的に接続される。

【0221】

図23は、FF220(論理回路110)では、回路20を、回路10、30および40に積層して形成されていることを示している。そのため、FF220の面積を低減するこ

50

とができる。FF220はPU200に含まれる論理回路の半数以上を占める場合があり、FF220の面積を小さくすることで、PU200の面積を効果的に低減することができる。FF220が論理回路111-115で構成されている場合も、同様の効果を得ることができる。論理回路115を設ける場合は、素子層561にトランジスタM3を形成し、容量素子C3を素子層562に形成することで、面積オーバーヘッドを低減することができる。

#### 【0222】

また、FF220(論理回路110)のレイアウトを工夫することで、FF220の性能を向上させることができる。例えば、図24に示すように、回路30の相補データ入力用のノードD2、DB2に対して、INV51、52および一对のRC21を対称的に配置し、ノードQ2、QB2に対してINV53、54を対称的に配置する。図24のようなレイアウトとすることで、ノードD2とノードDB2の入力条件を同程度にすることができ、かつ、ノードQ2とノードQB2の負荷を同程度にすることができるので、回路30の相補データの再生性能を向上させることができる。

10

#### 【0223】

##### 〔実施の形態5〕

酸化物半導体の構造について説明する。酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

20

#### 【0224】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

#### 【0225】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

30

#### 【0226】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質(completely amorphous)酸化物半導体と呼ぶことはできない。また、等方的でない(例えば、微小な領域において周期構造を有する)酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆(ポイドともいう。)を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

#### 【0227】

本明細書において、「平行」とは、二つの直線が $-10^{\circ}$ 以上 $10^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $-5^{\circ}$ 以上 $5^{\circ}$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^{\circ}$ 以上 $30^{\circ}$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^{\circ}$ 以上 $100^{\circ}$ 以下の角度で配置されている状態をいう。したがって、 $85^{\circ}$ 以上 $95^{\circ}$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^{\circ}$ 以上 $120^{\circ}$ 以下の角度で配置されている状態をいう。また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

40

#### 【0228】

##### CAAC-OS

CAAC-OSを、CAN(C Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。CAAC-OSは、c軸配向した複数の

50

結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0229】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0230】

CAAC-OSのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-OSは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

10

【0231】

CAAC-OSに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークはInGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-OSの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸（軸）として試料を回転させながら分析（スキャン）を行っても、明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSはa軸およびb軸の配向が不規則であることが確認できる。

20

【0232】

また、InGaZnO<sub>4</sub>の結晶を有するCAAC-OSに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO<sub>4</sub>の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。他方、試料面に垂直にプローブ径が300nmの電子線を入射させると、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。

30

【0233】

上述したように、CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0234】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

40

【0235】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0236】

50

不純物および酸素欠損の少ないCAAC-Osは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

#### 【0237】

##### 微結晶酸化物半導体

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域とを有する。微結晶酸化物半導体に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶を有する酸化物半導体を、nc-Os (nanocrystalline Oxide Semiconductor) と呼ぶ。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

10

#### 【0238】

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-Osに対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-Osに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-Osに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-Osに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

20

30

#### 【0239】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-Osを、RANC (Random Aligned nanocrystals) を有する酸化物半導体、またはNANC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

#### 【0240】

nc-Osは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-Osは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-Osは、CAAC-Osと比べて欠陥準位密度が高くなる。

40

#### 【0241】

##### 非晶質酸化物半導体

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

50



## 【0242】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造 (completely amorphous structure) と呼ぶ場合がある。また、長距離秩序性を有さないが、ある原子から最近接原子または第2近接原子までの範囲において秩序性を有していてもよい構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

10

## 【0243】

## 非晶質ライク酸化物半導体

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体 (a-like OS: amorphous-like Oxide Semiconductor) と呼ぶ。

## 【0244】

a-like OSは、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域とを有する。鬆を有するため、a-like OSは不安定な構造である。また、鬆を有するため、a-like OSはnc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

20

## 【0245】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO<sub>4</sub>の密度は6.357g/cm<sup>3</sup>となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、a-like OSの密度は5.0g/cm<sup>3</sup>以上5.9g/cm<sup>3</sup>未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は5.9g/cm<sup>3</sup>以上6.3g/cm<sup>3</sup>未満となる。

30

## 【0246】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。可能な限り少ない種類の単結晶を組み合わせ、密度を見積もることが好ましい。

40

## 【0247】

## nc-OS

nc-OSは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおける結晶部(ペレット)と起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

50

## 【0248】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

10

## 【0249】

このように、ナノ結晶（ペレット）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

20

## 【0250】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

## 【0251】

a-like OS

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

## 【0252】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。鬆を有するため、a-like OSは、不安定な構造である。そのため、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

30

## 【0253】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶酸化物半導体の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶酸化物半導体の密度の92.3%以上100%未満となる。単結晶酸化物半導体の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

40

## 【0254】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO<sub>4</sub>の密度は6.357g/cm<sup>3</sup>となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、a-like OSの密度は5.0g/cm<sup>3</sup>以上5.9g/cm<sup>3</sup>未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は5.9g/cm<sup>3</sup>以上6.3g/cm<sup>3</sup>

50

未満となる。

【0255】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0256】

酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。例えば、OSトランジスタの半導体領域は、非晶質酸化物半導体、a-like OS、微結晶酸化物半導体、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

10

【符号の説明】

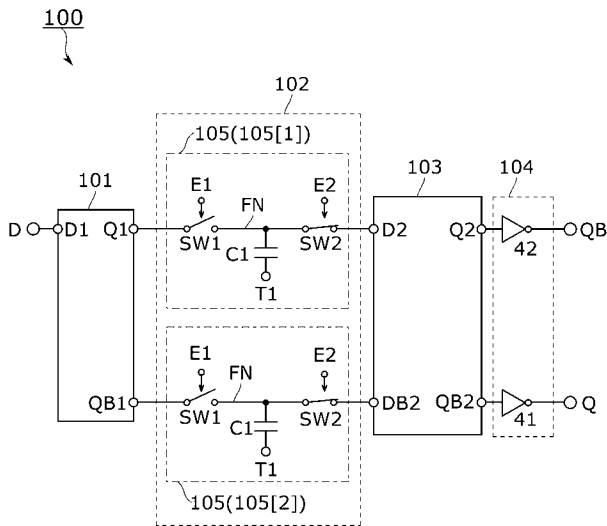
【0257】

- 10 - 13 回路
- 14 選択回路
- 21、26 保持回路(RC)
- 30 - 35 回路
- 40 回路
- 60、65、69 回路
- 66 インバータ(INV)
- 67 レベルシフト
- 100、110 - 115 論理回路
- 105 保持回路

20

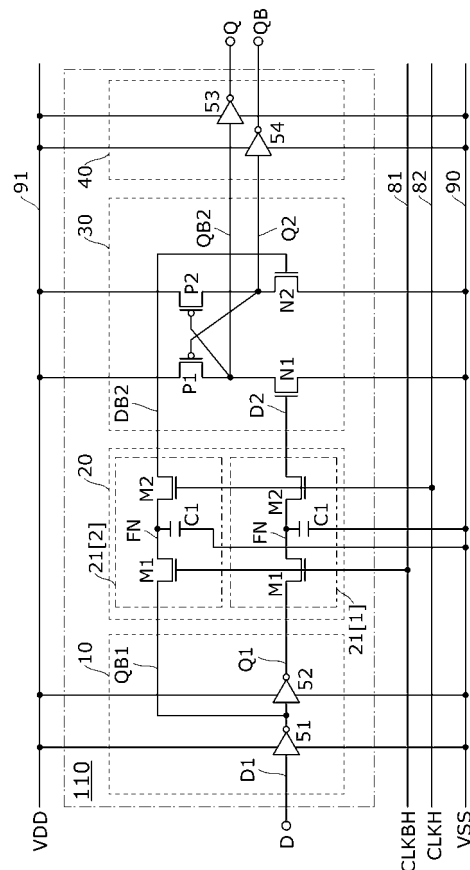
【図1】

FIG. 1



【図2】

FIG. 2



【 図 3 】

FIG. 3A

11

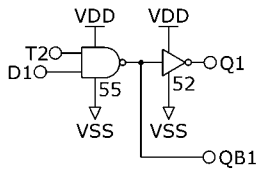


FIG. 3B

12

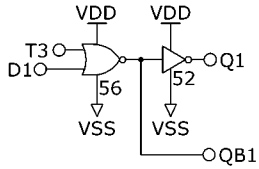
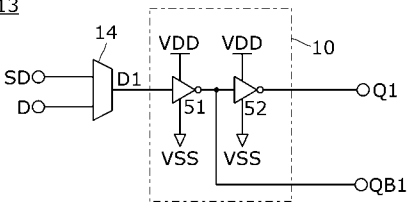


FIG. 3C

13



【 図 4 】

FIG. 4A

22

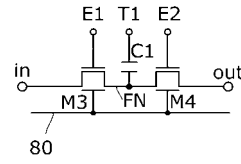
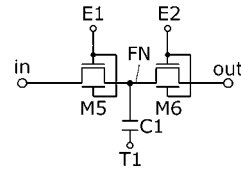


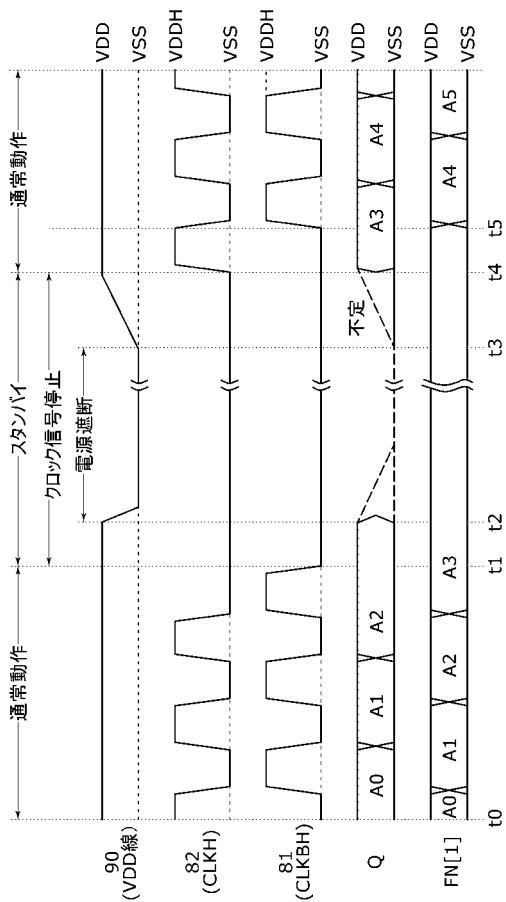
FIG. 4B

23



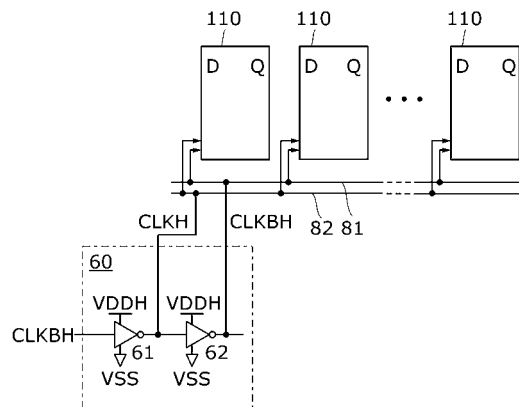
【 図 5 】

FIG. 5



【 図 6 】

FIG. 6





【 図 1 1 】

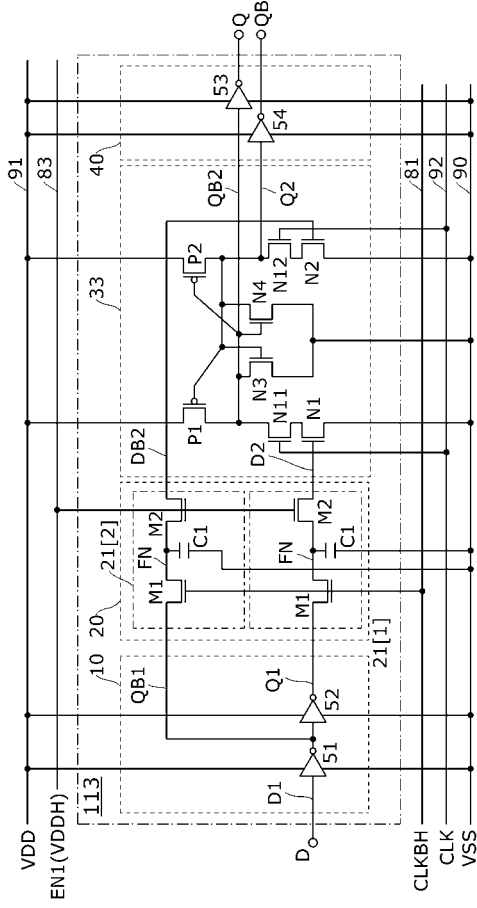


FIG. 11

【 図 1 3 】

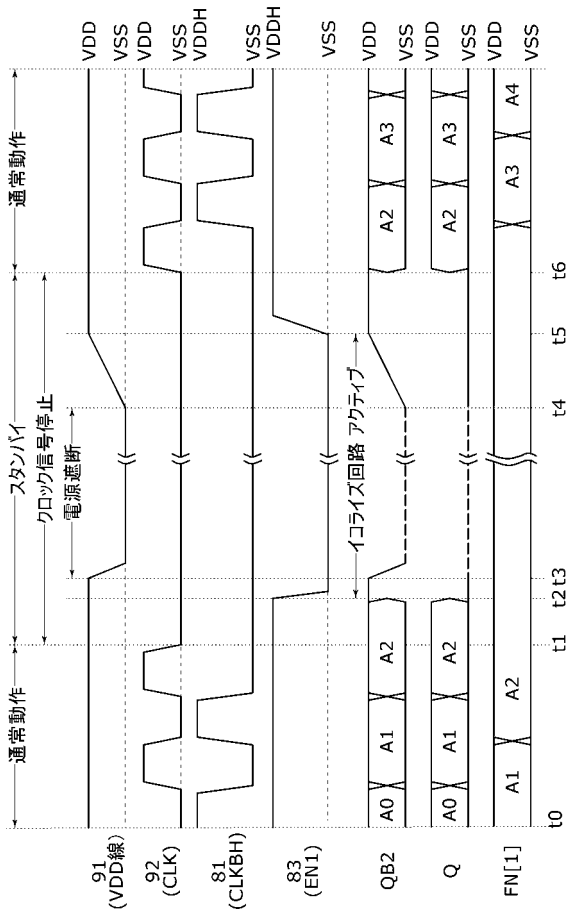


FIG. 13

【 図 1 2 】

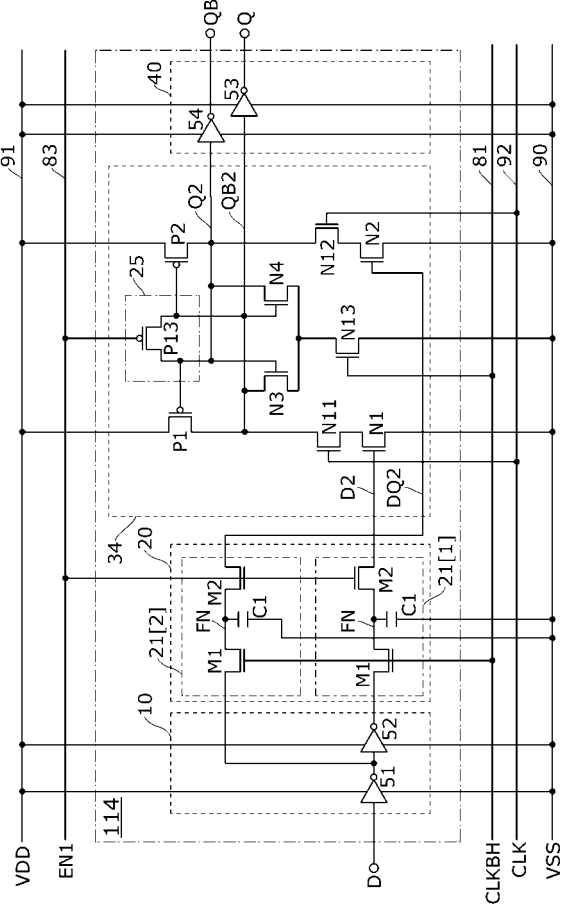


FIG. 12

【 図 1 4 】

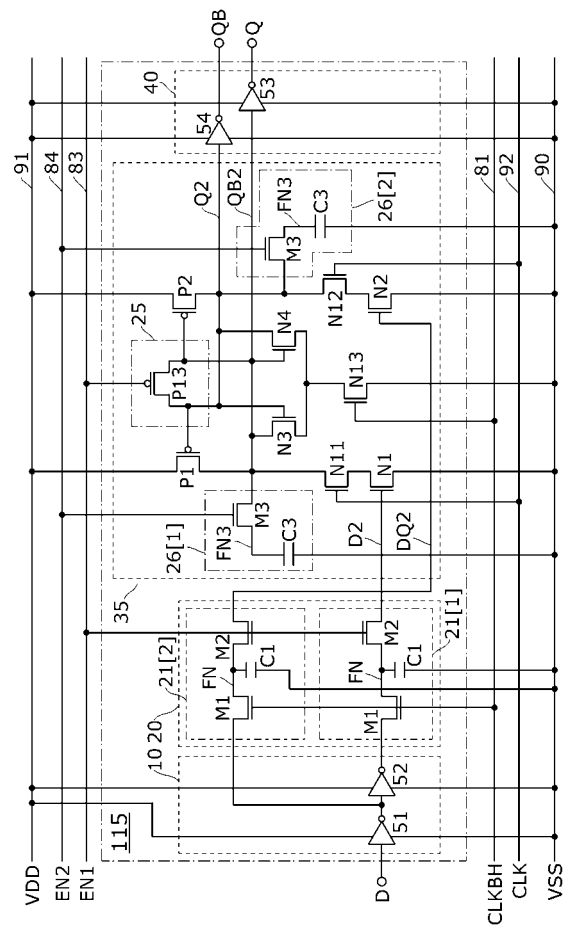


FIG. 14

【 図 1 5 】

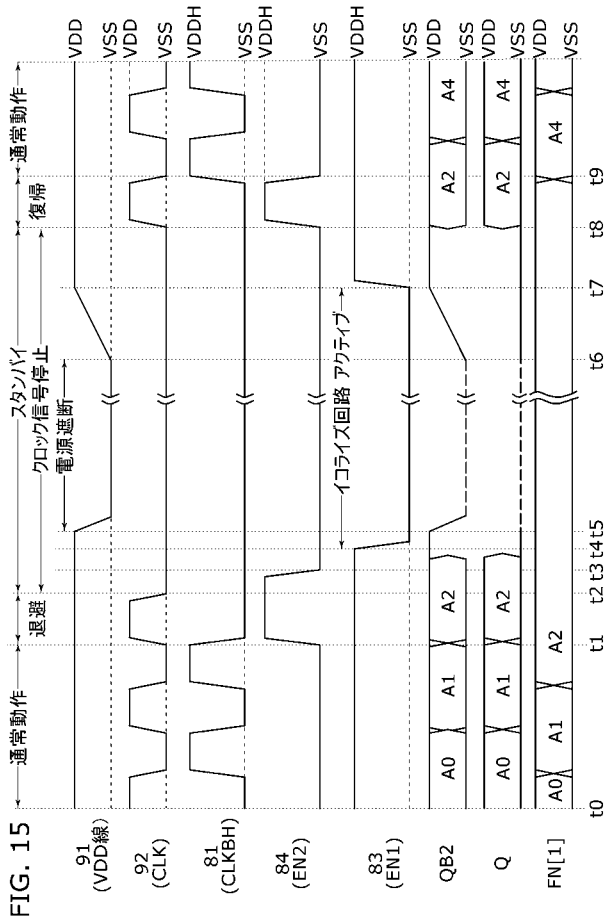
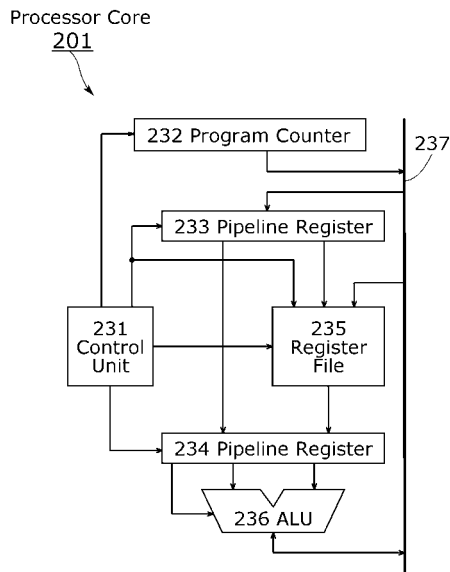


FIG. 15

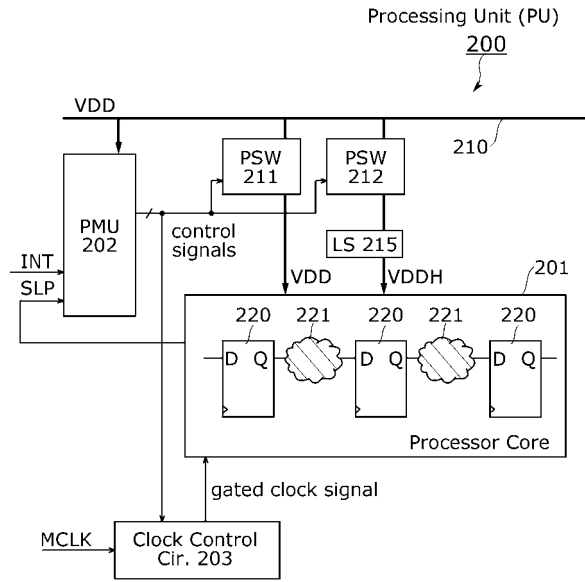
【 図 1 7 】

FIG. 17



【 図 1 6 】

FIG. 16



【 図 1 8 】

FIG. 18A

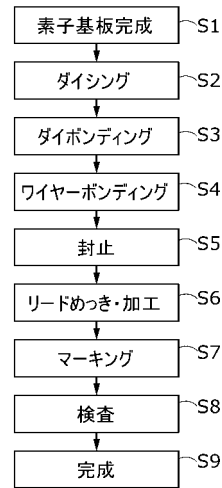


FIG. 18B

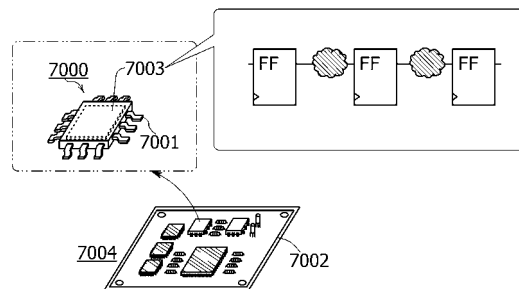


FIG. 17

7000 7003

7004 7002

【図19】

FIG. 19A

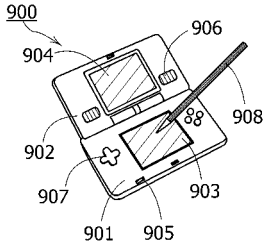


FIG. 19B

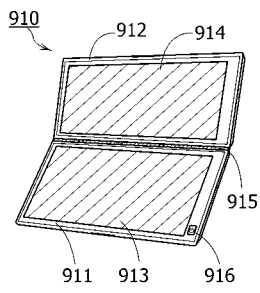


FIG. 19C

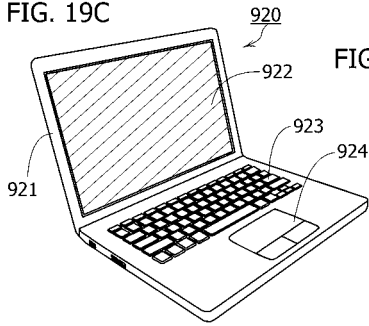


FIG. 19D

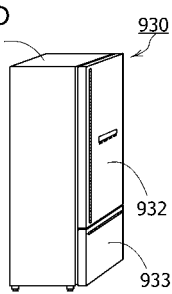


FIG. 19E

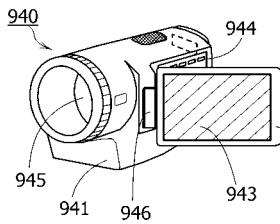
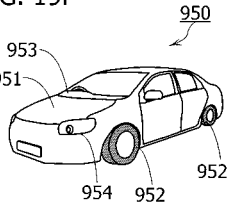


FIG. 19F



【図20】

FIG. 20A

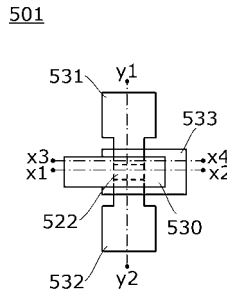


FIG. 20B

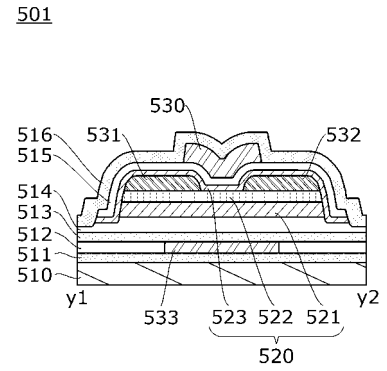


FIG. 20C

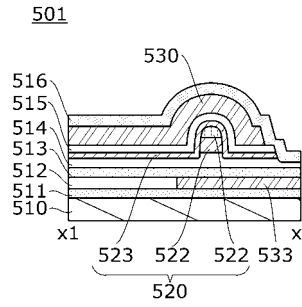
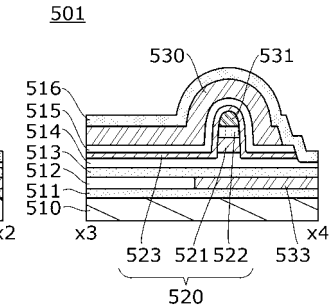


FIG. 20D



【図21】

FIG. 21A

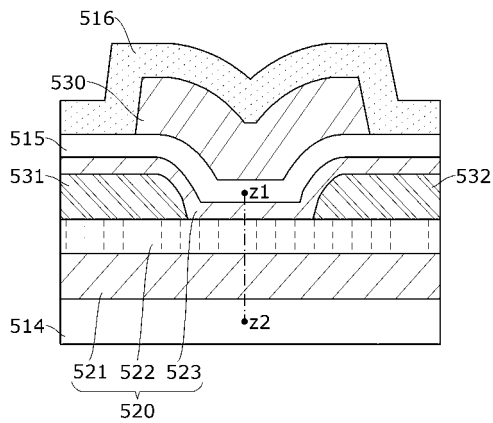
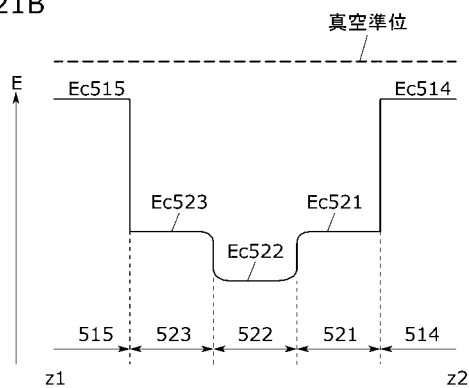


FIG. 21B



【図22】

FIG. 22A

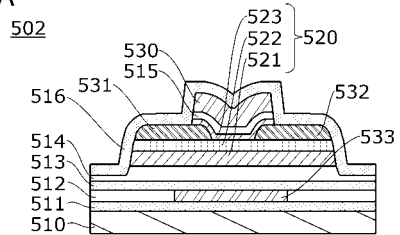


FIG. 22B

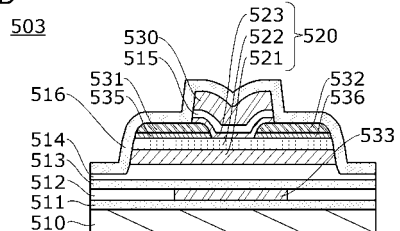


FIG. 22C

