



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I619210 B

(45)公告日：中華民國 107 (2018) 年 03 月 21 日

(21)申請案號：105122195

(22)申請日：中華民國 105 (2016) 年 07 月 14 日

(51)Int. Cl. : *H01L23/31 (2006.01)**H01L23/498 (2006.01)**H01L25/065 (2006.01)*

(30)優先權：2015/07/28 美國

62/198,058

2015/12/31 美國

14/986,547

(71)申請人：鈺橋半導體股份有限公司 (中華民國) BRIDGE SEMICONDUCTOR CORP. (TW)

臺北市北投區立德路 157 號 3 樓

(72)發明人：林 文強 LIN, CHARLES W. C (US)；王家忠 WANG, CHIA CHUNG (TW)

(74)代理人：林義傑；劉彥宏；吳珮雯

(56)參考文獻：

US 2009/0321921A1

US 2010/0019368A1

US 2011/0316147A1

US 2015/0364422A1

US 2014/00080258A1

審查人員：王世賢

申請專利範圍項數：12 項 圖式數：43 共 46 頁

(54)名稱

介電材凹穴內設有半導體元件之面朝面半導體組體

FACE-TO-FACE SEMICONDUCTOR ASSEMBLY HAVING SEMICONDUCTOR DEVICE IN DIELECTRIC RECESS

(57)摘要

本發明之面朝面半導體組體特徵在於，一核心基座之介電材凹穴中設有一半導體元件，且該半導體元件被一系列金屬柱所環繞。該核心基座中之凹穴可控制該元件，避免元件相對於該些金屬柱發生側向位移，且該些金屬柱係提供核心基座兩相反側間之垂直連接，其可利用凹穴之深度，以降低金屬柱所需之最小高度。此外，該半導體元件可與另一半導體元件藉由設於兩者間之增層電路，以面朝面方式相互電性耦接。

A face-to-face semiconductor assembly is characterized by a semiconductor device positioned in a dielectric recess of a core base and surrounded by an array of metal posts. The recess in the core base provides lateral displacement control between the device and the metal posts, and the minimal height of the metal posts needed for the vertical connection between both opposite sides of the core base can be reduced by the amount equal to the depth of the recess. Further, the semiconductor device is face-to-face electrically coupled to another semiconductor device through a buildup circuitry therebetween.

指定代表圖：

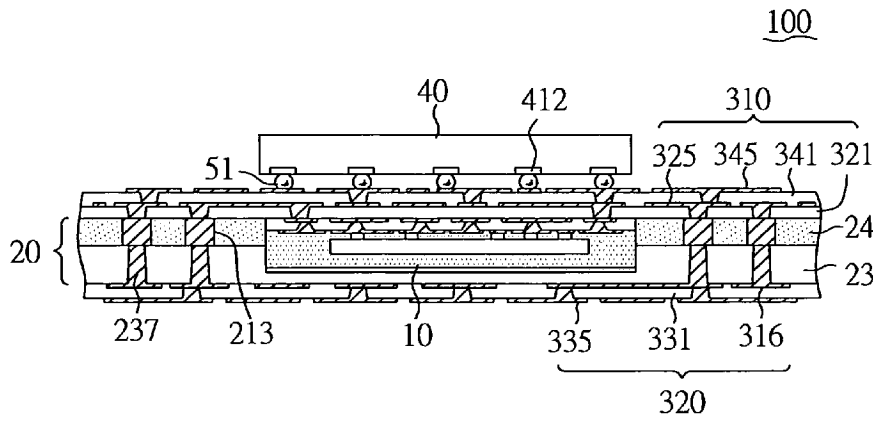


圖28

符號簡單說明：

- 100 . . . 面朝面半導體組體
- 10 . . . 第一半導體元件
- 20 . . . 核心基座
- 213 . . . 金屬柱
- 23 . . . 第一介電層
- 237 . . . 第一金屬化盲孔
- 24 . . . 樹脂密封層
- 310 . . . 頂部增層電路
- 316 . . . 第一路由線
- 320 . . . 底部增層電路
- 321 . . . 第二介電層
- 325 . . . 第二導線
- 331 . . . 第三介電層
- 335 . . . 第三導線
- 341 . . . 第四介電層
- 345 . . . 第四導線
- 40 . . . 第二半導體元件
- 412 . . . 主動墊
- 51 . . . 焊球

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

介電材凹穴內設有半導體元件之面朝面半導體組體/

FACE-TO-FACE SEMICONDUCTOR ASSEMBLY HAVING  
SEMICONDUCTOR DEVICE IN DIELECTRIC RECESS

## 【技術領域】

【0001】 本發明是關於一種面朝面半導體組體，尤指一種將半導體元件限制於核心基座凹穴中之面朝面半導體組體，其中該核心基座包含有環繞於凹穴周圍之一系列金屬柱。

## 【先前技術】

【0002】 多媒體裝置之市場趨勢係傾向於更迅速且更薄型化之設計需求。其中一種方法是以面朝面(face-to-face)方式以互連兩晶片，俾使兩晶片間具有最短的路由距離。由於疊置之晶片間可直接相互傳輸，以降低延遲，故可大幅改善組體之信號完整度，並節省額外的耗能。因此，面朝面半導體組體可展現三維積體電路堆疊(3D IC stacking)幾乎所有之優點，且無需於堆疊晶片中形成成本高昂之矽穿孔(Through-Silicon Via)。如美國專利案號7,359,579及美國專利公開案號2014/0210107即揭露了具有面朝面設置結構之堆疊式晶片組體。然，由於其底部晶片未受到保護，且底部晶片之厚度又必須比用於外部連接之焊球薄，故該組體可靠度不佳且無法實際應用上。美國專利案號8,008,121、8,519,537及8,558,395則揭露各種具有中介層之組體結構，其係將中介層設於面朝面設置之晶片間。雖然其無需於堆疊晶片形成矽穿孔(TSV)，但中介層中用於提供晶片間電性路由之矽穿孔會

導致製程複雜、生產良率低及高成本。

**【0003】** 為了上述理由及以下所述之其他理由，目前亟需發展一種新式的面朝面半導體組體，以達到高封裝密度、較佳信號完整度及低成本之要求。

**【發明內容】**

**【0004】** 本發明之主要目的係提供一種面朝面半導體組體，其底部元件係位於核心基座之凹穴中，藉此可控制嵌埋之底部元件避免發生位移。

**【0005】** 本發明之另一目的係提供一種面朝面半導體組體，其於核心基座中形成一系列金屬柱，以作為垂直互連路由。由於金屬柱與凹穴皆是藉由同一金屬載板所形成，藉此嵌埋之底部元件與金屬柱間可維持預定的相對位置。

**【0006】** 本發明之再一目的係提供一種面朝面半導體組體，其核心基座中具有凹穴及金屬柱，其中金屬柱係作為核心基座兩相反側間之垂直連接，由於其可利用凹穴之深度，以降低金屬柱所需之最小高度，故可大幅改善生產良率並降低成本。

**【0007】** 依據上述及其他目的，本發明提出一種面朝面半導體組體，其包括一核心基座、一第一半導體元件、一頂部增層電路及一第二半導體元件。於一較佳實施態樣中，該核心基座包括一介電層、一樹脂密封層、一系列金屬柱及一系列金屬化盲孔。該介電層具有一凹穴，其係由介電層之頂面延伸。該樹脂密封層係設置於該介電層之頂面上。該第一半導體元件係延伸穿過該樹脂密封層，並藉由黏著劑貼附至介電層之凹穴底板上。該些金屬柱係設置於介電層之頂面上，且被樹脂密封層所側向覆蓋，並與

第一半導體元件之主動墊於頂面處呈實質上共平面。該些金屬化盲孔係設置於介電層中，並電性耦接至金屬柱。該頂部增層電路係設置於該第一半導體元件與該核心基座之頂面上，並電性耦接至第一半導體元件及金屬柱。該第二半導體元件係設置於頂部增層電路上，並藉由頂部增層電路而電性耦接至第一半導體元件，且第二半導體元件之主動墊係面向第一半導體元件之主動墊。

**【0008】** 此外，本發明亦提供一種散熱增益型之面朝面半導體組體，其核心基座更包括一金屬座，其中該金屬座係設置於介電層之凹穴底板上，且第一半導體元件係藉由導熱黏著劑貼附至介電層凹穴中之金屬座上。

**【0009】** 本發明之面朝面半導體組體具有許多優點。舉例來說，以面對面方式，將第一及第二半導體元件電性耦接至頂部增層電路之兩相反側，可使第一與第二半導體元件之間具有最短之互連距離。將第一半導體元件插入介電層凹穴中的作法是特別具有優勢的，其原因在於，其可利用凹穴之深度以降低金屬柱所需之最小高度，且可提供一平坦平台，以利於進行面朝面的互連製程，俾使第二半導體元件電性耦接至頂部增層電路。

**【0010】** 本發明之上述及其他特徵與優點可藉由下述較佳實施例之詳細敘述更加清楚明瞭。

#### **【圖式簡單說明】**

**【0011】** 參考隨附圖式，本發明可藉由下述較佳實施例之詳細敘述更加清楚明瞭，其中：

圖1為本發明第一實施態樣中，犧牲載板之剖視圖；

圖2及3分別為本發明第一實施態樣中，於圖1之犧牲載板上形成一重佈

層之剖視圖及頂部立體示意圖；

圖4及5分別為本發明第一實施態樣中，半導體晶片設置於圖2及3結構上之剖視圖及頂部立體示意圖；

圖6為本發明第一實施態樣中，圖4結構上形成模封材之剖視圖；

圖7及8分別為本發明第一實施態樣中，將圖6結構中之犧牲載板移除之剖視圖及底部立體示意圖；

圖9及10分別為本發明第一實施態樣中，圖7及8之結構切割成個別單件之剖視圖及底部立體示意圖；

圖11及12分別為本發明第一實施態樣中，對應於圖9及10切離單元之半導體元件剖視圖及頂部立體示意圖；

圖13及14分別為本發明第一實施態樣中，金屬載板上形成金屬凸層之剖視圖及底部立體示意圖；

圖15為本發明第一實施態樣中，圖13結構上形成第一介電層之剖視圖；

圖16及17分別為本發明第一實施態樣中，將圖15結構中金屬載板之一選定部位移除之剖視圖及頂部立體示意圖；

圖18為本發明第一實施態樣中，圖16結構上形成樹脂密封層之剖視圖；

圖19及20分別為本發明第一實施態樣中，圖18結構形成置放區域之剖視圖及頂部立體示意圖；

圖21為本發明第一實施態樣中，圖19結構上設置圖11半導體元件之剖視圖；

圖22為本發明第一實施態樣中，圖21結構上形成第二介電層之剖視圖；

圖23為本發明第一實施態樣中，圖22結構上形成第一及第二盲孔之剖

視圖；

圖24為本發明第一實施態樣中，圖23結構上形成第一及第二導線之剖

視圖；

圖25為本發明第一實施態樣中，圖24結構上形成第三及第四介電層之

剖視圖；

圖26為本發明第一實施態樣中，圖25結構上形成第三及第四盲孔之剖

視圖；

圖27為本發明第一實施態樣中，圖26結構上形成第三及第四導線之剖

視圖；

圖28為本發明第一實施態樣中，圖27結構上設置另一半導體元件，以製作完成面朝面半導體組體之剖視圖；

圖29為本發明第二實施態樣中，金屬載板上形成金屬凸層及輔助金屬墊之剖視圖；

圖30為本發明第二實施態樣中，圖29結構上形成第一介電層之剖視圖；

圖31為本發明第二實施態樣中，圖30結構形成凹穴及金屬柱之剖視圖；

圖32為本發明第二實施態樣中，圖31結構形成金屬座之剖視圖；

圖33為本發明第二實施態樣中，圖32結構上設置圖11半導體元件之剖視圖；

圖34為本發明第二實施態樣中，圖33結構上形成樹脂密封層之剖視圖；

圖35為本發明第二實施態樣中，圖34結構上形成第二介電層之剖視圖；

圖36為本發明第二實施態樣中，圖35結構上形成第一及第二盲孔之剖視圖；

圖37為本發明第二實施態樣中，圖36結構上形成第一及第二導線之剖視圖；

圖38為本發明第二實施態樣中，圖37結構上形成第三及第四介電層之剖視圖；

圖39為本發明第二實施態樣中，圖38結構上形成第三及第四盲孔之剖視圖；

圖40為本發明第二實施態樣中，圖39結構上形成第三及第四導線之剖視圖；

圖41為本發明第二實施態樣中，圖40結構上設置另一半導體元件，以製作完成面朝面半導體組體之剖視圖；

圖42為本發明第三實施態樣中，另一面朝面半導體組體之剖視圖；以及

圖43為本發明第四實施態樣中，另一散熱增益型面半導體組體之剖視圖。

### 【實施方式】

【0012】 在下文中，將提供一實施例以詳細說明本發明之實施態樣。本發明之優點以及功效將藉由本發明所揭露之內容而更為顯著。在此說明所附之圖式係簡化過且做為例示用。圖式中所示之元件數量、形狀及尺寸可依據實際情況而進行修改，且元件的配置可能更為複雜。本發明中也可進行其他方面之實踐或應用，且不偏離本發明所定義之精神及範疇之條件下，可進行各種變化以及調整。



**【0013】 [實施例1]**

**【0014】** 圖1-28為本發明第一實施態樣中，一種面朝面半導體組體之製作方法圖，該面朝面半導體組體包括一第一半導體元件、一核心基座、一頂部增層電路、一底部增層電路及一第二半導體元件。

**【0015】** 圖1為犧牲載板11之剖視圖。犧牲載板11可由任何可剝離或可移除之材料所製成，如矽、銅、鋁、鐵、鎳、錫或其合金。

**【0016】** 圖2及3分別為犧牲載板11上形成重佈層(re-distribution layer)13之剖視圖及頂部立體示意圖。於此圖中，該重佈層13包括第一路由電路131、一絕緣層133及第二路由電路135。第一路由電路131側向延伸於犧牲載板11上。絕緣層133接觸犧牲載板11及第一路由電路131，並覆蓋且側向延伸於犧牲載板11及第一路由電路131上。第二路由電路135自第一路由線路131朝上延伸，並延伸穿過絕緣層133，同時側向延伸於絕緣層133上。該絕緣層133可由環氧樹脂、玻璃環氧樹脂、聚醯亞胺、或其類似物所製成，且通常具有50微米之厚度。

**【0017】** 圖4及5分別為半導體晶片15以覆晶方式接置於重佈層13上之剖視圖及頂部立體示意圖。藉由熱壓、迴焊、或熱超音波接合技術，可將半導體晶片15經由凸塊14電性耦接至第二路由電路135。

**【0018】** 圖6為重佈層13及半導體晶片15上形成模封材(mold compound)17之剖視圖。該模封材17通常是藉由模封製程(molding)、樹脂塗佈或樹脂層壓方式形成，其接觸重佈層13及半導體晶片15，並由上方覆蓋重佈層13及半導體晶片15。

**【0019】** 圖7及8分別為移除犧牲載板11之剖視圖及底部立體示意

圖。犧牲載板11可藉由各種技術移除，以顯露第一路由電路131，如使用酸性溶液(如氯化鐵、硫酸銅溶液)或鹼性溶液(如氨溶液)進行濕蝕刻、電化學蝕刻、或於機械方式(如鑽孔或端銑)後再進行化學蝕刻。據此，重佈層13之第一路由電路131可由下方顯露，並具有陣列排列之主動墊132(如圖8所示)，以提供與下一級增層電路互連之電性接點。

【0020】 圖9及10分別為將圖7及8之面板尺寸結構切割成個別單件之剖視圖及底部立體視圖。如圖所示，沿著切割線“L”，將此面板尺寸結構(其中半導體晶片15係接置於重佈層13上)切割成個別的第一半導體元件10。

【0021】 圖11及12分別為個別第一半導體元件10之剖視圖及頂部立體視圖，其中該第一半導體元件10包括一重佈層13、一半導體晶片15及一模封材17。重佈層13之頂面具有主動墊132，而半導體晶片15由下方電性耦接至重佈層13且被模封材17所包圍。於此圖中，該半導體元件15係藉由凸塊14電性耦接至重佈層13。或者，亦可藉由另一種方法製得第一半導體元件10，其半導體晶片15可藉由微盲孔而電性耦接至重佈層13。

【0022】 圖13及14分別為金屬載板21上形成金屬凸層221之剖視圖及底部立體示意圖。金屬載板21及金屬凸層221通常由銅、鋁、鎳、或其他金屬或合金製成。金屬凸層221之材料可與金屬載板21相同或相異。金屬載板21之厚度可為0.05毫米至0.5毫米(較佳為0.1毫米至0.2毫米)，而金屬凸層221之厚度可為10微米至100微米。於本實施態樣中，該金屬載板21係由銅所製成並具有0.125毫米厚度，而金屬凸層221係由銅所製成並具有50微米厚度。金屬凸層221可藉由圖案化沉積法形成於金屬載板21，如電鍍、無電電鍍、蒸鍍、濺鍍或其組合，或者藉由蝕刻或機械刻蝕(carving)而形成。

【0023】 圖15為金屬載板21與金屬凸層221上形成第一介電層23之剖視圖。該第一介電層23可藉由層壓或塗佈方式形成，且通常含有玻璃纖維。第一介電層23接觸金屬載板21及金屬凸層221，並由下方覆蓋並側向延伸於金屬載板21及金屬凸層221上，同時於側面方向上環繞且同形披覆金屬凸層221之側壁。

【0024】 圖16及17分別為形成一金屬塊211及陣列式金屬柱213之剖視圖及頂部立體示意圖。在此，可藉由如微影技術及濕蝕刻方式，移除金屬載板21之選定部分，以形成金屬塊211及金屬柱213。金屬塊211係由上方覆蓋金屬凸層221，而金屬柱213則位於第一介電層23之頂面上。於此階段中，由於已將金屬載板21蝕刻分成金屬塊211及金屬柱213，故主要是透過第一介電層23的機械強度來維持整體結構的完整性，而第一介電層23所含有的玻璃纖維可提高第一介電層23之機械強度，以避免發生樹脂裂損及彎翹現象。

【0025】 圖18為第一介電層23上形成樹脂密封層24之剖視圖。樹脂密封層24係由上方覆蓋第一介電層23，並於側面方向上環繞、同形披覆且覆蓋金屬塊211及金屬柱213之側壁。在此，該樹脂密封層24通常不含玻璃纖維，且其厚度係與金屬塊211及金屬柱213厚度相同。因此，樹脂密封層24與金屬塊211及金屬柱213於頂面及底面處呈實質上共平面。

【0026】 圖19及20分別為移除金屬塊211及金屬凸層221之剖視圖及頂部立體示意圖。金屬塊211及金屬凸層221可藉由各種技術移除，如濕蝕刻、電化學蝕刻或雷射，以形成由凹穴230及開口240所構成之置放區域250。第一介電層23中之凹穴230具有一底板236，其係實質上平行於第一介

電層23之頂面及底面，且凹穴230之周緣定義出自底板236延伸至第一介電層23頂面之內側壁238。開口240之側壁248係由樹脂密封層24之底面延伸至頂面，並且對準凹穴230。於此圖中，凹穴230與開口240具有相同直徑，且開口240之側壁248與凹穴230之側壁238齊平。

【0027】 圖21為圖11之第一半導體元件10置於置放區域250中之剖視圖。該第一半導體元件10係插入該置放區域250中，並藉由黏著劑26而貼附至凹穴230之底板236，其中主動墊132會與金屬柱213及樹脂密封層24於頂面處呈實質上共平面。黏著劑26接觸第一半導體元件10之模封材17及凹穴230之底板236，並且夾置於第一半導體元件10之模封材17與凹穴230之底板236之間，以提供第一半導體元件10與第一介電層23間之機械連結。凹穴230之側壁238與開口240之側壁248係側向對準並靠近第一半導體元件10之外圍邊緣，得以限制第一半導體元件10側向位移。

【0028】 圖22為第二介電層321由上方層壓/塗佈於第一半導體元件10、金屬柱213及樹脂密封層24上之剖視圖。第二介電層321係接觸第一半導體元件10、金屬柱213及樹脂密封層24之該些頂面，且覆蓋並側向延伸於第一半導體元件10、金屬柱213及樹脂密封層24之該些頂面上。於此實施態樣中，該第二介電層321通常具有50微米之厚度，且可由環氧樹脂、玻璃環氧樹脂、聚醯亞胺、或其類似物所製成。

【0029】 圖23為形成第一盲孔233及第二盲孔323、324之剖視圖。第一盲孔233係延伸穿過第一介電層23，並對準金屬柱213之選定部位，以於向下方向上顯露金屬柱213之選定部位。第二盲孔323、324係延伸穿過第二介電層321，並分別對準金屬柱213之選定部位及第一半導體元件10之主動

墊132，以於向上方向上顯露金屬柱213之選定部位及第一半導體元件10之主動墊132。第一盲孔233及第二盲孔323、324可藉由各種技術形成，如雷射鑽孔、電漿蝕刻、及微影技術，且通常具有50微米之直徑。可使用脈衝雷射提高雷射鑽孔效能。或者，可使用掃描雷射光束，並搭配金屬光罩。

【0030】 參考圖24，藉由金屬沉積及金屬圖案化製程，分別於第一介電層23及第二介電層321上形成第一導線315及第二導線325。第一導線315自金屬柱213之底面朝下延伸，並填滿第一盲孔233，同時側向延伸於第一介電層23上。第二導線325自金屬柱213之頂面及第一半導體元件10之主動墊132朝上延伸，並填滿第二盲孔323、324，同時側向延伸於第二介電層321上。因此，第一導線315及第二導線325可分別包括第一路由線316及第二路由線326，其分別位於第一介電層23與第二介電層321上，以提供X及Y方向的水平信號路由，且第一導線315及第二導線325更分別包括有第一金屬化盲孔237及第二金屬化盲孔327、328，其分別位於第一盲孔233與第二盲孔323、324中，以提供垂直路由。

【0031】 第一導線315及第二導線325可藉由各種技術沉積為單層或多層，如電鍍、無電電鍍、蒸鍍、濺鍍或其組合。舉例來說，首先藉由將該結構浸入活化劑溶液中，使第一介電層23及第二介電層321與無電鍍銅產生觸媒反應，接著以無電電鍍方式被覆一薄銅層作為晶種層，然後以電鍍方式將所需厚度之第二銅層形成於晶種層上。或者，於晶種層上沉積電鍍銅層前，該晶種層可藉由濺鍍方式形成如鈦/銅之晶種層薄膜。一旦達到所需之厚度，即可使用各種技術圖案化被覆層，以形成第一導線315及第二導線325，其包括濕蝕刻、電化學蝕刻、雷射輔助蝕刻及其組合，並使用蝕刻

光罩(圖未示)，以定義出第一導線315及第二導線325。

【0032】 圖25為形成第三介電層331及第四介電層341之剖視圖，其中第三介電層331係由下方層壓/塗佈於第一介電層23及第一導線315上，而第四介電層341係由上方層壓/塗佈於第二介電層321及第二導線325上。第三介電層331接觸第一介電層23及第一導線315，並由下方覆蓋並側向延伸於第一介電層23及第一導線315上。第四介電層341接觸第二介電層321及第二導線325，並由上方覆蓋並側向延伸於第二介電層321及第二導線325上。第三介電層331及第四介電層341可由環氧樹脂、玻璃環氧樹脂、聚醯亞胺、或其類似物所製成，且通常具有50微米之厚度。

【0033】 圖26為形成第三盲孔333及第四盲孔343之剖視圖。第三盲孔333係延伸穿過第三介電層331，以於向下方向上顯露第一導線315之選定部位。第四盲孔343係延伸穿過第四介電層341，以於向上方向上顯露第二導線325之選定部位。如第一盲孔233及第二盲孔323所述，第三盲孔333及第四盲孔343亦可藉由各種技術形成，如雷射鑽孔、電漿蝕刻、及微影技術，且通常具有50微米之直徑。

【0034】 圖27為形成第三導線335及第四導線345之剖視圖，其中第三導線335及第四導線345可藉由金屬沉積及金屬圖案化製程分別形成於第三介電層331及第四介電層341上。第三導線335自第一導線315向下延伸，並填滿第三盲孔333，以形成直接接觸第一導線315之第三金屬化盲孔337，同時側向延伸於第三介電層331上。第四導線345自第二導線325向上延伸，並填滿第四盲孔343，以形成直接接觸第二導線325之第四金屬化盲孔347，同時側向延伸於第四介電層341上。

【0035】 圖28為第二半導體元件40接置於第四導線345上之剖視圖。第二半導體元件40之底面處具有主動墊412，其主動墊412係面向第一半導體元件10之主動墊132，且第二半導體元件40係藉由焊球51電性耦接至第一半導體元件10，其中該些焊球51係與第四導線345及第二半導體元件40之主動墊412接觸。

【0036】 據此，如圖28所示，已完成之面朝面半導體組體100包括一第一半導體元件10、一核心基座20、一頂部增層電路310、一底部增層電路320及一第二半導體元件40。於此圖中，第一半導體元件10包括一重佈層13、一半導體晶片15及一模封材17；核心基座20包括陣列式金屬柱213、一第一介電層23、一樹脂密封層24及陣列式第一金屬化盲孔237；頂部增層電路310包括第二介電層321、第二導線325、一第四介電層341及第四導線345；底部增層電路320包括第一路由線316、一第三介電層331及第三導線335。

【0037】 該第一半導體元件10係以面朝上方式設置於第一介電層23之凹穴230中，並突伸出凹穴230且延伸穿過樹脂密封層24之開口240，同時第一半導體元件10之主動墊132係與金屬柱213及樹脂密封層24於其頂面處呈實質上共平面。第一半導體元件10與凹穴230側壁238及開口240側壁248間之間隙約於5微米至50微米之範圍內。如此一來，凹穴230之側壁238及開口240之側壁248可精準控制第一半導體元件10之置放位置，其中凹穴230之側壁238係朝向上方向延伸超過第一半導體元件10之底面。頂部增層電路310係設置於第一半導體元件10及核心基座20之頂面，並電性耦接至第一半導體元件10之主動墊132與核心基座20之金屬柱213。第二半導體元件40係

設置於頂部增層電路310上，並以面朝面的方式，藉由頂部增層電路310而電性耦接至第一半導體元件10。底部增層電路320係設置於核心基座20之底面上，且電性耦接至核心基座20之第一金屬化盲孔237。據此，底部增層電路320係藉由第一介電層23中之第一金屬化盲孔237及樹脂密封材24中之金屬柱213，電性連接至頂部增層電路310，且頂部增層電路310可於第一及第二半導體元件10、40間提供最短的互連距離。

【0038】 [實施例2]

【0039】 圖29-41為本發明第二實施態樣之面朝面半導體組體製作方法圖，其係於凹穴中沉積一金屬座，並於金屬柱底下設有輔助金屬墊。

【0040】 為了簡要說明之目的，上述實施例1中任何可作相同應用之敘述皆併於此，且無須再重複相同敘述。

【0041】 圖29為金屬載板21上形成金屬凸層221及陣列式輔助金屬墊223之剖視圖。金屬凸層221及輔助金屬墊223係自金屬載板21之底面朝向下方向延伸。於此圖中，每一輔助金屬墊223係與金屬凸層221於其頂面及底面處呈實質上共平面。輔助金屬墊223之材料可與金屬凸層221之材料相同，且可藉由圖案化沉積法形成，如電鍍、無電電鍍、蒸鍍、濺鍍或其組合，或者藉由蝕刻或機械刻蝕而形成。

【0042】 圖30為金屬載板21、金屬凸層221及輔助金屬墊223上形成第一介電層23之剖視圖。第一介電層23接觸金屬載板21、金屬凸層221及輔助金屬墊223，並由下方覆蓋金屬載板21、金屬凸層221及輔助金屬墊223，同時於側面方向上環繞且同形披覆金屬凸層221及輔助金屬墊223之側壁。

【0043】 圖31為形成一凹穴230及陣列式金屬柱213之剖視圖。在此，



該凹穴230及該些金屬柱213係藉由移除金屬載板21之選定部分及金屬凸層221而形成。金屬柱213係對準輔助金屬墊223，並於向上方向上接觸並覆蓋輔助金屬墊223。金屬柱213底面處之直徑可與輔助金屬墊223頂面處之直徑相同或相異。此外，凹穴230之深度係實質上相等於輔助金屬墊223之厚度。

【0044】 圖32為凹穴230之底板236上形成一金屬座28之剖視圖。金屬座28通常係由銅所製成，且可藉由各種技術沉積形成，如電鍍、無電電鍍、蒸鍍、濺鍍或其組合。

【0045】 圖33為圖11之第一半導體元件10置於第一介電層23之凹穴230中之剖視圖。該第一半導體元件10係插入該凹穴230中，並藉由導熱黏著劑27而貼附至金屬座28，其中主動墊132係與金屬柱213於頂面處呈實質上共平面。導熱黏著劑27接觸第一半導體10之模封材17及金屬座28，並提供第一半導體元件10與金屬座28間之熱性連接。

【0046】 圖34為第一介電層23上形成樹脂密封層24之剖視圖。樹脂密封層24係由上方覆蓋第一介電層23，並於側面方向上環繞、同形披覆且覆蓋第一半導體元件10及金屬柱213之側壁。在此，樹脂密封層24與第一半導體元件10及金屬柱213於頂面處呈實質上共平面。

【0047】 圖35為第二介電層321由上方層壓/塗佈於第一半導體元件10、金屬柱213及樹脂密封層24上之剖視圖。第二介電層321係接觸並覆蓋第一半導體元件10、金屬柱213及樹脂密封層24之該些頂面。

【0048】 圖36為形成第一盲孔233、234及第二盲孔323、324之剖視圖。第一盲孔233、234係延伸穿過第一介電層23，並對準輔助金屬墊223及金屬座28之選定部位，以於向下方向上顯露準輔助金屬墊223及金屬座28之

選定部位。第二盲孔323、324係延伸穿過第二介電層321，並對準金屬柱213之選定部位及第一半導體元件10之主動墊132，以於向上方向上顯露金屬柱213之選定部位及第一半導體元件10之主動墊132。

【0049】 參考圖37，藉由金屬沉積及金屬圖案化製程，分別於第一介電層23及第二介電層321上形成第一導線315及第二導線325。第一導線315自輔助金屬墊223及金屬座28朝下延伸，並填滿第一盲孔233、234，以形成第一金屬化盲孔237、238，同時側向延伸於第一介電層23上。第二導線325自金屬柱213及第一半導體元件10之主動墊132朝上延伸，並填滿第二盲孔323、324，以形成第二金屬化盲孔327、328，同時側向延伸於第二介電層321上，以形成第二路由線326。

【0050】 圖38為形成第三介電層331及第四介電層341之剖視圖，其中第三介電層331係由下方層壓/塗佈於第一介電層23及第一導線315上，而第四介電層341係由上方層壓/塗佈於第二介電層321及第二導線325上。第三介電層331接觸第一介電層23及第一導線315，並由下方覆蓋並側向延伸於第一介電層23及第一導線315上。第四介電層341接觸第二介電層321及第二導線325，並由上方覆蓋並側向延伸於第二介電層321及第二導線325上。

【0051】 圖39為形成第三盲孔333及第四盲孔343之剖視圖。第三盲孔333係延伸穿過第三介電層331，以於向下方向上顯露第一導線315之選定部位。第四盲孔343係延伸穿過第四介電層341，以於向上方向上顯露第二導線325之選定部位。

【0052】 圖40為形成第三導線335及第四導線345之剖視圖，其中第三導線335及第四導線345可藉由金屬沉積及金屬圖案化製程分別形成於第三

介電層331及第四介電層341上。第三導線335自第一導線315向下延伸，並填滿第三盲孔333，以形成直接接觸第一導線315之第三金屬化盲孔337，同時側向延伸於第三介電層331上。第四導線345自第二導線325向上延伸，並填滿第四盲孔343，以形成直接接觸第二導線325之第四金屬化盲孔347，同時側向延伸於第四介電層341上。

【0053】 圖41為第二半導體元件40接置於第四導線345上之剖視圖。第二半導體元件40之底面處具有主動墊412，其主動墊412係面向第一半導體元件10之主動墊132，且第二半導體元件40係藉由焊球51電性耦接至第一半導體元件10，其中該些焊球51係與第四導線345及第二半導體元件40之主動墊412接觸。

【0054】 據此，如圖41所示，已完成之散熱增益型面朝面半導體組體200包括一第一半導體元件10、一核心基座20、一頂部增層電路310、一底部增層電路320及一第二半導體元件40。於此圖中，第一半導體元件10包括一重佈層13、一半導體晶片15及一模封材17；核心基座20包括陣列式金屬柱213、陣列式輔助金屬墊223、一第一介電層23、一樹脂密封層24、陣列式第一金屬化盲孔237、238、及一金屬座28；頂部增層電路310包括第二介電層321、第二導線325、一第四介電層341及第四導線345；底部增層電路320包括第一路由線316、一第三介電層331及第三導線335。

【0055】 該第一半導體元件10係延伸穿過樹脂密封層24之開口240，並延伸進入第一介電層23之凹穴230，並與凹穴230中之金屬座28熱性導通。該第一半導體元件10凸伸於凹穴230外之凸出高度係實質上相等於金屬柱213與樹脂密封層24之厚度，而凹穴230之深度則實質上相等於輔助金屬

墊223之厚度。頂部增層電路310係電性耦接至金屬柱213、第一半導體元件10之主動墊132、及第二半導體元件40之主動墊412，以提供第一及第二半導體元件10、40間最短之互連距離。底部增層電路320則透過第一金屬化盲孔237及核心基座20之輔助金屬墊223與金屬柱213，電性耦接至頂部增層電路310，同時透過第一金屬化盲孔238及核心基座20之金屬座28，而與第一半導體元件10熱性導通。

**【0056】 [實施例3]**

**【0057】** 圖42為本發明第三實施態樣中，另一種不具底部增層電路之面朝面半導體組體300剖視圖。

**【0058】** 於本實施態樣中，該面朝面半導體組體300與實施例1所述相似，惟不同處在於，該核心基座20之底面上未形成底部增層電路，且該核心基座20更包括陣列式輔助金屬墊223，其中該些輔助金屬墊223係被第一介電層23側向覆蓋，且電性耦接至金屬柱213及第一金屬化盲孔237，並設置於金屬柱213與第一金屬化盲孔237之間。

**【0059】 [實施例4]**

**【0060】** 圖43為本發明第四實施態樣中，另一種不具底部增層電路之散熱增益型面朝面半導體組體400剖視圖。

**【0061】** 於本實施態樣中，該散熱增益型面朝面半導體組體400與實施例2所述相似，惟不同處在於，該核心基座20之底面上未形成底部增層電路，且第一金屬化盲孔237係直接接觸金屬柱213，而未有輔助金屬墊223設置於第一金屬化237與金屬柱213之間。

**【0062】** 上述面朝面半導體組體僅為說明範例，本發明尚可透過其他

多種實施例實現。此外，上述實施例可基於設計及可靠度之考量，彼此混合搭配使用或與其他實施例混合搭配使用。舉例來說，第一介電層可包括多個排列成陣列形狀之凹穴，且每一凹穴中可設置一第一半導體元件。此外，頂部增層電路亦可包括額外的導線，以接收並連接額外第一半導體元件之額外主動墊。

**【0063】** 如上述實施態樣所示，本發明建構出一種獨特之面朝面半導體組體，其包括一核心基座、一第一半導體元件、一頂部增層電路及一第二半導體元件，其中該第一半導體元件係容置於核心基座中，並電性耦接至頂部增層電路之一側，而該核心基座提供一平坦平台，以供第二半導體元件可進行面朝面互連製程，使第二半導體元件電性耦接至頂部增層電路之另一側上。

**【0064】** 於一較佳實施態樣中，該核心基座包括一介電層、一樹脂密封層、位於介電層中之一凹穴與金屬化盲孔、以及位於樹脂密封層中之一開口與一系列金屬柱。第一半導體元件可藉由下述步驟而封裝於核心基座中並電性耦接至頂部增層電路：形成一金屬凸層於一金屬載板之一底面上；形成一介電層，其覆蓋該金屬凸層及該金屬載板之該底面；移除該金屬載板之一部份，以於該介電層之一頂面上形成一系列金屬柱；移除該金屬凸層，以於該介電層中形成一凹穴；利用一黏著劑，將一第一半導體元件貼附至該介電層之該凹穴中，其中該第一半導體元件延伸穿過一樹脂密封層並延伸進入該介電層之該凹穴中，且其頂面具有主動墊；形成一頂部增層電路於該第一半導體元件、該樹脂密封層及該些金屬柱之頂面上，其中該頂部增層電路係電性耦接至該第一半導體元件之該些主動墊及該些金

屬柱；以及形成金屬化盲孔於該介電層中，其中該些金屬化盲孔係電性耦接至該些金屬柱。據此，該核心基座可作為供後續進行面朝面互連步驟之一平坦平台，亦即，可藉由將一第二半導體元件電性耦接至該頂部增層電路之步驟，以製作完成一面朝面半導體組體。具體地說，該第二半導體元件係設置於頂部增層電路之頂面上，且其主動墊係面朝第一半導體元件之主動墊。

**【0065】** 除非特別描述或必須依序發生之步驟，上述步驟之順序並無限制於以上所列，且可根據所需設計而變化或重新安排。

**【0066】** 該第一半導體元件可為已封裝或未封裝晶片。例如，可藉由面板尺寸製程製得已封裝晶片後，再進行切割步驟以獲得第一半導體元件，其包括一半導體晶片、一重佈層及一模封材。該重佈層之頂面處可具有主動墊，以與頂部增層電路互連，而半導體晶片可設置於重佈層之底面上，並電性耦接至重佈層之主動墊，同時被模封材所包圍。於一較佳實施態樣中，該第一半導體元件可藉由下述步驟製得：於一犧牲載板上形成一重佈層；將一半導體晶片電性耦接至重佈層；形成一模封材，以覆蓋該重佈層及該半導體晶片；以及移除該犧牲載板。

**【0067】** 該核心基座之介電層較佳係含有玻璃纖維，並具有容置第一半導體元件之凹穴。該介電層之凹穴具有一底板及自底板延伸至介電層頂面之側壁。該介電層之凹穴側壁係側向對準並靠近第一半導體元件之外圍邊緣。由於凹穴側壁係由凹穴底板延伸超過第一半導體元件之底面，故凹穴側壁可限制第一半導體元件之側向位移，以控制第一半導體元件置於凹穴中之準確度。

**【0068】** 樹脂密封層可不含玻璃纖維，且可與金屬柱於頂面及底面處呈實質上共平面。在此，該樹脂密封層可於貼附第一半導體元件於介電層凹穴中之步驟前形成。例如，於移除金屬載板之選定部位而形成金屬柱及覆蓋金屬凸層之金屬塊後，可提供樹脂密封層以覆蓋金屬塊及金屬柱之側壁，接著再移除金屬塊及金屬凸層，以於樹脂密封層中形成開口，同時於介電層中形成凹穴。據此，第一半導體元件可穿過樹脂密封層之開口並插入於介電層之凹穴，藉此，可利用凹穴側壁作為抗位移控制件，使第一半導體元件保持於預定位置處。或者，可於第一半導體元件貼附於介電層凹穴中後，接著再提供樹脂密封層以覆蓋第一半導體元件及金屬柱側壁。據此，第一半導體元件凸出於凹穴外之凸出部位將被該樹脂密封層側向包圍。

**【0069】** 樹脂密封層中之金屬柱及介電層中之金屬化盲孔可提供核心基座兩相對側間之垂直電性連接。於一較佳實施態樣中，金屬柱之厚度係小於第一半導體元件之總厚度，並且實質上相等於第一半導體元件凸出於凹穴外之凸出高度。此外，金屬化盲孔係由核心基座之底面延伸進入介電層，並對準且電性耦接至金屬柱。

**【0070】** 為達散熱效果，該核心基座更可包含一金屬座，其係於第一半導體元件貼附於介電層凹穴中前形成於介電層之凹穴底板上。據此，於散熱增益型之態樣中，該第一半導體元件較佳係藉由導熱黏著劑而貼附至金屬座，且可於介電層中形成額外的金屬化盲孔，以對準並熱性導通至金屬座。此外，該核心基座更可包含一系列輔助金屬墊，其係被介電層所側向覆蓋，且電性耦接至金屬柱與金屬化盲孔，並設置於金屬柱與金屬化盲孔之間。該些輔助金屬墊可於形成金屬凸層之同時沉積於金屬載板之底面

上，後續再形成金屬柱及金屬化盲孔，其中金屬柱係接觸輔助金屬墊之頂面，而金屬化盲孔則接觸輔助金屬墊之底面。於一較佳實施態樣中，該些輔助金屬墊係與金屬凸層於頂面及底面處呈實質上共平面，且輔助金屬墊之厚度係實質上相等於介電層凹穴之深度。此外，輔助金屬墊頂面處之直徑可相等於或不同於金屬柱底面處之直徑。

**【0071】** 頂部增層電路係形成於第一半導體元件及核心基座之頂面上，以於第一與第二半導體元件間提供最短的互連路由。更具體地說，該頂部增層電路可包括一上部介電層及導線，其中該上部介電層係位於第一半導體元件及核心基座之頂面，而導線係直接接觸第一半導體元件之主動墊及核心基座之金屬柱，並由第一半導體元件之主動墊及核心基座之金屬柱延伸且填滿上部介電層中之盲孔，以形成上部金屬化盲孔，同時側向延伸於上部介電層上。據此，該頂部增層電路可透過上部介電層中之上部金屬化盲孔，電性耦接至第一半導體元件之主動墊及核心基座之金屬柱，藉此，第一半導體元件與頂部增層電路間之電性連接、以及核心基座與頂部增層電路間之電性連接皆無須使用焊接材料。可更選擇性地形成一底部增層電路於核心基座之底面上，且該底部增層電路係電性耦接至核心基座之介電層中的金屬化盲孔。更具體地說，該底部增層電路可包括一或多條路由線，其中該些路由線係側向延伸於核心基座之介電層底面上，並且與核心基座之介電層中的金屬化盲孔接觸並電性耦接。據此，該底部增層電路可藉由核心基座中之金屬柱、選擇性輔助金屬墊及金屬化盲孔，電性耦接至該頂部增層電路。

**【0072】** 假如需要更多的信號路由，頂部增層電路及底部增層電路可



進一步包括額外之介電層、額外之盲孔、以及額外之導線。頂部及底部增層電路之最外側導線可分別容置導電接點，例如焊球，以與另一電性裝置電性傳輸及機械性連接。例如，第二半導體元件可藉由頂部增層電路最外側導線上之導電接點，以面朝下方式設置於頂部增層電路上，以形成面朝面半導體組體。在此，該第二半導體元件可為已封裝或未封裝晶片。例如，第二半導體元件可為裸晶片或晶圓級封裝晶粒等。

**【0073】** 為達散熱效果，底部增層電路更可藉由核心基座之介電層中額外的金屬化盲孔，而與介電層凹穴中之金屬座熱性導通。更具體地說，該核心基座之額外金屬化盲孔可延伸穿過核心基座之介電層，並與金屬座接觸，而底部增層電路之路由線則接觸核心基座中該額外的金屬化盲孔。據此，由於核心基座中該些額外的金屬化盲孔可作為散熱管，因此第一半導體元件所產生的熱可藉由核心基座中該些額外的金屬化盲孔，散逸至底部增層電路之外側導線。

**【0074】** 「覆蓋」一詞意指於垂直及/或側面方向上不完全以及完全覆蓋。例如，在凹穴向上之狀態下，介電層可於下方覆蓋第一半導體元件，不論另一元件例如黏著劑是否位於介電層與第一半導體元件之間。

**【0075】** 「對準」一詞意指元件間之相對位置，不論元件之間是否彼此保持距離或鄰接，或一元件插入且延伸進入另一元件中。例如，當假想之水平線與介電層之凹穴側壁及第一半導體元件相交時，介電層之凹穴側壁即側向對準於第一半導體元件，不論介電層之凹穴側壁與第一半導體元件之間是否具有其他與假想之水平線相交之元件，且不論是否具有另一與第一半導體元件相交但不與介電層之凹穴側壁相交、或與介電層之凹穴側

壁相交但不與第一半導體元件相交之假想水平線。同樣地，盲孔係對準於第一半導體元件之主動墊。

**【0076】** 「靠近」一詞意指元件間之間隙的寬度不超過最大可接受範圍。如本領域習知通識，當介電層之凹穴側壁與第一半導體元件間之間隙不夠窄時，第一半導體元件於間隙中之側向位移而導致之位置誤差可能會超過可接受之最大誤差限制。在某些情況下，一旦第一半導體元件之位置誤差超過最大極限時，則不可能使用雷射光束對準第一半導體元件之預定位置，而導致第一半導體元件以及增層電路間之電性連接失敗。根據第一半導體元件之主動墊尺寸，於本領域之技術人員可經由試誤法以確認第一半導體元件以及介電層之凹穴側壁間之間隙的最大可接受範圍，以確保金屬化盲孔與第一半導體元件之主動墊對準。由此，「介電層之凹穴側壁靠近第一半導體元件之外圍邊緣」之用語係指第一半導體元件之外圍邊緣與介電層之凹穴側壁間之間隙係窄到足以防止第一半導體元件之位置誤差超過可接受之最大誤差限制。舉例來說，第一半導體元件與介電層之凹穴側壁間之間隙可約於5微米至50微米之範圍內。

**【0077】** 「電性連接」、以及「電性耦接」之詞意指直接或間接電性連接。例如，頂部增層電路之導線直接接觸並且電性連接至第一半導體元件之主動墊，而底部增層電路之路由線則與第一半導體元件之主動墊保持距離，並且藉由頂部增層電路之導線及核心基座中之金屬柱與金屬化盲孔，而電性連接至第一半導體元件之主動墊。

**【0078】** 本發明之面朝面半導體組體具有許多優點。舉例來說，該頂部增層電路可提供具有簡單電路圖案之信號路由，或具有複雜電路圖案之

可撓性多層信號路由，並於第一與第二半導體元件間提供最短的互連距離。可利用凹穴之深度以降低金屬柱之最小高度，藉此得以設置更多的金屬柱。凹穴側壁可用來控制第一半導體元件置放之準確度。第一半導體元件與頂部增層電路係直接電性連接，且無須使用焊料，因此有利於展現高I/O值以及高性能。藉由此方法製備成的面朝面半導體組體係為可靠度高、價格低廉、且非常適合大量製造生產。

**【0079】** 本發明之製作方法具有高度適用性，且係以獨特、進步之方式結合運用各種成熟之電性及機械性連接技術。此外，本發明之製作方法不需昂貴工具即可實施。因此，相較於傳統技術，此製作方法可大幅提升產量、良率、效能與成本效益。

**【0080】** 在此所述之實施例係為例示之用，其中該些實施例可能會簡化或省略本技術領域已熟知之元件或步驟，以免模糊本發明之特點。同樣地，為使圖式清晰，圖式亦可能省略重覆或非必要之元件及元件符號。

### **【符號說明】**

#### **【0081】**

第一半導體元件 10

面朝面半導體組體 100、200、300、400

犧牲載板 11

重佈層 13

第一路由電路 131

主動墊 132、412

絕緣層 133

第二路由電路 135

凸塊 14

半導體晶片 15

模封材 17

核心基座 20

金屬載板 21

金屬塊 211

金屬柱 213

金屬凸層 221

輔助金屬墊 223

第一介電層 23

凹穴 230

第一盲孔 233、234

底板 236

第一金屬化盲孔 237、238

側壁 238、248

樹脂密封層 24

開口 240

置放區域 250

黏著劑 26

金屬座 28

頂部增層電路 310

第一導線 315

第一路由線 316

底部增層電路 320

第二介電層 321

第二盲孔 323、324

第二導線 325

第二路由線 326

第二金屬化盲孔 327、328

第三介電層 331

第三盲孔 333

第三導線 335

第三金屬化盲孔 337

第四介電層 341

第四盲孔 343

第四導線 345

第四金屬化盲孔 347

第二半導體元件 40

焊球 51

切割線 L

## 發明摘要

※ 申請案號：105122195

※ 申請日：105/07/14

※IPC 分類：H01L 23/31 (2006.01)  
H01L 23/498 (2006.01)  
H01L 25/065 (2006.01)

【發明名稱】(中文/英文)

介電材凹穴內設有半導體元件之面朝面半導體組體/

FACE-TO-FACE SEMICONDUCTOR ASSEMBLY HAVING  
SEMICONDUCTOR DEVICE IN DIELECTRIC RECESS

【中文】

本發明之面朝面半導體組體特徵在於，一核心基座之介電材凹穴中設有一半導體元件，且該半導體元件被一系列金屬柱所環繞。該核心基座中之凹穴可控制該元件，避免元件相對於該些金屬柱發生側向位移，且該些金屬柱係提供核心基座兩相反側間之垂直連接，其可利用凹穴之深度，以降低金屬柱所需之最小高度。此外，該半導體元件可與另一半導體元件藉由設於兩者間之增層電路，以面朝面方式相互電性耦接。

【英文】

A face-to-face semiconductor assembly is characterized by a semiconductor device positioned in a dielectric recess of a core base and surrounded by an array of metal posts. The recess in the core base provides lateral displacement control between the device and the metal posts, and the minimal height of the metal posts needed for the vertical connection between both opposite sides of the core base can be reduced by the amount equal to the depth of the recess. Further, the semiconductor device is face-to-face electrically coupled to another semiconductor device through a buildup circuitry therebetween.

圖式

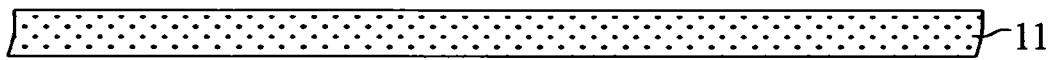


圖1

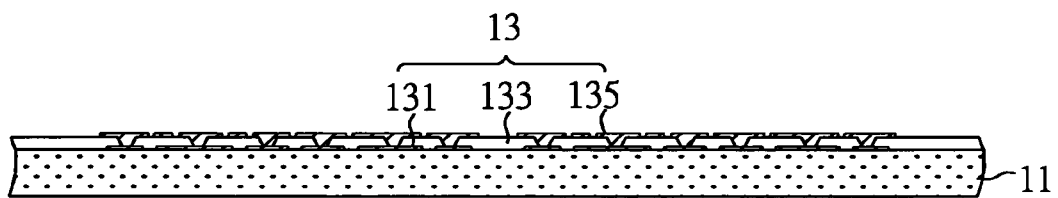


圖2

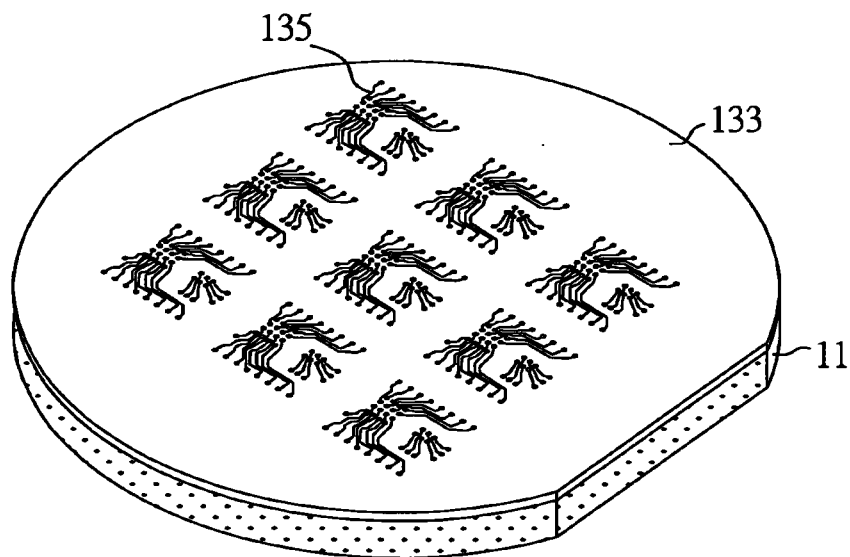


圖3

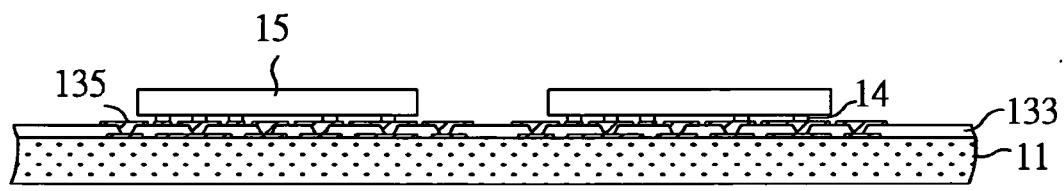


圖4

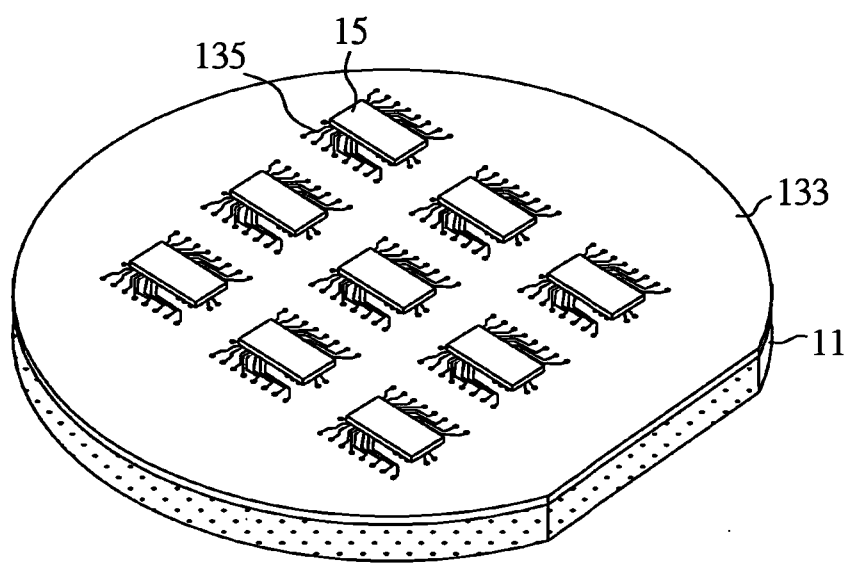


圖5

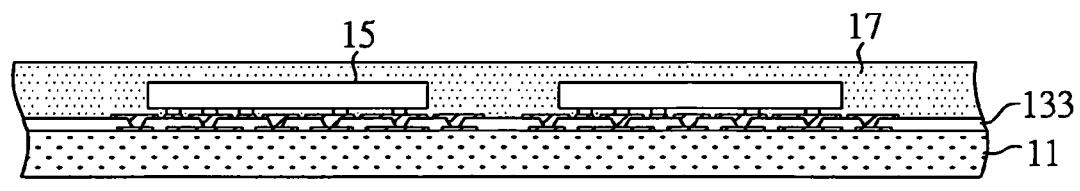


圖6



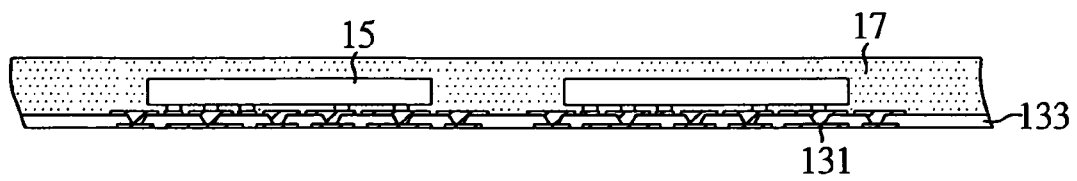


圖7

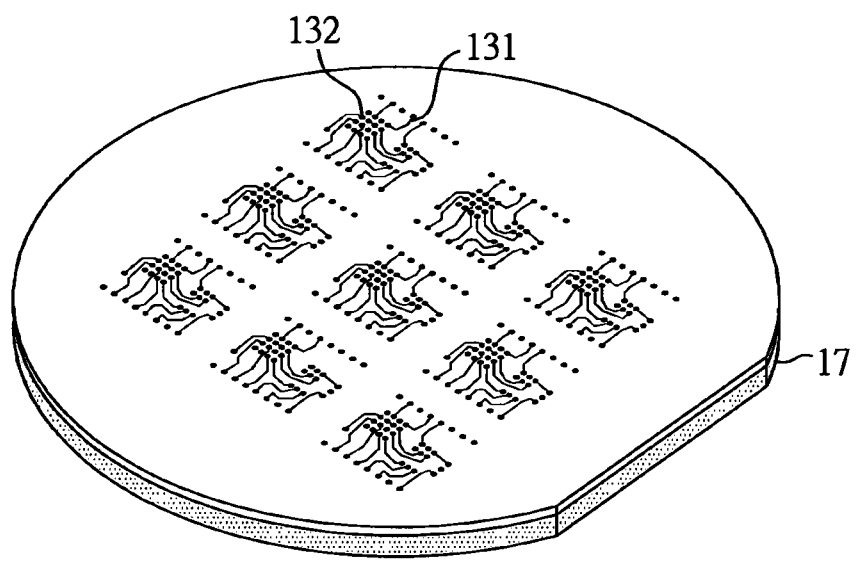


圖8

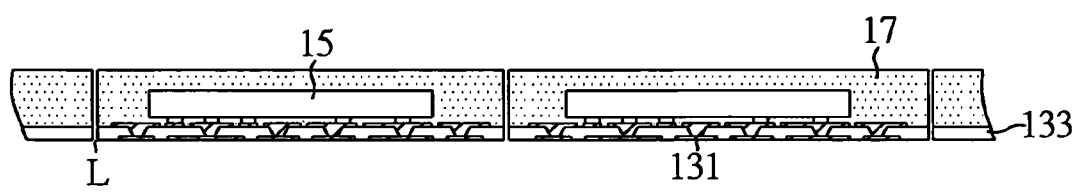


圖9

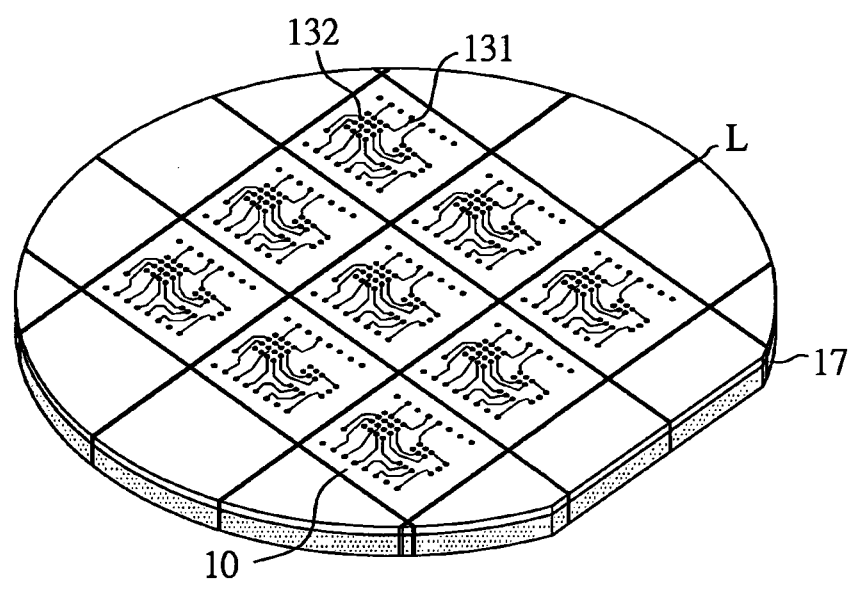


圖10

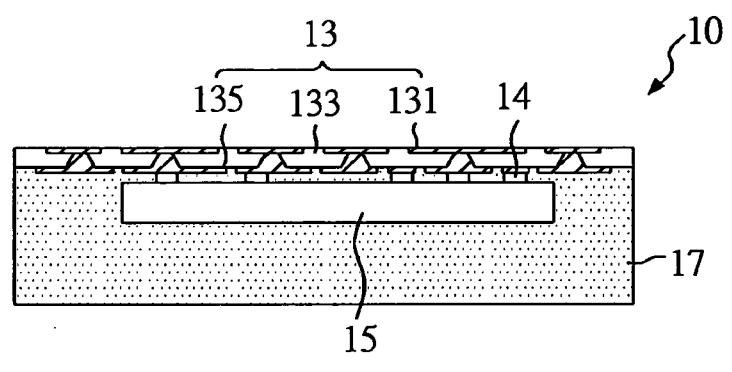


圖11

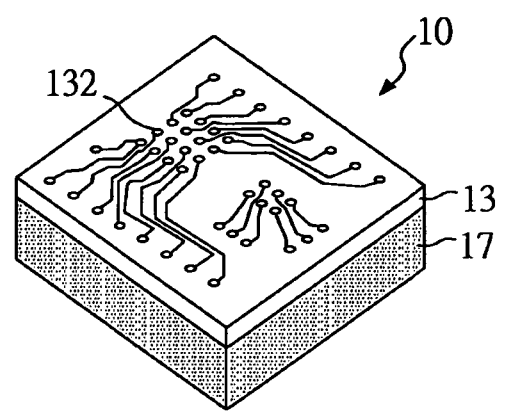


圖12

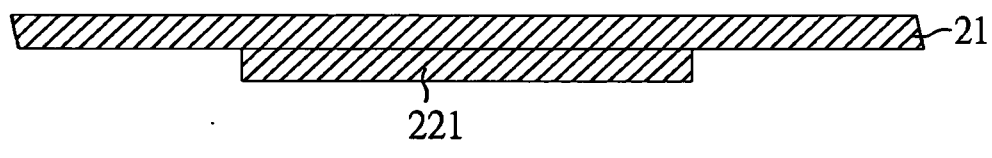


圖13

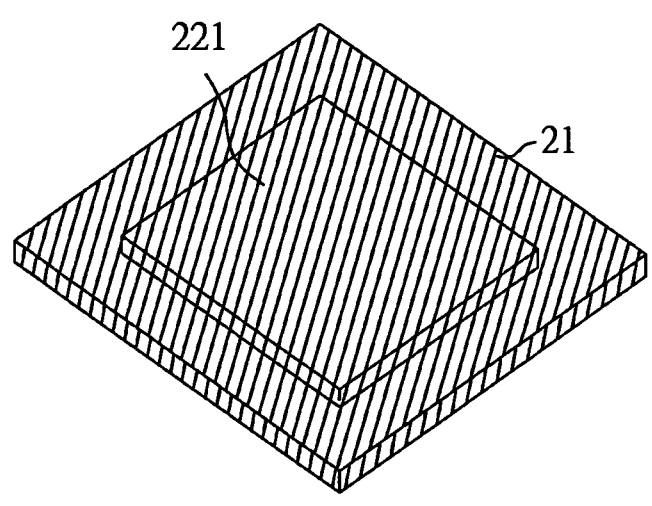


圖14

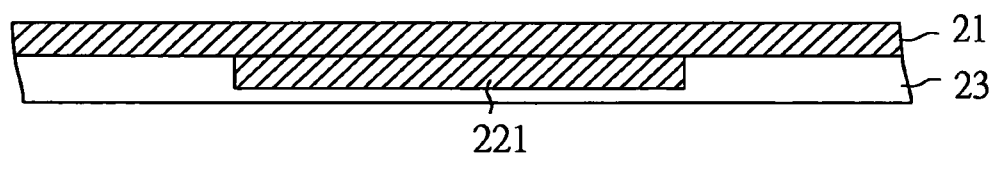


圖15

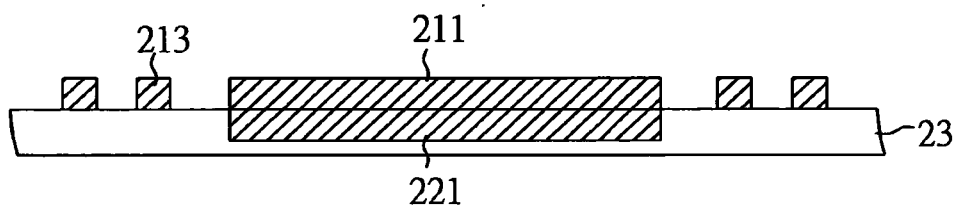


圖16

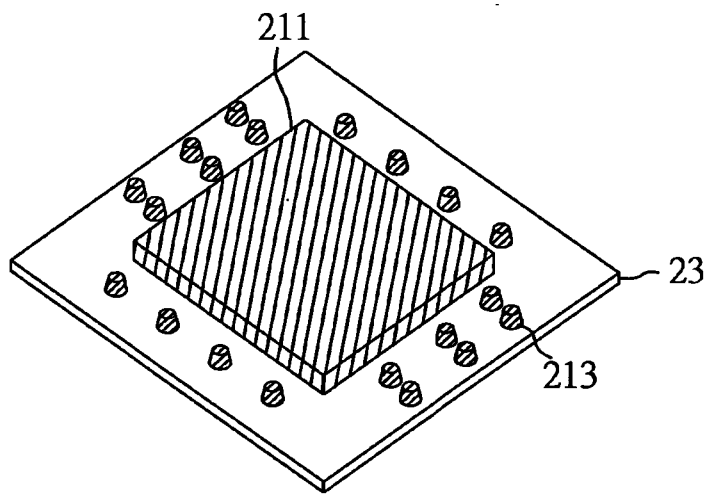


圖17

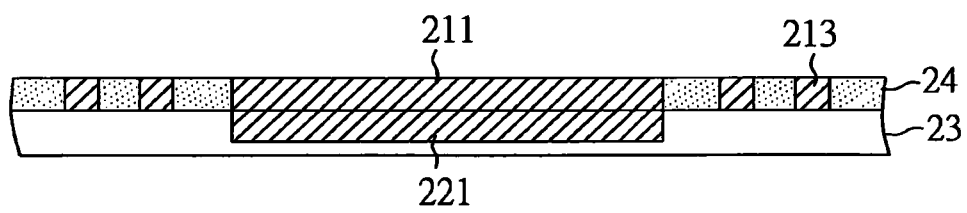


圖18

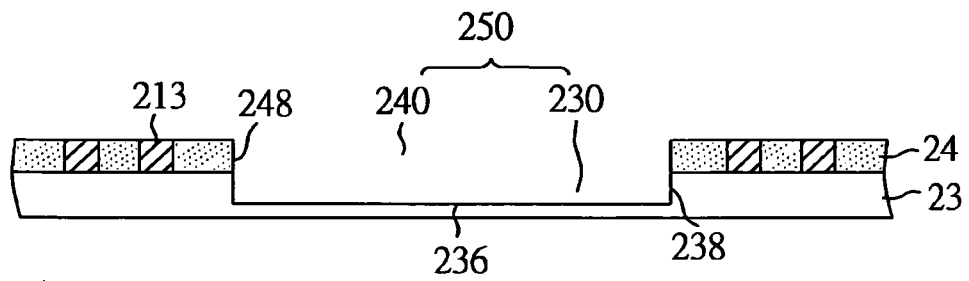


圖19

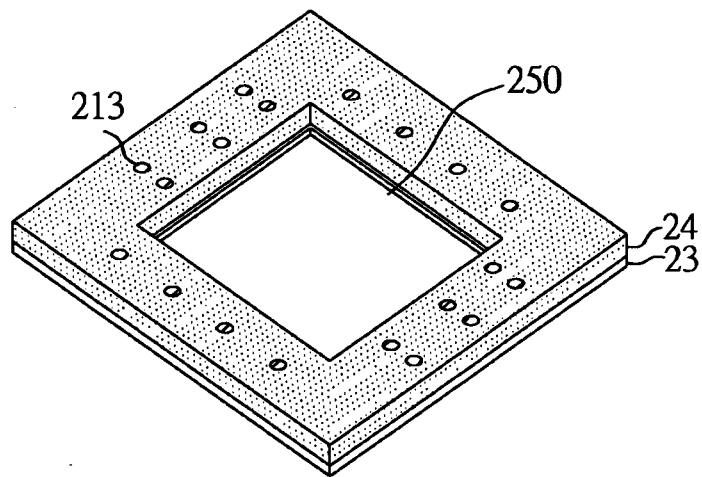


圖20

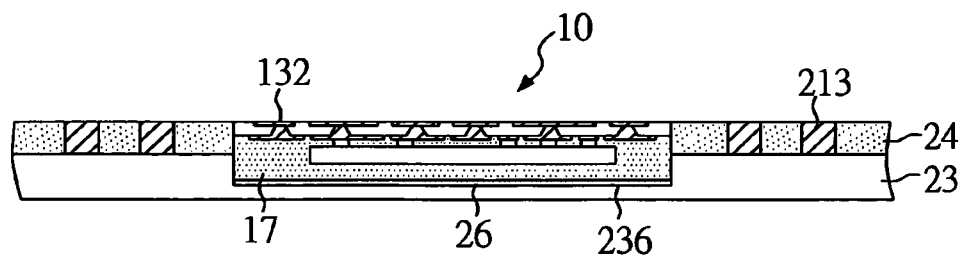


圖21

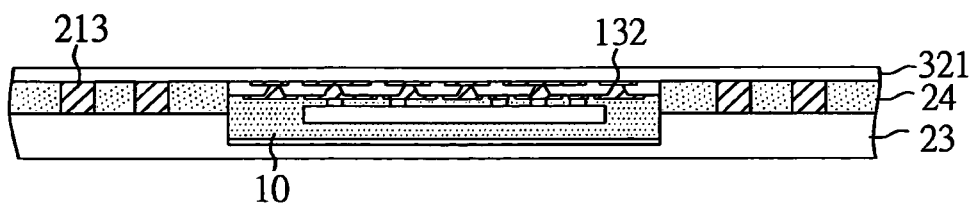


圖22

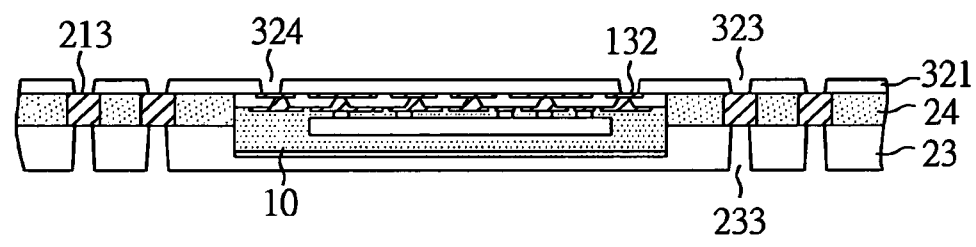


圖23

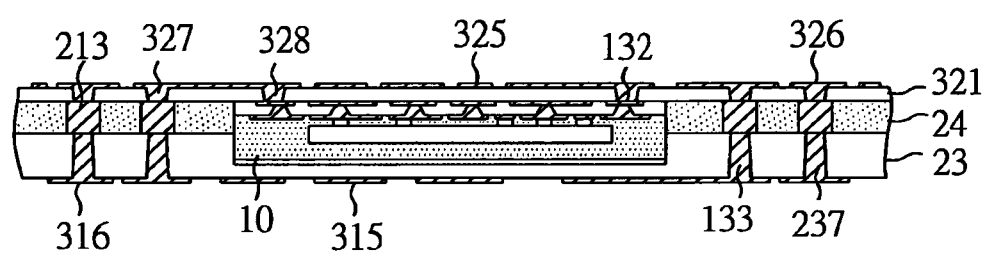


圖24

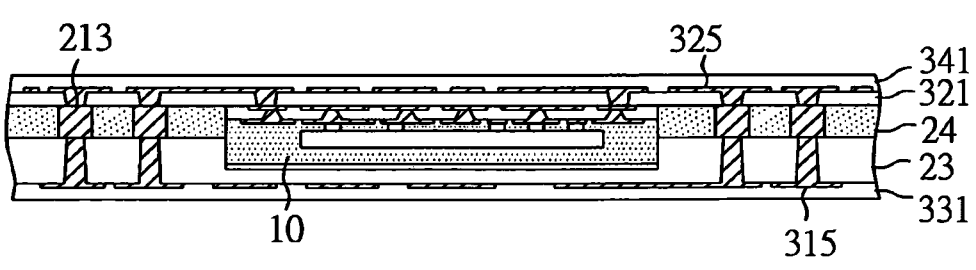


圖25

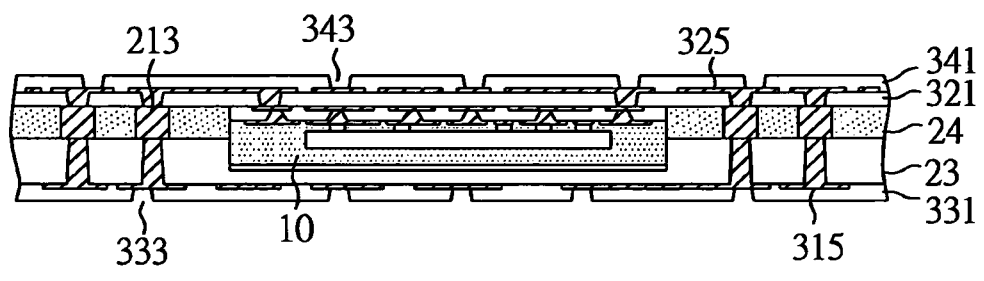


圖26

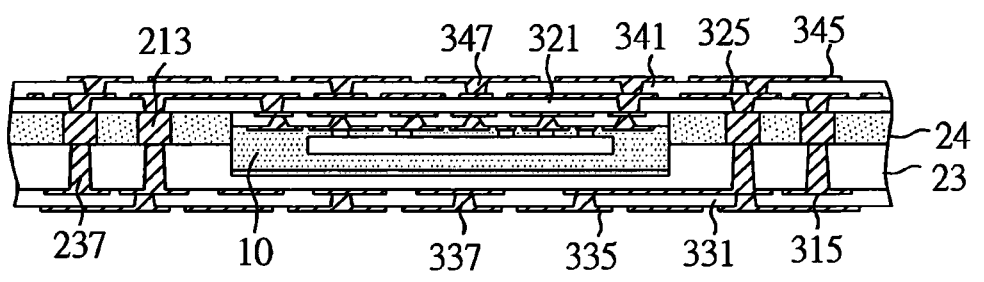


圖27

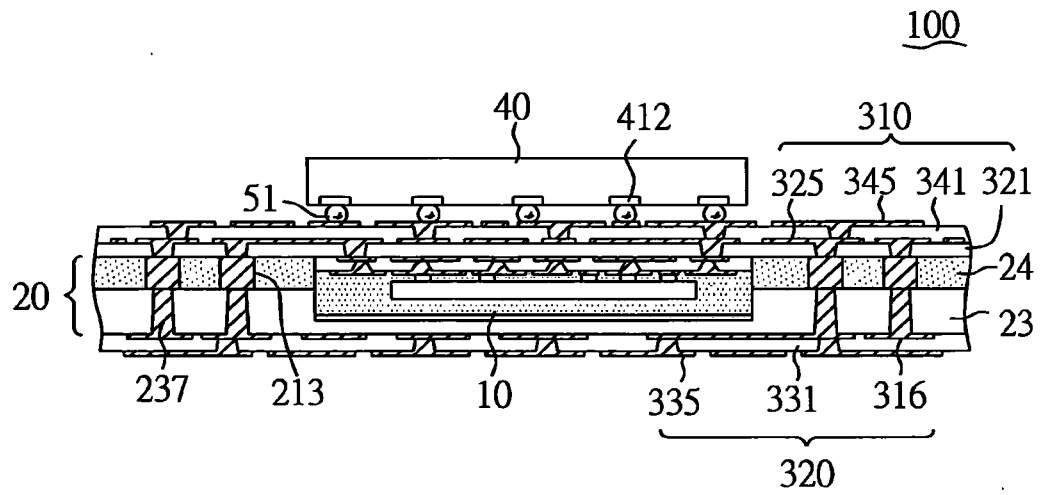


圖28

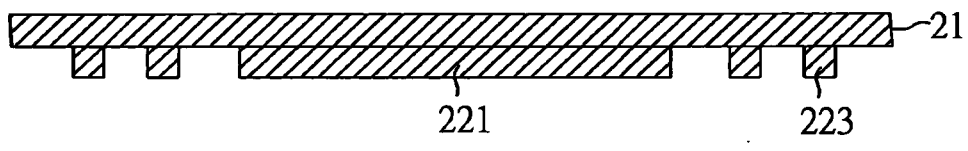


圖29

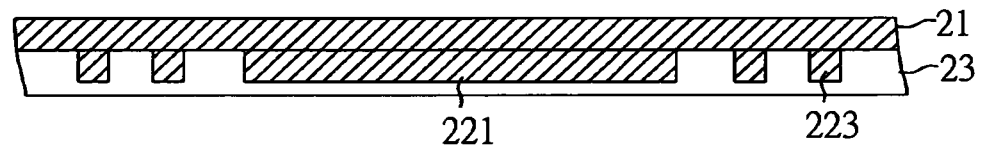


圖30

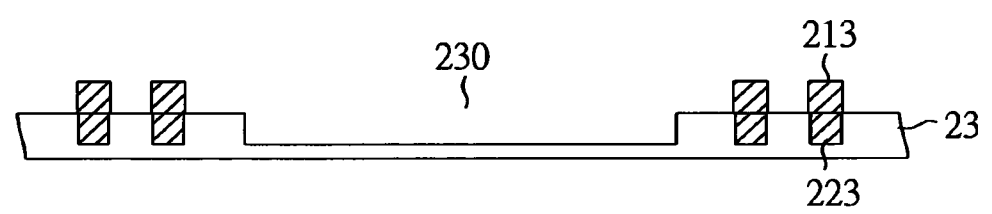


圖31

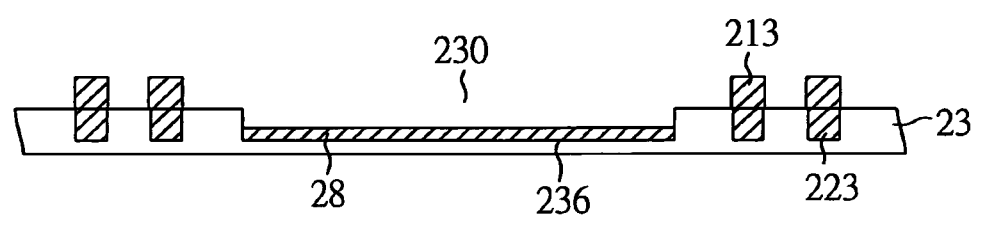


圖32



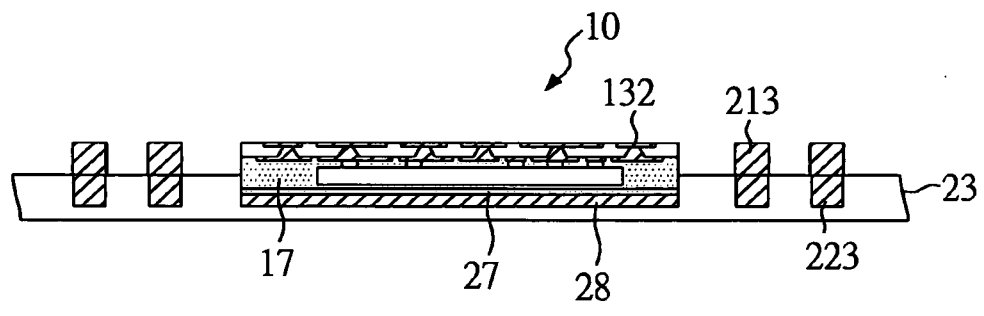


圖33

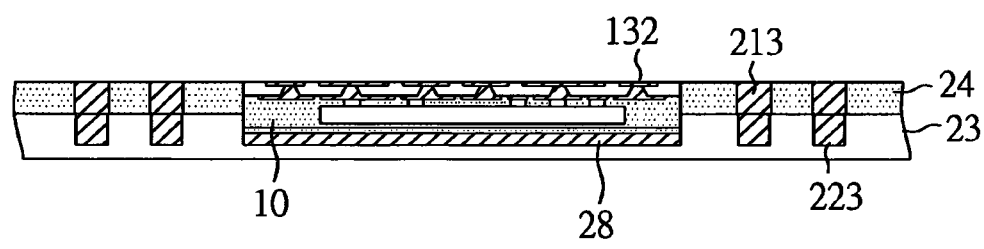


圖34

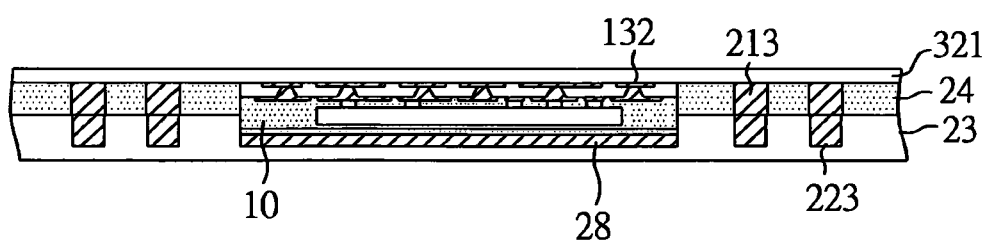


圖35

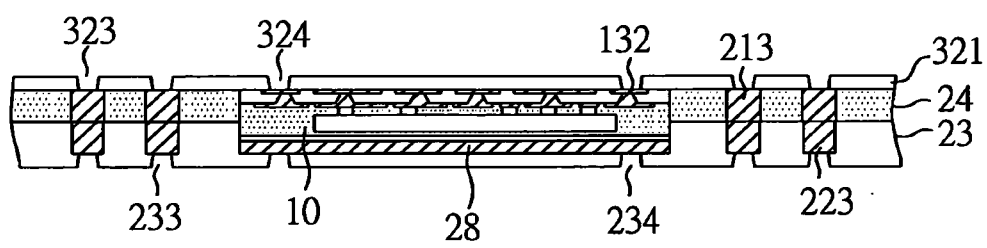


圖36

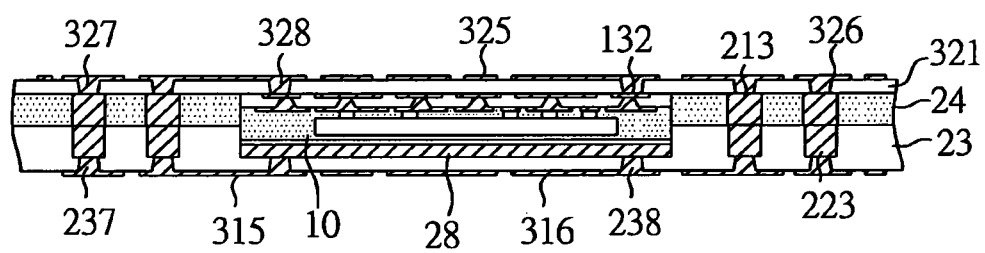


圖37

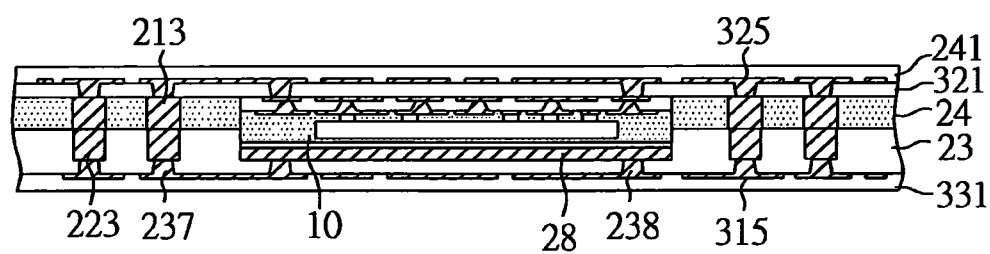


圖38

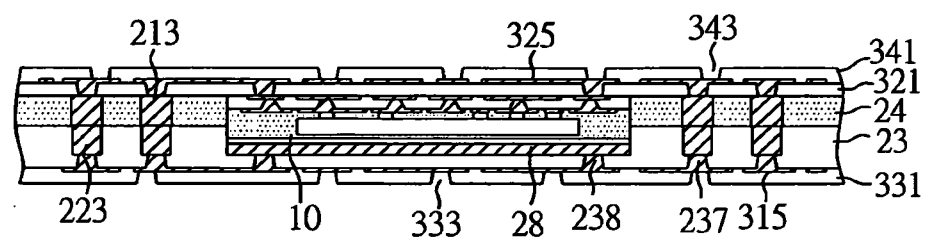


圖39

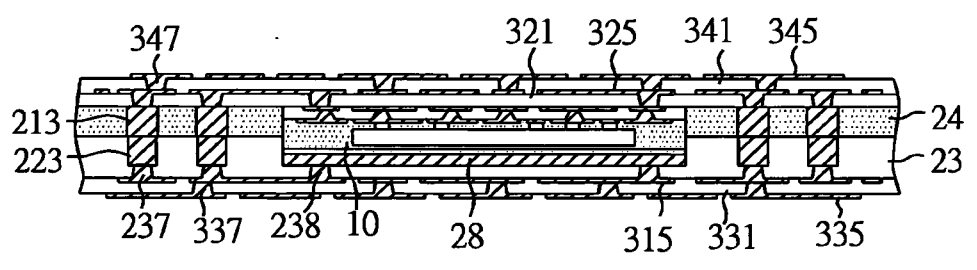


圖40

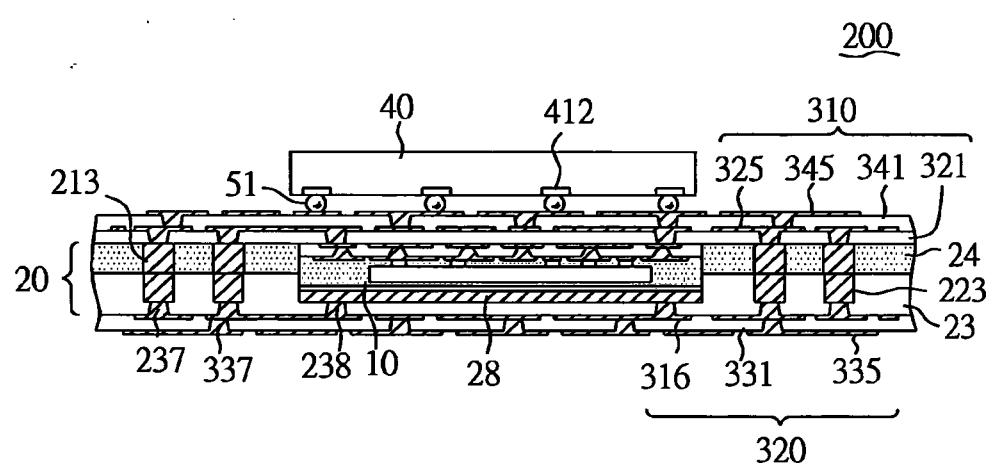


圖41

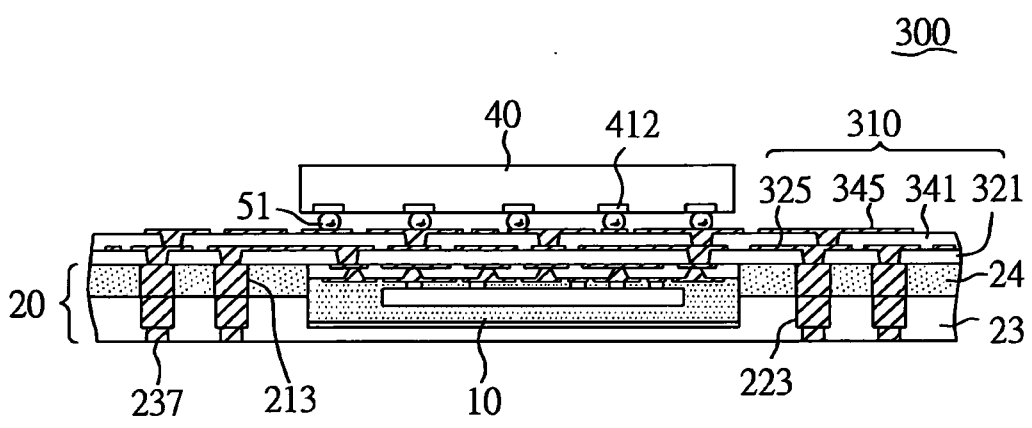


圖42

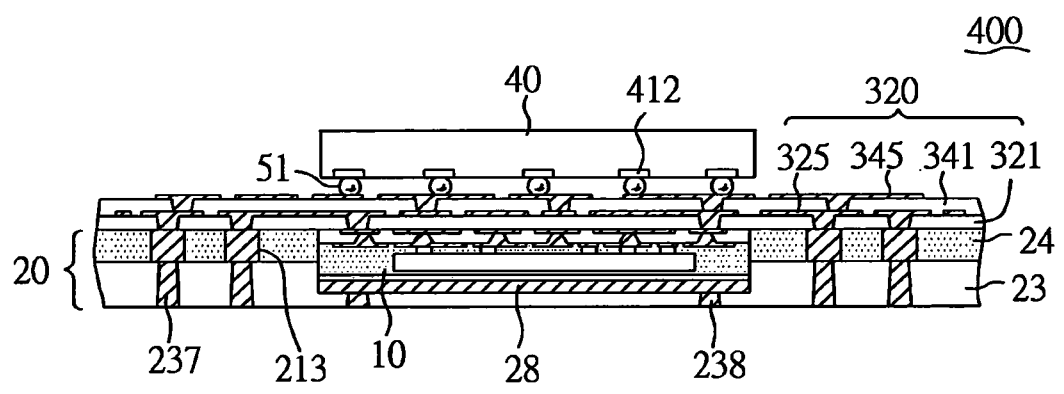


圖43

**【代表圖】**

**【本案指定代表圖】：**第（ 28 ）圖。

**【本代表圖之符號簡單說明】：**

面朝面半導體組體 100	第一半導體元件 10
核心基座 20	金屬柱 213
第一介電層 23	第一金屬化盲孔 237
樹脂密封層 24	頂部增層電路 310
第一路由線 316	底部增層電路 320
第二介電層 321	第二導線 325
第三介電層 331	第三導線 335
第四介電層 341	第四導線 345
第二半導體元件 40	主動墊 412
焊球 51	

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無

## 申請專利範圍

1. 一種面朝面半導體組體，其包括：

一核心基座，其包括一介電層、一樹脂密封層、一系列金屬柱及一系列金屬化盲孔，其中(i)該介電層具有一凹穴，且該凹穴係由該介電層之一頂面延伸，(ii)該樹脂密封層係設置於該介電層之該頂面上，(iii)該些金屬柱係設置於該樹脂密封層中，且(iv)該些金屬化盲孔係設置於該介電層中，並電性耦接至該些金屬柱；

一第一半導體元件，其係延伸穿過該樹脂密封層，並藉由一黏著劑貼附至該介電層之該凹穴之一底板上，其中該第一半導體元件具有主動墊，且該些主動墊與該些金屬柱於其頂面處呈實質上共平面；

一頂部增層電路，其係設置於該第一半導體元件與該核心基座之頂面上，並電性耦接至該第一半導體元件及該些金屬柱；以及

一第二半導體元件，其係設置於該頂部增層電路上，其中該第二半導體元件係藉由該頂部增層電路而電性耦接至該第一半導體元件，且該第二半導體元件具有主動墊，該第二半導體元件之該些主動墊係面向該第一半導體元件之該些主動墊。

2. 如申請專利範圍第1項所述之面朝面半導體組體，其中，該第一介電層含有玻璃纖維，而該樹脂密封層則不含玻璃纖維。

3. 如申請專利範圍第1項所述之面朝面半導體組體，更包括：一底部增層電路，其係設置於該核心基座之一底面上，其中該底部增層電路係藉由該些金屬柱及該些金屬化盲孔，電性耦接至該頂部增層電路。

4. 如申請專利範圍第1項所述之面朝面半導體組體，其中，該第一半導體元件包括一半導體晶片、一重佈層及一模封材，該模封材之一頂面處具有該些主動墊，而該半導體晶片係設置於該重佈層之一底面上，並電性耦接至該重佈層之該些主動墊，且被該模封材所包圍。

5. 如申請專利範圍第1項所述之面朝面半導體組體，其中，該核心基座更包括一系列輔助金屬墊，其係被該介電層側向覆蓋，並電性耦接至該些金屬柱與該些金屬化盲孔，且設置於該些金屬柱與該些金屬化盲孔之間。

6. 如申請專利範圍第5項所述之面朝面半導體組體，其中，該些輔助金屬墊之厚度係實質上相等於該介電層之該凹穴之深度。

7. 一種散熱增益型面朝面半導體組體，其包括：

一核心基座，其包括一介電層、一樹脂密封層、一系列金屬柱、一系列金屬化盲孔及一金屬座，其中(i)該介電層具有一凹穴，且該凹穴係由該介電層之一頂面延伸，(ii)該樹脂密封層係設置於該介電層之該頂面上，(iii)該些金屬柱係設置於該樹脂密封層中，(iv)該些金屬化盲孔係設置於該介電層中，並電性耦接至該些金屬柱，且(v)該金屬座係設置於該介電層之該凹穴之一底板上；

一第一半導體元件，其係延伸穿過該樹脂密封層，並藉由一導熱黏著劑貼附至該介電層之該凹穴中之該金屬座上，其中該第一半導體元件具有主動墊，且該些主動墊與該些金屬柱於其頂面處呈實質上共平面；

一頂部增層電路，其係設置於該第一半導體元件與該核心基座之頂面上，並電性耦接至該第一半導體元件及該些金屬柱；以及

一第二半導體元件，其係設置於該頂部增層電路上，其中該第二半導

體元件係藉由該頂部增層電路而電性耦接至該第一半導體元件，且該第二半導體元件具有主動墊，該第二半導體元件之該些主動墊係面向該第一半導體元件之該些主動墊。

8. 如申請專利範圍第7項所述之散熱增益型面朝面半導體組體，其中，該第一介電層含有玻璃纖維，而該樹脂密封層則不含玻璃纖維。

9. 如申請專利範圍第7項所述之散熱增益型面朝面半導體組體，更包括：一底部增層電路，其係設置於該核心基座之一底面上，其中該底部增層電路係藉由該些金屬柱及該些金屬化盲孔，電性耦接至該頂部增層電路，同時藉由該介電層中額外的金屬化盲孔，熱性導通至該金屬座。

10. 如申請專利範圍第7項所述之散熱增益型面朝面半導體組體，其中，該第一半導體元件包括一半導體晶片、一重佈層及一模封材，該模封材之一頂面處具有該些主動墊，而該半導體晶片係設置於該重佈層之一底面上，並電性耦接至該重佈層之該些主動墊，且被該模封材所包圍。

11. 如申請專利範圍第7項所述之散熱增益型面朝面半導體組體，其中，該核心基座更包括一系列輔助金屬墊，其係被該介電層側向覆蓋，並電性耦接至該些金屬柱與該些金屬化盲孔，且設置於該些金屬柱與該些金屬化盲孔之間。

12. 如申請專利範圍第11項所述之散熱增益型面朝面半導體組體，其中，該些輔助金屬墊之厚度係實質上相等於該介電層之該凹穴之深度。