

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5237763号
(P5237763)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int. Cl. F I
 H O 1 L 21/301 (2006.01) H O 1 L 21/78 Q
 H O 1 L 21/78 S

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2008-287861 (P2008-287861)	(73) 特許権者	000002303
(22) 出願日	平成20年11月10日(2008.11.10)		スタンレー電気株式会社
(65) 公開番号	特開2010-114373 (P2010-114373A)		東京都目黒区中目黒2丁目9番13号
(43) 公開日	平成22年5月20日(2010.5.20)	(74) 代理人	100079119
審査請求日	平成23年10月13日(2011.10.13)		弁理士 藤村 元彦
		(74) 代理人	100147728
			弁理士 高野 信司
		(74) 代理人	100109036
			弁理士 永岡 重幸
		(72) 発明者	田中 進一
			東京都目黒区中目黒2丁目9番13号 ス
			タンレー電気株式会社内
		(72) 発明者	斎藤 電舞
			東京都目黒区中目黒2丁目9番13号 ス
			タンレー電気株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

金属面を有する支持体と、前記支持体の前記金属面上に形成された半導体膜と、を含む半導体素子の製造方法であって、

成長基板上に前記半導体膜をエピタキシャル成長させる半導体膜成長工程と、

前記半導体膜の表面に前記支持体を前記金属面が隣接するように形成する支持体形成工程と、

前記成長基板を前記半導体膜から除去する成長基板除去工程と、

前記成長基板を除去することによって表出した前記半導体膜の表面を平坦化する第1平坦化工程と、

ドライエッチングにより素子分割ラインに沿って、前記第1平坦化工程において平坦化された面から前記半導体膜をエッチングして前記半導体膜に前記支持体に達しない格子状の溝を形成する第1エッチング工程と、

前記溝の底面の半導体膜の表面を平坦化する第2平坦化工程と、

ウェットエッチングにより前記素子分割ラインに沿って前記溝の底面の半導体膜を更にエッチングして前記溝の底面において前記支持体の前記金属面を露出させる第2エッチング工程と、

前記溝の底面において露出した前記支持体に分割溝を形成し、前記半導体素子を個片化する素子分割工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項2】

前記半導体層は、ウルツ鉱構造のIII族窒化物半導体からなり、結晶構造のC軸方向に沿って前記成長基板上に積層されることを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項3】

前記半導体膜は、前記成長基板上に順次積層された $Al_xIn_yGa_zN$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ 、 $x+y+z=1$) からなるn型半導体層、活性層、p型半導体層を含むことを特徴とする請求項2に記載の半導体素子の製造方法。

【請求項4】

前記第2エッチング工程は、前記半導体膜の表面にその結晶構造に由来する六角錐状突起を形成する処理を含むことを特徴とする請求項3に記載の半導体素子の製造方法。

10

【請求項5】

前記第1エッチング工程後に前記溝形成部に残存する半導体膜の膜厚は、 $0.3 \sim 3 \mu m$ であることを特徴とする請求項1乃至4のいずれか1に記載の半導体素子の製造方法。

【請求項6】

前記第1および第2平坦化工程における前記半導体膜の平坦化処理は、希ガスを用いたプラズマドライエッチングによって行われることを特徴とする請求項1乃至5のいずれか1に記載の半導体素子の製造方法。

【請求項7】

前記第1エッチング工程は、反応性イオンエッチング処理を含むことを特徴とする請求項1乃至6のいずれか1に記載の半導体素子の製造方法。

20

【請求項8】

前記成長基板除去工程は、レーザーリフトオフ法によって行われることを特徴とする請求項1乃至7のいずれか1に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の製造方法に関し、特に金属支持体の上に積層された半導体膜に個々の半導体素子を区画する溝（ストリート）を形成する技術に関する。

【背景技術】

【0002】

発光ダイオード等の光半導体素子は、近年の技術の進歩により高効率、高出力化されている。しかし、高出力化に伴って光半導体素子から発せられる熱量も増加し、これによる光半導体素子の効率低下および半導体膜の劣化等、信頼性の低下が問題となっている。これを解決するために比較的熱伝導性の低い成長基板を半導体膜から剥離して、これに替えて比較的熱伝導性の高い金属で半導体膜を支持する構成がとられている（特許文献1）。かかる構成とすることにより、光半導体素子の放熱性が改善される他、成長基板を除去することにより光取り出し効率の向上も期待できる。すなわち、光が成長基板を通過する際に起る光吸収や半導体膜と成長基板の屈折率差に起因してその界面で全反射される光の成分を減じることが可能となる。

30

【0003】

このような金属支持体を備えた光半導体素子では、レーザースクライブ法等によりウエハから個々の半導体素子を切り出す前に、ウエハ表面に格子状に配列された複数の分割ラインに沿った溝（いわゆるストリート）を形成し、ストリアートの底面において金属支持体を露出させた後、金属支持体をレーザースクライブ法等によりスクライブしてチップ状に個片化する。このように、半導体膜の分割と金属支持体の分割とを別々の行うのは、半導体膜の除去に有効な方法と、金属支持体を構成する金属を除去するのに有効な方法が異なるためである。例えば、 $Al_xIn_yGa_zN$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < z < 1$ 、 $x+y+z=1$) からなる半導体膜を有する青色発光ダイオードの場合、RIE等のドライエッチング又はKOH等のアルカリ溶液を使用したウェットエッチングにより素子分割ラインに沿って半導体膜を除去することによりストリートを形成する。その後、ストリアートの底面において露出した金

40

50

属支持体の切断にはレーザスクライビング、ダイシング、スクライビング/ブレイキング等の手法が用いられる。

【特許文献1】特表2007-536725号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記したように、従来の金属支持体を有する半導体素子の製造工程においては、半導体膜をドライエッチングのみ又はウェットエッチングのみによって素子分割ラインに沿って除去することによりストリートを形成する。しかしながら、ドライエッチングのみによって金属支持体が露出するまで半導体膜をエッチングすると、エッチング処理の際のプラズマが露出した金属支持体に照射され、プラズマ処理雰囲気中に金属支持体を構成する金属粒子が飛散し、これが半導体層表面に付着するおそれがある。図1(a)および(b)は、ドライエッチングのみによってストリートを形成したときの半導体素子の状態を示したSEM像である。これらのSEM像から金属支持体を構成する金属粒子が半導体素子の側面に付着している様子が確認できる。半導体素子の側面、特に活性層の近傍に金属粒子が付着すると、動作時の電流がこの付着した金属に流れ、リーク又はショートに至る場合がある。この付着金属は、酸処理等でも除去することが難しく、半導体膜ごと削り取らなければ除去することができない。このような金属粒子の飛散が生じないように、金属支持体が露出した時点でドライエッチングを終了させるような制御は、金属支持体の平坦性から事実上不可能であり、わずかでも金属支持体がプラズマに曝されると、半導体素子に金属が付着してしまう(図1(b))。

【0005】

上記の問題を回避するためにウェットエッチングにより半導体膜を除去する方法も考えられる。しかし、発明者らの研究によれば、成長基板を除去することにより表出した半導体層(n型半導体層)にウェットエッチングを行っても、半導体膜を完全に除去することができず、エッチング残りが生じることが明らかとなった。これは、KOH等のアルカリ溶液を使用したウェットエッチングでは異方性エッチングとなり、 $Al_xIn_yGa_zN$ 結晶の、エッチャントに対して比較的安定でエッチングレートの遅い結晶面が残るためと考えられる。さらに、LLO(レーザリフトオフ)等により成長基板を除去した後の半導体膜表面は、レーザ痕や結晶成長時に発生した転位が存在し、あらゆる結晶面が不均一に分布した状態となっており、エッチング残りがより発生しやすい表面状態となっている。図2は、半導体膜にウェットエッチングのみを施すことによって形成されたストリートを上面から撮影したSEM像である。ストリート上には、LLO工程において照射されたレーザの走査ラインに沿ってエッチング残りが生じている様子が確認できる。これはLLO工程において照射されたレーザによって半導体膜が変質し、この変質した部分の半導体膜のエッチングレートが低下したためと考えられる。

【0006】

ストリート上にエッチング残りが生じている状態でレーザスクライブにより金属支持体の分割を行うと、レーザ光がストリート上に残った半導体膜によって散乱してしまい、金属支持体を切断することができないといった結果を招く。エッチング残りの問題は、エッチャントの温度を上げたり、処理時間を長くすることで対処することが可能であると考えられるが、このような方法によれば、半導体膜にダメージを与え、また処理時間も長くなるため好ましくない。また、半導体膜にストリートを形成する際には、エッチングしない領域を保護するためのレジストマスクを半導体層の上に形成する必要があるが、上記のように比較的反応性の高い条件でウェットエッチングを行うと、レジストを劣化させ、レジスト下部へのサイドエッチングの発生も危惧される。

【0007】

本発明は上記した点に鑑みてなされたものであり、金属支持体を有する半導体素子にストリートを形成する工程において生じる上記した如き、金属の飛散やエッチング残りの問題を解消することができる半導体素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の半導体素子の製造方法は、金属面を有する支持体と、前記支持体の前記金属面上に形成された半導体膜と、を含む半導体素子の製造方法であって、成長基板上に前記半導体膜をエピタキシャル成長させる半導体膜成長工程と、前記半導体膜の表面に前記支持体を前記金属面が隣接するように形成する支持体形成工程と、前記成長基板を前記半導体膜から除去する成長基板除去工程と、前記成長基板を除去することによって表出した前記半導体膜の表面を平坦化する第1平坦化工程と、ドライエッチングにより素子分割ラインに沿って、前記第1平坦化工程において平坦化された面から前記半導体膜をエッチングして前記半導体膜に前記支持体に達しない格子状の溝を形成する第1エッチング工程と、前記溝の底面の半導体膜の表面を平坦化する第2平坦化工程と、ウェットエッチングにより前記素子分割ラインに沿って前記溝の底面の半導体膜を更にエッチングして前記溝の底面において前記支持体の前記金属面を露出させる第2エッチング工程と、前記溝の底面において露出した前記支持体に分割溝を形成し、前記半導体素子を個片化する素子分割工程と、を含むことを特徴としている。

10

【発明の効果】

【0009】

本発明の半導体素子の製造方法によれば、金属支持体の上に積層された半導体膜に素子分割ラインに沿ってストリートを形成する際には、ドライエッチングとウェットエッチングが併用され、金属支持体を露出させる段階では、ウェットエッチングが用いられるので、金属支持体がプラズマに曝され、金属支持体を構成する金属が飛散して半導体膜に付着し、リーク又はショートに至るといった問題を回避することができる。また、上記各エッチングの前には、半導体膜の平坦化処理が行われ、半導体膜の表面状態が均一となるので、ウェットエッチング後にストリート上にエッチング残りが発生するのを防止することができる。また、ストリート形成工程の前半にドライエッチング（RIE：反応性イオンエッチング）を用いることにより、処理時間の短縮を図ることが可能となる。

20

【発明を実施するための形態】

【0010】

以下、本発明の実施例について図面を参照しつつ説明する。尚、以下に示す図において、実質的に同一又は等価な構成要素、部分には同一の参照符を付している。

30

【0011】

図3～図5は本発明の実施例である光半導体素子の製造工程におけるプロセスステップ毎の断面図、図6は本発明の実施例である光半導体装置の製造方法を示す製造工程フロー図である。

【0012】

（半導体層成長工程 ステップS10）

成長基板を用意する。本実施例では、MOCVD法（有機金属気相成長法）により $Al_xIn_yGa_zN$ （ $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1, x+y+z=1$ ）からなる半導体膜を形成することができるC面サファイア基板10を用いた。半導体膜20を構成する各層は、MOCVD法によりウルツ鉱型結晶構造のC軸方向に沿ってサファイア基板10上に積層される。

40

【0013】

はじめに、サファイア基板10のサーマルクリーニングを行う。具体的には、サファイア基板10をMOCVD装置に搬入し、約1000℃の水素雰囲気中で10分程度の加熱処理を行う。続いて、雰囲気温度を500℃とし、TMG（トリメチルガリウム）（流量10.4μmol/min）およびNH₃（流量3.3LM）を約3分間供給してGaN層からなる低温バッファ層（図示せず）を形成する。その後、雰囲気温度を1000℃まで昇温し、約30秒間保持することで低温バッファ層を結晶化させる。

【0014】

続いて、雰囲気温度を1000℃に保持したままTMG（流量45μmol/min）およびNH₃（流量4.4LM）を約20分間供給し、膜厚1μm程度の下地GaN層（図示せず）を

50

形成する。次に、雰囲気温度1000にてTMG（流量45 $\mu\text{mol}/\text{min}$ ）、NH₃（流量4.4LM）およびドーパントガスとしてSiH₄（流量2.7 $\times 10^{-9}\text{mol}/\text{min}$ ）を約40分間供給し、膜厚2 μm 程度のn-GaN層21を形成する。

【0015】

続いて、n-GaN層21の上に活性層22を形成する。本実施例では、活性層22には、InGaN/GaNからなる多重量子井戸構造を適用した。すなわち、InGaN/GaNを1周期として5周期成長を行う。具体的には、雰囲気温度700にてTMG（流量3.6 $\mu\text{mol}/\text{min}$ ）、TMI（トリメチルインジウム）（流量10 $\mu\text{mol}/\text{min}$ ）、NH₃（流量4.4LM）を約33秒間供給し、膜厚約2.2nmのInGaN井戸層を形成し、続いてTMG（流量3.6 $\mu\text{mol}/\text{min}$ ）、NH₃（流量4.4LM）を約320秒間供給して膜厚約15nmのGaN障壁層を形成する。かかる処理を5周期分繰り返すことにより活性層22が形成される。

10

【0016】

次に、雰囲気温度を870まで昇温し、TMG（流量8.1 $\mu\text{mol}/\text{min}$ ）、TMA（トリメチルアルミニウム）（流量7.5 $\mu\text{mol}/\text{min}$ ）、NH₃（流量4.4LM）およびドーパントとしてCP2Mg（bis-cyclopentadienyl Mg）（流量2.9 $\times 10^{-7}\mu\text{mol}/\text{min}$ ）を約5分間供給し、膜厚約40nmのp型AlGaNクラッド層（図示せず）を形成する。続いて、雰囲気温度を保持したまま、TMG（流量18 $\mu\text{mol}/\text{min}$ ）、NH₃（流量4.4LM）およびドーパントとしてCP2Mg（流量2.9 $\times 10^{-7}\mu\text{mol}/\text{min}$ ）を約7分間供給し、膜厚約150nmのp-GaN層23を形成する（図3（a））。

【0017】

20

（金属支持体形成工程 ステップS20）

次に、p-GaN層23上に金属支持体30を形成する。金属支持体30は、半導体膜20を支持するとともに、動作時において半導体膜20から発せられる熱を放熱する役割を担う。本実施例では、金属支持体として比較的熱伝導率の高い銅を用いることとした。銅膜からなる金属支持体30は、例えば電解めっき法により形成することができる。具体的には、シアン化銅若しくは硫酸銅ベースのめっき浴中にサファイア基板10上に半導体膜20を積層した積層構造体を浸漬し、p-GaN層23上に膜厚80 μm 程度の銅めっき膜を成長させることにより金属支持体30を形成する。この際、銅めっき膜の剛性や平坦性等の機械的特性を調整するために添加剤として有機物ベースの平滑材・光沢剤を用いることとしてもよい（図3（b））。尚、この際、銅めっき膜の形成前にオーミック特性や反射率向上等を目的として適宜な金属膜を形成することができる。

30

【0018】

（成長基板除去工程 ステップS30）

次に、サファイア基板10を半導体膜20から剥離する。サファイア基板10の剥離には、LLO（レーザーリフトオフ）法等の公知の手法を用いることができる。LLO法においては、照射されたレーザーがサファイア基板10上に形成されているGaN層を金属GaとN₂ガスに分解する。このため、n-GaN層21又は下地GaN層内で上記分解が起り、サファイア基板10を剥離した面には、n-GaN層21又は下地GaN層が表出する。サファイア基板10の剥離後に表出したn-GaN層21層の表面には、図7に示すように、レーザーの走査ラインに沿って形成されたレーザー痕や結晶成長時に発生した貫通転位に起因するピットが多数存在し、深さ40~50nm程度の凹凸を有する表面状態となっている（図3（c））。尚、成長基板を除去する方法としては、LLO法によって半導体膜から成長基板を剥離する場合に限らず、成長基板を研磨してこれを除去することとしてもよい。

40

【0019】

（ストリート形成工程 ステップS40）

ストリート形成工程は、半導体素子をチップ状態に分割するレーザースクライブ工程に先立って、素子分割ラインに沿って半導体膜20を除去し、金属支持体30を露出させる工程である。ストリートは、ウエハ表面に格子状に配列された金属支持体30に達する半導体膜20に形成された複数の溝によって構成され、半導体膜20を複数の矩形領域に区画

50

する。ストリート形成工程は、ドライエッチング（R I E：反応性イオンエッチング）により半導体膜 2 0 表面から金属支持体 3 0 に達しない深さの溝を形成する第 1 エッチング工程（ステップ S 4 2）と、ウェットエッチングにより上記第 1 エッチング工程で形成した溝をさらにエッチングして金属支持体 3 0 を露出させ、ストリートを完成させる第 2 エッチング工程（ステップ S 4 4）と、を含む。さらに、第 1 および第 2 エッチング工程の前にはそれぞれエッチング処理を施す半導体膜表面を平坦化する第 1 および第 2 平坦化工程（ステップ S 4 1、S 4 3）が行われる。以下にストリート形成工程の詳細について説明する。

【 0 0 2 0 】

（第 1 平坦化工程 ステップ S 4 1）

金属支持体 3 0 が形成されたウエハを R I E 装置に搬入し、半導体膜 2 0 に例えば A r 等の希ガスプラズマを用いた物理的ドライエッチングを行い、サファイア基板 1 0 を剥離することによって表出した n - G a N 層 2 1 の表面平坦化処理を行う。上記したように、L L O により成長基板 1 0 を剥離した後の n - G a N 層 2 1 の表面には、レーザ痕や貫通転位に起因する複数のピットが形成され、深さ 4 0 ~ 5 0 n m 程度の凹凸を有する表面状態となっている。すなわち、L L O 後の n - G a N 層 2 1 の表面は、あらゆる結晶面が不均一に分布しており、化学的エッチングに対して安定な結晶面と不安定な結晶面が不均一に混在した表面状態となっている。このような表面状態では、後のドライエッチング工程においてエッチング残りが生じやすい。そこで、半導体膜 2 0 に A r プラズマによるドライエッチングを行い n - G a N 層 2 1 の表面を平坦化させることにより、化学的エッチングが進行し易い結晶面が均一に分布するようにして、エッチング残りが生じるのを防止する。A r エッチングの条件は、プロセス圧力を 1 . 0 P a、A n t P o w e r を 2 0 0 W、B i a s P o w e r を 5 0 W、A r 流量を 5 0 s c c m、処理時間を 8 4 0 秒とした。本条件で半導体膜 2 0 のエッチングレートはほぼゼロに近く、半導体膜 2 0 の膜厚は殆ど減少せず、n - G a N 層 2 1 の表面に形成されたレーザ痕やピット等からなる凹凸面が平坦化される（図 4（d））。

【 0 0 2 1 】

（ドライエッチング工程（第 1 エッチング工程） ステップ S 4 2）

次に、ウエハを R I E 装置から取り出し、平坦化された n - G a N 層 2 1 表面にフォトリソグラフィ等を用いてストリート形成部に開口を有するレジストマスク 4 0 を形成する。その後、ウエハを再び R I E 装置に搬入し、半導体膜 2 0 に C l ₂ プラズマによるドライエッチング処理を施すことにより半導体膜 2 0 に金属支持体 3 0 に達しないストリートを構成する溝 5 0 を形成する。本工程では、C l ₂ プラズマを用いることにより、イオンによるスパッタリングと、エッチングガスの化学反応が同時に起こる R I E（反応性イオンエッチング）となり、ウェットエッチングのみでストリートを形成する場合と比較して、処理時間を大幅に短縮することが可能となる。また、このドライエッチング処理は、溝 5 0 が金属支持体に到達する前に終了するため、金属支持体 3 0 がプラズマに曝されず、金属粒子が処理雰囲気中に飛散することはない。

【 0 0 2 2 】

C l ₂ ドライエッチング後にストリート形成領域に残る半導体膜 2 0 の厚みは 0 . 3 μ m ~ 3 μ m 程度であることが好ましい。すなわち、半導体膜 2 0 の残膜が薄くなると（0 . 3 μ m 以下）、後の第 2 平坦化工程において実施される A r プラズマエッチングにより金属支持体 3 0 が露出し、金属粒子がプラズマ雰囲気中に飛散して半導体膜 2 0 に付着するおそれがある。一方、半導体膜 2 0 の残膜が厚くなると（3 μ m 以上）、後のウェットエッチング工程（第 2 エッチング工程）における処理時間が長くなり、また、このウェットエッチングにおいて、エッチングレートの遅い結晶面が表出し、その結果、エッチング残りが生じるおそれがある。そこで本実施例では、後の A r プラズマを用いた第 2 平坦化工程において金属支持体 3 0 がプラズマに曝されることなく、ウェットエッチング工程（第 2 エッチング工程）においてエッチング残りが生じることなくストリート形成領域における半導体膜 2 0 を比較的短時間で完全に除去することができ、さらにこのウェットエ

10

20

30

40

50

チング工程においてn - GaN層21表面に、光取り出し効率を向上させるための高さ1 ~ 3 μm程度の六角錐状突起（後述する）を形成することも考慮して、Cl₂ドライエッチング（第1エッチング工程）後にストリート形成領域に残る半導体膜20の膜厚を1 μm程度とした。具体的な処理条件は、プロセス圧力を0.2 Pa、Ant Powerを200 W、Bias Powerを50 W、Cl₂流量を20 sccm、処理時間を1428秒とした（図4（e））。

【0023】

（第2平坦化工程 ステップS43）

Cl₂プラズマを使用したドライエッチングのエッチングレートは、Arプラズマを使用したドライエッチングのそれに比べて極めて高く、半導体膜の除去に適している。しかし、Cl₂プラズマによるドライエッチングは、化学的エッチングを含むため、異方性ウェットエッチングの場合と同様、比較的安定でエッチングレートの遅い結晶面が部分的に現れ、その結果、ストリートを構成する溝50の底面は、深さ数百nm程度の凹凸を多数有する表面状態となる。溝50の底面において多数の凹凸が形成された状態で、後の第2エッチング工程においてウェットエッチングを行うと、エッチング残りが発生する可能性が高い。そこで、Cl₂プラズマドライエッチングに引き続き、再度Arプラズマを用いた物理的ドライエッチングを行い、溝50の底面を平坦化することでエッチング残りを防止する。具体的な処理条件は、プロセス圧力を1.0 Pa、Ant Powerを200 W、Bias Powerを50 W、Ar流量を50 sccm、処理時間を840秒とした（図4（f））。

【0024】

尚、先の第1平坦化工程による平坦化処理を行うことなく、Cl₂ドライエッチング（第1エッチング工程）を行うと、エッチング後の半導体膜20表面の凹凸はさらに激しくなり、本第2平坦化工程において半導体膜20の表面を平坦化するのが困難となる。従って、第1平坦化工程においてCl₂ドライエッチングを行う前に半導体膜20の表面を平坦化することは、最終的にエッチング残りを生じることなくストリートを形成する上で有効となる。

【0025】

（ウェットエッチング工程（第2エッチング工程）ステップS44）

次に、溝50の底面において露出している半導体膜20に対してウェットエッチングを施してストリート形成領域に残った膜厚1 μm程度の半導体膜20を除去する。これにより、溝50の底面において金属支持体30を露出させ、個々の半導体素子を区画するストリートを完成させる。具体的にはエッチャントとして5 M - KOHを使用し、処理温度90 °C、処理時間120 minとした。

【0026】

このように、ウェットエッチングによって金属支持体30を露出させてストリートを完成させるため、エッチング時に金属粒子が飛散してこれが半導体膜に付着し、リーク又はショートに至るといった不具合を回避することが可能となる。また、先の第1エッチング工程においてストリート形成領域の半導体膜20の膜厚は1 μm程度とされ、さらに先の第2平坦化工程において、溝50の底面の半導体膜表面は平坦化されているので、本ウェットエッチング工程においてストリート上にエッチング残りを生じることなくストリートを形成することが可能となる。

【0027】

また、本ウェットエッチング工程において、ストリートを完成させるとともに、n - GaN層21の表面に光取り出し効率を向上させるための六角錐状突起を形成することができる。光半導体素子の光放射面に凹凸加工を施すことにより、光半導体光素子と封止樹脂との界面において臨界角以上で入射して全反射される光を減ずることができ、光取り出し効率が向上する。Al_xIn_yGa_zN（0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ z ≤ 1, x+y+z=1）は、一般的な成長基板（例えばC面サファイア、C面GaN、SiC等）上の成長では、成長基板を剥離することによって表出するn - GaN層21の表面は、C - 面（N面）で構成されており

10

20

30

40

50

、異方性ウェットエッチング処理を施すことによりウルツ鉱型結晶構造に由来する六角錐状の突起を形成することが可能である。従って、本ウェットエッチング工程の前にn - GaN層21表面に形成されたレジストマスク40を除去してn - GaN層21を露出させておくことにより、本ウェットエッチング工程において、ストリートの形成と、光取り出し効率を向上させるための六角錐状突起の形成を同時に行うことができる。上記したように、ストリートの完成時において、六角錐状突起の高さが1 ~ 3 μmとなるように、第1エッチング工程では、半導体膜20の残膜が1 μm程度となるように溝50を形成するのが好ましい(図5(g))。

【0028】

(電極形成工程 ステップS50)

次に、六角錐状突起が形成されたn - GaN層21の表面に例えばリフトオフ法により電極パッド60を形成する。具体的にはn - GaN層21上に目的とする電極パターンとは逆パターンのレジストマスクを形成等し、その上にTiAl等の金属膜を真空蒸着法により堆積させる。その後、不用部分を金属、レジストマスクと共に除去し、所望のパターンを有する電極パッド60を形成する。その後、電極 - 半導体膜間にオーミックコンタクトを形成するため、500、20秒間の高速熱アニール処理(RTA: Rapid Thermal Annealing)を施す。尚、n - GaN層21の表面のほぼ全域にITO(酸化インジウムスズ)からなる透光性導電膜を形成した後、このITO膜上にTiAl等からなる電極パッドを形成することとしてもよい。また、本実施例では、ストリート形成後に電極パッドを形成することとしたが、電極パッドを形成した後に、ストリートを形成することとしてもよい。この場合、ストリート形成工程において行われる上記した各種エッチング処理において電極パッドを保護するためのレジストマスクが必要となる(図5(h))。

【0029】

(素子分離工程 ステップS60)

次に、ストリートに沿って露出した金属支持体30をレーザスクライプ法等により切断することにより、半導体素子を個片化する。レーザスクライプ法では、高出力のレーザビームを金属支持体30に照射することにより、金属支持体30を局所的に蒸発させて分割溝を形成する。本実施例ではYAGレーザを使用し、レーザ出力2W、発振周波数50KHz、走査速度50mm/secとした。かかる条件で格子状に形成されたストリートに沿ってレーザを走査することにより、金属支持体30にはV字形の分割溝70が形成され、矩形状の半導体素子に分割される(図5(i))。以上の各工程を経ることにより半導体素子が完成する。

【0030】

以上の説明から明らかなように、本発明の半導体装置の製造方法によれば、金属支持体を有する本半導体素子に分割ラインに沿ったストリートを形成する際には、ドライエッチング(第1エッチング工程)とウェットエッチング(第2エッチング工程)を併用している。すなわち、金属支持体を露出させ、ストリートを完成させる段階では、ウェットエッチングが用いられるので、金属支持体がプラズマに曝され、金属支持体を構成する金属が飛散して半導体膜に付着するといった問題を回避することができる。また、このウェットエッチングの前にドライエッチングが行われることにより、ウェットエッチングで除去される半導体膜の膜厚は、十分に薄く、しかも、ドライエッチング後に半導体膜の平坦化処理(第2平坦化工程)が行われるので、ウェットエッチング工程においてエッチング残りが生じるのを防止することができる。また、ストリート形成工程の前半部分をCl₂プラズマを使用したRIEを適用することにより、ウェットエッチングのみでストリートを形成する場合と比較して処理時間を大幅に短縮することが可能である。さらに、このドライエッチング工程の前にも半導体膜の平坦化処理(第1平坦化工程)が行われるため、ドライエッチング(RIE)後の半導体膜の表面に生じる凹凸を緩和することができ、ウェットエッチング前の平坦化処理(第2平坦化工程)において半導体膜の平坦化を容易に行うことができる。

【0031】

以上、実施例に基づいて本発明の半導体素子の製造方法について説明したが、本発明の半導体素子の製造方法は、少なくとも半導体膜に隣接する面が金属である支持体を用いた半導体素子に有用な方法であり、実施例で示したような支持体全体が金属で構成されたものに限定されるものではない。

【 0 0 3 2 】

このような半導体膜と接する面が金属である支持体を有する半導体素子を形成する場合には、支持体形成工程において、例えばSi等からなる支持基板と半導体膜とをAuSnなどの適当な金属膜を介して貼り合わせることにより、半導体膜の表面に隣接する支持体を形成することができる。本発明の半導体素子の製造方法によれば、かかる構造の半導体素子でも金属を飛散させることなくストリートを形成することができる。

10

【図面の簡単な説明】

【 0 0 3 3 】

【図1】図1(a)および(b)は、ドライエッチングのみによってストリートを形成したときの半導体素子の表面を撮像したSEM像である。

【図2】ウェットエッチングのみによって形成されたストリートの表面を示すSEM像である。

【図3】図3(a)~(c)は、本発明の実施例である半導体素子の製造方法を示す断面図である。

【図4】図4(d)~(f)は、本発明の実施例である半導体素子の製造方法を示す断面図である。

20

【図5】図5(g)~(h)は、本発明の実施例である半導体素子の製造方法を示す断面図である。

【図6】本発明の実施例である半導体素子の製造方法を示す製造工程フロー図である。

【図7】レーザーリフトオフにより成長基板を除去することによって表出した半導体膜表面の状態を示すSEM像である。

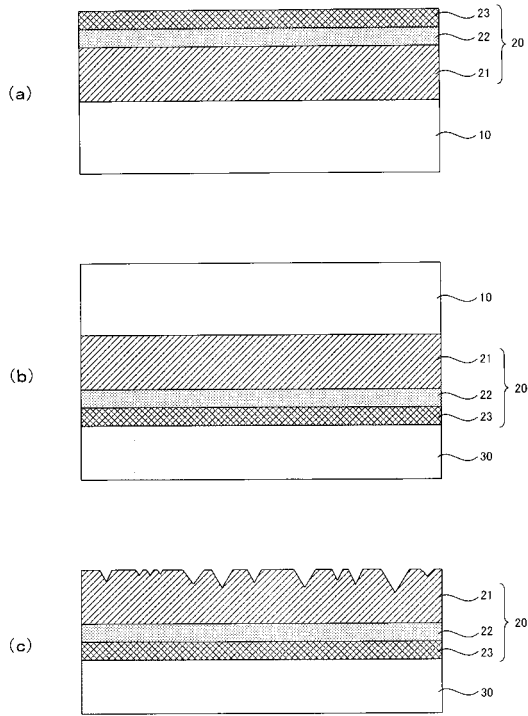
【符号の説明】

【 0 0 3 4 】

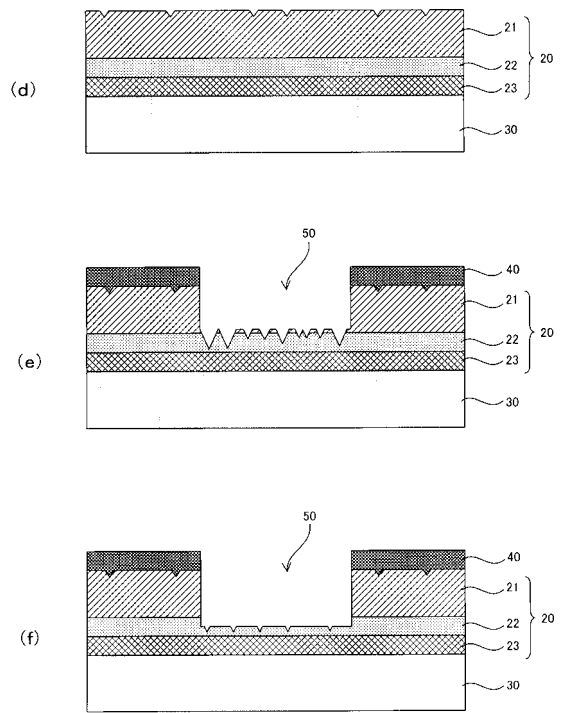
- 10 サファイア基板
- 20 半導体膜
- 21 n-GaN層
- 22 活性層
- 23 p-GaN層
- 30 金属支持体
- 50 溝(ストリート)
- 60 電極パッド

30

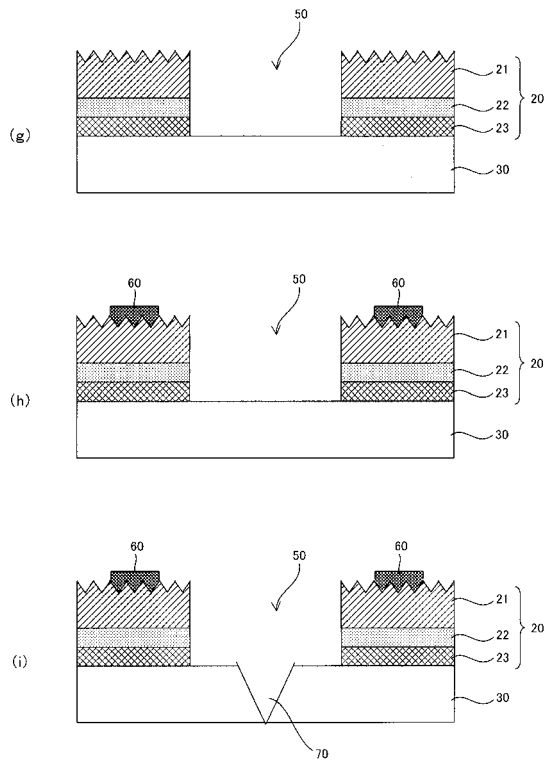
【図3】



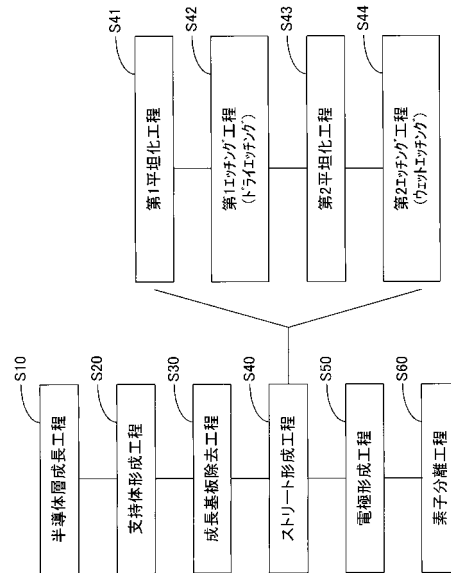
【図4】



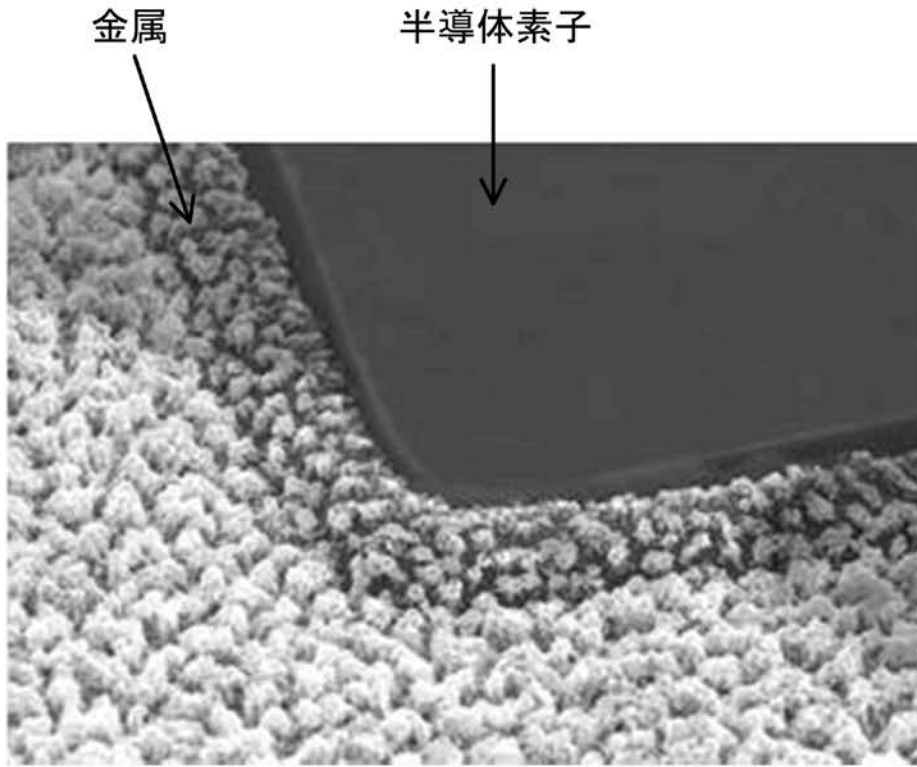
【図5】



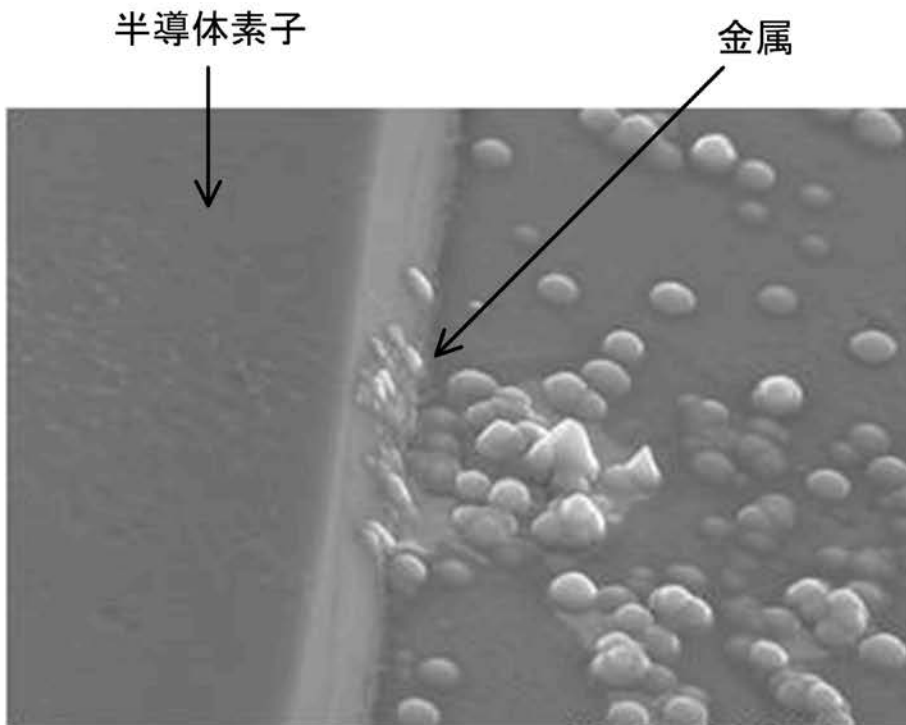
【図6】



【図1】

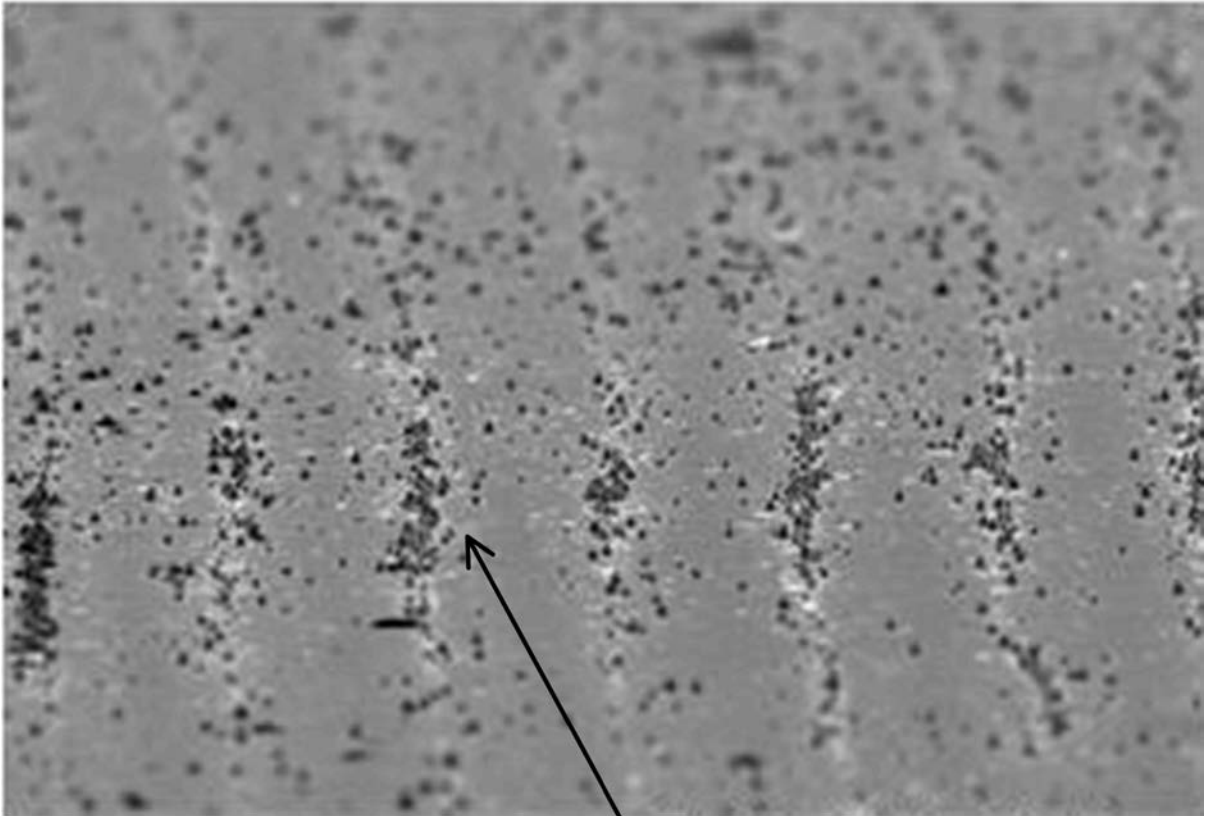


(a)



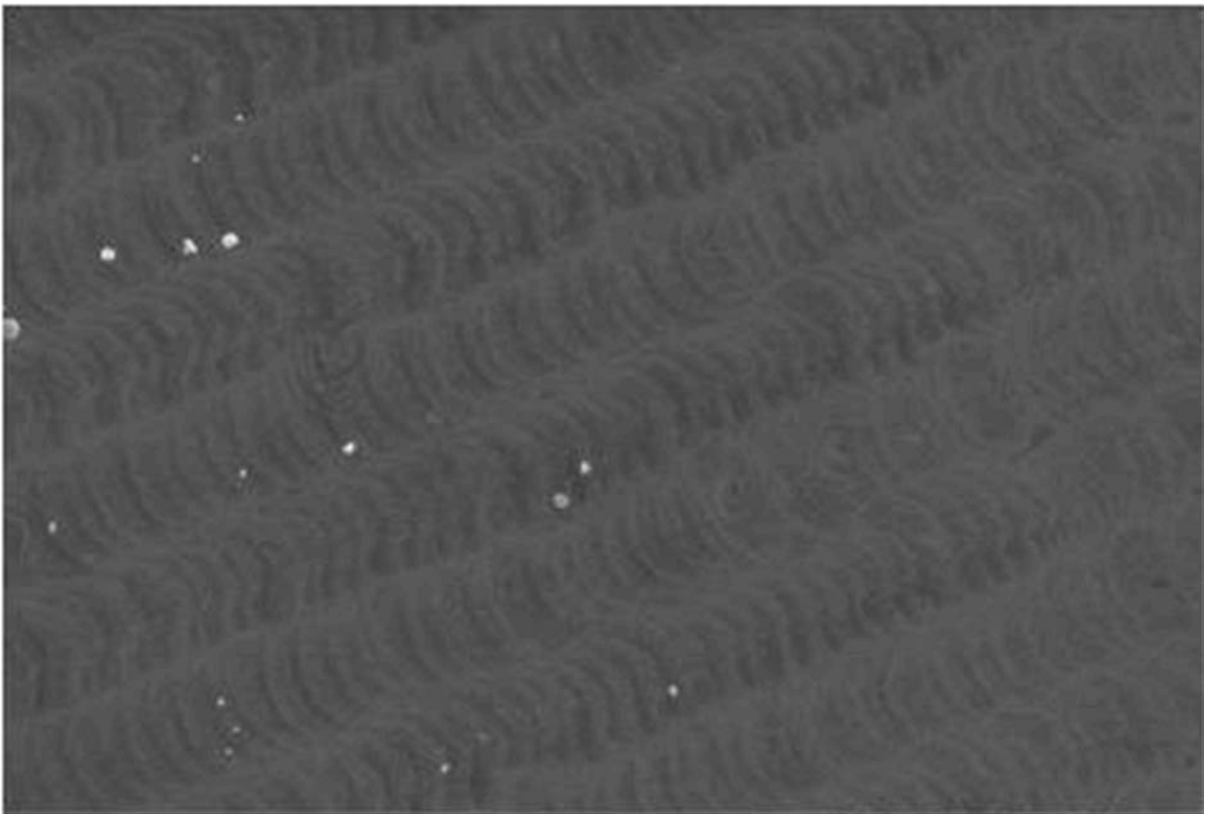
(b)

【図 2】



エッチング残り

【図 7】



フロントページの続き

(72)発明者 横林 裕介

東京都目黒区中目黒2丁目9番13号 スタンレー電気株式会社内

審査官 松本 公一

(56)参考文献 特開平08-125077(JP,A)
特開2000-195827(JP,A)
特開2004-281863(JP,A)
特表2005-522873(JP,A)
特開2006-024914(JP,A)
特開2006-196693(JP,A)
特開2007-067274(JP,A)
特開2007-087973(JP,A)
特開2007-103934(JP,A)
特開2007-142277(JP,A)
特表2007-535804(JP,A)
特開2008-042143(JP,A)
特開2008-258282(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/301

H01L 33/00

B23K 26/00 - 26/42