



# (12) 发明专利申请

(10) 申请公布号 CN 111864064 A

(43) 申请公布日 2020.10.30

(21) 申请号 202010658461.3

(22) 申请日 2020.07.09

(71) 申请人 复旦大学

地址 200433 上海市杨浦区邯郸路220号

(72) 发明人 张卫 刘子玉 陈琳 孙清清

(74) 专利代理机构 北京英创嘉友知识产权代理  
事务所(普通合伙) 11447

代理人 曹寒梅

(51) Int. Cl.

H01L 49/02 (2006.01)

权利要求书1页 说明书5页 附图5页

(54) 发明名称

三维电容

(57) 摘要

本公开涉及一种三维电容,属于半导体技术领域,其占用面积小,能够极大地提高芯片上面积利用率。一种三维电容,包括:衬底;位于所述衬底中的通孔;位于所述通孔的内壁和所述衬底的表面上的图形化的第一电极层,所述第一电极层包括由二维材料形成的电极层;位于所述第一电极层上的绝缘介质层;以及位于所述绝缘介质层上的第二电极层。



1. 一种三维电容,其特征在于,包括:  
衬底;  
位于所述衬底中的通孔;  
位于所述通孔的内壁和所述衬底的表面上的图形化的第一电极层,所述第一电极层包括由二维材料形成的电极层;  
位于所述第一电极层上的绝缘介质层;以及  
位于所述绝缘介质层上的第二电极层。
2. 根据权利要求1所述的三维电容,其特征在于,所述衬底为高阻硅衬底、玻璃衬底和有机基板衬底中的一者。
3. 根据权利要求1所述的三维电容,其特征在于,所述二维材料为纳米薄膜材料、超晶格材料和量子阱材料中的至少一者。
4. 根据权利要求1所述的三维电容,其特征在于,所述绝缘介质层由 $\text{SiO}_2/\text{SiN}$ 、 $\text{HfO}_2$ 、 $\text{TiO}_2$ 或 $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ 形成。
5. 根据权利要求1所述的三维电容,其特征在于,所述第一电极层还包括金属粘附层,所述金属粘附层位于所述由二维材料形成的电极层的下方。
6. 根据权利要求5所述的三维电容,其特征在于,所述金属粘附层由 $\text{TiN}$ 、 $\text{TiW}/\text{Cu}$ 或 $\text{Cr}/\text{Ni}$ 形成。
7. 根据权利要求1所述的三维电容,其特征在于,所述绝缘介质层和所述第二电极层与所述第一电极层同形。
8. 根据权利要求1至7中任一权利要求所述的三维电容,其特征在于,所述三维电容还包括位于所述通孔的内壁和所述衬底的表面上的绝缘层,所述绝缘层位于所述第一电极层的下方。
9. 根据权利要求8所述的三维电容,其特征在于,所述绝缘层由 $\text{SiO}_2/\text{SiN}$ 或 $\text{SiO}_2$ 形成。
10. 根据权利要求1至7中任一权利要求所述的三维电容,其特征在于,所述通孔的中心中形成有用于三维互连的互连层。

## 三维电容

### 技术领域

[0001] 本公开涉及半导体技术领域,具体地,涉及一种三维电容。

### 背景技术

[0002] 随着半导体器件特征尺寸的进一步等比例缩小,传统的半导体器件将达到尺寸的极限。三维集成已经成为集成电路重要发展方向之一,但是随着集成器件和芯片的种类和数目越来越多,三维集成系统对于芯片上面积的需求越来越大,但系统中还存在很多占用面积较大的元素,因此,如何减小这些元素的占用面积是亟需解决的问题。

### 发明内容

[0003] 本公开的目的是提供一种三维电容,其占用面积小,能够极大地提高芯片上面积利用率。

[0004] 根据本公开的第一实施例,提供一种三维电容,包括:衬底;位于所述衬底中的通孔;位于所述通孔的内壁和所述衬底的表面上的图形化的第一电极层,所述第一电极层包括由二维材料形成的电极层;位于所述第一电极层上的绝缘介质层;以及位于所述绝缘介质层上的第二电极层。

[0005] 可选地,所述衬底为高阻硅衬底、玻璃衬底和有机基板衬底中的一者。

[0006] 可选地,所述二维材料为纳米薄膜材料、超晶格材料和量子阱材料中的至少一者。

[0007] 可选地,所述绝缘介质层由 $\text{SiO}_2/\text{SiN}$ 、 $\text{HfO}_2$ 、 $\text{TiO}_2$ 或 $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ 形成。

[0008] 可选地,所述第一电极层还包括金属粘附层,所述金属粘附层位于所述由二维材料形成的电极层的下方。

[0009] 可选地,所述金属粘附层由 $\text{TiN}$ 、 $\text{TiW}/\text{Cu}$ 或 $\text{Cr}/\text{Ni}$ 形成。

[0010] 可选地,所述绝缘介质层和所述第二电极层与所述第一电极层同形。

[0011] 可选地,所述三维电容还包括位于所述通孔的内壁和所述衬底的表面上的绝缘层,所述绝缘层位于所述第一电极层的下方。

[0012] 可选地,所述绝缘层由 $\text{SiO}_2/\text{SiN}$ 或 $\text{SiO}_2$ 形成。

[0013] 可选地,所述通孔的中心中形成有用于三维互连的互连层。

[0014] 通过采用上述技术方案,由于二维材料具有极大的比表面积,所以能够增大三维电容的极板面积,从而极大地提高三维电容的电容值,极大地提高了芯片上面积利用率。另外,由于是借助通孔的内壁形成三维电容,而通孔的中心仍然可以被用作三维互连,也即,通孔的中心中仍然可以形成有用于三维互连的互连层,因此利用通孔的内壁形成三维电容不仅不影响通孔的互连功能,而且还极大地提高了通孔的功能密度。

[0015] 本公开的其他特征和优点将在随后的具体实施方式部分予以详细说明。

### 附图说明

[0016] 附图是用来提供对本公开的进一步理解,并且构成说明书的一部分,与下面的具

体实施方式一起用于解释本公开,但并不构成对本公开的限制。在附图中:

[0017] 图1是根据本公开一种实施例的三维电容的剖面示意图。

[0018] 图2是根据本公开一种实施例的三维电容的又一剖面示意图。

[0019] 图3是根据本公开一种实施例的三维电容制备方法的流程图。

[0020] 图4a-图4i是根据本公开一种实施例的三维电容制备方法的剖面流程示意图。

[0021] 图5a-图5f是根据本公开一种实施例的三维电容制备方法的又一剖面流程示意图。

### 具体实施方式

[0022] 以下结合附图对本公开的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本公开,并不用于限制本公开。

[0023] 图1是根据本公开一种实施例的三维电容的剖面示意图。如图1所示,该三维电容包括:衬底1;位于衬底1中的通孔2;位于通孔2的内壁和衬底1的表面上的图形化的第一电极层,该第一电极层包括由二维材料形成的电极层3a;位于第一电极层上的绝缘介质层4;以及位于绝缘介质层4上的第二电极层5。采用图1所示的三维电容结构,可以形成半导体-绝缘层-金属类型的三维电容。

[0024] 在一种实施例中,衬底1可以为高阻硅衬底1、玻璃衬底1、有机基板衬底1或者其他类型的衬底中的一者。也就是说,本公开不限制衬底1的具体类型。

[0025] 在一种实施例中,二维材料指的是电子仅可在两个维度的纳米尺度上自由运动(平面运动)的材料,如纳米薄膜材料、超晶格材料、量子阱材料等。例如,二维材料可以为石墨烯。

[0026] 在一种实施例中,绝缘介质层4可以由 $\text{SiO}_2/\text{SiN}$ 形成,也可以由高介电常数的绝缘介质形成以提高绝缘介质层4的介电常数,例如由 $\text{HfO}_2$ 、 $\text{TiO}_2$ 或 $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ 形成。

[0027] 在一种实施例中,绝缘介质层4和第二电极层5可以与第一电极层同形,也即形状相同。

[0028] 通过采用上述技术方案,由于二维材料具有极大的比表面积,所以能够增大三维电容的极板面积,从而极大地提高三维电容的电容值,极大地提高了芯片上面积利用率。另外,由于是借助通孔2的内壁形成三维电容,而通孔2的中心仍然可以被用作三维互连,也即,通孔2的中心仍然可以形成有用于三维互连的互连层,因此利用通孔2的内壁形成三维电容不仅不影响通孔2的互连功能,而且还极大地提高了通孔2的功能密度。

[0029] 图2是根据本公开一种实施例的三维电容的又一剖面示意图。如图2所示,第一电极层还可以包括金属粘附层3b,金属粘附层3b位于由二维材料形成的电极层3a的下方。金属粘附层3b可以由TiN、TiW/Cu或Cr/Ni形成。一方面,金属粘附层3b作为第一电极层的组成部分,起到电极连接或焊盘引出的作用;另一方面,金属粘附层3b可以作为三维电容的基底,起到粘附由二维材料形成的电极层3a的作用,用于防止由二维材料形成的电极层3a因与衬底1粘附不好而脱落,从而保证了由二维材料形成的电极层3a的稳定性。

[0030] 继续参考图2。三维电容还可以包括位于通孔2的内壁和衬底1的表面上的绝缘层6,绝缘层6位于第一电极层的下方。绝缘层6可以由 $\text{SiO}_2/\text{SiN}$ 、 $\text{SiO}_2$ 等形成。通过利用绝缘层6将第一电极层与衬底1隔离,能够形成金属-绝缘层-金属类型的三维电容,而且绝缘层6还

能够防止衬底漏电。

[0031] 图3是根据本公开一种实施例的三维电容制备方法的流程图。如图3所示,该方法包括以下步骤S11至S15。

[0032] 在步骤S11中,在衬底中形成通孔;

[0033] 在步骤S12中,在通孔的内壁和衬底的表面上形成图形化的第一电极层,第一电极层包括由二维材料形成的电极层;

[0034] 在步骤S13中,在第一电极层上形成绝缘介质层;以及

[0035] 在步骤S14中,在绝缘介质层上形成第二电极层。

[0036] 通过采用上述技术方案,由于二维材料具有极大的比表面积,所以能够增大三维电容的极板面积,从而极大地提高三维电容的电容值,极大地提高了芯片上面积利用率。另外,由于是借助通孔的内壁形成三维电容,而通孔2的中心仍然可以被用作三维互连,也即,通孔的中心仍然可以形成有用于三维互连的互连层,因此利用通孔的内壁形成三维电容不仅不影响通孔的互连功能,而且还极大地提高了通孔的功能密度。

[0037] 图4a-图4i是根据本公开一种实施例的三维电容制备方法的剖面流程示意图。

[0038] 首先在图4a中,在衬底1中形成通孔2。例如,可以通过深硅刻蚀方法在衬底1中形成通孔2,但是本领域技术人员应当理解的是,这里的深硅刻蚀方法仅是示例,任何其他能够形成通孔的方法也是可行的。衬底1可以为高阻硅衬底1、玻璃衬底1、有机基板衬底1或者其他类型的衬底中的一者。通孔2的尺寸根据实际需要决定,例如,通孔2的直径可以为5微米~20微米、深度可以为40微米~100微米。

[0039] 然后,在图4b中,在通孔2的内壁和衬底1的表面上形成绝缘层6。绝缘层6可以由 $\text{SiO}_2/\text{SiN}$ 、 $\text{SiO}_2$ 等形成。绝缘层6的厚度可以为200nm~500nm。绝缘层6可以采用热氧化的方法形成。但是本领域技术人员应当理解的是,本公开对形成绝缘层6的方法不做限制,任何能够形成绝缘层的方法都是可行的,例如等离子体化学气相沉积、物理沉积等方法也是可行的。

[0040] 另外,该步骤是可选的。也即,如果要形成半导体-绝缘层-金属类型的三维电容,那么该步骤是可以省略的。如果要形成金属-绝缘层-金属类型的三维电容,那么该步骤是需要的,而且所形成的绝缘层6用于防止衬底漏电。

[0041] 然后,在图4c中,在绝缘层6上形成图形化的金属粘附层3b,该金属粘附层3b属于第一电极层。金属粘附层3b可以由TiN、TiW/Cu或Cr/Ni等形成。一方面,金属粘附层3b作为第一电极层的组成部分,起到电极连接或焊盘引出的作用;另一方面,金属粘附层3b可以作为三维电容的基底,起到粘附由二维材料形成的电极层3a的作用,用于防止由二维材料形成的电极层3a因与衬底1粘附不好而脱落,从而保证了由二维材料形成的电极层3a的稳定性。

[0042] 该步骤也是可以省略的,也即可以在绝缘层6上直接形成由二维材料形成的电极层。

[0043] 可以采用多种实现方式来形成金属粘附层3b。一种实现方式是,首先,采用原子层沉积方法在绝缘层6上形成金属粘附层3b,然后,通过光刻及刻蚀方法对沉积形成的金属粘附层3b进行图形化,最终留下的图层包括:包括准备作为引出焊盘的开窗、三维电容的平面部分(也即三维电容的位于衬底1的表面的部分)和三维电容的位于通孔内壁上的部分。

[0044] 然后,在图4d中,通过光刻的方式露出三维电容的平面部分和三维电容的位于通孔内壁的部分,以避免在后续步骤中在衬底绝缘层上沉积二维材料。图4d中,标号7表示光刻后剩余的光刻胶。

[0045] 然后,在图4e中,采用混合了二维材料的铜电镀液,在三维电容的平面部分和三维电容的通孔内壁部分上电镀一层二维材料和铜,其中电镀的二维材料和铜在图4e中共同用标号3a-1表示。铜电镀液中二维材料的混合比例根据需求的三维电容的极板面积进行设置,为了获得极大的极板面积,通常会在铜电镀液中混合高比例的二维材料。另外,这里的铜电镀液仅是示例,任何能够实现金属电镀的电镀液类型都是可以的。

[0046] 二维材料可以是例如纳米薄膜材料、超晶格材料、量子阱材料等。例如,二维材料可以为石墨烯。

[0047] 然后,在图4f中,去掉光刻胶7。

[0048] 然后,在图4g中,对二维材料和铜层3a-1进行湿法刻蚀,得到由二维材料形成的电极层3a,也即,在电极层3a中仅留下了二维材料。湿法刻蚀可以采用例如铜刻蚀液或者其他类型的金属刻蚀液来实现。铜刻蚀液可以为例如铜氨刻蚀液、 $\text{FeCl}_3$ 刻蚀液等。另外,由二维材料形成的电极层3a和金属粘附层3b共同构成了第一电极层。

[0049] 然后,在图4h中,在由二维材料形成的电极层3a上形成绝缘介质层4。绝缘介质层4的形状与由二维材料形成的电极层3a同形,也即形状相同。

[0050] 绝缘介质层4可以由 $\text{SiO}_2/\text{SiN}$ 形成,也可以由高介电常数的绝缘介质形成以提高绝缘介质层4的介电常数,例如由 $\text{HfO}_2$ 、 $\text{TiO}_2$ 或 $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ 形成。绝缘介质层4可以通过沉积(例如物理气相沉积、化学气相沉积、原子层沉积、磁控溅射沉积等)的方法形成。

[0051] 然后,在图4i中,在绝缘介质层4上形成第二电极层5。例如,可以通过溅射沉积、化学气相沉积、物理气相沉积、电镀等方法形成第二电极层5。

[0052] 至此,三维电容就制备完成了。之后,就可以通过再布线工艺形成三维电容的电极引出焊盘,或者进行再布线实现三维电容与其他器件的集成。

[0053] 图5a-图5f是根据本公开一种实施例的三维电容制备方法的又一剖面流程示意图。

[0054] 首先在图5a中,在衬底1中形成通孔2。例如,可以通过深硅刻蚀方法在衬底1中形成通孔2,但是本领域技术人员应当理解的是,这里的深硅刻蚀方法仅是示例,任何其他能够形成通孔的方法也是可行的。衬底1可以为高阻硅衬底1、玻璃衬底1、有机基板衬底1或者其他类型的衬底中的一者。通孔2的尺寸根据实际需要决定,例如,通孔2的直径可以为5微米~20微米、深度可以为40微米~100微米。

[0055] 然后,在图5b中,采用等离子体化学气相沉积方法在通孔2的内壁和衬底1的表面上形成绝缘层6,该方法生长绝缘层6的目的是为了减小后续步骤中二维材料在绝缘层6上的沉积。绝缘层6可以由 $\text{SiO}_2/\text{SiN}$ 、 $\text{SiO}_2$ 等形成。绝缘层6的厚度可以为200nm-500nm。

[0056] 另外,该步骤是可选的。也即,如果要形成半导体-绝缘层-金属类型的三维电容,那么该步骤是可以省略的。如果要形成金属-绝缘层-金属类型的三维电容,那么该步骤是需要的,而且所形成的绝缘层6用于防止衬底漏电。

[0057] 然后,在图5c中,采用磁控溅射方法在绝缘层6上形成金属粘附层3b,该金属粘附层3b属于第一电极层。金属粘附层3b可以由TiN、TiW/Cu或Cr/Ni等形成。一方面,金属粘附

层3b作为第一电极层的组成部分,起到电极连接或焊盘引出的作用;另一方面,金属粘附层3b可以作为三维电容的基底,起到粘附由二维材料形成的电极层3a的作用,用于防止由二维材料形成的电极层3a因与衬底1粘附不好而脱落,从而保证了由二维材料形成的电极层3a的稳定性。

[0058] 该步骤也是可以省略的,也即可以在绝缘层6上直接形成由二维材料形成的电极层。

[0059] 然后,在图5d中,通过光刻刻蚀对金属粘附层3b进行图形化,再进行光刻露出三维电容的平面部分和三维电容的位于通孔内壁的部分

[0060] 然后,在图5e中,用化学气相沉积方法有选择性地金属粘附层3b上而不在绝缘层6上沉积一层二维材料,形成由二维材料构成的电极层3a及其图形化。这里,可以通过对化学气相沉积工艺的衬底温度、旋转、功率、沉积时间等参数进行优化后,在利用该方法进行沉积。

[0061] 二维材料可以是例如纳米薄膜材料、超晶格材料、量子阱材料等。例如,二维材料可以为石墨烯。

[0062] 然后,在图5f中,在由二维材料形成的电极层3a上形成绝缘介质层4,并在绝缘介质层4上形成第二电极层5。绝缘介质层4和第二电极层5的形状与由二维材料形成的电极层3a同形,也即形状相同。

[0063] 绝缘介质层4可以由 $\text{SiO}_2/\text{SiN}$ 形成,也可以由高介电常数的绝缘介质形成以提高绝缘介质层4的介电常数,例如由 $\text{HfO}_2$ 、 $\text{TiO}_2$ 或 $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ 形成。绝缘介质层4可以通过沉积(例如物理气相沉积、化学气相沉积、原子层沉积、磁控溅射沉积等)的方法形成。

[0064] 第二电极层5可以通过溅射沉积、化学气相沉积、物理气相沉积、电镀等方法形成。

[0065] 至此,三维电容就制备完成了。之后,就可以通过再布线工艺形成三维电容的电极引出焊盘,或者进行再布线实现三维电容与其他器件的集成。

[0066] 以上结合附图详细描述了本公开的优选实施方式,但是,本公开并不限于上述实施方式中的具体细节,在本公开的技术构思范围内,可以对本公开的技术方案进行多种简单变型,这些简单变型均属于本公开的保护范围。

[0067] 另外需要说明的是,在上述具体实施方式中所描述的各个具体技术特征,在不矛盾的情况下,可以通过任何合适的方式进行组合。为了避免不必要的重复,本公开对各种可能的组合方式不再另行说明。

[0068] 此外,本公开的各种不同的实施方式之间也可以进行任意组合,只要其不违背本公开的思想,其同样应当视为本公开所公开的内容。



图1

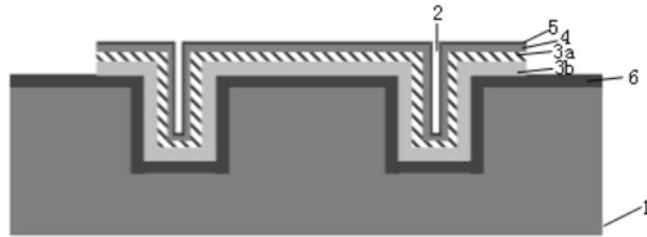


图2

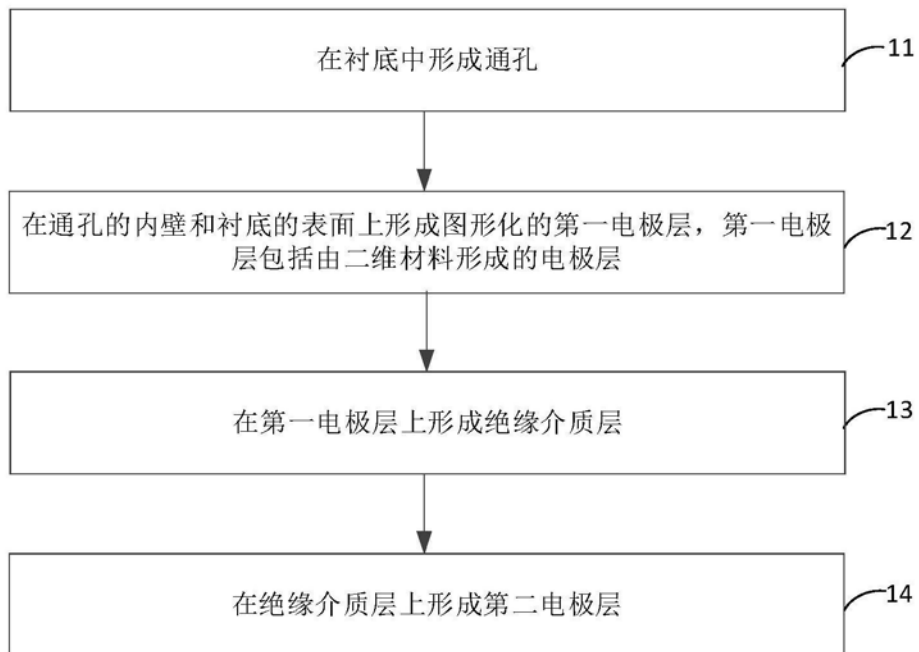


图3





图4a



图4b



图4c

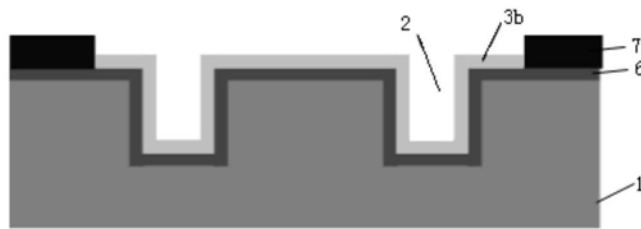


图4d

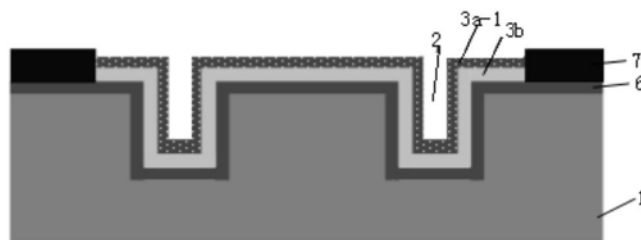


图4e

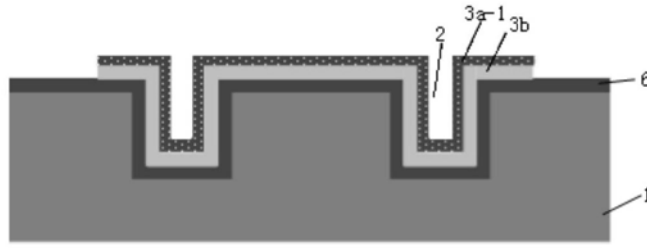


图4f

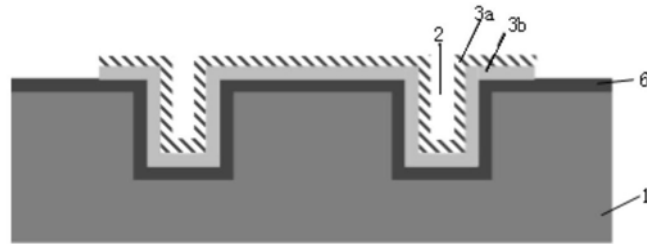


图4g

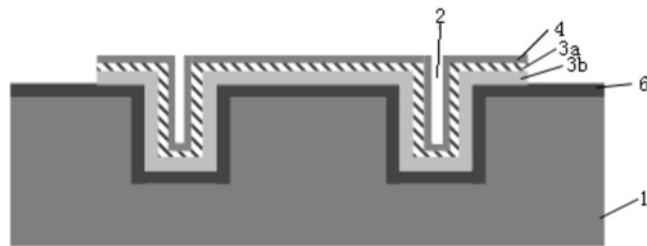


图4h

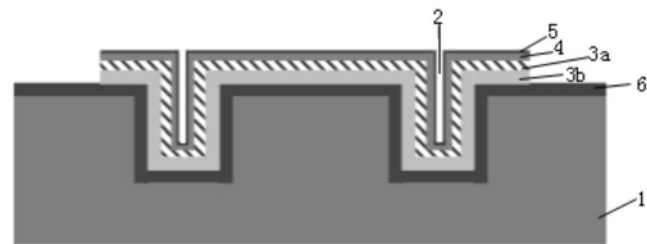


图4i



图5a



图5b

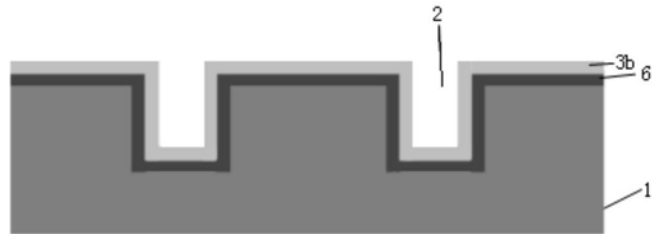


图5c

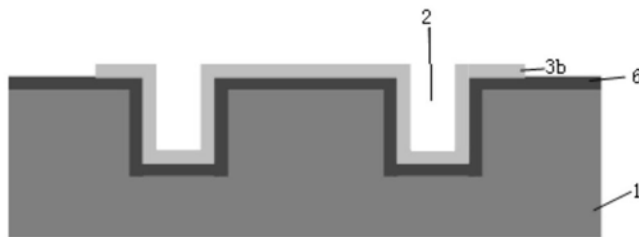


图5d

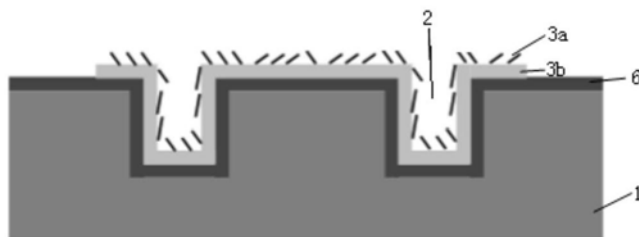


图5e

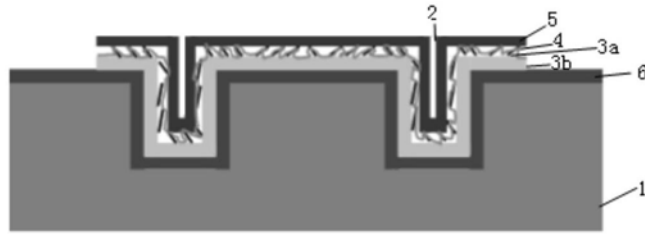


图5f