

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 29/06 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200780040577.3

[43] 公开日 2009年9月16日

[11] 公开号 CN 101536189A

[22] 申请日 2007.11.16

[21] 申请号 200780040577.3

[30] 优先权

[32] 2006.11.16 [33] US [31] 11/600, 696

[86] 国际申请 PCT/US2007/024149 2007.11.16

[87] 国际公布 WO2008/063592 英 2008.5.29

[85] 进入国家阶段日期 2009.4.30

[71] 申请人 万国半导体股份有限公司

地址 英属百慕大哈密尔顿

[72] 发明人 雪克·玛力卡勒强斯瓦密

马督儿·博德

[74] 专利代理机构 上海新天专利代理有限公司

代理人 张静洁 王敏杰

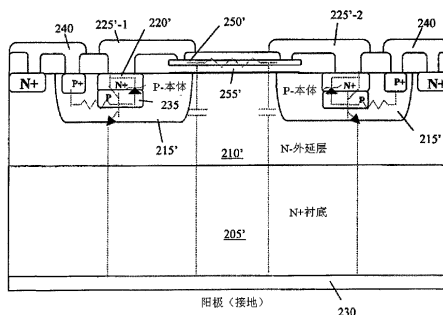
权利要求书 7 页 说明书 11 页 附图 20 页

[54] 发明名称

具有电磁干扰滤波器的垂直瞬态电压抑制器
(TVS) 的电路结构及制造方法

[57] 摘要

一垂直 TVS 电路包括一半导体衬底以支撑垂直 TVS 器件, 在半导体衬底上有一延伸到衬底底部的重掺杂层。深沟槽提供了多通道垂直 TVS 间的隔离。沟槽栅极也用于增加整合有 EMI 滤波器的垂直 TVS 的电容。



- 1、 一种垂直瞬态电压抑制器 (VTVS), 其特征在于, 包括:
一衬底, 其包含延伸至所述衬底的底部表面的一重掺杂层, 其中所述重掺杂层具有第一导电类型, 其掺杂浓度大于 $1E18/cm^3$ 。
- 2、 如权利要求 1 所述的垂直瞬态电压抑制器, 其特征在于, 还包括: 一被支撑在所述的重掺杂层顶部的具有第一导电类型的外延层, 所述的外延层具有一顶部表面, 而所述的重掺杂层具有一底部表面。
- 3、 如权利要求 2 所述的垂直瞬态电压抑制器, 其特征在于, 还包括: 设置于所述外延层的较上部的具有与所述第一导电类型相反的第二导电类型的本体区域, 该本体区域与所述的外延层形成一 PN 结, 所述的本体区域包括一与所述的外延层顶部表面位于同一平面的顶部表面。
- 4、 如权利要求 3 所述的垂直瞬态电压抑制器, 其特征在于, 还包括: 一具有第一导电类型的一顶部半导体区域, 其掺杂浓度大于所述的本体区域的掺杂浓度, 该顶部半导体区域位于所述的本体区域的顶部, 并具有与所述外延层的顶部表面同一平面的顶部表面; 所述的顶部半导体区域、所述的本体区域、所述的外延层和衬底形成一双极晶体管。
- 5、 如权利要求 4 所述的垂直瞬态电压抑制器, 其特征在于, 其中, 所述的第一导电类型是 N 型, 所述的第二导电类型是 P 型, 而所述的本体区域通过一金属电极短接到所述的外延层。
- 6、 如权利要求 4 所述的垂直瞬态电压抑制器, 其特征在于, 其中, 所述的第一导电类型是 P 型, 所述的第二导电类型是 N 型, 而所述的本体区域通过一金属电极短接到所述的顶部半导体区域。
- 7、 如权利要求 4 所述的垂直瞬态电压抑制器, 其特征在于, 还包括: 一

沟槽，其开设于所述的外延层中，所述沟槽具有利用一绝缘层确定的一侧壁及一底部。

- 8、如权利要求 7 所述的垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽开设贯穿所述的外延层并进入所述的重掺杂衬底。
- 9、如权利要求 7 所述的垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽更开设贯穿所述的顶部半导体区域及所述的本体区域。
- 10、如权利要求 9 所述的垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽还填充有导电材料。
- 11、一种多通道垂直瞬态电压抑制器（VTVS），其特征在于，包括：
一衬底，其包含延伸至所述衬底的底部表面的一重掺杂层，其中所述的重掺杂层具有第一导电类型，其掺杂浓度大于 $1E18/cm^3$ 。
- 12、如权利要求 11 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括一被支撑在所述的重掺杂层顶部上的具有第一导电类型的一外延层，所述的外延层包括一顶部表面，而所述的重掺杂层具有一底部表面。
- 13、如权利要求 12 所述的多通道垂直瞬态电压抑制器，其特征在于，其中每一通道还包括一设置于所述外延层较上部的具有与所述一导电类型相反的第二导电类型的本体区域，该本体区域与所述的外延层形成一 PN 结。
- 14、如权利要求 13 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括：一具有第一导电类型的顶部半导体区域，其掺杂浓度大于所述的本体区域的掺杂浓度，该顶部半导体区域位于所述的本体区域的顶部；所述的顶部半导体区域、所述的本体区域、所述的外延层和衬底形成

一双极晶体管。

- 15、如权利要求 14 所述的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的第一导电类型是 N 型，所述的第二导电类型是 P 型，而所述的本体区域通过一金属电极短接到所述的外延层。
- 16、如权利要求 14 所述的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的第一导电类型是 P 型，所述的第二导电类型是 N 型，而所述的本体区域通过一金属电极短接到所述的顶部半导体区域。
- 17、如权利要求 14 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括：一沟槽，其开设贯穿所述的外延层，而所述沟槽具有利用一绝缘层确定的一侧壁及一底部。
- 18、如权利要求 17 所述的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽开设贯穿所述的外延层并进入所述的重掺杂层衬底。
- 19、如权利要求 17 所述的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽还开设贯穿所述的顶部半导体区域及该本体区域。
- 20、如权利要求 19 所述的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽还填充有导电材料。
- 21、如权利要求 17 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括一连接至第一通道的所述顶部半导体区域的输入电极；一连接至第二通道的所述顶部半导体区域的接地电极；一连接至第三通道的所述顶部半导体区域的输出电极；一连接至所述衬底底部的浮动电压，由此所述的多通道垂直瞬态电压抑制器作为一对称垂直瞬态电压抑制器。

- 22、如权利要求 13 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括：一开设进入所述外延层的沟槽，而所述沟槽具有利用一绝缘层确定的一侧壁及一底部；所述的第一导电类型是 P 型。
- 23、如权利要求 13 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括：一开设进入所述外延层的沟槽，而所述沟槽具有利用第一绝缘层确定的一侧壁及一底部；一连接至第一通道的所述顶部半导体区域的输入电极；一连接至第二通道的所述顶部半导体区域的接地电极；一连接至第三通道的所述顶部半导体区域的输出电极；一连接至所述衬底底部的浮动电压，由此所述的多通道垂直瞬态电压抑制器作为一对称垂直瞬态电压抑制器。
- 24、如权利要求 11 所述的多通道垂直瞬态电压抑制器，其特征在于，还包括：一电连接至第一通道及第二通道的输入/输出衬垫；一电连接至第三通道的电源 V_{cc} 衬垫，所述第一、第二和第三通道通过由绝缘层确定的沟槽隔离。
- 25、一种整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器（VTVS），其特征在于，包括：
一衬底，其包含延伸至所述衬底的底部表面的重掺杂层，其中，所述的重掺杂层具有第一导电类型，其掺杂浓度大于 $1E18/cm^3$ ；
一连接至第一通道的所述的顶部半导体区域的输入电极；一连接至第二通道的所述顶部半导体区域的输出电极；以及一作为电阻而电串联于所述输入电极与所述输出电极之间的隔离导电区域。
- 26、如权利要求 25 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：一设置于所述重掺杂层顶部的具有第一导电类型的外延层，所述外延层具有一顶部表面，而所述重掺杂层具有一底部表面。

- 27、如权利要求 26 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中每一通道还包括：一设置于所述外延层较上部的具有与第一导电类型相反的第二导电类型本体区域，该本体区域与所述的外延层形成一 PN 结。
- 28、如权利要求 27 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：具有第一导电类型的一顶部半导体区域，其掺杂浓度大于所述本体区域的掺杂浓度，该顶部半导体区域设置于所述本体区域的顶部，并具有与所述外延层的顶部表面处于同一平面的顶部表面；所述的顶部半导体区域、所述的主体区域、所述的外延层和衬底形成一双极晶体管。
- 29、如权利要求 28 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的第一导电类型是 N 型，所述的第二导电类型是 P 型，而所述的主体区域通过一金属电极短接到所述的外延层。
- 30、如权利要求 28 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的第一导电类型是 P 型，所述的第二导电类型是 N 型，而所述的主体区域通过一金属电极短接到所述的顶部半导体区域。
- 31、如权利要求 28 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：一开设进入外延层的沟槽，所述沟槽具有利用第一绝缘层确定的一侧壁及一底部。
- 32、如权利要求 31 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽开设贯穿所述的外延层，并进入所述的重掺杂衬底。

- 33、如权利要求 31 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述沟槽进一步开设贯穿所述的顶部半导体区域及所述的本体区域。
- 34、如权利要求 30 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的沟槽还填充有导电材料。
- 35、如权利要求 30 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：一连接至第三通道的所述顶部半导体区域的接地电极；一连接至所述衬底底部的浮动电压，由此所述的多通道垂直瞬态电压抑制器作为一整合有电磁干扰滤波器的对称垂直瞬态电压抑制器。
- 36、如权利要求 27 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：一开设进入所述外延层的沟槽，而所述沟槽具有利用第一绝缘层确定的一侧壁及一底部，所述的第一导电类型是 P 型。
- 37、如权利要求 27 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：一开设进入所述外延层的沟槽，而所述沟槽具有利用第一绝缘层确定的一侧壁及一底部；一连接至第三通道的所述顶部半导体区域的接地电极；一连接至所述衬底底部的浮动电压，由此所述的多通道垂直瞬态电压抑制器作为一整合有电磁干扰滤波器的对称垂直瞬态电压抑制器。
- 38、如权利要求 25 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，还包括：一开设进入所述外延层的沟槽，而所述沟槽具有利用第一绝缘层确定的一侧壁及一底部，该第一绝缘层隔离所述沟槽中填充的导电材料。

- 39、如权利要求 38 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的填充有导电材料的沟槽被分成互相绝缘的多个导电层；每个所述沟槽中的导电层分别电连接至所述顶部半导体区域或所述衬底的底部。
- 40、如权利要求 25 所述的整合有电磁干扰滤波器的多通道垂直瞬态电压抑制器，其特征在于，其中：所述的隔离导电区域作为一具有螺旋结构的电阻，进一步可作为一电感。
- 41、一种具有整合的瞬态电压抑制器（TVS）的电子器件的制造方法，其特征在于，包括下列步骤：
形成一衬底，其具有一延伸到该衬底底部的一重掺杂层，其中，所述重掺杂层具有第一导电类型，其掺杂浓度大于 $1E18/cm^3$ 。

具有电磁干扰滤波器的垂直瞬态电压抑制器（TVS）的电路结构及制造方法

发明背景

1. 技术领域

本发明一般涉及一种瞬态电压抑制器（TVS）的电路结构及其制造方法，更特别的是，本发明涉及一种具有电磁干扰滤波器的垂直瞬态电压抑制器（VTVS）的电路结构及制造方法。

2. 先前技术

瞬态电压抑制器（TVS）一般用来保护集成电路不被意外产生的过量电压所损坏。集成电路被设计为可以在超出电压的一个正常范围内运行。然而，在诸如静电放电（ESD）、电快速瞬变及闪电等情况下、非预期且无法控制的高电压等皆可能瞬间施加到电路上。TVS 器件即被要求用于提供电路保护的功能，以在这样的过电压情况发生时，使集成电路避免受到类似的损害。随着集成电路上易受过电压破坏的器件数量的增加，对于 TVS 的保护需求也随之增加。TVS 的具体应用范例可见于 USB 电源供应器及数据线防护、数字视频接口、高速以太网、笔记本电脑、显示器及平板显示器。

图 1A-1 所示为典型商用多通道 TVS 阵列 10。具有两组控向二极管，即二极管 15-H、15-L 和 20-H、20-L 分别作为两输入/输出(I/O)端 I/O-1 及 I/O-2。另外，具有稳压二极管，即二极管 30，其具有较大尺寸功能，用以作为从高电压端，即 Vcc 端，到接地端，即 Gnd 端之间的雪崩二极管。当正电压施加到 I/O 衬垫时，高电压侧二极管 15-H 和 20-H 提供一正向偏压，并被较大的 Vcc-Gnd 二极管，即稳压二极管 30 压制。控向二极管 15-H、15-L、20-H 和 20-L 被设计为小尺寸，用以减少 I/O 电容，并由此减少如以太网应用这样的高速线路中的插入损耗。图 1A-2 所示为反向电流 IR 相对于图 1A-1 中的 TVS 10 上的电压源 Vcc 与接地电压之间的稳压二极管的反向阻断电压 BV 特征的示意图。在图 1A-2 中所示的反向电流 IR 表示通过稳压二极管，即在 Vcc 及 Gnd 之间，传导的一反向电流。假设每个控向二极管的反向 BV 都高于稳压

二极管的反向 BV。但需要注意到高电流时，当 Vcc 至 Gnd 的衬垫电压等于或大于控向二极管的反向阻断电压的总和时，电流会通过所有两列路径上的控向二极管。由于稳压二极管与双极晶体管 BJT 或硅控整流器 SCR 加上双极晶体管相较之下，稳压二极管每一单位区域具有较高的阻抗，在高电流情况下这确实是一个缺点，因为控向二极管也需要在反向传导时坚固耐用。在 SCR+BJT 的例子中，稳压二极管压制电压在高电流时较低，因此控向二极管的路径不会被导通。Vcc-Gnd 二极管 30 以及控向二极管 15 和 20 的击穿电压应大于其运行电压 (V_{rwm})，使这些二极管只在电压瞬变期间导通。Vcc-Gnd 压制二极管的问题在于，在反向阻断模式下，这些二极管的阻抗通常较大，且需要大面积以减少阻抗。如图 1A-2 所示，高阻抗使阻断电压 BV 在高电流时增加。所不期望的高 BV 不但造成上述的控向二极管的击穿，还会损坏 TVS 器件所要保护的电路。在这样的 TVS 电路的实现中，对大尺寸二极管的需求限制了器件的进一步最小化。

为了缩小瞬态电压抑制器 (TVS) 电路的尺寸及所占的表面积，垂直 TVS 二极管可以以图 1B-1 的形式实现。TVS 以标准 P 型衬底连接至 N+型稳压雪崩二极管来实现，TVS 在 P-衬底掺杂的顶部表面上形成一阴极端，并在阴极下方具有一 N+区域。一金属层形成于衬底底部作为阳极。P 型衬底通常具有 10-20 欧姆-厘米的电阻率，由此造成二极管具有高电阻值。图 1B-2 所示为一双通道垂直 TVS 二极管的等效电路。如图 1C-1 及图 1C-2 所示，TVS 二极管也可以与一 EMI 滤波器整合。垂直整合结构类似于在两个垂直 TVS 二极管间额外内连接一电阻的垂直 TVS 二极管。如图 1B-1 至图 1C-2 中所示的这样的垂直二极管及 EMI 滤波器结构需要承受巨大的结电容和低箝制效果这样的缺点，这是由于高电阻率的衬底导致的高二极管串联电阻所形成的。

因此，在本领域中仍然对电路设计和器件的制造存在一种需求，即提供一种新的优化的电路结构和制作方法以解决上述的问题。特别是存在提供一种新的优化的 TVS 电路的需求以能够提供一种用于便携式电子器件的低成本高密度的 TVS 和 EMI 滤波器。

发明内容

因此，本发明的一个方面是提供一种应用 DMOS 技术的优化的具有 EMI

滤波器的垂直 TVS 电路,以实现利用主流 DMOS 工艺生产低成本的具有 EMI 滤波器的 TVS 电路,其具有小的硅芯片足迹面积以此来克服上述的限制及困难。

此外,本发明的另一个方面提供了一种具有 EMI 滤波器的垂直 TVS 电路的优化的器件结构及制造方法,其使用主流垂直沟槽 DMOS 技术,其中沟槽栅极做为 TVS 结构的一部分,作用是隔离通道和滤波器电容。

本发明的另一个方面提供了一种应用 DMOS 技术的优化的具有 EMI 滤波器的垂直 TVS 电路结构,以实现利用主流沟槽 DMOS 工艺,其中具有 EMI 滤波器的 TVS 的垂直结构能够形成小的硅芯片足迹面积并增加集成电路单元密度,从而进一步减少制作成本。

本发明的一个优选实施例大致公开了一种整合有 EMI 滤波器的瞬态电压抑制器(TVS)的电路结构,用以抑制瞬态电压,其包括第一及第二 VTVS,其中每个 VTVS 包括一设置于井中,即本体区域中的具有第一导电类型的阴极连接掺杂区域,该井具有第二导电类型,其被第一导电类型的外延层所包围的,该外延层设置于具有第一导电类型的半导体衬底上,并连接设置在半导体衬底底部表面的阳极,并具有设置于半导体器件顶部表面的阴极且与阴极连接掺杂区相连接,从而形成第一和第二垂直 TVS。整合有 EMI 滤波器的 VTVS 还包括一独立导电区,其与第一和第二 VTVS 的阴极电连接,从而与第一和第二 VTVS 共同作用,以作为 EMI 滤波器。在另一实施例中,导电区域是设置在半导体衬底顶部的多晶硅层,用以与第一和第二 VTVS 的阴极电连接。在另一实施例中,半导体衬底为一 N 型衬底,而第一及第二 VTVS 的井为 P 型井。在另一实施例中,半导体衬底为一 P 型衬底,而第一及第二 VTVS 的井为 N 型井。在另一实施例中,第一及第二 VTVS 还各自包括一第二导电类型的掺杂区域,其设置在阴极掺杂区域下,用以调节二极管的击穿电压。

在另一优选实施例中,本发明还公开了一种形成为集成电路(IC)的电子器件,其中该电子器件还包括一瞬态电压抑制(TVS)器件。TVS 器件包括一半导体衬底用以支撑该 VTVS 器件,该半导体衬底的前侧做为 VTVS 的阳极而后侧则做为 VTVS 的阴极。该 VTVS 还包括一固有二极管及一寄生晶体管,其结构为一沟槽 DMOS,其中源极区域及本体区域即做为固有二极管,

而源极区域、本体区域及外延层则作为具有一沟槽栅极的寄生晶体管，该沟槽栅极作为一隔离沟槽。DMOS 还具有一沟槽栅极引道，其与设置在后侧作为阴极的漏极短接。在另一优选实施例中，半导体衬底还包括一 N 型衬底，其支撑 N 型外延层，该外延层具有形成于 N-源极与 P-本体区域之间的固有二极管以及形成于 N-源极、P-本体区域和 N-外延层之间的 NPN 晶体管。在另一实施例中，沟槽栅极引道设置于半导体衬底的边缘，其宽度大于隔离沟槽，以将沟槽栅极引道通过外延层短接到阴极。在另一实施例中，本体区域的掺杂浓度使 MOSFET 栅极阈值电压约为 6 伏，并且沟槽栅极的栅极氧化层提供所能承受的击穿电压约为 15 伏，由此，当加载在 VTVS 上的电压超过 6 伏时，VTVS 导通，并且提供寄生晶体管用以传送瞬时电流，从而将电压维持在箝制电压之下。

本发明进一步公开了一种具有整合了瞬态电压抑制器 (TVS) 电路的电子器件的制造方法。该方法包括应用标准 DMOS 制程制造一垂直 DMOS 器件的步骤，该器件具有一固有 PN 结二极管及一寄生 NPN 型或 PNP 型晶体管，以作为一垂直 TVS。

本领域的普通技术人员在结合多幅附图阅读了后续的对于优选实施例的详细叙述后，上述及其它本发明的内容及优点将变得显而易见。

附图说明

图 1A-1 所示为现有 TVS 器件的电路图；图 1A-2 为 I-V 图，即电流电压对比图，用以描述 TVS 器件的反向特征。

图 1B-1 为垂直 TVS 二极管的剖视图；图 1B-2 为现有的垂直 TVS 二极管的等效电路图。

图 1C-1 为整合了 EMI 滤波器的垂直 TVS 二极管的剖视图，图 1C-2 为现有的整合了 EMI 滤波器的垂直 TVS 二极管的等效电路图。

图 2A 和图 2B 分别是以垂直沟槽 DMOS 技术制成的垂直沟槽 DMOS 结构的垂直 TVS 的剖视图和等效电路图。

图 3A 至图 3D 分别是以垂直沟槽 DMOS 技术制成的垂直 TVS 的两个实施例的剖视图和等效电路图。

图 4 为利用 DMOS 技术制成的垂直二极管结构的 TVS 电路的剖视图。

图 5A 至 5E 为利用 DMOS 技术制成的双极晶体管结构的垂直 TVS 的实施例的剖视图。

图 6 为利用 DMOS 技术制成的整合了 EMI 滤波器的垂直 TVS 的剖视图，其结构为以一电阻元件连接的二极管。

图 7A 至 7B 为利用 DMOS 技术制成的整合了 EMI 滤波器的垂直 TVS 的剖视图，其结构为以一电阻元件连接的双极晶体管。

图 8 为利用 DMOS 技术制成的整合了 EMI 滤波器的垂直 TVS 的剖视图，其结构为通过沟槽隔离的二极管并与电阻元件连接。

图 9A 至 9D 为利用 DMOS 技术制成的整合了 EMI 滤波器的垂直 TVS 的剖视图，其结构为通过沟槽隔离的双极晶体管以并与电阻元件连接。

图 10A 至 10B 为利用 DMOS 技术制成的垂直 TVS 的剖视图，其结构为控向二极管并且 TVS 具有位于二极管间的沟槽隔离。

图 11、12A 及 12B 为利用 DMOS 技术制成的整合有 EMI 滤波器的垂直 TVS 的剖视图，其结构为在输入输出通道之间设置沟槽间隔，其中多晶硅填充沟槽进一步作为多晶硅电容。

图 13A 及 13B 分别为利用 DMOS 技术制成的整合了 EMI 滤波器的垂直 TVS 的侧面剖视图和俯视图，其结构为通过隔离沟槽间隔的垂直二极管，并且通过沟槽电感内部连接。

图 14A 至 14G 为本发明中使用主流沟槽 DMOS 制程来制造的整合了 EMI 滤波器的多通道 VTVS 的一系列制程步骤的侧面剖视图。

具体实施方式

参考图 2A 和图 2B 所示的以标准 DMOS 工艺制成的垂直瞬态电压抑制器 (VTVS) 100 的侧面剖示图和电路图。设置于一重掺杂半导体衬底 105 上的 VTVS 100 包含一作为阳极端 110 的前侧以及作为阴极端 120 的背侧，以形成包含一固有二极管与一 NPN 型晶体管的垂直 TVS。由于产品是通过应用标准沟槽 DMOS 制程制造的，故剖视图图 2A 所示为一沟槽 NMOS 结构，其包含形成于本体区域 130 上的源极区 125，本体区域 130 位于作为漏极的 N+衬底 105 上的 N 外延层 115 的顶部。隔离沟槽栅极 135 与栅极引道 135-GR 内部连接于边缘区域，并在三维空间穿过其它沟槽栅极。如图 2A 所示，本

VTVS 器件与其它一般沟槽 DMOS 的不同之处在于栅极引道 135-GR 通过与 N 外延层 115 相连接的、位于栅极沟槽接触（或栅极衬垫）区域中的栅极金属 140 短接到漏极 105。这是通过在 DMOS 接触开口制程时不使用额外的掩模，并蚀刻宽度大于栅极引道沟槽 135-GR 的栅极接触开口 140 来实现的。因此，图 2B 所示的等效电路图中，栅极短接至漏极。在制作一使用于 5V 器件的 VTVS 时，P-本体区域 130 的掺杂浓度可能会通过多次注入来增加，以符合 MOSFET 的栅极阈值电压约为 6V 的等级，并且栅极氧化层 145 的厚度会增加以能够承受 15V 的击穿电压。因此，当接入一般为 5V 的运行电压时，VTVS 不会导通。然而，在本例中会产生超过 5V 的瞬态电压，该电压加载于栅极并导通 MOS。寄生 NPN 也会被导通，因此大量的电流将会流过该不具有太多阻抗的器件，以此提供对二极管的优化的箝制。图 2A 也显示出 DMOS 本体区域 130 与一般 DMOS 器件一样被短接至源极 125。

图 3A 为另一与图 2 所示相似的器件结构的可选实施例的剖视图，区别是本体区域 130' 是浮动的。如等效电路图图 3B 所示，栅极 135 与漏极 105 连接结合，器件作为 MOS+NPN。栅极 135 也可以与源极 125 连接结合，在这个情形下 MOS 晶体管不会被导通，且此器件作为 NPN。栅极 135 的深度可以延伸穿过 N-外延层 115 并进入到 N+衬底 105 中的一定深度，以此来改善通道间以及输出与输入端间的间隔。更进一步，沟槽栅极 135 可以由氧化物 145' 或其它绝缘材料填充，以代替图 3C 中所示的导体材料。N+区域 125、P 本体区域 130 和 N-外延层 115 构成一如图 3D 所示的开放基极 NPN。可以通过改变 P 本体区域 130 的掺杂浓度来调整本体区域 130 到 N+区域 125 或 N-外延层 115 之间具有 6V 的击穿电压，从而当更高的瞬时电压冲击结合处，会发生电压击穿，该击穿会触发 NPN 导通，从而来保护其它电路。除了在图 2 和图 3 所显示的器件结构外，一个 P-沟道 DMOS 和 VTVS 的 PNP 可以使用类似通过改变半导体极性的方式来制成。

参考图 4 为一个应用于 VTVS 的优化二极管。该二极管 200 基于重掺杂 P+衬底 205 以减低阻抗。相较于现有技术中使用标准 IC 制程所制造的二极管中所使用的 P 衬底所具有的 10-20 欧姆厘米的电阻率，使用于 DMOS 里的 P+重掺杂衬底在仅提供只有几微欧姆厘米的电阻率。此外，也可以使用一个具有重掺杂底层的轻掺杂衬底来降低电阻率。通过向 P-外延层 210 注入砷或

磷离子来形成一 N-本体区域 215，借此，通过控制掺杂浓度，以调整 N-本体区域 215 和 P-外延层 210 间的击穿电压至 6V 或是任何需要的电压值。P-外延层 210 的厚度只有几微米以将电阻降到最小。更进一步的，N+区域 220 被形成于 N-本体区域 215 的顶部，以改善阴极 225 与形成于衬底 205 底部的阳极电极 230 的欧姆连接。

图 5A 至图 5C 为应用于 VTVS 的双极晶体管。如图 5A 中所示的 NPN，一 N+区域 220' 被注入到 N+衬底 205' 上的 N-外延层 210' 顶部的 P-井中，用来形成一连接到阴极电极 225' 的阴极区域。也可以在 N+阴极区 220' 下设置一可选的 P 区域 235，用以通过改变 P 掺杂浓度来调整击穿电压。P-井 215' 通过连接金属 240 和 N-外延层 210' 短接到阳极 230。当一超过预设器件工作电压的瞬间高电压加载在位于 N+阴极区 220' 与其下方的 P 区域 235 之间的结点时，会发生电压击穿，导致电子流经短接金属 240 到 N-外延层 210 以及到达阳极 230。当电流增加，在区域 220'、235、215' 和 210' 间形成的 NPN 会被导通，以更低的电阻值来传导更高的电流，从而改善箝制性能。在图 5B 中，击穿调整 P 区域 235' 被设置于 N+型阴极区域 220' 的侧面。此举提供一项优势，即使得在发生电压击穿的金属电极 240、225' 和 N+/P 区域结点间的空间间隔可以弹性地调整来避免过热。

图 5C 是另一基于 PNP 双极晶体管的改良 VTVS。相较于图 4 中的二极管 200，图 5C 中的器件更进一步包含了一个在连接到阴极的 N-本体区域 215 内的 P+注入区域 220"。P+区域 220"、N-井 215 和 P-外延层 210 或 P+衬底 205 的结构为一 PNP 晶体管，由 N-本体区域 215 与 P-外延层 210 之间的结点击穿来提供触发。VTVS 器件的箝制也由此得到改善。

图 5D 为另一具有类似工作原理的可替代实施例的剖视图，其结构为一对称 TVS。当半导体衬底的底部为浮动时，P-井 215' 被短接到 N+220'，且直接连接到分别被设计为输入、接地 (GND) 和输出的电极端 226、227 和 228。输入、接地和输出通道进一步被多个栅极沟槽 135' 所隔离。在高电压瞬变时，P-井 215' 与 N-外延层 210' 之间的结会产生电压击穿，并触发导通由 N+220'、P-井 215' 和 N-外延层 210' 构成的 NPN。一正的高电压瞬间加载于输出或输入端时，将会触发 TVS 的接地通道，同样的一个负的高电压瞬间加载于输出或输入端时，将会触发 TVS 的输出或输入通道。由于所有的通道都是同时制作

的，所以触发 TVS 沟道的正负瞬间电压本质上是大小相等的，因此该 TVS 装置是对称的。图 5E 为一个与图 5D 所示器件结构相似的可替代实施例的剖视图，不同点在于去除了 N+220'，使得箝制功能是由 P-井 215'和 N-外延层 210'间的结面二极管所提供的，但仍保持对称运作。

图 6 为一多通道 TVS 和一 EMI 滤波器的剖视图，其器件结构是基于图 4 所示的 TVS 器件结构实现的。第一和第二垂直 TVS (VTVS) 被形成作为基于 P+衬底 205 的第一二极管和第二二极管，以降低阻抗。每一个第一二极管和第二二极管都包含一由在 P-外延层 210 中注入砷或磷离子形成的 N-本体区域 215。通过控制 P-外延层 210 的掺杂浓度，这些二极管的 N-本体区域 215 和 P-外延层 210 间的击穿电压被调整到 6V 左右或任何需要的电压，P-外延层 210 只有几微米的厚度，以此来降低阻抗。对于每一个二极管，在 N-本体区域 215 的顶部形成 N+区域 220，以此来优化第一和第二阴极电极 225-1 和 225-2 与形成于衬底 205 底部的阳极端 230 之间的欧姆连接。此器件更进一步作为一个 EMI 滤波器，其中，阴极电极 225-1 作为输入端，第二阴极电极 225-2 作为输出端，并有一形成于隔离层 255 之上的多晶硅层 250，其电连接第一电极 225-1 和第二电极 225-2。多晶硅层 250 作用为一电阻内连接分别作为输入和输出端的第一和第二阴极电极 225-1 和 225-2。

图 7A 为一整合有 EMI 滤波器的多通道 TVS 的器件结构剖视图，其包含基于如图 5A 所示的器件结构的第一和第二垂直 TVS。第一和第二 VTVS 的阴极电极 225'-1 以及 225'-2 通过多晶硅层 250'内部连接，该多晶硅层 250'周围填补有隔离层 255'。该多晶硅层 250'作为一个介于 EMI 滤波器输入和输出端之间的电阻，这些端点分别为第一和第二阴极电极 225'-1 以及 225'-2。图 7B 是图 7A 中所示的整合有 EMI 滤波器的多通道 TVS 的器件结构的 PNP 互补结构，其包含基于图 5C 所示的器件结构的第一和第二垂直 TVS。一可选的 P 注入区域 214 可以被形成于 N-本体区域 215 之下，目的是调整击穿电压。

图 8 所示为一整合有 EMI 滤波器的多通道 TVS，该器件结构类似于图 6 所示的多通道 TVS 和 EMI 滤波器的器件结构，不同点在于数个隔离沟槽 270 形成于多晶硅层 250 的下方，该多晶硅层 250 的周围填补有隔离层 255。图 9A 所示为另一个整合有 EMI 滤波器的多通道 TVS，该器件结构类似于图 7A 所示的多通道 TVS 和 EMI 滤波器的器件结构，不同点在于数个隔离沟槽 270

形成于多晶硅层 250'下方，该多晶硅层 250'的周围填补有一隔离层 255'。图 9B 所示为另一个整合有 EMI 滤波器的多通道 TVS，该器件结构类似于图 7B 所示的 TVS 和 EMI 滤波器的器件结构，不同点在于数个隔离沟槽 270 形成于多晶硅层 250'下方，该多晶硅层 250'的周围填补有一隔离层 255'。如图 9C 所示，可以使用更多个沟槽来改善输出和输入之间的隔离。更进一步来说，图 9D 所示为一整合有 EMI 滤波器的多通道对称 TVS，其建构于图 5D 中的对称 TVS 的器件结构之上，且通过一电阻或电感连接输入端 226 和输出端 228。也可以通过切换掺杂极性来制造 PNP 互补结构。

图 10A 和 10B 所示为多通道 TVS 的剖视图，其具有类似于图 1A-1 所示的电路，但通过一新的器件结构来实现。图 10A 中的 TVS 300 形成于支撑 P-型外延层 310 的 P+衬底 305 上。多个 N-本体区域 320 形成于隔离沟槽 315 之间。在 N-本体区域 320 中形成一个 P+欧姆连接掺杂区域 330，用来连接输入输出 (I/O) 端 325。一可选的 N+埋入层 322 可以借由高能量 N+注入形成于 P+结点之下，以此降低 PNP 增益。一 P-本体区域 335 设置于 N-本体区域 320 和一可选的 N+埋入层 322 之下，作为稳压二极管。P+欧姆连接掺杂区域 330 和 N-本体区域 320 提供功能为连接 IO 端 325 和 Vcc 340 的上层二极管。形成于外延层 310 和 N-本体区域 320 间的二极管被连接于 IO 端 325 和接地电位的阳极端 350 间。同时，稳压二极管连接于 Vcc 340 和阳极 350 的接地电压之间，且并联上层和下层二极管，其连接位于上层和下层二极管中点的 IO 端 325。每个二极管都被隔离沟槽 315 隔离。图 10B 为进一步改良的结构，其使用 PNP 来代替稳压二极管。在可选的注入 N+区域 322 期间，使用一掩模来阻挡 P+区域 334 所在的 N-井 320。由 P+区域 334、N-井 320 和 P 本体区域 335 组成的 PNP 晶体管可以被 N-井 320 和 P 本体区域 335 间的结点击穿电压所触发。

图 11 为一多通道 TVS 的剖视图，其整合有图 8 所示的内部连接于输出和输入端点 225'-1 和 225'-2 之间的 EMI 滤波器，且具有额外的沟槽 275 来增加形成于沟槽栅极 275 和外延层 210'之间的寄生电容的电容值。这些电容如图 11 所示那样并联。EMI 滤波器的截止频率可以通过改变电容值来调整。可以注入 P-扩散区域 276 以封闭沟槽电容，并通过制造良好的与衬底间的低阻抗连接来降低电容的等效串连电阻 (ESR)。图 12A 与其具有类似的器件

结构，并具有分离沟槽栅极 275'以进一步增加电容值。图 12B 是另一个沿着 B-B'方向的器件剖视图，用以显示分离沟槽电容间的并联关系。

图 13A 和 13B 所示分别为在器件内使用沟槽电感布局设计的侧面剖视图和俯视图，其包含如图 4 所示的形成第一和第二二极管的一多通道 TVS，其具有作为输入端的第一阴极电极 225"-1 和作为输出端的第二阴极电极 225"-2。第一和第二二极管通过隔离沟槽 280 隔离，并由一沟槽电感 285 连接。输入和输出端的连接开口分别为所示的 225"-1-C 和 225"-2-C。连接开口到沟槽电感的连接分别为所示的 285-C1 和 285-C2，其分别连接到输入和输出电极。

参考图 14A 至图 14G，为根据本发明通过使用主流沟槽 DMOS 制程制造整合有 EMI 滤波器的多通道 VTVS 的制造过程。在图 14A 中，通过蚀刻贯穿一氧化物硬掩模（图中未表示）在一个 N+衬底 405 顶部上的 N 外延层 410 之中形成多个沟槽 470。衬底 405 是一个典型用于垂直 DMOS 器件的重掺杂衬底，所具有的掺杂浓度高于 $1E18/cm^3$ ，相当于电阻率小于 N 型的 20 微-欧姆-厘米或 P 型 40 微-欧姆-厘米，相较于典型的集成电路制程衬底，其拥有小于 $1E16$ 的掺杂浓度和数欧姆-厘米的电阻率。也可选择，使用一具有重掺杂底层的轻掺杂衬底来降低电阻率。沟槽最好蚀刻贯穿外延层 410 到达衬底 405，以提供最好的隔离。也可以实施一些可选的流程以移除氧化物硬掩模，如在沟槽 DMOS 制程中生长牺牲氧化物和圆滑化沟槽底部。在图 14B 中，一栅极氧化物层 455 被热生长，接着沉积多晶硅以填充沟槽，然后使用毯式回蚀制程来去除沟槽上超出的多晶硅。氧化物层 455 的厚度可以透过热增长或沉积来增加到希望的厚度。在图 14C 中，实施精密控制厚度和掺杂物密度的第二多晶硅沉积，之后使用掩模来图案化以形成第二多晶硅 450 从而形成 EMI 滤波器电阻。氧化物层 455 也被清除以进行后续的注入步骤。在图 14D 中，P 本体区域 415 和初始击穿电压调整区域 435 被 P 型掺杂物注入并扩散。为了获得一深的 P 本体区域 415 可以实施高能量注入。在一个实施例中，实施硼离子注入的能量等级介于 700KeV 到 1000KeV 之间，且剂量范围从 $5E13$ 到 $1E14$ ，以形成一 2-3um 深度的 P 本体。在图 14E 中，实施 N 型注入以形成 N+区域 420 和 423。在图 14F 中，氧化物层 460 被形成于顶部表面，接下来进行可选的沉积并回流硼磷硅玻璃以使表面平面化。在连接开口被蚀

刻贯穿氧化层 460 后, 实施一 P+连接注入以形成 P-本体连接区域 424。不需要反掺杂 N+区域 423, 由此提供外延层欧姆连接用以将 P-本体区域短接到外延层和衬底。在一实施例中, 连接注入使用 B/BF₂ 离子, 剂量为 2E15/cm², 能量 60KeV, 同时 N+区域由双注入形成, 先进行剂量为 4E15、注入能量为 80KeV 的砷离子注入, 随后进行剂量为 4E15、能量为 80KeV 的磷注入。N+区域 420 反掺杂至击穿电压控制 P 区域 435 的中央部分, 该 P 区域 435 已经被进行了低浓度注入, 其剂量为 1E13 到 4E13, 并具有较低的能量 50KeV, 剩下的未受影响的 435 区域的边缘用以形成一具有 N+区域 420 的侧边二极管以提供初始崩溃电压。在图 14D 中, 金属层被沉积并图案化来形成输入电极 425-1 和输出电极 425-2, 并且 P-本体外延层也短接到电极 440。金属层 430 也被沉积在底部表面以形成阳极。

上述制程提供一个整合有 EMI 滤波器的垂直 TVS, 其结构为被沟槽隔离并通过一电阻元件连接的 NPN 晶体管, 其通过使用类似于图 9 所示的实施例中的 DMOS 技术制造而成, 其具有设置于侧面的一初始击穿电压二极管。其它实施例可以开始于适当的衬底并通过增加或跳过某些步骤的类似程序制造。特别是没有隔离沟槽的实施例, 它可能跳过形成沟槽的制程; 不整合有 EMI 滤波器的 TVS 的实施例可以跳过第二多晶硅沉积制程。此外, 如图 13A 和 13B 所示的, 为了增加电容而具有分隔栅极的实施例可能还包含多个多晶硅沉积和回蚀制程的步骤。

尽管本发明已经通过现有的优选实施例进行了叙述, 但应当认识到这样的公开不应被视为对本发明的限制。在阅读了上述公开内容后, 对本领域的技术人员而言, 多种变化和修改都会变得显而易见。相应的, 附后的权利要求应当被视为覆盖了所有落入本发明真正精神和范围内的变化和修改。

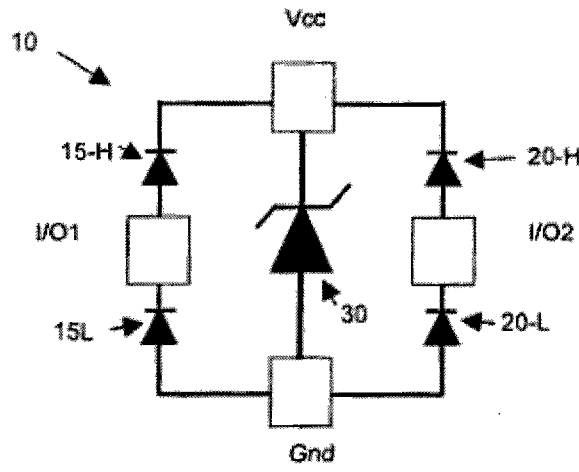


图 1A-1 (先前技术)

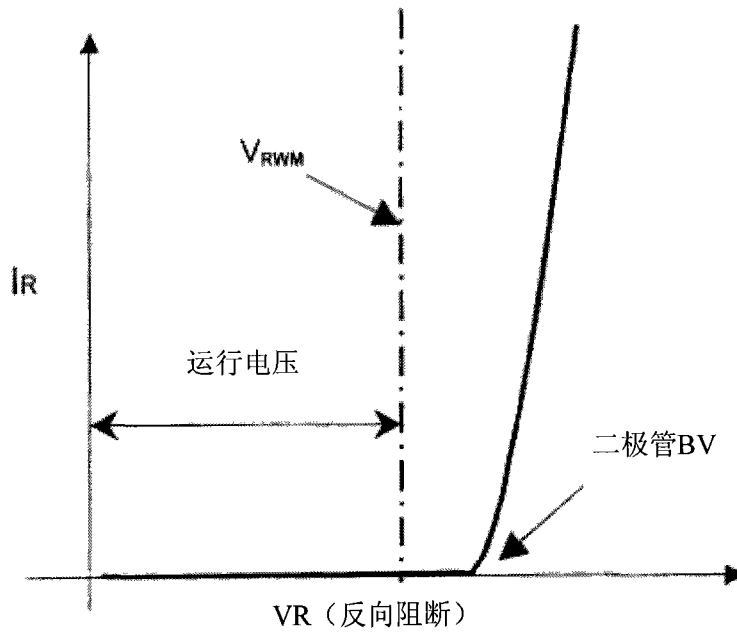


图 1A-2 (先前技术)

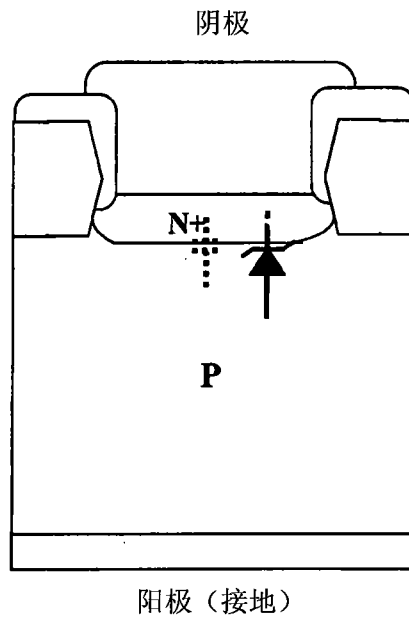


图 1B-1 (先前技术)

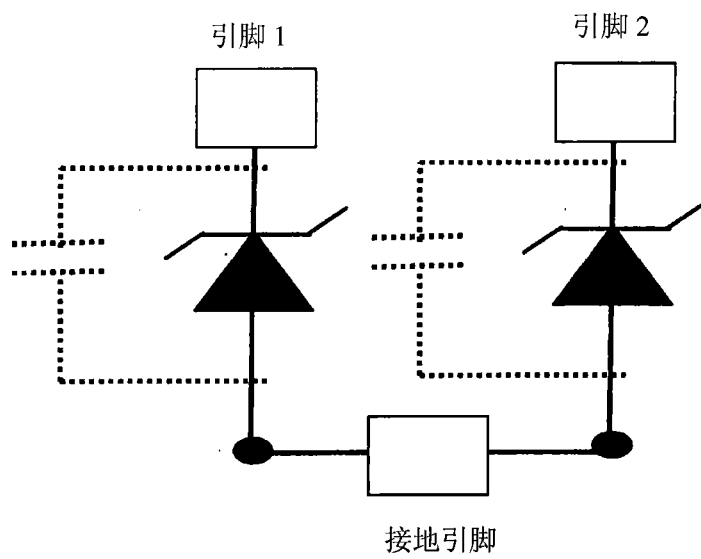


图 1B-2 (先前技术)

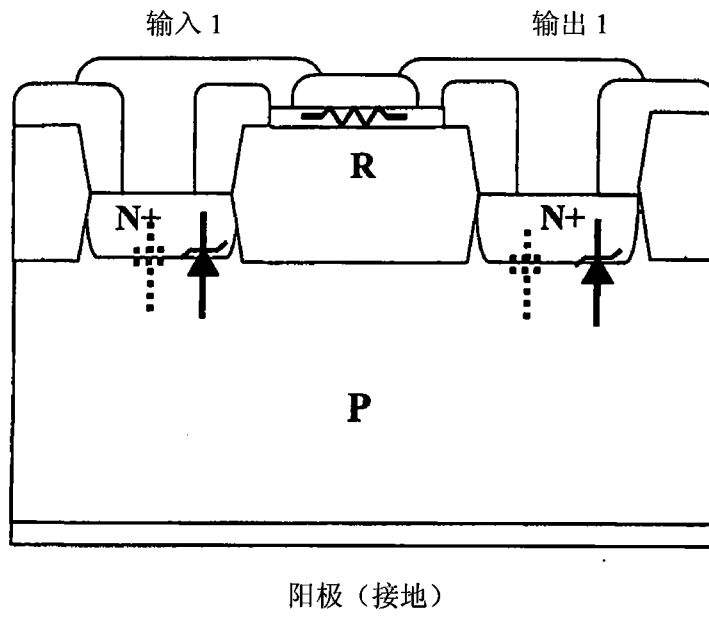


图 1C-1 (先前技术)

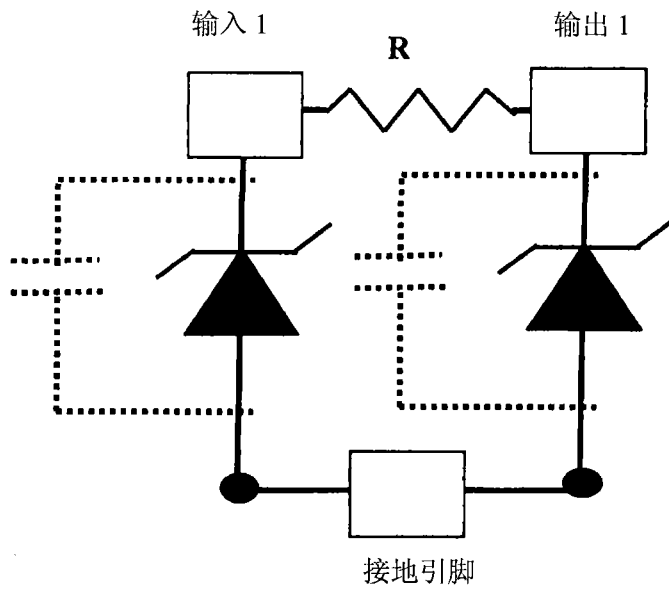


图 1C-2 (先前技术)

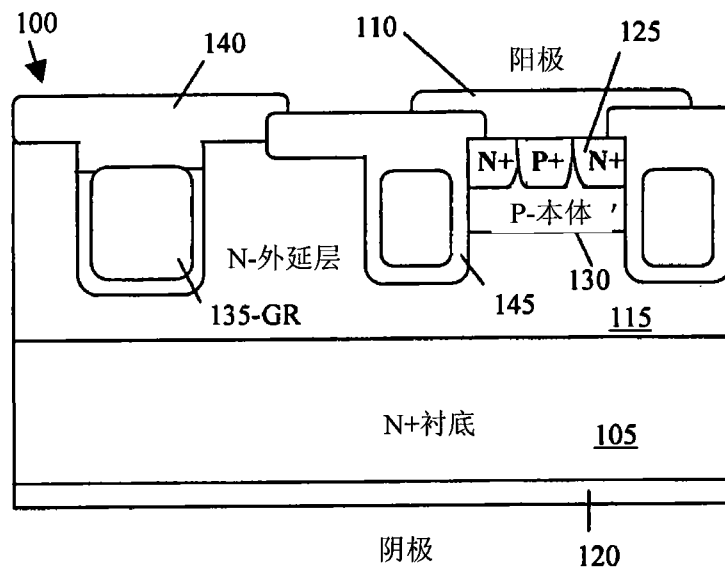


图 2A

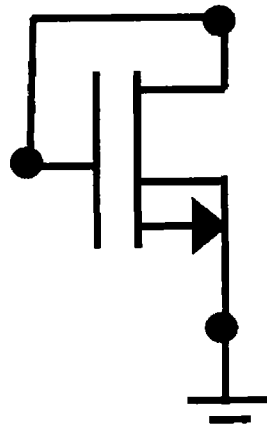


图 2B

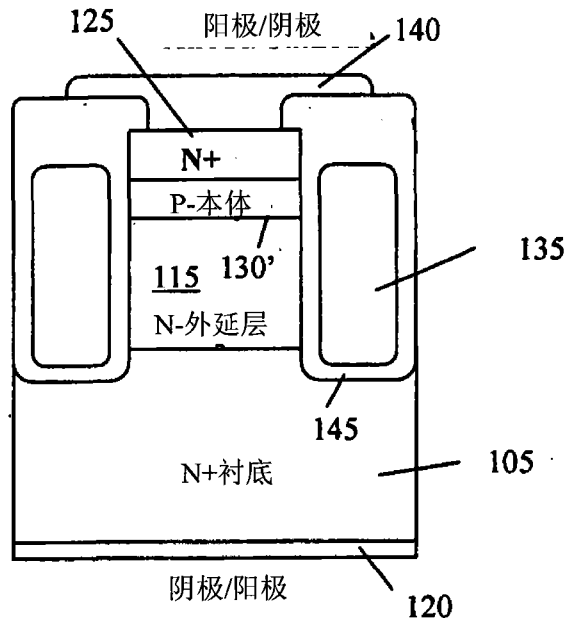


图 3A

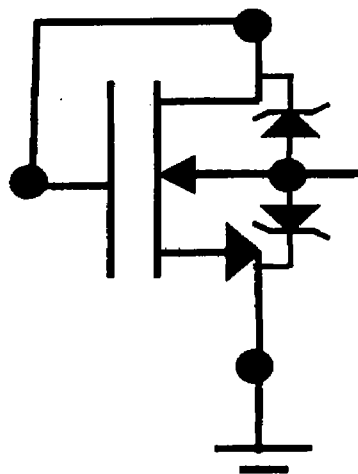


图 3B

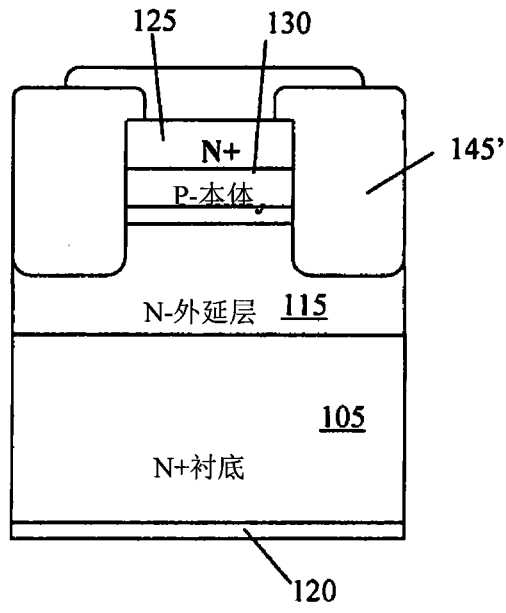


图 3C

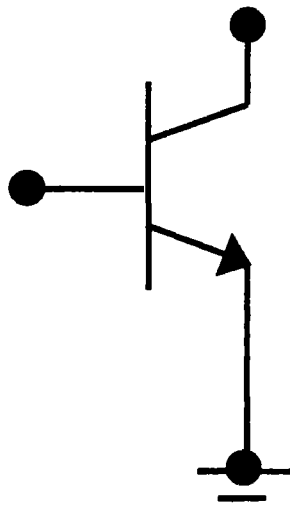


图 3D

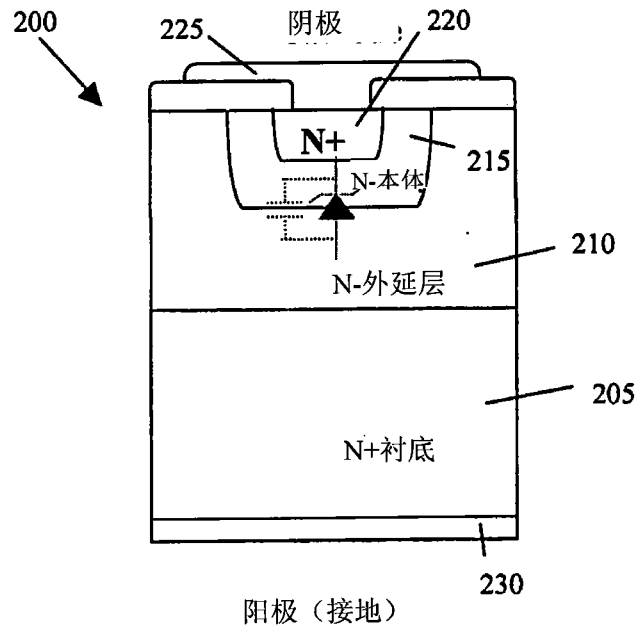


图 4

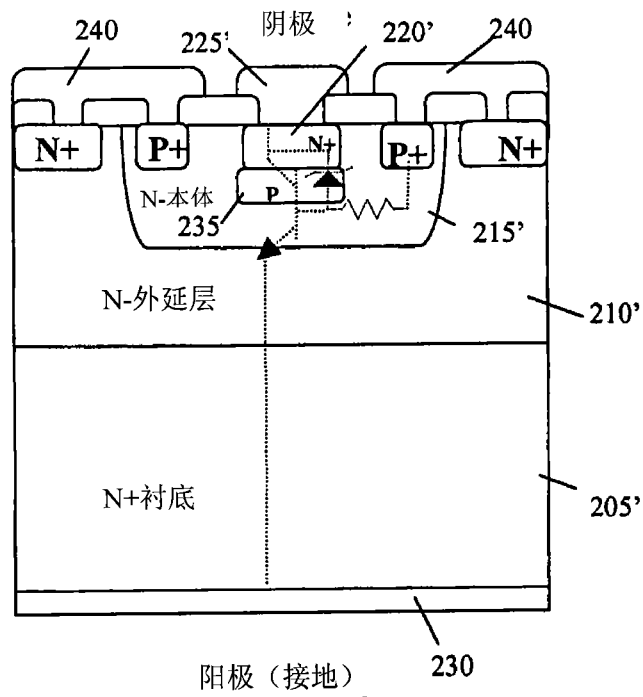


图 5A

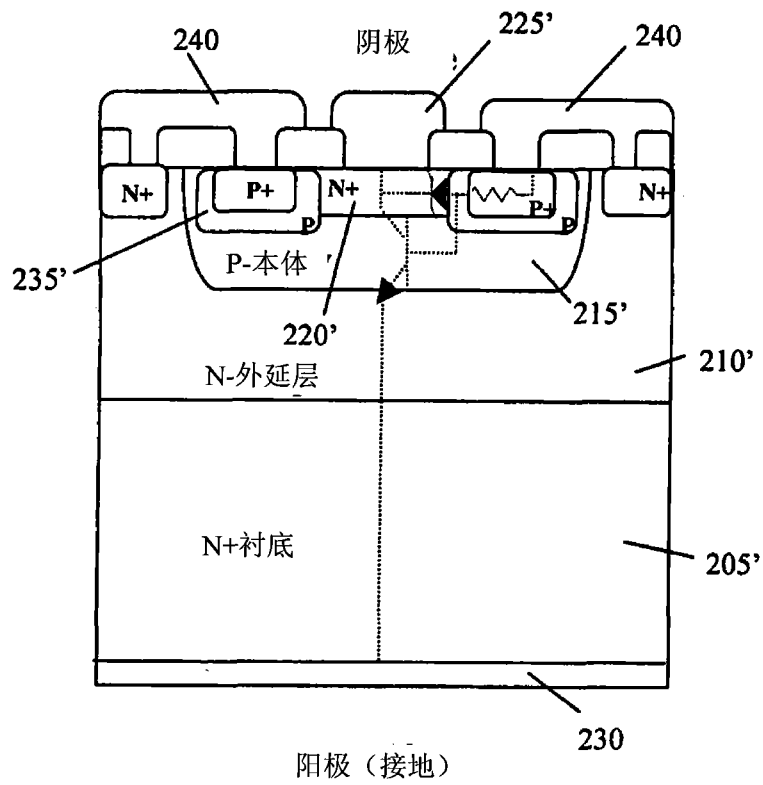


图 5B

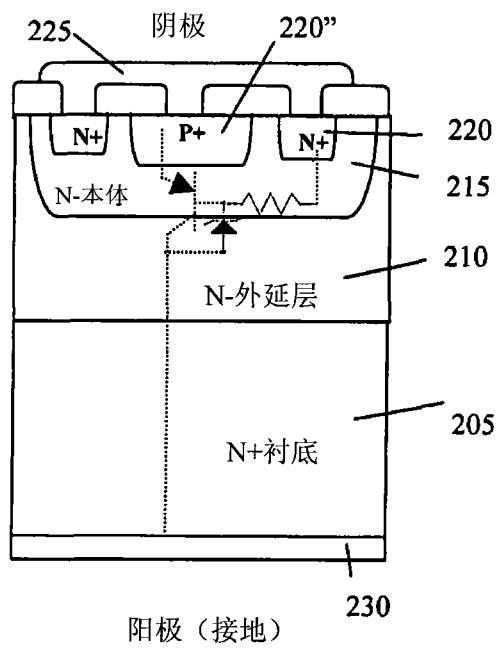


图 5C

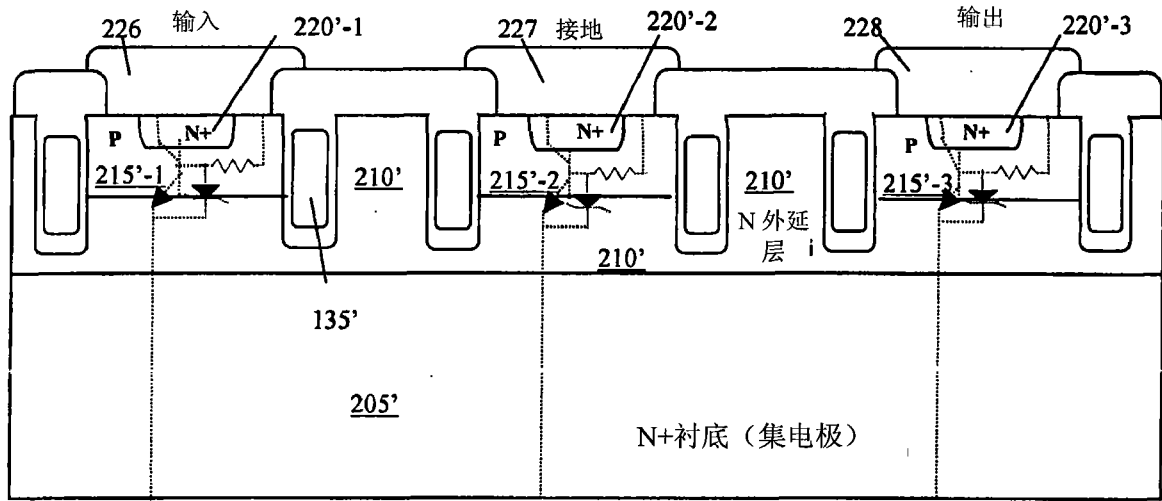


图 5D

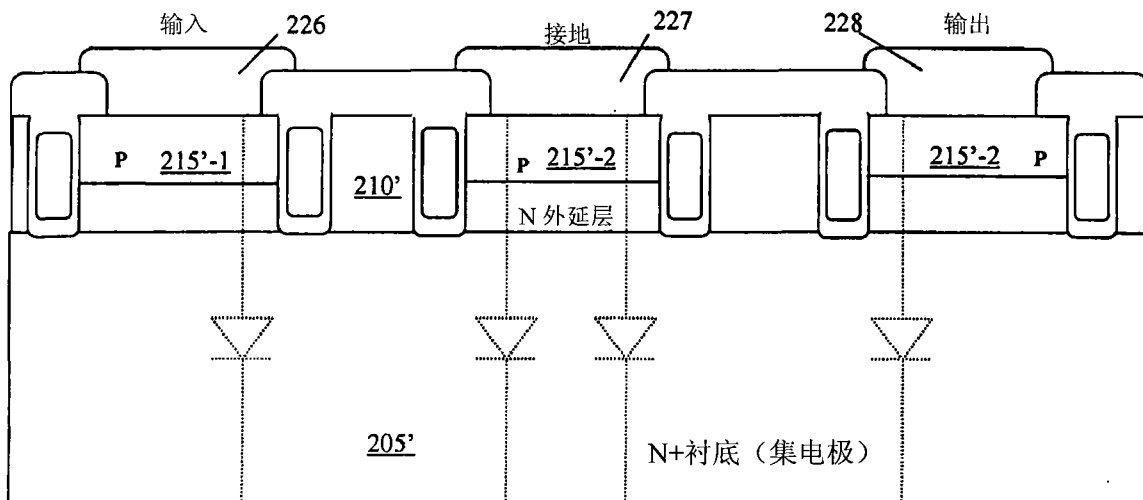


图 5E

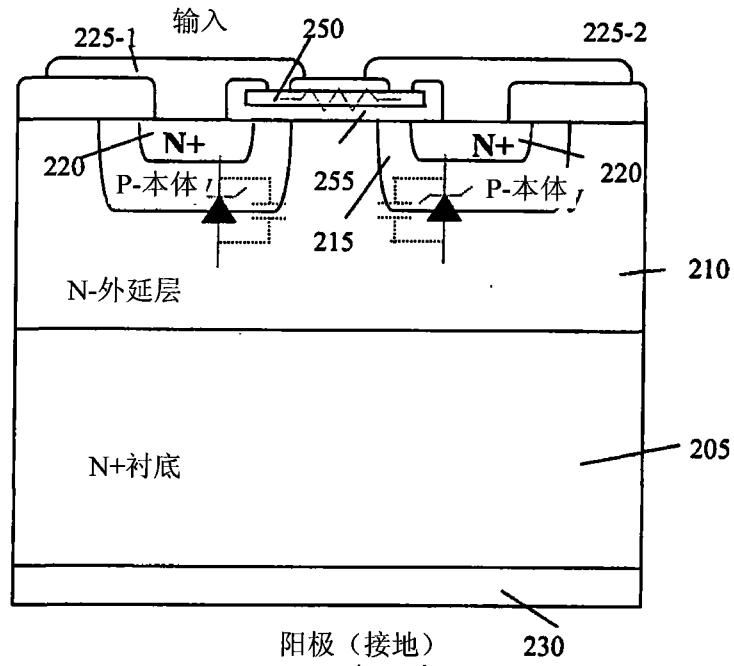


图 6

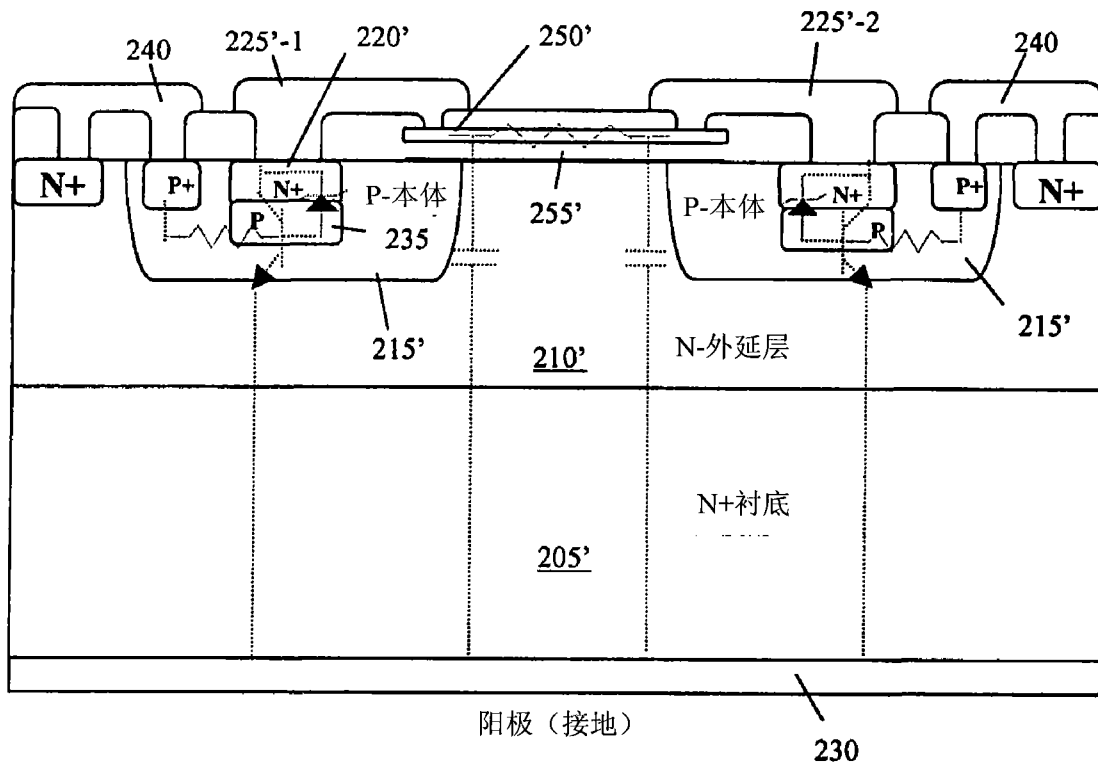


图 7A

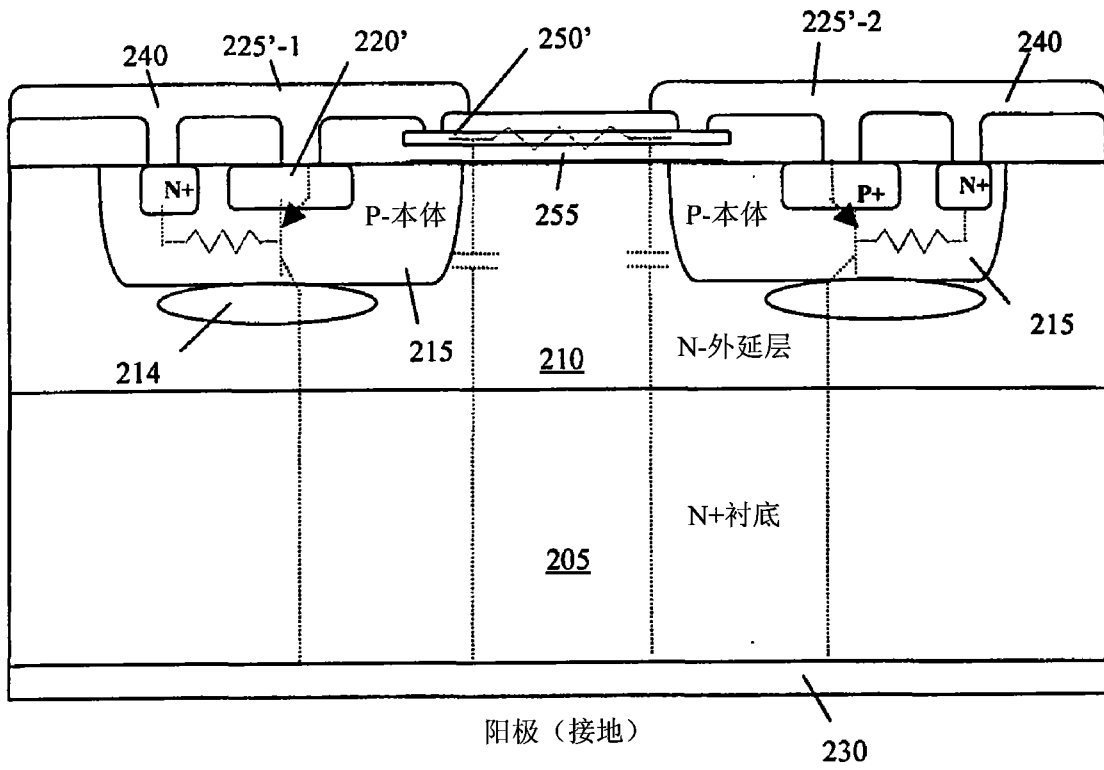


图 7B

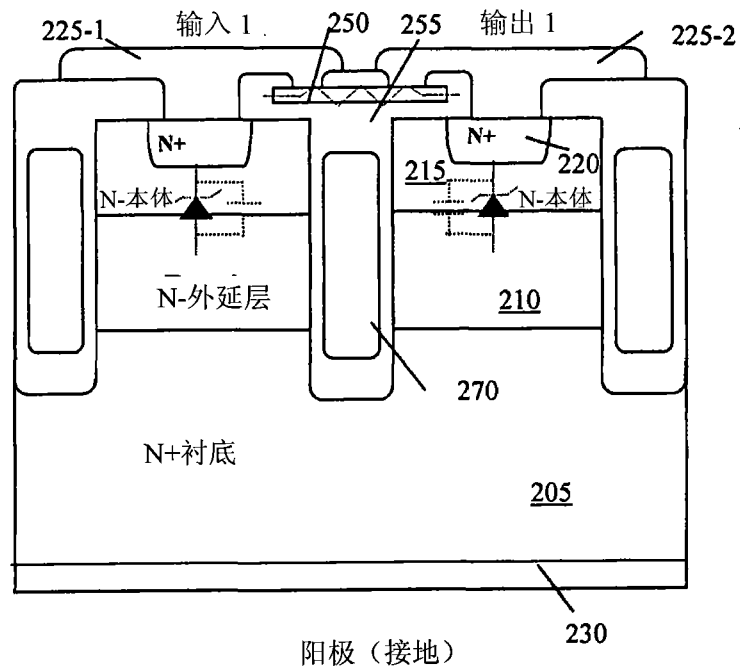


图 8

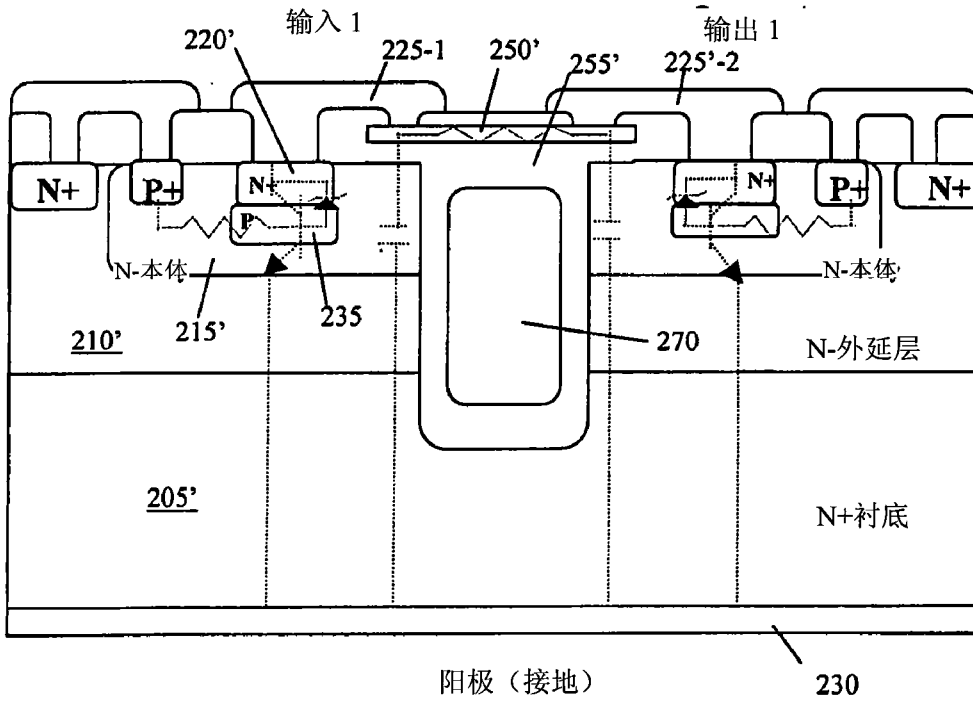


图 9A

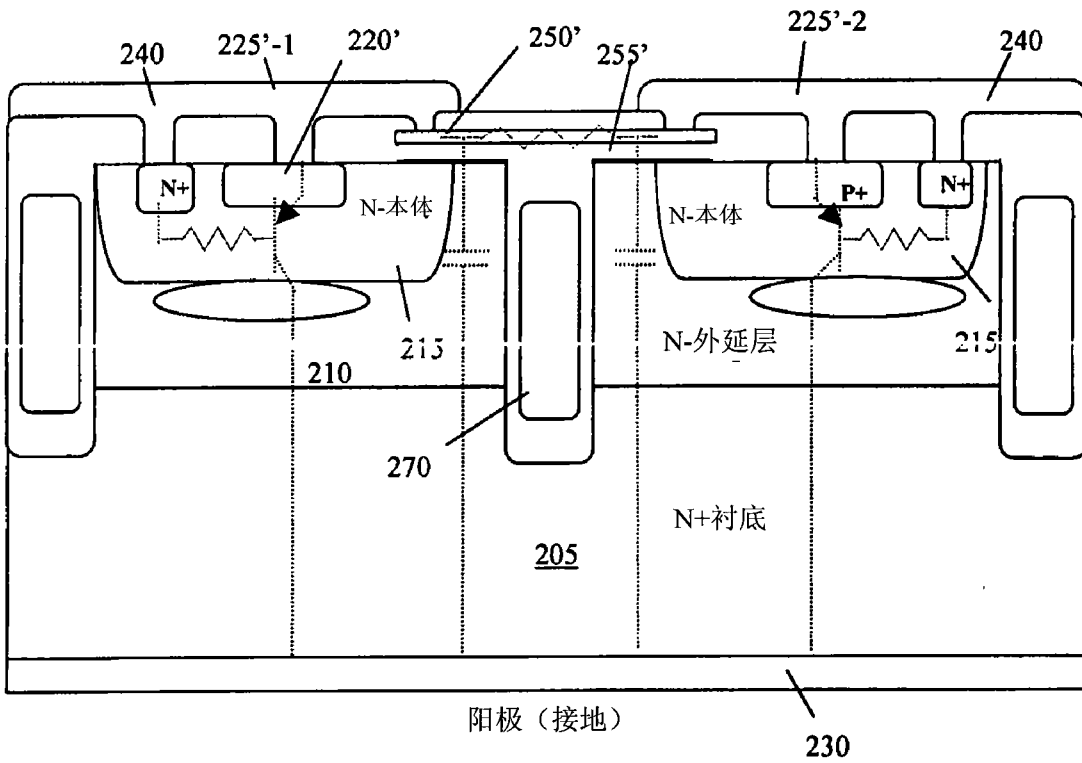


图 9B

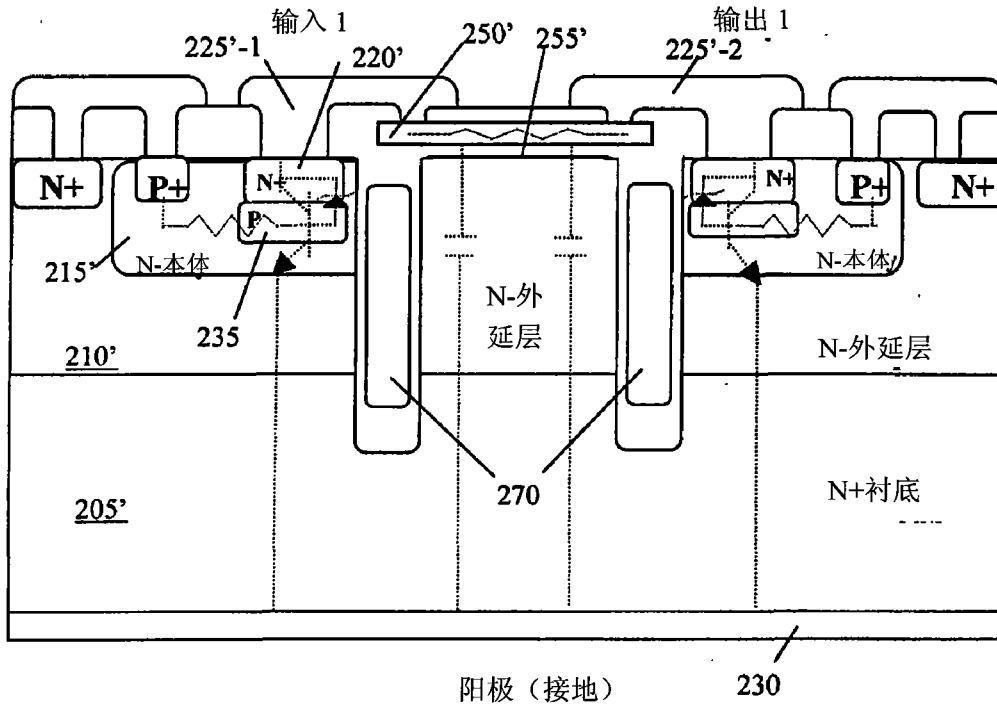


图 9C

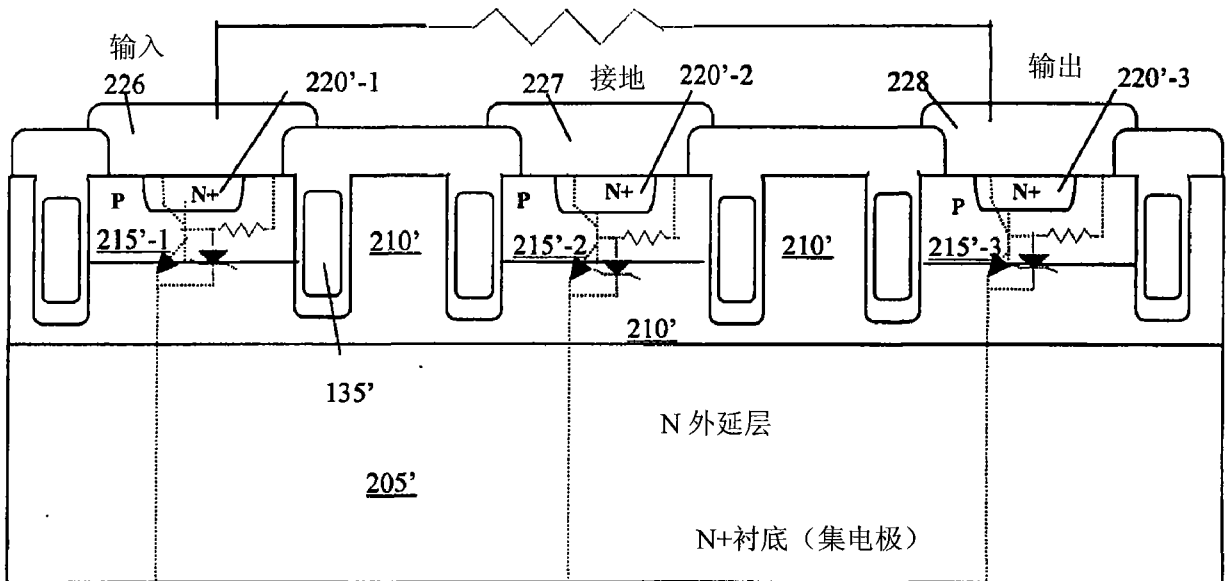


图 9D

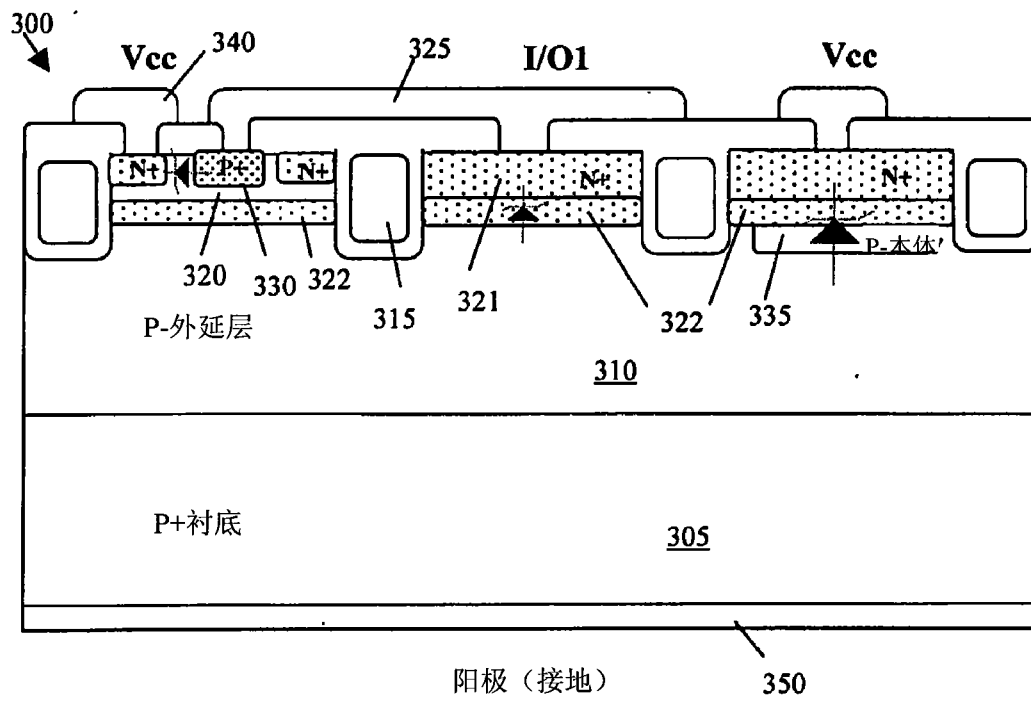


图 10A

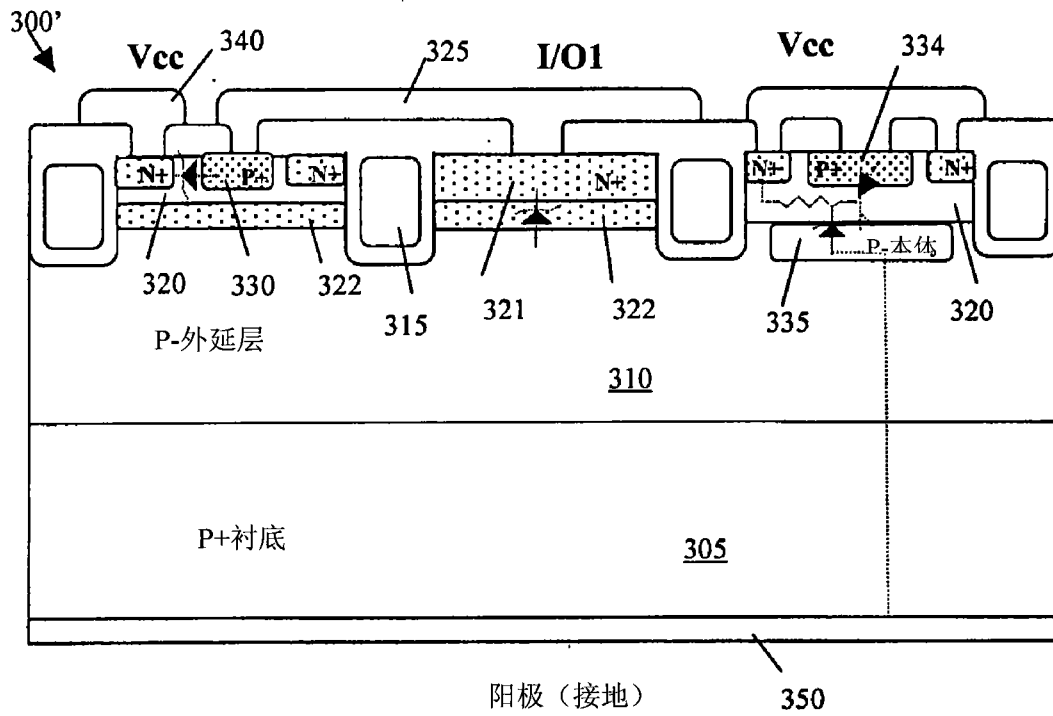


图 10B

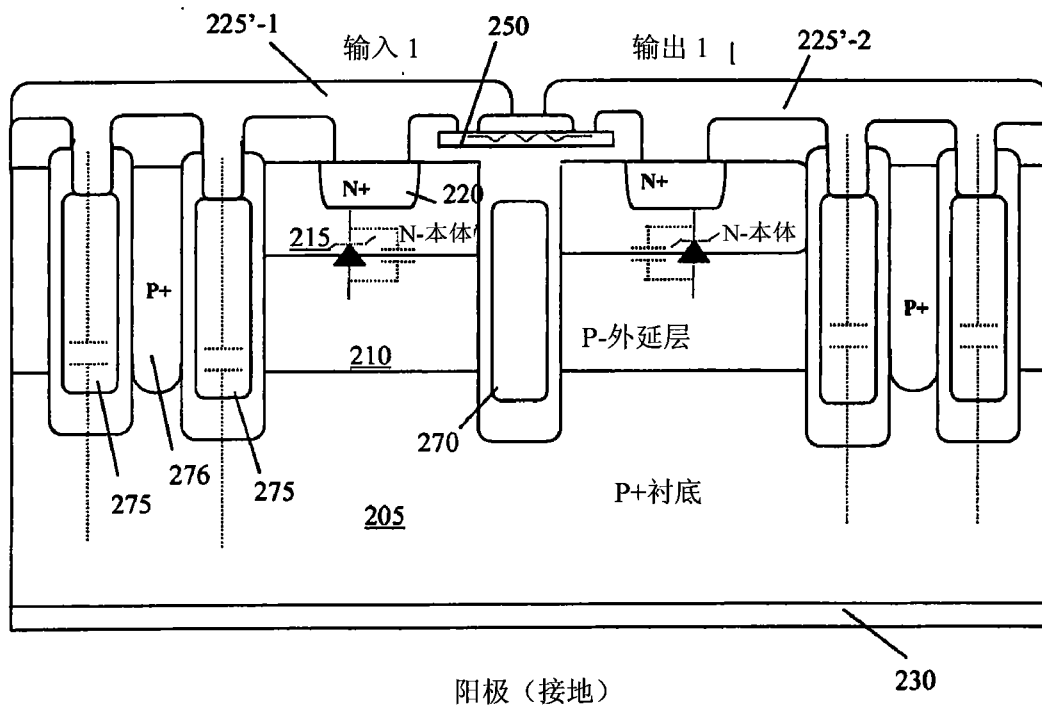


图 11

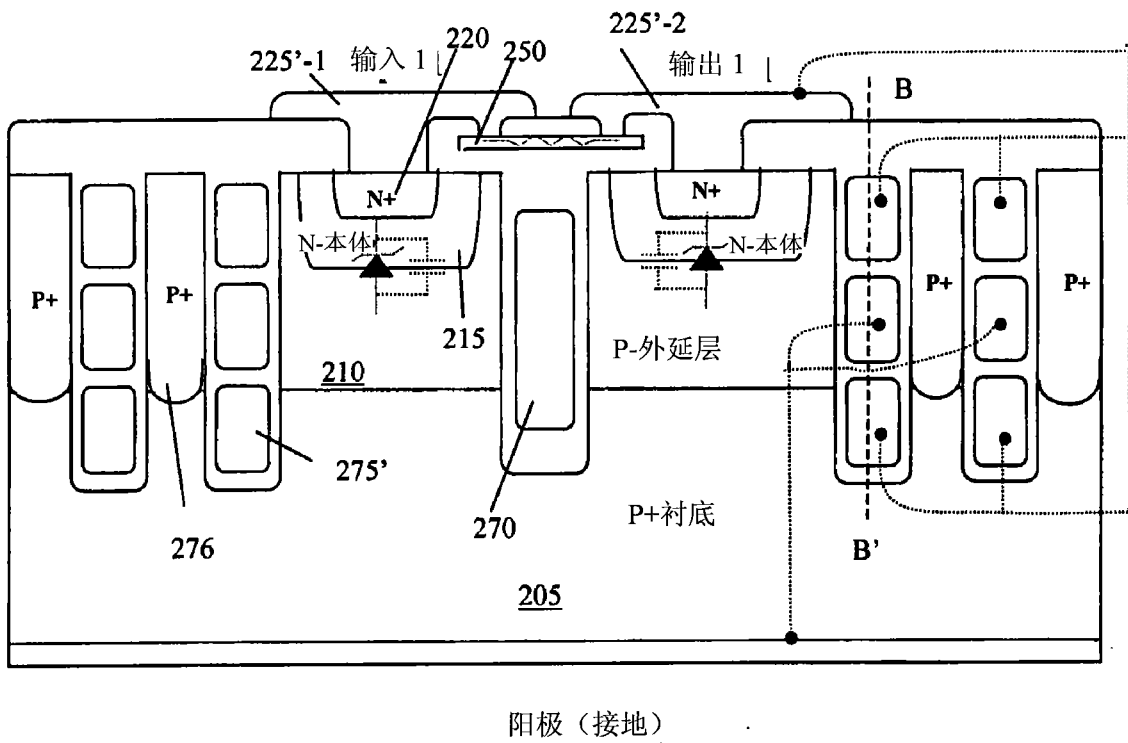


图 12A

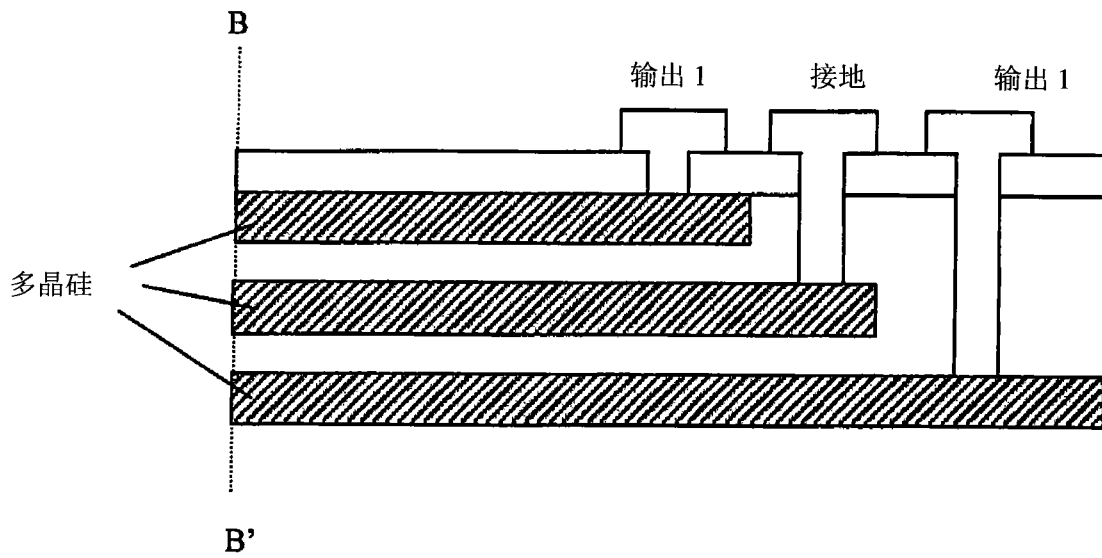


图 12B

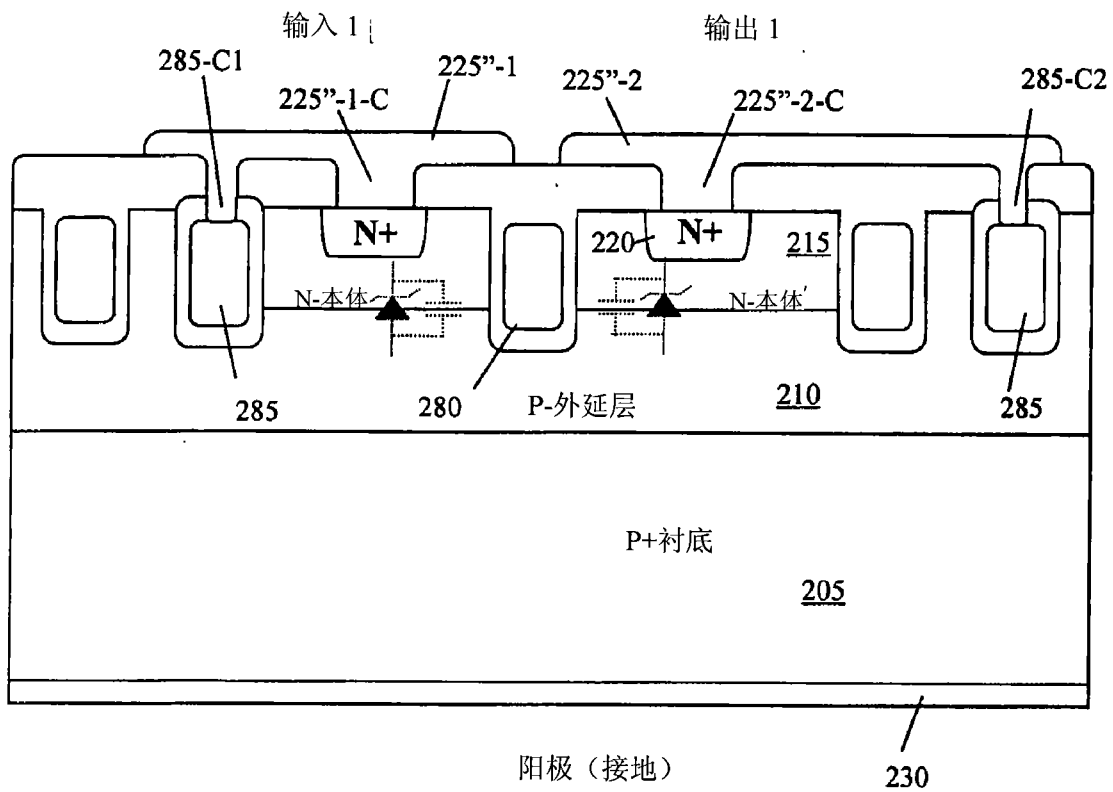


图 13A

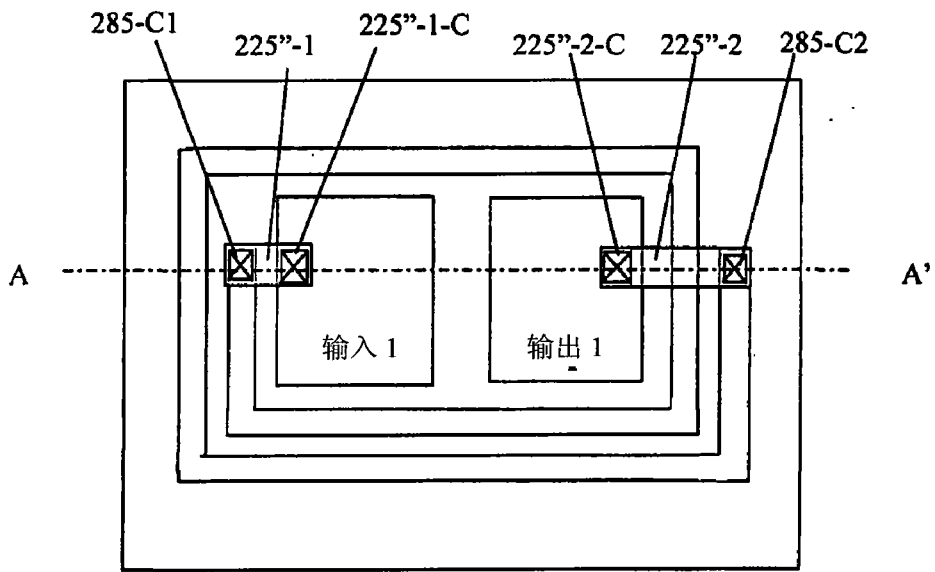


图 13B

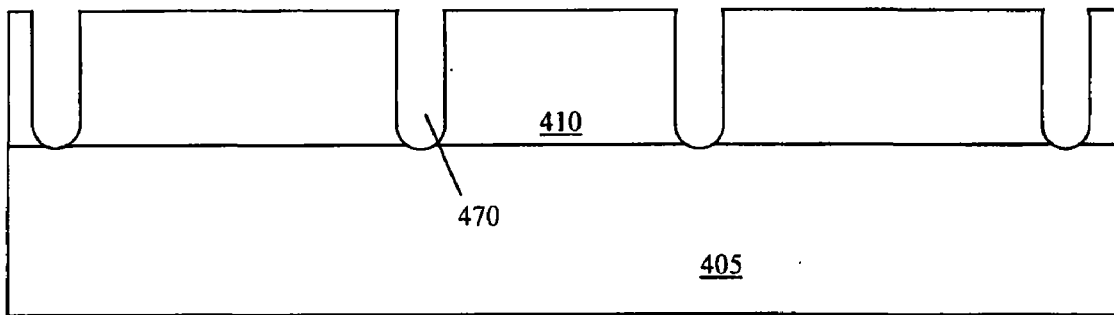


图 14A

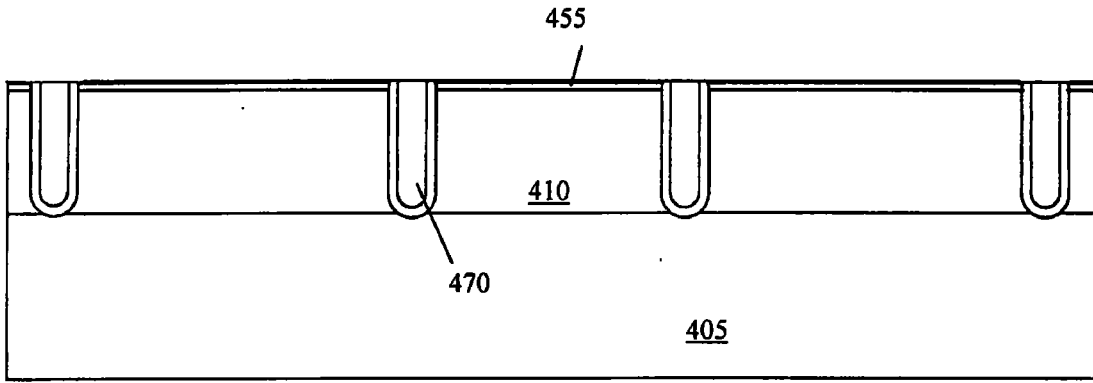


图 14B

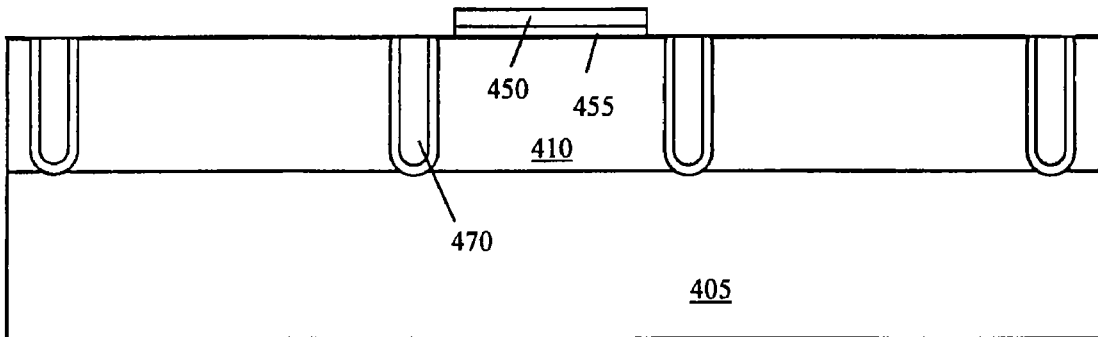


图 14C

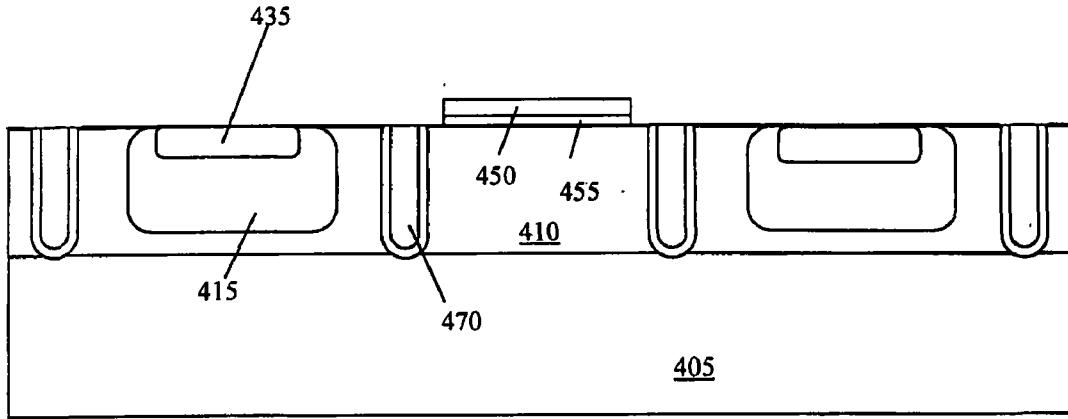


图 14D

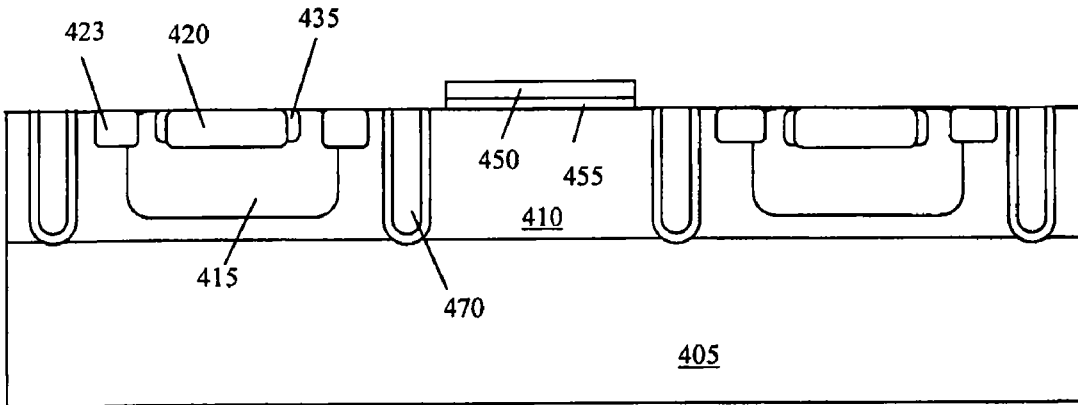


图 14E

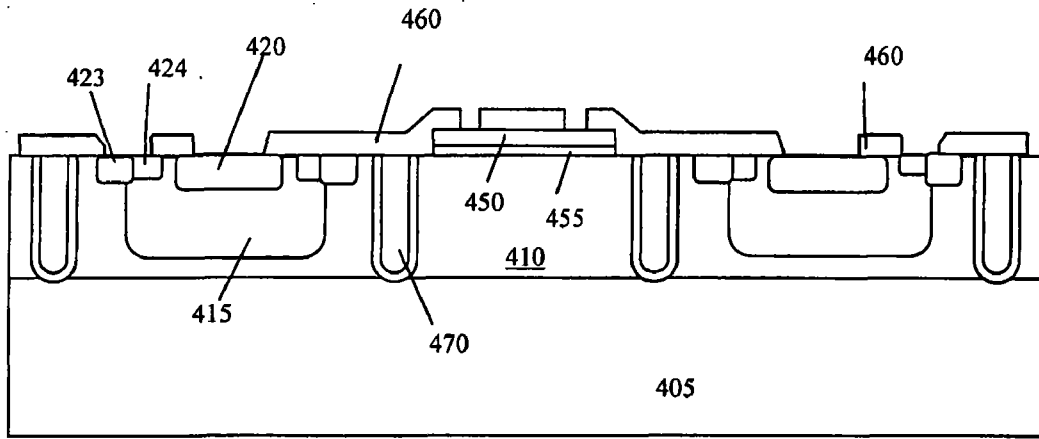


图 14F

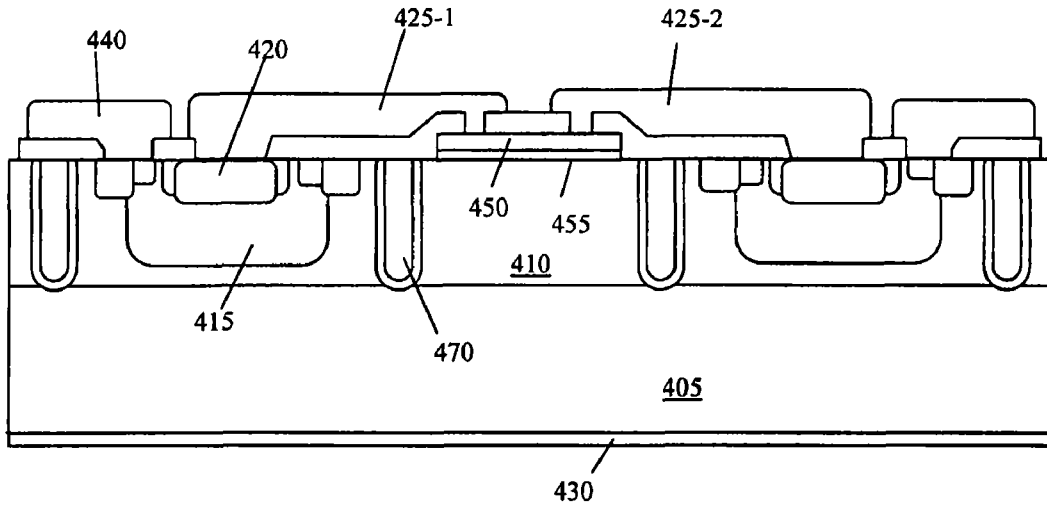


图 14G