

公告本

申請日期: 90.11.6.	案號: 90127617
類別: G06F 12/02, G11C 8/00	

(以上各欄由本局填註)

發明專利說明書

I220192

一、發明名稱	中文	用於內部電路模仿器系統之裝置及其記憶體存取方法
	英文	Memory access method and apparatus in ICE system
二、發明人	姓名(中文)	1. 陳冠州
	姓名(英文)	1. Joe Chen
	國籍	1. 中華民國
	住、居所	1. 台南縣佳里鎮和平街303號
三、申請人	姓名(名稱)(中文)	1. 聯發科技股份有限公司
	姓名(名稱)(英文)	1. Media Tek Inc.
	國籍	1. 中華民國
	住、居所(事務所)	1. 新竹科學工業園區創新一路13號1樓
	代表人姓名(中文)	1. 蔡明介
	代表人姓名(英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

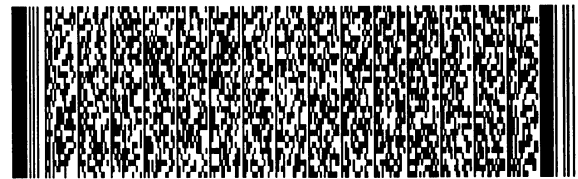
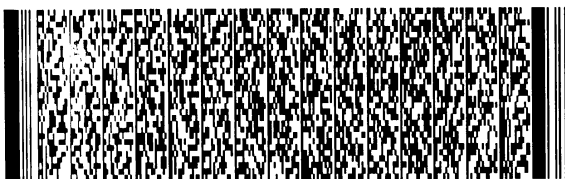
[發明之技術領域]

本發明係關於一種記憶體讀取方法與裝置，特別是關於在內部電路模仿器(In-circuit Emulator, ICE)系統中，利用提供給內部電路模仿器之資料與位址匯流排來存取外部記憶體資料之裝置與記憶體存取方法。

[習知技術]

部分內部電路模仿器為了減少輸出入接腳(I/O pins)，而將資料匯流排與低位元位址匯流排共用一組輸出接腳。圖1所示為具有位址資料多工匯流排之內部電路模仿器的控制系統。如該圖所示，由於裝置12亦包含中央處理單元(Central processing unit, CPU)，因此裝置12除了接受內部電路模仿器11的控制之外，還可透過另一組資料與位址匯流排存取外部記憶體13的資料。內部電路模仿器11利用較高位元之位址(例如A15:8)產生裝置12的晶片選擇信號CS。亦即，當ICE 11送出之高位元位址資料A15:8符合裝置12所設定之位址範圍時，例如高位元位址資料為F8H~FFH，裝置12的晶片選擇信號CS會被致能(enable)，且回應ICE 11後續之存取信號。而當內部電路模仿器11送出之高位元位址資料A15:8不符合裝置12所設定之位址範圍時，則裝置12對內部電路模仿器11之位址與資料匯流排為閒置狀態且忽略(ignore)微控制器11所產生之位址與資料信號。

由於裝置12內部還包含一獨立之中央處理元，因此該



五、發明說明 (2)

裝置12亦需要存取外部記憶體13的資料。當裝置12欲存取外部記憶體13的資料時，則需要透過另一組資料匯流排與位址匯流排來進行。

因此，裝置12必須提供兩組資料與位址匯流排。一組讓內部電路模仿器11存取，而另一組則用來存取外部記憶體的資料。此設計將使裝置12的接腳數無法減少，而增加成本。

[發明概要]

有鑒於上述問題，本發明之目的是提供一種用於內部電路模仿器系統之裝置及其記憶體存取方法，該裝置利用提供給內部電路模仿器系統之資料與位址匯流排來存取外部記憶體資料，藉以減少該裝置的輸出入接腳。

為達成上述目的，本發明之裝置包含一第一緩衝器，係接收內部電路模仿器之高位元位址匯流排信號，並由一緩衝器致能信號控制，且在該緩衝器致能信號被致能時導通；一第二緩衝器，係接收內部電路模仿器之位址/資料多工匯流排信號，並由緩衝器致能信號與一方向控制信號控制，且在緩衝器致能信號被致能時導通；一高位址匯流排，係連接第一緩衝器之輸出，並連接至外部記憶體的高位元位址匯流排；一低位址/資料多工匯流排，係連接第二緩衝器之輸出，並連接至外部記憶體的資料匯流排；一低位址匯流排，係連接至外部記憶體的低位元位址匯流排；以及控制單元，係接收內部電路模仿器之控制信號並



五、發明說明 (3)

產生緩衝器致能信號與方向控制信號。

其中緩衝器致能信號在內部電路模仿器之位址門鎖信號致能時被致能，且當內部電路模仿器之高位元位址信號不符合裝置的位址時被禁能。

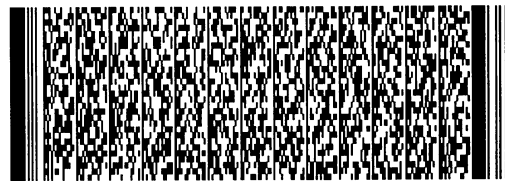
[實施例]

以下參考圖式詳細說明本發明用於內部電路模仿器系統之裝置及其記憶體存取方法。

圖2顯示使用本發明之裝置的內部電路模仿器系統架構圖。如該圖所示，一個內部電路模仿器系統包含一內部電路模仿器21、一控制裝置22、一外部記憶體23、以及兩個緩衝器24與25。

內部電路模仿器21的高位元位址資料A15:8經由第一緩衝器24連接至控制裝置22的高位元位址匯流排BUF_A15:8。同時，內部電路模仿器21的位址/資料多工匯流排的資料經由第二緩衝器25連接至控制裝置22的位址/資料多工匯流排BUF_A7:0/D7:0。另外，內部電路模仿器21的位址門鎖信號ALE、讀取控制信號/RD、以及寫入控制信號WR則直接輸入至控制裝置22。

控制裝置22根據內部電路模仿器21的高位元位址資料A15:8解碼出內部電路模仿器21是否對該控制裝置22進行存取(Hit)。若內部電路模仿器21對控制裝置22進行存取，則控制裝置22將緩衝器致能控制信號/BUF_OE致能，且根據讀取控制信號/RD與寫入控制信號WR設定緩衝器方



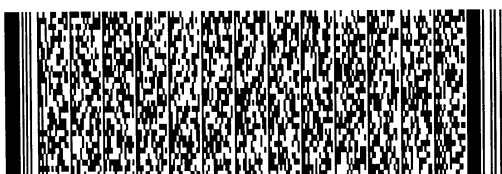
五、發明說明 (4)

向控制信號BUF_DIR。緩衝器致能控制信號/BUF_OE用來控制第一緩衝器24與第二緩衝器25是否導通，而緩衝器方向控制信號BUF_DIR用來控制第二緩衝器25的導通方向。

第一緩衝器24為具有單方向導通之緩衝器。當緩衝器致能控制信號/BUF_OE被致能時，該緩衝器24導通，而當緩衝器致能控制信號/BUF_OE被禁能時，該緩衝器24之輸出端保持高阻抗狀態。第二緩衝器25為雙向導通控制緩衝器。當緩衝器致能控制信號/BUF_OE被致能時，該緩衝器25導通，且根據緩衝器方向控制信號BUF_DIR的狀態調整導通方向。而當緩衝器致能控制信號/BUF_OE被禁能時，該緩衝器25之兩端均保持為高阻抗狀態。

外部記憶體23的高位元位址匯流排連接於控制裝置22之高位元位址匯流排BUF_A15:8，而資料匯流排連接於控制裝置22之位址/資料多工匯流排BUF_A7:0/D7:0，同時低位元位址匯流排連接於控制裝置22之記憶體位址匯流排ROM_A7:0。另外，控制裝置22還輸出控制訊號至外部記憶體23，例如讀取信號等。當然，外部記憶體23還可受到緩衝器致能控制信號/BUF_OE的反向控制。亦即在緩衝器致能控制信號/BUF_OE被禁能時，該外部記憶體23才可被致能。

控制裝置22包含一控制單元221來產生緩衝器致能控制信號/BUF_OE與緩衝器方向控制信號BUF_DIR。緩衝器致能控制信號/BUF_OE係根據內部電路模仿器21之高位元位址資料A15:8解碼產生，而緩衝器方向控制信號BUF_DIR是

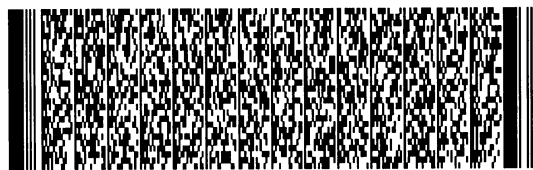


五、發明說明 (5)

由讀取控制信號/RD產生。當內部電路模仿器21之高位元位址資料A15:8不符合控制裝置22所設定之位址時，緩衝器致能控制信號/BUF_OE被禁能(disable)，且持續至下一個位址閃鎖信號ALE之正緣。

以下參考圖3至圖5說明各控制信號之動作。圖3顯示內部電路模仿器21之高位元位址資料A15:8不符合控制裝置22所設定之位址時的時序圖。圖4顯示內部電路模仿器21之高位元位址資料A15:8符合控制裝置22所設定之位址且讀取控制裝置22之資料時的時序圖。圖5顯示內部電路模仿器21之高位元位址資料A15:8符合控制裝置22所設定之位址且寫入資料至控制裝置22時的時序圖。

如圖3所示，在內部電路模仿器21之位址閃鎖信號ALE正緣時，控制裝置22之緩衝器致能控制信號/BUF_OE被致能，因此輸入至控制裝置22之匯流排BUF_A15:8、BUF_A7:0/D7:0的資料為內部電路模仿器21之位址A15:8與A7:0。此時，控制裝置22即根據位址A15:8進行解碼。由於位址A15:8不符合控制裝置22所設定之位址範圍，因此緩衝器致能控制信號/BUF_OE在位址閃鎖信號ALE負緣時被禁能。由於緩衝器致能控制信號/BUF_OE被禁能，故並不需考慮緩衝器方向控制信號BUF_DIR之狀態。當緩衝器致能控制信號/BUF_OE被禁能後，控制裝置22即可取得匯流排BUF_A15:8與BUF_A7:0/D7:0的控制權而對外部記憶體23進行存取動作。此時，控制裝置22即可透過匯流排BUF_A15:8與ROM_A7:0送出位址信號給外部記憶體23，同時利用匯



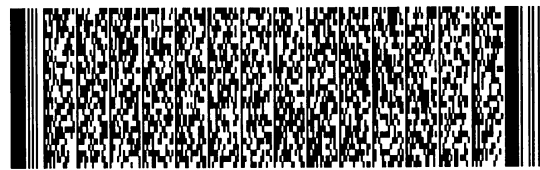
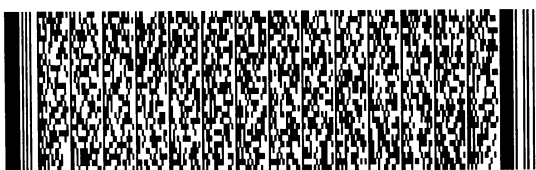
五、發明說明 (6)

流排BUF_A7:0/D7:0傳送資料。當然，控制裝置22可利用控制信號ROM_/RD控制存取動作。

接著如圖4與圖5所示，在內部電路模仿器21之位址門鎖信號ALE正緣時，控制裝置22之緩衝器致能控制信號/BUF_OE被致能，因此輸入至控制裝置22之匯流排BUF_A15:8、BUF_A7:0/D7:0的資料為內部電路模仿器21之位址A15:8與A7:0。此時，控制裝置22即根據位址A15:8進行解碼。由於位址A15:8符合控制裝置22所設定之位址範圍，因此緩衝器致能控制信號/BUF_OE持續被致能，所以內部電路模仿器21即可透過匯流排BUF_A15:8、BUF_A7:0/D7:0存取控制裝置22之資料。圖4與圖5之差異僅是控制信號/RD、WR不同而已。

由於控制裝置22之高位元位址匯流排BUF_A15:8與位址/資料多工匯流排BUF_A7:0/D7:0除了提供給內部電路模仿器21使用，還提供給外部記憶體23使用，因此雖然該控制裝置22必須輸出緩衝器致能控制信號/BUF_OE與緩衝器方向控制信號BUF_DIR信號，但可節省其他位址與資料之輸出接腳。

以上雖以實施例說明本發明，但並不因此限定本發明之範圍，只要不脫離本發明之要旨，該行業者可進行各種變形或變更。



圖式簡單說明

圖1所示為習知具有位址資料多工匯流排之內部電路模仿器的控制系統。

圖2顯示使用本發明之裝置的內部電路模仿器系統架構圖。

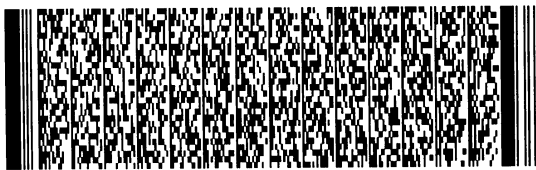
圖3顯示內部電路模仿器之高位元位址資料A15:8不符合裝置所設定之位址時的時序圖。

圖4顯示內部電路模仿器之高位元位址資料A15:8符合裝置所設定之位址且讀取控制裝置之資料時的時序圖。

圖5顯示內部電路模仿器之高位元位址資料A15:8符合裝置所設定之位址且寫入資料至控制裝置時的時序圖。

【圖式編號】

- 21 內部電路模仿器
- 22 控制裝置
- 23 外部記憶體
- 24 單向緩衝器
- 25 雙向緩衝器



四、中文發明摘要 (發明之名稱：用於內部電路模仿器系統之裝置及其記憶體存取方法)

提出一種用於內部電路模仿器(ICE)系統之裝置及其記憶體存取方法，該裝置利用提供給內部電路模仿器系統之資料與位址匯流排來存取外部記憶體資料。該裝置包含一第一緩衝器，係接收內部電路模仿器之高位元位址匯流排信號，並由一緩衝器致能信號控制，且在該緩衝器致能信號被致能時導通；一第二緩衝器，係接收內部電路模仿器之位址/資料多工匯流排信號，並由緩衝器致能信號與一方向控制信號控制，且在緩衝器致能信號被致能時導通；一高位址匯流排，係連接第一緩衝器之輸出，並連接至外部記憶體的高位元位址匯流排；一低位址/資料多工匯流排，係連接第二緩衝器之輸出，並連接至外部記憶體的資料匯流排；一低位址匯流排，係連接至外部記憶體的

英文發明摘要 (發明之名稱：Memory access method and apparatus in ICE system)



四、中文發明摘要 (發明之名稱：用於內部電路模仿器系統之裝置及其記憶體存取方法)

低位元位址匯流排；以及控制單元，係接收內部電路模仿器之控制信號並產生緩衝器致能信號與方向控制信號。其中緩衝器致能信號在內部電路模仿器之位址門鎖信號致能時被致能，且當內部電路模仿器之高位元位址信號不符合裝置的位址時被禁能。

英文發明摘要 (發明之名稱：Memory access method and apparatus in ICE system)



六、申請專利範圍

1. 一種用於內部電路模仿器系統之裝置，係利用提供給內部電路模仿器之資料與位址匯流排來存取外部記憶體資料，藉以減少該裝置的輸出入接腳，該裝置包含：

一第一緩衝器，係接收前述內部電路模仿器之高位元位址匯流排信號，並由一緩衝器致能信號控制，且在該緩衝器致能信號被致能時導通；

一第二緩衝器，係接收前述內部電路模仿器之位址/資料多工匯流排信號，並由前述緩衝器致能信號與一方向控制信號控制，且在前述緩衝器致能信號被致能時導通；

一高位址匯流排，係連接前述第一緩衝器之輸出，並連接至前述外部記憶體的高位元位址匯流排；

一低位址/資料多工匯流排，係連接前述第二緩衝器之輸出，並連接至前述外部記憶體的資料匯流排；

一低位址匯流排，係連接至前述外部記憶體的低位元位址匯流排；以及

控制單元，係接收前述內部電路模仿器之控制信號並產生前述緩衝器致能信號與前述方向控制信號；

其中前述緩衝器致能信號在前述內部電路模仿器之位址門鎖信號致能時被致能，且當前述內部電路模仿器之高位元位址信號不符合前述裝置之位址時被禁能。

2. 如申請專利範圍第1項所記載之用於內部電路模仿器系統之裝置，其中前述第二緩衝器在前述內部電路模仿器之讀取控制信號致能時，係將前述裝置之低位址/資料多工匯流排導通至前述內部電路模仿器之低位址/資料多工匯



六、申請專利範圍

流排。

3. 如申請專利範圍第2項所記載之用於內部電路模仿器系統之裝置，其中前述第二緩衝器在前述內部電路模仿器之寫入控制信號致能時，係將前述內部電路模仿器之低位址/資料多工匯流排導通至前述裝置之低位址/資料多工匯流排。

4. 如申請專利範圍第1項所記載之用於內部電路模仿器系統之裝置，其中前述裝置還輸出讀取控制信號至前述外部記憶體。

5. 如申請專利範圍第4項所記載之用於內部電路模仿器系統之裝置，其中前述裝置還輸出緩衝器致能信號至前述外部記憶體，藉以在該緩衝器致能信號被禁能時將該外部記憶體致能。

6. 一種內部電路模仿器系統之記憶體存取方法，係在內部電路模仿器不存取裝置的資料時，該裝置利用提供給內部電路模仿器之資料與位址匯流排來存取外部記憶體資料，該方法包含下列步驟：

接收高位元位址信號，前述裝置經由一第一緩衝器接收前述內部電路模仿器所輸出之高位元位址信號；

產生緩衝器致能控制信號，當前述內部電路模仿器之位址門鎖信號致能時將緩衝器致能控制信號致能，且在前述內部電路模仿器之高位元位址信號不符合前述裝置所設定之位址範圍時，將緩衝器致能控制信號禁能；

一第二緩衝器，係接收前述內部電路模仿器之位址/



六、申請專利範圍

資料多工匯流排信號，並由前數緩衝器致能信號與一方向控制信號控制，且在前述緩衝器致能信號被致能時導通；

產生緩衝器方向控制信號，係根據前述內部電路模仿器所輸出之讀取控制信號產生該緩衝器方向控制信號，藉以控制前述第二緩衝器之導通方向；以及

外部記憶體存取步驟，在前述緩衝器致能控制信號被禁能時，利用提供給內部電路模仿器之資料與高位址位址匯流排以及一低位址匯流排來存取外部記憶體資料。



901>7617

圖式

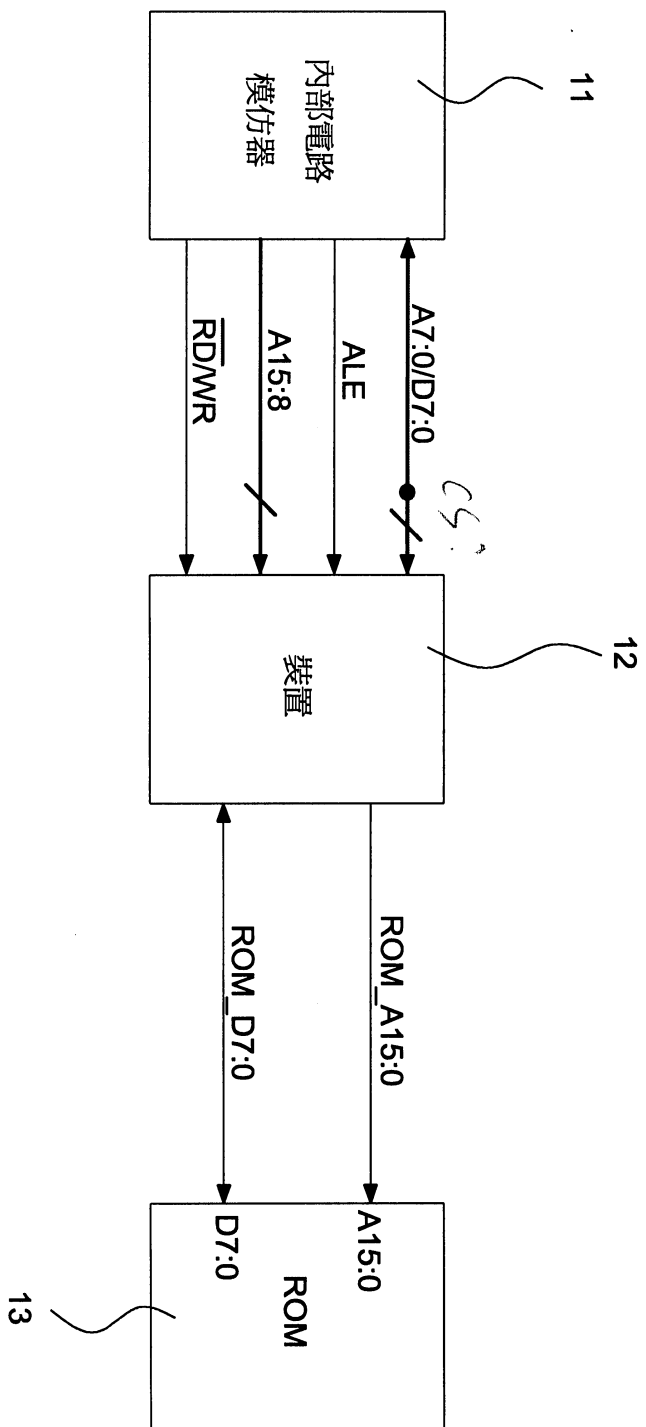


圖 1

圖式

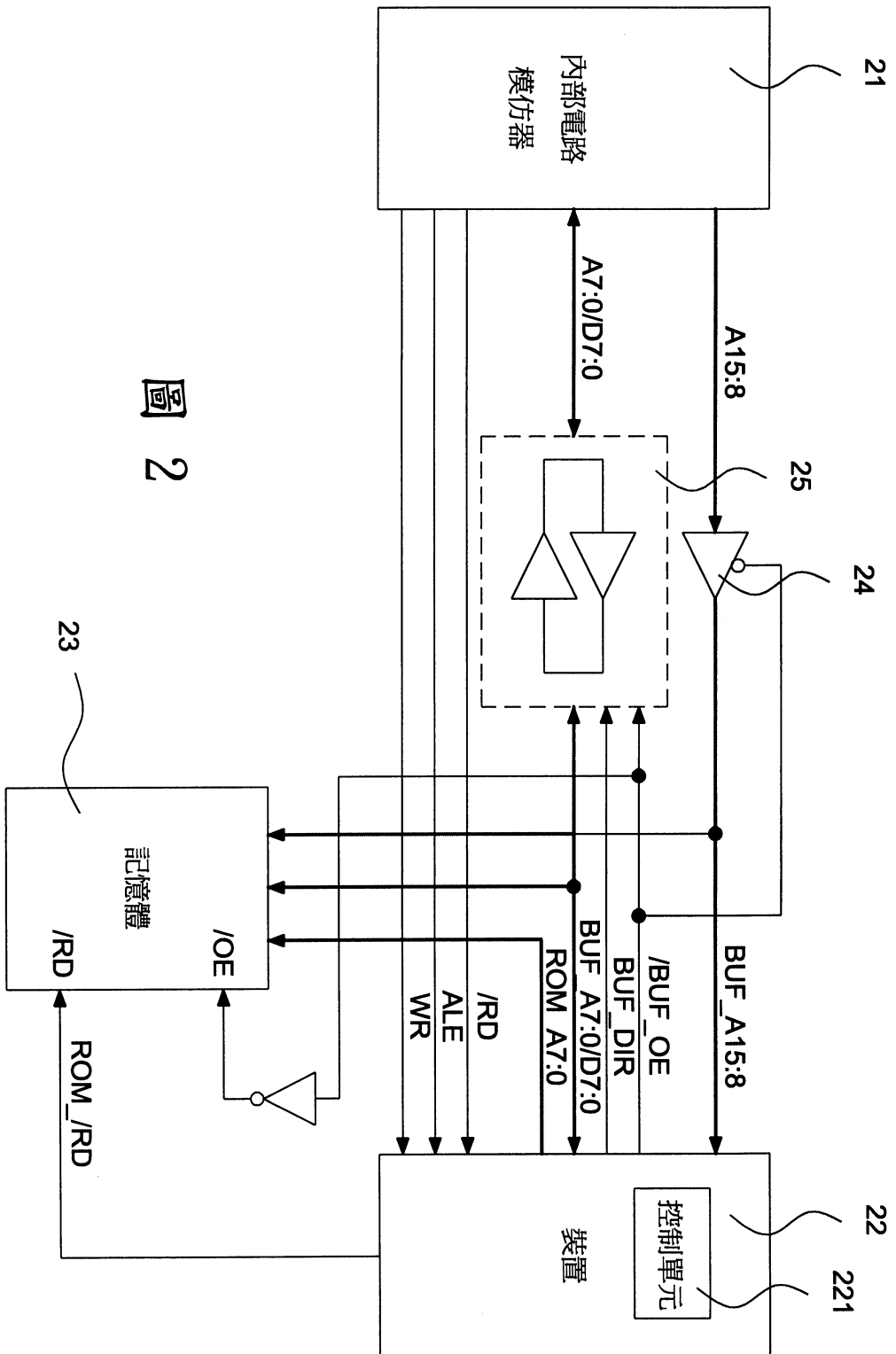
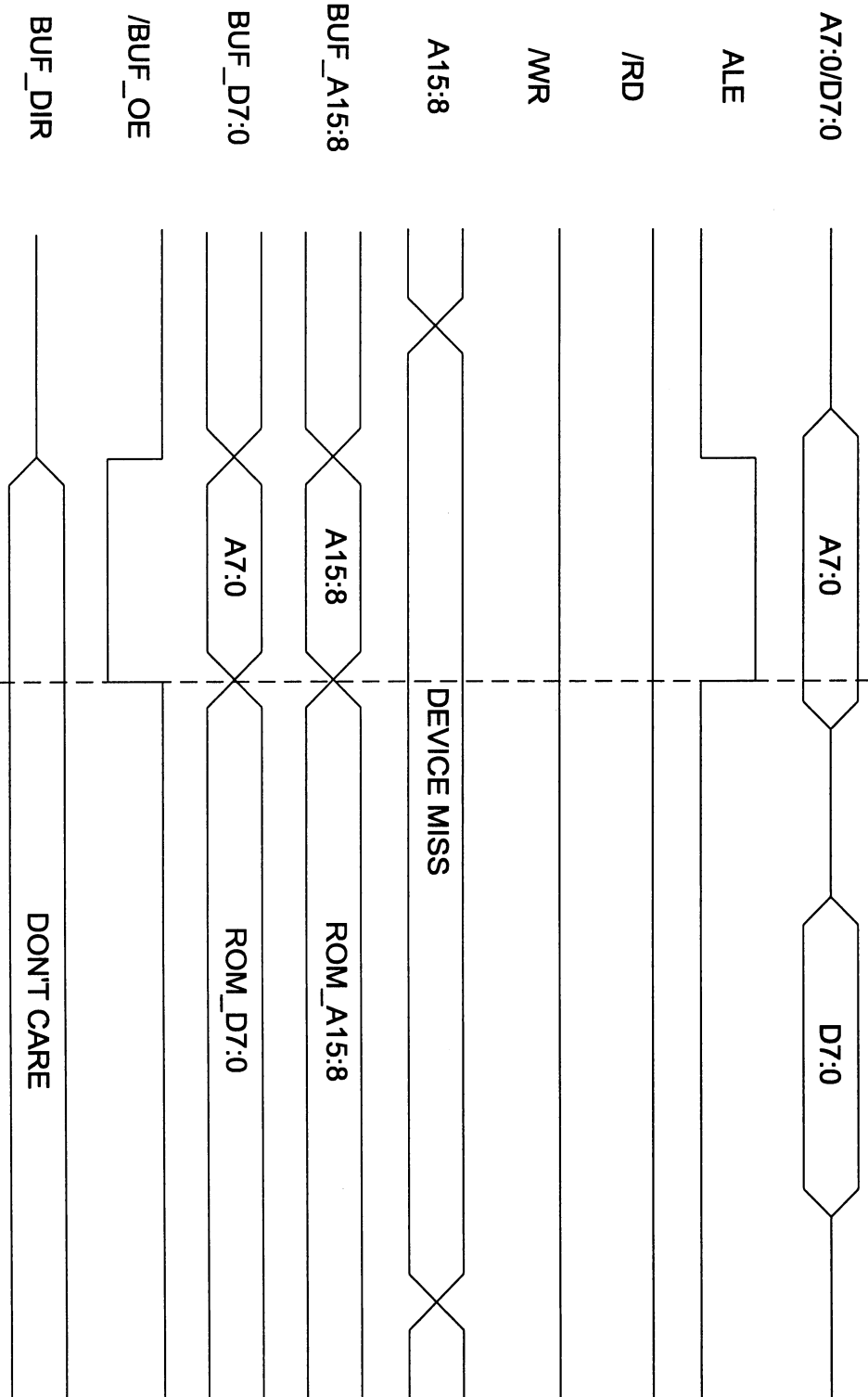
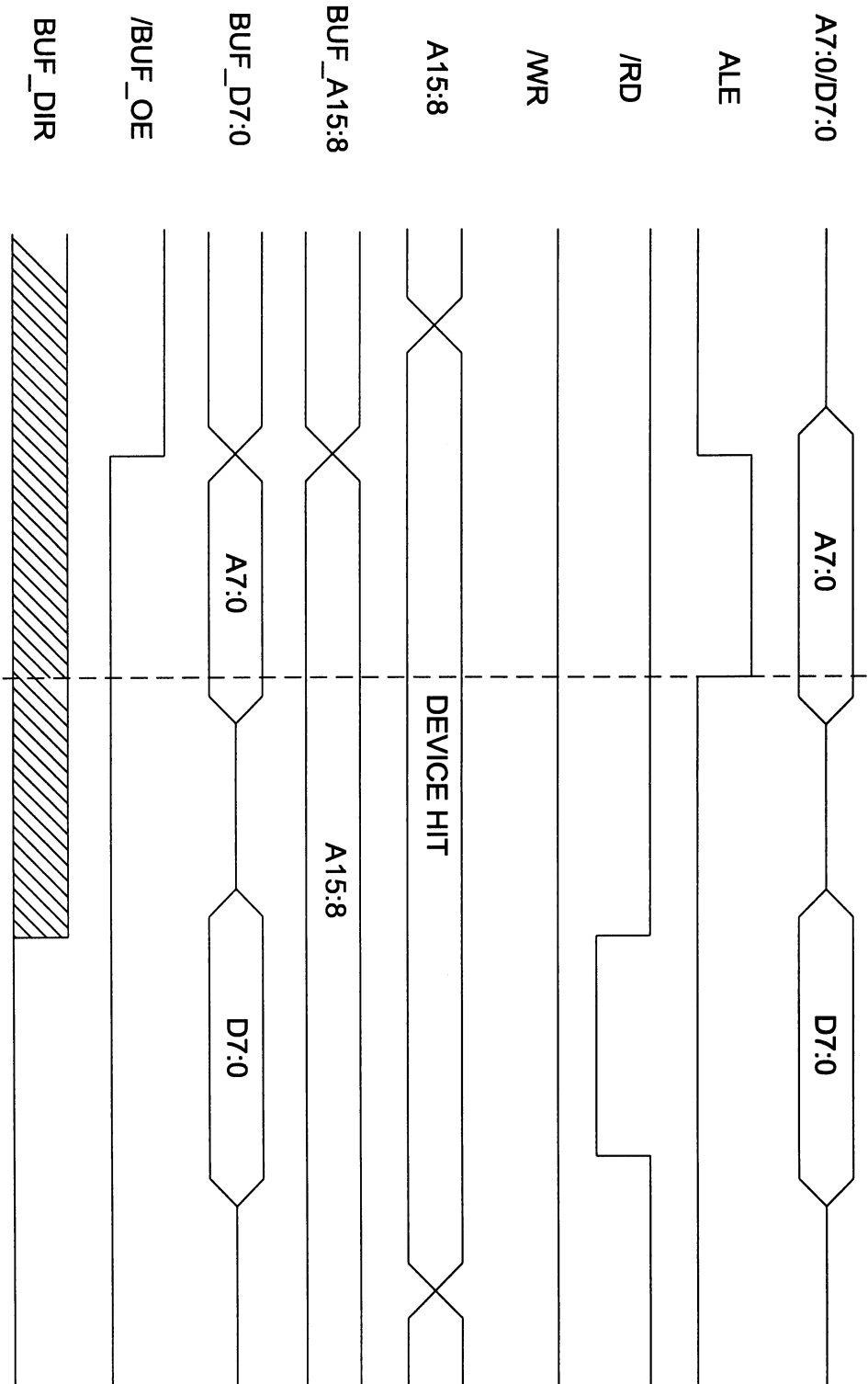


圖 2



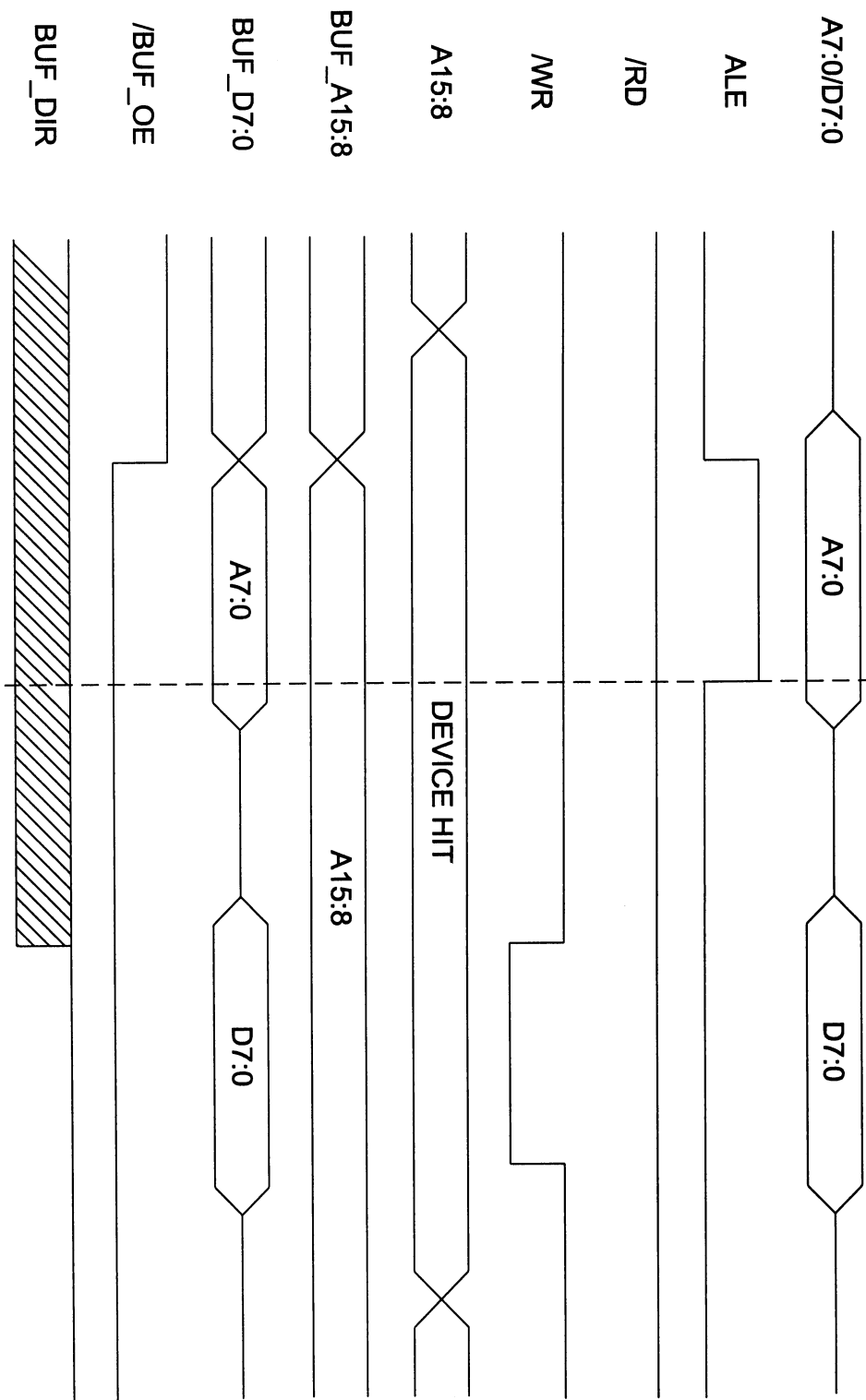
圖式

圖 3



圖式

圖 4



圖式

圖 5