



(12)发明专利申请

(10)申请公布号 CN 110190027 A

(43)申请公布日 2019.08.30

(21)申请号 201910590682.9

(22)申请日 2019.07.02

(71)申请人 武汉新芯集成电路制造有限公司
地址 430205 湖北省武汉市东湖开发区高新四路18号

(72)发明人 宋保英 谢岩

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈衡

(51)Int.Cl.

H01L 21/768(2006.01)

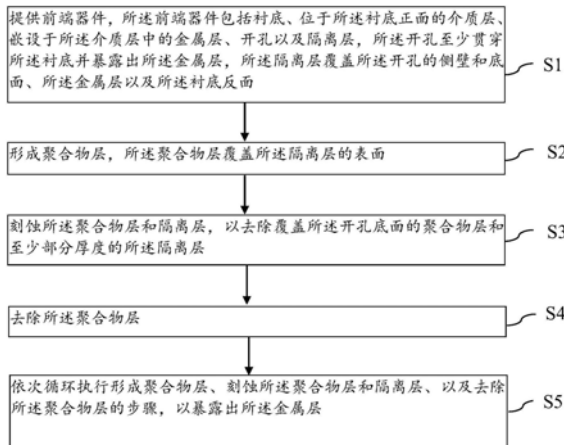
权利要求书1页 说明书5页 附图3页

(54)发明名称

半导体器件的制作方法

(57)摘要

本发明提供了一种半导体器件的制作方法，包括：提供前端器件，所述前端器件包括衬底、位于所述衬底正面的介质层、嵌设于所述介质层中的金属层、开孔以及隔离层；形成聚合物层，所述聚合物层覆盖所述隔离层的表面；刻蚀所述聚合物层和隔离层，刻蚀去除覆盖所述开孔底面的聚合物层和部分厚度的所述隔离层；去除所述聚合物层；依次循环执行形成聚合物层、刻蚀所述聚合物层和隔离层、以及去除所述聚合物层的步骤，以暴露出所述金属层。确保了最终暴露出所述金属层时，位于开孔侧壁和前端器件顶部的隔离层不被损耗，避免衬底以及前端器件顶部裸露，从而提高半导体器件的性能和良率。



1. 一种半导体器件的制作方法,其特征在于,包括:

提供前端器件,所述前端器件包括衬底、位于所述衬底正面的介质层、嵌设于所述介质层中的金属层、开孔以及隔离层,所述开孔至少贯穿所述衬底并暴露出所述金属层,所述隔离层覆盖所述开孔的侧壁和底面、所述金属层以及所述衬底反面;

形成聚合物层,所述聚合物层覆盖所述隔离层的表面;

刻蚀所述聚合物层和隔离层,以去除覆盖所述开孔底面的聚合物层和至少部分厚度的所述隔离层;

去除所述聚合物层;

依次循环执行形成聚合物层、刻蚀所述聚合物层和隔离层、以及去除所述聚合物层的步骤,以暴露出所述金属层。

2. 如权利要求1所述的半导体器件的制作方法,其特征在于,形成所述聚合物层的工艺采用等离子体沉积工艺,等离子体室中的气压设定为25Torr~35mTorr,RF电源提供2000W~3000W的功率,45V~55V的偏置电压,反应气体包括 CH_2F_2 、 CH_3F 和 O_2 的混合气体。

3. 如权利要求2所述的半导体器件的制作方法,其特征在于,所述 CH_2F_2 的流量为140sccm~160sccm、所述 CH_3F 的流量为190sccm~210sccm、 O_2 的流量为15sccm~25sccm,持续时间为6s~8s。

4. 如权利要求1所述的半导体器件的制作方法,其特征在于,刻蚀所述聚合物层和隔离层采用等离子体刻蚀工艺,等离子体室中的气压设定为10Torr~20mTorr,RF电源提供1000W~2500W的功率,1400V~1600V的偏置电压,刻蚀气体包括 NF_3 、 CH_3F 、 CHF_3 和 O_2 的混合气体。

5. 如权利要求4所述的半导体器件的制作方法,其特征在于,所述 NF_3 的流量为70sccm~90sccm、所述 CH_3F 的流量为50sccm~70sccm、所述 CHF_3 的流量为40sccm~60sccm,所述 O_2 的流量为8sccm~12sccm,持续时间为13s~17s。

6. 如权利要求1所述的半导体器件的制作方法,其特征在于,去除所述聚合物层采用灰化工艺,等离子体室中的气压设定为15Torr~25mTorr,RF电源提供2500W~2700W的功率,偏置电压为0V,反应气体包括 O_2 ,所述 O_2 的流量为800sccm~1200sccm,持续时间为23s~27s。

7. 如权利要求1至6任意一项所述的半导体器件的制作方法,其特征在于,依次循环执行形成聚合物层、刻蚀所述聚合物层和隔离层、以及去除所述聚合物层的步骤的次数为8~10。

8. 如权利要求1至6任意一项所述的半导体器件的制作方法,其特征在于,所述开孔贯穿所述衬底并暴露出所述金属层。

9. 如权利要求1至6任意一项所述的半导体器件的制作方法,其特征在于,所述开孔贯穿所述衬底和部分厚度的所述介质层并暴露出所述金属层。

10. 如权利要求1至6任意一项所述的半导体器件的制作方法,其特征在于,所述聚合物层的厚度范围为5nm~20nm。

半导体器件的制作方法

技术领域

[0001] 本发明属于半导体领域,具体涉及一种半导体器件的制作方法。

背景技术

[0002] 电子产品在“轻、薄、短、小”的外形尺寸以及多元功能的追求不曾停歇,目前封装业研发重点在于把厚度做最大利用,3DIC技术是目前能满足上述需求的关键技术,这项技术是利用3DIC堆叠、硅通孔(TSV)等技术将芯片整合到效能最佳、体积最小的状态。

[0003] 3DIC工艺中常在堆叠的晶圆中形成开孔并在开孔底部暴露出需要连接的第一金属层,所述开孔贯穿晶圆中的衬底,为避免开孔暴露出的衬底和金属层裸露在外面易受影响,通常形成隔离层覆盖开孔侧壁和底面以及晶圆的顶部。因此后续工艺在开孔中填充用于实现与第一金属层互连的第二金属层时,需要刻蚀掉位于开孔底部的隔离层,以暴露出第一金属层。传统工艺在刻蚀去除开孔底部的隔离层过程中,位于晶圆的顶部和开孔侧壁的隔离层也存在损耗,存在衬底易暴露的问题,进而影响半导体器件的性能。

发明内容

[0004] 本发明的目的为在刻蚀去除开孔底部的隔离层过程中,保护位于开孔侧壁和前端器件顶部的隔离层,避免衬底以及前端器件顶部裸露,提高半导体器件的性能。

[0005] 本发明提供一种半导体器件的制作方法,包括:

[0006] 提供前端器件,所述前端器件包括衬底、位于所述衬底正面的介质层、嵌设于所述介质层中的金属层、开孔以及隔离层,所述开孔至少贯穿所述衬底并暴露出所述金属层,所述隔离层覆盖所述开孔的侧壁和底面、所述金属层以及所述衬底反面;

[0007] 形成聚合物层,所述聚合物层覆盖所述隔离层的表面;

[0008] 刻蚀所述聚合物层和隔离层,以刻蚀去除覆盖所述开孔底面的聚合物层和部分厚度的所述隔离层;

[0009] 去除所述聚合物层;

[0010] 依次循环执行形成聚合物层、刻蚀所述聚合物层和隔离层、以及去除所述聚合物层的步骤,以暴露出所述金属层。

[0011] 进一步的,形成所述聚合物层的工艺采用等离子体沉积工艺,具体为:等离子体室中的气压设定为25Torr~35mTorr,RF电源提供2000W~3000W的功率,45V~55V的偏置电压,反应气体包括 CH_2F_2 、 CH_3F 和 O_2 的混合气体。

[0012] 进一步的,所述 CH_2F_2 的流量为140sccm~160sccm、所述 CH_3F 的流量为190sccm~210sccm、 O_2 的流量为15sccm~25sccm,持续时间为6s~8s。

[0013] 进一步的,刻蚀所述聚合物层和隔离层采用等离子体刻蚀工艺,具体为:等离子体室中的气压设定为10Torr~20mTorr,RF电源提供1000W~2500W的功率,1400V~1600V的偏置电压,刻蚀气体包括 NF_3 、 CH_3F 、 CHF_3 和 O_2 的混合气体。

[0014] 进一步的,所述 NF_3 的流量为70sccm~90sccm、所述 CH_3F 的流量为50sccm~70sccm、

所述CHF₃的流量为40sccm~60sccm,所述O₂的流量为8sccm~12sccm,持续时间为13s~17s。

[0015] 进一步的,去除所述聚合物层采用灰化工艺,具体为:等离子体室中的气压设定为15Torr~25mTorr,RF电源提供2500W~2700W的功率,偏置电压为0V,反应气体包括O₂,所述O₂的流量为800sccm~1200sccm,持续时间为23s~27s。

[0016] 进一步的,依次循环执行形成聚合物层、刻蚀所述聚合物层和隔离层、以及去除所述聚合物层的步骤的次数为8~10。

[0017] 进一步的,所述开孔贯穿所述衬底并暴露出所述金属层。

[0018] 进一步的,所述开孔贯穿所述衬底和部分厚度的所述介质层并暴露出所述金属层。

[0019] 进一步的,所述聚合物层的厚度范围为5nm~20nm。

[0020] 与现有技术相比,本发明的有益效果在于:

[0021] 通过循环进行若干次形成聚合物层、刻蚀所述聚合物层和隔离层、去除所述聚合物层的工艺,以暴露出所述金属层。在刻蚀去除开孔底部的隔离层过程中,形成聚合物层以在刻蚀过程中保护开孔侧壁的隔离层,若干次逐步刻蚀开孔底部的隔离层,去除所述聚合物层以防止聚合物层聚集太多造成刻蚀停止,循环交替进行,确保了最终暴露出所述金属层时,位于开孔侧壁和前端器件顶部的隔离层不被损耗,避免衬底以及前端器件顶部裸露,从而提高半导体器件的性能和良率。

附图说明

[0022] 图1为本发明实施例的半导体器件的制作方法流程示意图;

[0023] 图2-a为本发明一实施例的前端器件结构示意图;

[0024] 图2-b为本发明另一实施例的前端器件结构示意图;

[0025] 图3为本发明实施例的形成聚合物层的示意图;

[0026] 图4为本发明实施例的刻蚀聚合物层和隔离层的示意图;

[0027] 图5为本发明实施例的暴露出金属层后的示意图。

[0028] 其中,附图标记如下:

[0029] 11-衬底;11a-衬底反面;11b-衬底正面;21-介质层;31-金属层;41-开孔;51-钝化层;61-隔离层;

[0030] 12-衬底;12a-衬底反面;12b-衬底正面;22-介质层;32-金属层;42-开孔;52-钝化层;62-隔离层;70-聚合物层。

具体实施方式

[0031] 如背景所述,在刻蚀去除开孔底部的隔离层过程中,位于晶圆的顶部和开孔侧壁的隔离层也存在损耗,存在衬底易暴露的问题,具体的隔离层在开孔顶部拐角处损耗较大,导致拐角处的晶圆部分易裸露;隔离层在开孔的侧壁也容易损耗导致开孔两侧的衬底裸露,如此一来,在后续工艺在开孔中填充用于实现与第一金属层互连的第二金属层时,第二金属层容易扩散到衬底中,进而影响半导体器件的性能。

[0032] 本发明实施例通过循环进行若干次形成聚合物层、刻蚀所述聚合物层和隔离层、去除所述聚合物层的工艺,直至完全去除覆盖所述开孔底面的所述隔离层,暴露出所述金

属层。在刻蚀去除开孔底部的隔离层过程中,形成聚合物层以在刻蚀过程中保护开孔侧壁的隔离层,若干次逐步刻蚀所述开孔底部的隔离层,去除所述聚合物层以防止聚合物层聚集太多造成的刻蚀停止,循环交替进行,确保了最终暴露出所述金属层时,位于开孔侧壁和前端器件顶部的隔离层不被损耗,防止衬底以及前端器件顶部裸露,避免后续工艺在开孔中填充的第二金属层容易扩散到衬底中,从而提高半导体器件的性能和良率。

[0033] 本发明实施例提供了一种半导体器件的制作方法。以下结合附图和具体实施例对本发明进一步详细说明。根据下面说明,本发明的优点和特征将更清楚。需要说明的是,附图均采用非常简化的形式且使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0034] 图1为本发明实施例的半导体器件的制作方法流程图,如图1所示,一种半导体器件的制作方法,包括:

[0035] 步骤S1、提供前端器件,所述前端器件包括衬底、位于所述衬底正面的介质层、嵌设于所述介质层中的金属层、开孔以及隔离层,所述开孔至少贯穿所述衬底并暴露出所述金属层,所述隔离层覆盖所述开孔的侧壁和底面以及所述衬底反面;

[0036] 步骤S2、形成聚合物层,所述聚合物层覆盖所述隔离层的表面;

[0037] 步骤S3、刻蚀所述聚合物层和隔离层,以刻蚀去除覆盖所述开孔底面的聚合物层和至少部分厚度的所述隔离层;

[0038] 步骤S4、去除所述聚合物层;

[0039] 依次循环执行形成聚合物层、刻蚀所述聚合物层和隔离层、以及去除所述聚合物层的步骤,以暴露出所述金属层。

[0040] 图2-a为本发明一实施例的前端器件结构示意图;如图2-a所示,提供前端器件,所述前端器件包括衬底11,所述衬底11具有相对设置的衬底正面11b和衬底反面11a,所述衬底11的材料可以是单晶硅、多晶硅或非晶硅,还可以是包括III族、IV族和/或V族元素的其它半导体材料,如砷化镓、碳化硅、氮化镓等;在本实施例中,衬底11的材料例如为单晶硅。所述前端器件还包括位于所述衬底正面11b的介质层21、嵌设于所述介质层21中的金属层31、开孔41以及隔离层61,所述开孔41贯穿所述衬底11并暴露出所述金属层31,所述隔离层61覆盖所述开孔41的侧壁和底面以及所述衬底反面11a;隔离层61的材料可以为低介电常数材料,其主要成分为氧化物或氮化物,例如为二氧化硅或氮化硅。隔离层61用于将后续填充在开孔41中的金属互连层与衬底11隔离开,防止开孔41中的金属互连层扩散到衬底11中影响半导体器件的性能。进一步的,所述衬底反面11a设置有钝化层51,钝化层51对所述衬底11起保护、隔离及绝缘作用,所述钝化层51的材料可以为二氧化硅或氮化硅。有钝化层51的具体实施例中,所述隔离层61覆盖所述开孔41的侧壁和底面以及所述钝化层51的表面。此实施例中所述开孔41贯穿钝化层51、衬底11,所述开孔41未贯穿介质层21,金属层31例如是贯穿介质层21的TSV(硅通孔)中填充的互连金属层。

[0041] 图2-b为本发明另一实施例的前端器件结构示意图;如图2-b所示,所述开孔42还可贯穿部分厚度的介质层22。示例性的,提供前端器件,所述前端器件包括衬底12,所述衬底12具有相对设置的衬底正面12b和衬底反面12a;所述前端器件还包括位于所述衬底正面12b的介质层22、嵌设于所述介质层22中的金属层32、开孔42以及隔离层62,所述开孔42贯穿所述衬底12、部分厚度的介质层22并暴露出所述金属层32,所述隔离层62覆盖所述开孔

42的侧壁和底面以及所述衬底反面12a;进一步的,所述衬底反面12a设置有钝化层52,钝化层52对所述衬底12起保护、隔离及绝缘作用,所述钝化层52例如为氧化硅层,有钝化层52的具体实施例中,所述隔离层62覆盖所述开孔42的侧壁和底面以及所述钝化层52的表面。此实施例中所述开孔42贯穿钝化层52、衬底12和部分厚度的介质层22并暴露出所述金属层32,金属层32例如是位于介质层22中的半导体器件的信号引出金属层。

[0042] 以下结合图3~图5对本发明实施例的半导体器件的制作方法做详细介绍,适用于图2-a和2-b介绍的两种情况,以图2-a为例进一步说明。

[0043] 图3为本发明实施例的形成聚合物层的示意图;如图3所示,形成聚合物层70采用等离子体沉积工艺,等离子体室中的气压设定为25Torr~35mTorr,RF电源提供2000W~3000W的功率,45V~55V的偏置电压,反应气体包括 CH_2F_2 、 CH_3F 、含氧气体,例如: CH_2F_2 的流量为140sccm~160sccm、 CH_3F 的流量为190sccm~210sccm、 O_2 的流量为15sccm~25sccm,持续时间为6s~8s。聚合物层70的分子量比较大,较难运动到开孔41的底部,因此在所述衬底反面(即倒置状态时的顶部)沉积的聚合物层比在所述开孔41的侧壁和底面厚,即在所述衬底反面(即倒置状态时的顶部)沉积的聚合物层较厚,对所述衬底反面进行保护,在所述开孔41的侧壁和底面沉积的聚合物层较薄。

[0044] 图4为本发明实施例的刻蚀聚合物层和隔离层的示意图;如图4所示,刻蚀所述聚合物层和隔离层采用干法刻蚀,优选等离子体刻蚀,等离子体室中的气压设定为10Torr~20mTorr,RF电源提供1000W~2500W的功率,1400V~1600V的偏置电压,刻蚀气体包括 NF_3 、 CH_3F 、 CHF_3 、含氧气体,其中氟(F)的作用是与构成隔离层的二氧化硅或氮化硅反应,产生挥发性的产物;碳(C)的作用是提供聚合物的来源,抑制蚀刻的进行。聚合物层堆积在开孔41的侧壁上作为保护层,使刻蚀主要面向开孔41的底部,刻蚀去除覆盖所述开孔41底面的聚合物层和至少部分厚度的所述隔离层,抑制各向同性蚀刻的影响。当氟的成分增加时,蚀刻速率增加;当碳的成分增加时,蚀刻速率减慢。通过调整蚀刻气体的氟与碳比值,可以获得合适的蚀刻速率。示例性的,所述 NF_3 的流量为70sccm~90sccm、所述 CH_3F 的流量为50sccm~70sccm、 CHF_3 的流量为40sccm~60sccm、 O_2 的流量为8sccm~12sccm,持续时间为13s~17s。刻蚀工艺使用高偏置电压例如1400V~1600V,分子量比较小的 NF_3 、 CHF_3 等离子气体,由于等离子气体分子量比较小,偏置电压比较强时,等离子气体能够穿透到所述开孔41的底部,与覆盖所述开孔底面的隔离层充分反应。

[0045] 图5为本发明实施例的暴露出金属层后的示意图。如图5所示,去除聚合物层采用灰化工艺,具体为:等离子体室中的气压被设定为15Torr~25mTorr,RF电源提供2500W~2700W的功率,偏置电压为0V,气体包括含氧气体,前端器件被加热,同时暴露在氧等离子体或臭氧中反应,聚合物层70发生化学反应而被去除,所述灰化法所需的温度为250~300℃。例如: O_2 的流量为800sccm~1200sccm,持续时间为23s~27s。对形成的聚合物层进行清除,避免聚合物层积累太多,造成刻蚀停止。其中氧气(O_2)可以与含氟碳的气体反应消耗部分的碳,使得氟碳比增加,消耗聚合物层。刻蚀过程中的刻蚀反应气体所产生的等离子体与刻蚀生成物产生一定的结合,形成聚合物层,该聚合物层能阻挡对侧壁的刻蚀,增强刻蚀的方向性。聚合物层在蚀刻完成后需要去除,否则将成为增加器件表面缺陷密度的颗粒和污染源,破坏器件性能,影响器件的成品率和可靠性,采用上述方法可将聚合物层有效去除。

[0046] 接着,结合图3~图5,循环交替进行沉积聚合物层、刻蚀所述聚合物层和隔离层、

去除所述聚合物层,直至完全去除覆盖所述开孔底面的所述隔离层,暴露出所述金属层31。循环次数根据覆盖所述开孔底面的隔离层的厚度确定,最终实现暴露出所述金属层31时,位于开孔41侧壁和前端器件顶部的隔离层61不被损耗,如此一来,在后续工艺开孔41中填充互连金属层与金属层31电连接时,因有隔离层61的存在,开孔41中填充的互连金属层不会扩散到衬底11中。同时覆盖所述衬底反面(即倒置状态时的前端器件顶部)的隔离层没有损失,有效保护前端器件的性能。本实施例中的刻蚀是在金属层31停止,在清洗过程中,没有绝缘层对其进行保护,因此为了避免金属层31的损伤,采用弱清洗溶剂进行清洗,依靠冲洗作用进行清洗,避免强清洗液对金属层31带来的损伤。

[0047] 综上所述,通过循环进行若干次形成聚合物层、刻蚀所述聚合物层和隔离层、去除所述聚合物层的工艺,直至完全去除覆盖所述开孔底面的所述隔离层,暴露出所述金属层。在刻蚀去除开孔底部的隔离层过程中,形成聚合物层以在刻蚀过程中保护开孔侧壁的隔离层,循环分次刻蚀所述聚合物层和隔离层,去除所述聚合物层以防止聚合物层聚集太多造成的刻蚀停止,循环交替进行,确保了最终暴露出所述金属层时,位于开孔侧壁和前端器件顶部的隔离层不被损耗,避免衬底以及前端器件顶部裸露,从而提高半导体器件的性能和良率。

[0048] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。对于实施例公开的方法而言,由于与实施例公开的器件相对应,所以描述的比较简单,相关之处参见方法部分说明即可。

[0049] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

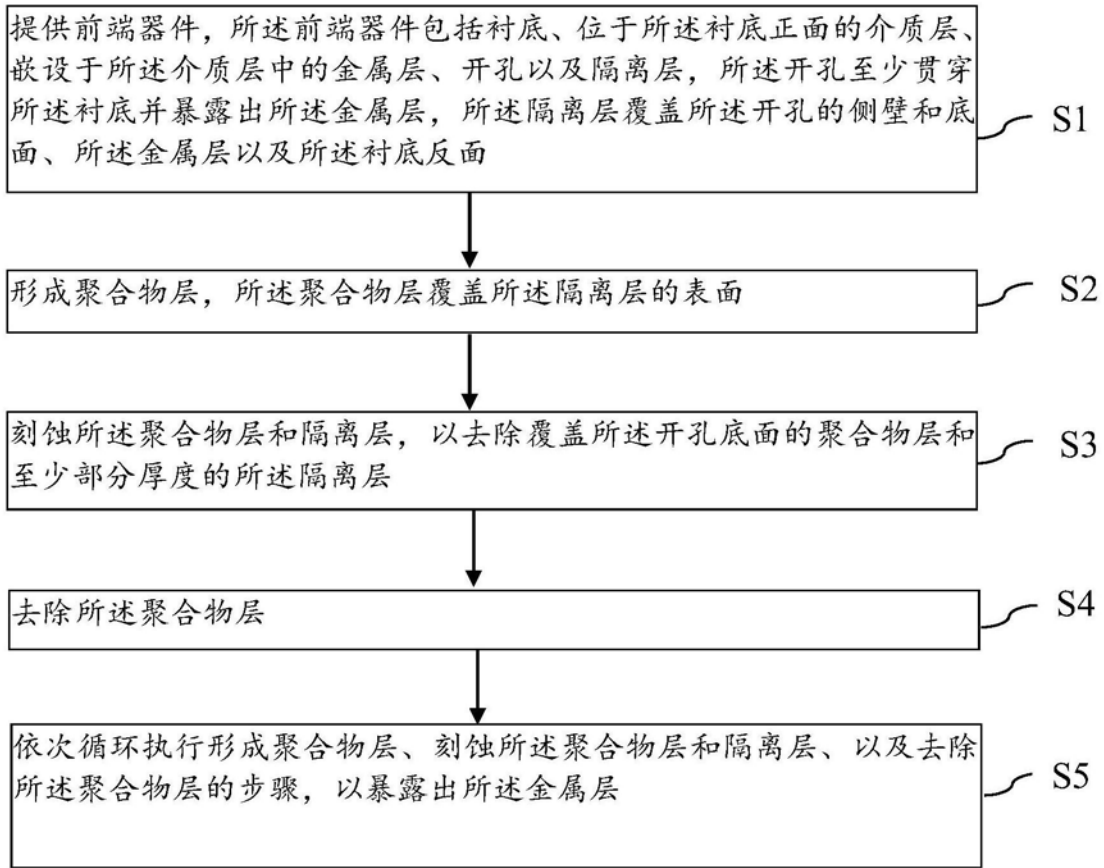


图1

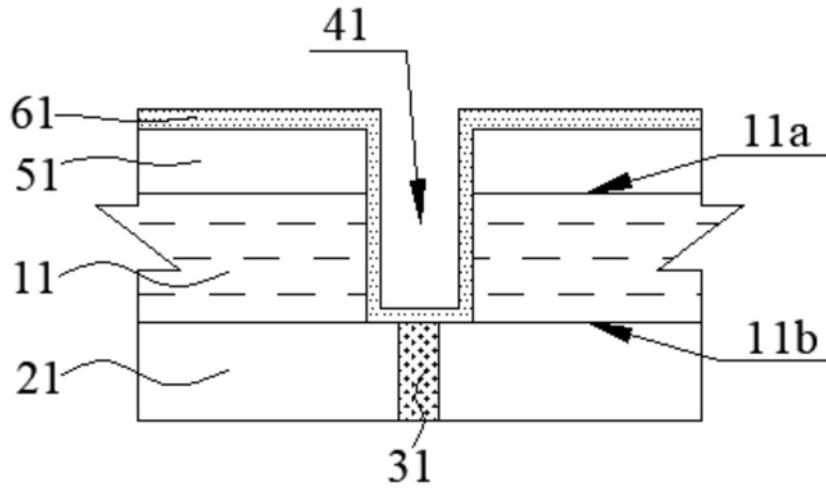


图2-a

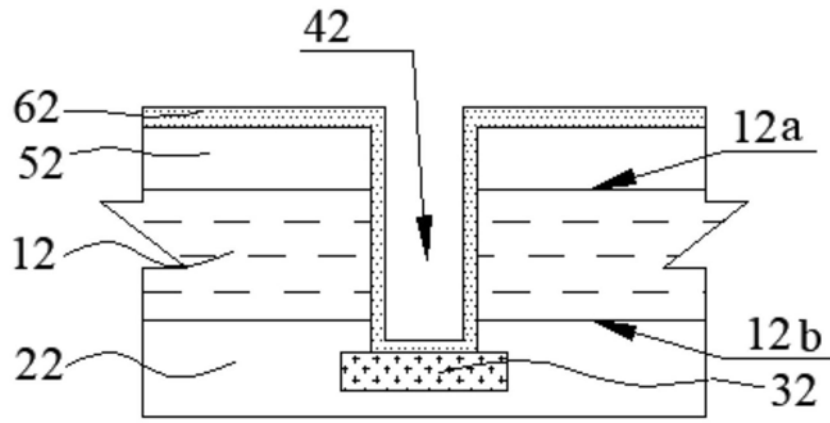


图2-b

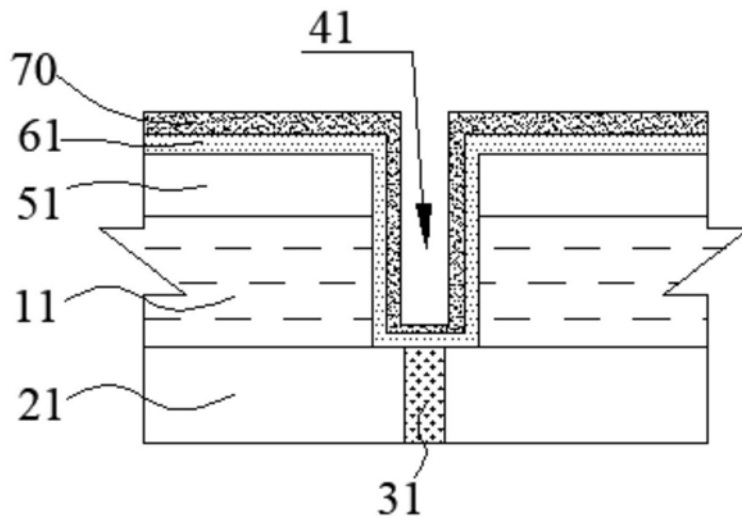


图3

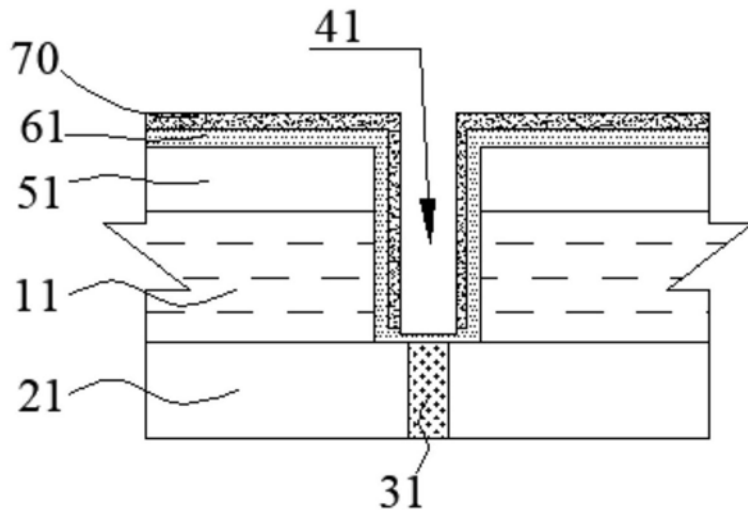


图4

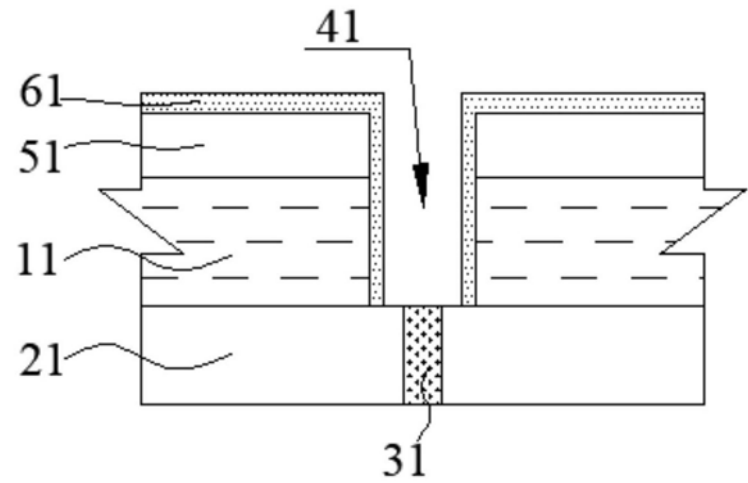


图5