

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6042415号
(P6042415)

(45) 発行日 平成28年12月14日 (2016. 12. 14)

(24) 登録日 平成28年11月18日 (2016. 11. 18)

(51) Int. Cl.	F I	
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78	3 O 1 G
HO 1 L 29/78 (2006. 01)	HO 1 L 27/10	6 5 1
HO 1 L 21/8242 (2006. 01)	HO 1 L 21/316	X
HO 1 L 27/108 (2006. 01)	HO 1 L 21/316	M
HO 1 L 21/316 (2006. 01)	HO 1 L 21/316	P

請求項の数 7 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2014-509113 (P2014-509113)
 (86) (22) 出願日 平成25年3月26日 (2013. 3. 26)
 (86) 国際出願番号 PCT/JP2013/058805
 (87) 国際公開番号 W02013/150920
 (87) 国際公開日 平成25年10月10日 (2013. 10. 10)
 審査請求日 平成28年1月21日 (2016. 1. 21)
 (31) 優先権主張番号 特願2012-86578 (P2012-86578)
 (32) 優先日 平成24年4月5日 (2012. 4. 5)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000219967
 東京エレクトロン株式会社
 東京都港区赤坂五丁目3番1号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 秋山 浩二
 山梨県韮崎市穂坂町三ツ沢650 東京エ
 レクトロン株式会社内
 (72) 発明者 東島 裕和
 山梨県韮崎市穂坂町三ツ沢650 東京エ
 レクトロン山梨株式会社内

最終頁に続く

(54) 【発明の名称】 半導体デバイスの製造方法

(57) 【特許請求の範囲】

【請求項 1】

ソース・ドレイン及びチャネルが形成された被処理体上に酸化ハフニウム及び酸化ジルコニウムを含むゲート絶縁膜を成膜する工程と、
 前記絶縁膜を 600 以下の温度で不活性ガス雰囲気中で結晶化熱処理する工程と、
 を含み、
 前記結晶化熱処理後の前記絶縁膜の比誘電率が 2.7 以上であり、
 前記絶縁膜中の前記酸化ハフニウムの含有量は、5モル%～30モル%である、
 半導体デバイスの製造方法。

【請求項 2】

前記絶縁膜を成膜する工程は、前記酸化ハフニウム及び前記酸化ジルコニウムの積層膜を成膜する工程を含む、請求項 1 に記載の半導体デバイスの製造方法。

【請求項 3】

前記積層膜を成膜する工程は、
 前記被処理体上に、前記酸化ハフニウムを成膜する第 1 の成膜工程と、
 前記酸化ハフニウム上に前記酸化ジルコニウムを成膜する第 2 の成膜工程と、
 を含み、
 前記第 1 の成膜工程と前記第 2 の成膜工程との間に、成膜された前記酸化ハフニウムを、
 プラズマ窒化処理する工程を含む、
 請求項 2 に記載の半導体デバイスの製造方法。

【請求項 4】

前記絶縁膜を成膜する工程は、酸化ジルコニウムハフニウムを成膜する工程を含む、請求項 1 に記載の半導体デバイスの製造方法。

【請求項 5】

前記絶縁膜中の前記酸化ハフニウムの含有量は、5 モル% ~ 10 モル%であり、前記絶縁膜を 450 以上、600 以下の温度で結晶化熱処理する、請求項 1 に記載の半導体デバイスの製造方法。

【請求項 6】

前記絶縁膜中の前記酸化ハフニウムの含有量は、10 モル% ~ 20 モル%であり、前記絶縁膜を 500 以上、600 以下の温度で結晶化熱処理する、請求項 1 に記載の半導体デバイスの製造方法。

10

【請求項 7】

前記絶縁膜中の前記酸化ハフニウムの含有量は、20 モル% ~ 30 モル%であり、前記絶縁膜を 500 以上、600 以下の温度で結晶化熱処理する、請求項 1 に記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイスの製造方法に関する。

【背景技術】

20

【0002】

近年、半導体デバイスの微細化、高性能化の要求に伴い、ゲート絶縁膜として高誘電率膜 (High-K 膜) が用いられている。ゲート絶縁膜の材料としては、ハフニウム酸化物系材料が注目されており、酸化ハフニウム (HfO_2) 等の材料の (比) 誘電率を向上させ、等価酸化膜厚 (Equivalent Oxide Thickness; EOT) を低減する試みがなされている。

【0003】

HfO_2 の比誘電率を上げる方法としては、例えば、 HfO_2 膜を高温で熱処理する方法 (例えば、特許文献 1) などが提案されている。

【特許文献 1】米国特許公開 2005/0136690A1 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 に記載の方法では、高温熱処理により HfO_2 が結晶化し、生じた結晶粒界を介した電気伝導によりリーク電流が増加するという問題があった。

【0005】

一方、半導体装置の製造プロセスを鑑みると、種々のプロセスにおける熱負荷上の制約により、幅広い温度領域での熱処理において、比誘電率が高い絶縁膜を提供できることが好ましい。

【0006】

40

例えば、トランジスタの製造工程で、ソース・ドレイン形成、チャネル形成工程がゲート絶縁膜形成工程より先に行われる、いわゆるゲートラストプロセスでは、形成されたソース・ドレイン、チャネルに熱負荷上の制約があるため、ゲート絶縁膜に高温での熱処理が行えないという問題がある。

【0007】

上記課題に対して、本発明は、幅広いプロセス温度で、EOT の低減及びリーク電流の低減を両立できる半導体デバイスの製造方法を提供する。

【課題を解決するための手段】

【0008】

上記の課題を解決するために、本発明の一様態によると、

50

ソース・ドレイン及びチャネルが形成された被処理体上に酸化ハフニウム及び酸化ジルコニウムを含むゲート絶縁膜を成膜する工程と、

前記絶縁膜を600以下の温度で不活性ガス雰囲気中で結晶化熱処理する工程と、
を含み、

前記結晶化熱処理後の前記絶縁膜の比誘電率が2.7以上であり、

前記絶縁膜中の前記酸化ハフニウムの含有量は、5モル%～30モル%である、

半導体デバイスの製造方法が提供される。

【発明の効果】

【0009】

幅広いプロセス温度で、EOTの低減及びリーク電流の低減を両立できる半導体デバイスの製造方法を提供できる。 10

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態に係る半導体デバイスの効果を説明するための一例となる図であって、混合絶縁膜の熱処理温度と比誘電率との関係を説明するための概略図である。

【図2】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、混合絶縁膜中のZrO₂のモル分率と比誘電率との関係を説明するための概略図である。

【図3】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、混合絶縁膜中のZrO₂のモル分率と熱処理温度との関係を説明するための概略図である。 20

【図4】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、混合絶縁膜中のZrO₂のモル分率とリーク電流との関係を説明するための概略図である。

【図5】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、積層絶縁膜中のZrO₂のモル分率と熱処理温度との関係を説明するための概略図である。

【図6】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、熱処理温度と比誘電率との関係を説明するための概略図である。

【図7】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、X線回折の結果の例である。 30

【図8】HfO₂膜をプラズマ窒化処理した後に、ZrO₂膜を成膜し、700で熱処理した後の絶縁膜のC/V特性の一例である。

【図9】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、膜厚と比誘電率との関係を説明するための概略図である。

【図10A】本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、X線回折の結果の他の例である。

【図10B】図10Aの一部を拡大した図である。

【図11】本実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、膜厚とリーク電流との関係を説明するための概略図である。 40

【図12】本実施形態の半導体デバイスの製造方法を実施するための、基板処理システムの構成例を示す概略図である。

【図13】本発明の実施形態に係る成膜装置1（又は2）の構成例を示す概略図である。

【図14】本発明の実施の形態に係るプラズマ処理装置3の構成例を示す概略図である。

【図15】本発明の実施の形態に係る結晶化処理装置4の構成例を示す概略図である。

【符号の説明】

【0011】

- 1、2 成膜装置
- 3 プラズマ処理装置
- 4 結晶化処理装置

6、7 ロードロック室
 20 制御部
 22 記憶部
 200 基板処理システム
 G ゲートバルブ
 W 半導体ウエハ

【発明を実施するための最良の形態】

【0012】

以下、添付図面を参照して本発明の実施の形態について説明する。

【0013】

なお、本発明の実施形態に係る半導体デバイスの製造方法では、被処理体としてシリコンウエハを処理する方法について説明する。即ち、シリコンウエハを処理して、ゲート絶縁膜を形成する例について説明するが、本発明はこの点において限定されない。例えば、本発明の半導体デバイスの製造方法は、ダイナミック・ランダム・アクセス・メモリー(DRAM: Dynamic Random Access Memories)のキャパシタの容量絶縁膜(キャパシタ容量膜)を形成する方法にも適用することができる。

【0014】

本発明の実施形態に係る半導体デバイスにおける絶縁膜は、酸化ジルコニウム(ZrO_2)及び酸化ハフニウム(HfO_2)を含み、この絶縁膜中の HfO_2 の含有量は、5モル%~50モル%であることが好ましい。なお、 ZrO_2 及び HfO_2 を含む膜は、 ZrO_2 及び HfO_2 の混合膜である酸化ジルコニウムハフニウム($HfZrO_x$)膜でも良く、 ZrO_2 及び HfO_2 を前述の割合で積層した積層膜でも良い。得られた絶縁膜は、結晶化熱処理(以後、単に熱処理と呼ぶことがある)を施し、結晶化させることで、高誘電率を有する絶縁膜が得られる。

【0015】

[第1の実施形態]

図1に、本発明の実施形態に係る半導体デバイスの効果を説明するための一例となる図であって、混合絶縁膜の熱処理温度と比誘電率との関係を説明するための概略図を示す。図1の横軸は、絶縁膜の熱処理温度を示し、縦軸は絶縁膜の比誘電率を示す。

【0016】

図1より、 HfO_2 の含有量が50モル%である、 $HfZrO_x$ 膜は、 HfO_2 膜と比して、同じ熱処理温度で熱処理した場合に、より高い比誘電率を有する。

【0017】

例えば、比誘電率 k が27の絶縁膜を得る場合、 HfO_2 膜の場合は約600での熱処理を必要とし、600から熱処理温度が外れると、急激に比誘電率が低下する。通常、比誘電率 k が27の HfO_2 膜を得る場合、600~650での熱処理を要する。しかしながら、本実施形態の絶縁膜($HfZrO_x$ 膜)は、図1に示されるように、約470~約600での熱処理で、その比誘電率 k が27以上となる。そのため、例えば、500以上600未満の熱負荷条件に制限されるようなプロセスでは、 HfO_2 膜を使用する場合には、比誘電率 $k=27$ を達成することができないが、本実施形態の絶縁膜では達成可能である。つまり、本実施形態の絶縁膜は、より低温、かつ、広い温度範囲での熱処理で比誘電率を増加することができ、熱負荷上の制約が大きいプロセスにも応用可能であると同時に、プロセスの温度マージンを広げることができる。

【0018】

図2に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、混合絶縁膜中の ZrO_2 のモル分率と比誘電率との関係を説明するための概略図を示す。図2の横軸は、 $HfZrO_x$ 膜における ZrO_2 のモル分率であり、縦軸は、 $HfZrO_x$ 膜の比誘電率である。また、図2には、参考として、約600で熱処理した HfO_2 膜の比誘電率 $k(=27)$ の線を、破線で示す。

【0019】

10

20

30

40

50

図2より、本実施形態に係る絶縁膜 (HfO_2 の含有量が5モル%~50モル%) は、600未満の幅広い温度で、比誘電率 k が2.7以上の値を示す。このことから、本実施形態の絶縁膜は、より低温での熱処理で比誘電率を増加することができ、熱負荷上の制約が大きいプロセスにも応用可能であると同時に、プロセスの温度マージンを広げることができることがわかる。

【0020】

図3に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、混合絶縁膜中の ZrO_2 のモル分率と熱処理温度との関係を説明するための概略図を示す。図3の横軸は、 HfZrO_x 膜における ZrO_2 のモル分率であり、縦軸は、熱処理温度を示す。また、図3のプロットは、比誘電率 k が2.7以上となる熱処理温度の上限値及び下限値を示す。なお、 ZrO_2 のモル分率が60モル%以上95モル%以下の領域においては、上限値は測定していないが、700までの実施形態では、比誘電率 k が2.7以上であったことを確認している。

10

【0021】

図3より、絶縁膜中の ZrO_2 のモル分率が増加するにつれて、比誘電率 $k = 2.7$ を達成するために必要な熱処理温度が低くなることがわかる。また、絶縁膜中の ZrO_2 のモル分率が増加するに連れて、比誘電率 k が2.7以上となる熱処理の温度領域が非常に広がる。特に、本実施形態に係る絶縁膜 (HfO_2 の含有量が5モル%~50モル%) は、比誘電率 $k = 2.7$ を達成する熱処理上限温度と熱処理下限温度との差 (温度マージン) が、約150以上と大きい。そのため、例えば、半導体デバイスのゲート形成工程などで、許容される上限温度に応じて ZrO_2 の組成を調整することで、高い比誘電率特性を有する絶縁膜を所望の温度で形成することができる。

20

【0022】

また、本実施形態に係る絶縁膜 (HfO_2 の含有量が5モル%~50モル%) は、700の高温の熱処理温度でも、比誘電率の低下が見受けられない。そのため、例えば、ゲートファーストプロセスといった、700前後のより高温での熱処理を有するプロセスに摘要した場合においても、比誘電率の低下を防止することができる。

【0023】

なお、通常より高温の熱処理による比誘電率の低下は、高温熱処理により、比較的比誘電率が高いCubic相から、比誘電率が低いMonoclinic相へと相変態が起こり、Monoclinic相が支配的になることに起因する。しかしながら、 HfO_2 に ZrO_2 を添加する (即ち、 ZrO_2 に HfO_2 を添加する) ことによって、Monoclinic相の析出を抑制することができたと考えられる。

30

【0024】

図4に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、混合絶縁膜中の ZrO_2 のモル分率とリーク電流との関係を説明するための概略図を示す。図4の横軸は、 HfZrO_x 膜における ZrO_2 のモル分率であり、縦軸は、リーク電流値を示す。

【0025】

前述の図3などで示されるように、 ZrO_2 単体 (即ち HfO_2 を含まない ZrO_2) を使用することが、最も低温での熱処理で比誘電率 $k = 2.7$ を達成することができる。しかしながら、図4に示されるように、 ZrO_2 単体を使用した場合は、熱処理によるリーク電流の増加も大きくなる。

40

【0026】

一方、本実施形態に係る絶縁膜 (HfO_2 の含有量が5モル%~50モル%) は、低温での熱処理で比誘電率を向上させることができ、かつ、リーク電流を低く抑制することができる。特に、5モル%~30モル%の割合で HfO_2 を含有する絶縁膜は、550の高温での熱処理においてもリーク電流の増加が抑制され、5モル%~10モル%の割合で HfO_2 を含有する絶縁膜は、更にリーク電流の増加が抑制される。そのため、絶縁膜中における、 HfO_2 の含有量は、5モル%~50モル%が好ましく、5モル%~30モル

50

%がより好ましく、5モル%～10モル%が更に好ましい。

【0027】

本発明の実施形態に係る絶縁膜の、比誘電率を高くするための熱処理温度（結晶化温度）の下限値を下げることでできた理由について述べる。HfO₂とZrO₂とでは、結晶系が同じであり、HfO₂及びZrO₂の金属イオンのイオン半径は、各々、80 pm (Hf [4+])、81 pm (Zr [4+])とほぼ同一である。結晶構造が同じで、かつ、イオン半径がほぼ同じであるHfO₂及びZrO₂を混合した場合、その混合酸化物の結晶化温度は、HfO₂の結晶化温度とZrO₂の結晶化温度との間になる。これは、結晶化の過程で、先にZrO₂の結晶化が進行し、結晶化したZrO₂をテンプレートにすることで、HfO₂の結晶化が進行するからであると考えられる。つまり、結晶化したZrO₂が共存することで、ZrO₂を結晶核として作用して、HfO₂の結晶化のための活性化エネルギーが低下し、より低温でHfO₂も結晶化すると考えられる。

10

【0028】

また、本願の実施形態に係る絶縁膜は更に、イットリウム(Y)、セリウム(Ce)、ランタン(La)、アルミニウム(Al)及びシリコン(Si)の酸化物を、1種類又は2種類以上添加しても良い。これらの酸化物の添加量は、好ましくは、約10モル%である。

【0029】

Y、Ce、Laなどの酸化物は、金属イオンのイオン半径が、各々、93 pm (Y [3+])、101 pm (Ce [4+])、115 pm (La [3+])と、Hf又はZrと比して大きい。そのため、これらの元素を添加することにより、元素の並び替えが起こりにくくなり、結晶化温度が増加する。一方、Si、Alなどの酸化物は、SiやAlなどの共有結合性が高いため、結晶化温度が高くなる。つまり、上述した元素の酸化物を添加することにより、絶縁膜の熱処理温度を高くすることができる。そのため、例えば、ゲートファーストプロセス工程などのような、より高温での熱処理を必要とするプロセスに適用する場合は、上述した酸化物を添加することが好ましい。

20

【0030】

以上のように、本発明の実施形態に係るHfZrO_x絶縁膜は、比誘電率kが27以上を達成できる熱処理温度の温度マージンが広く、また、熱処理によるリーク電流の増加を抑制できる。

30

【0031】

[第2の実施形態]

第1の実施形態では、ZrO₂及びHfO₂の混合膜である酸化ジルコニウムハフニウム(HfZrO_x)膜について説明した。第2の実施形態では、ZrO₂及びHfO₂を積層した積層膜について説明する。

【0032】

図5に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、積層絶縁膜中のZrO₂のモル分率と熱処理温度との関係を説明するための概略図を示す。図5の横軸は、絶縁膜中のZrO₂のモル分率であり、縦軸は、比誘電率k = 27を達成するために必要な熱処理温度の下限値を示す。

40

【0033】

図5より、ZrO₂及びHfO₂を積層した積層絶縁膜の場合においても、第1の実施形態と同様、比誘電率k = 27を達成するために必要な熱処理温度が低下する。また、熱処理温度の低下幅は、積層構造とした場合の方が、混合膜の場合よりも、大きくなる傾向があった。この理由については、詳細は不明であるが、積層構造とした場合、前述した結晶核となるZrO₂の析出過程において、結合の組み換え及び集合状態の調整に不調なエネルギーが、混合膜の場合と比して、小さいことに起因するためと推定される。

【0034】

図6に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、熱処理温度と比誘電率との関係を説明するための概略図を示す。図6の横軸

50

は、熱処理温度を示し、縦軸は、比誘電率を示す。

【0035】

図6より、積層構造とした場合、被処理体に ZrO_2 、次いで HfO_2 を積層した場合と、被処理体に HfO_2 、次いで ZrO_2 を積層した場合とでは、熱処理温度の低下効果は変わらない。これは前述したように、結晶化の過程で、先に ZrO_2 の結晶化が進行し、結晶化した ZrO_2 をテンプレートにすることで、 HfO_2 の結晶化が進行するためである。

【0036】

以上のように、本発明の実施形態に係る HfO_2 及び ZrO_2 の積層膜は、第1の実施形態の混合膜の場合よりも更に、比誘電率 k が27以上を達成できる熱処理温度の温度マージンを広くできる。

10

【0037】

[第3の実施形態]

本発明の実施形態に係る絶縁膜を、 HfO_2 の結晶化温度(約600)以上の温度で熱処理する場合、特に、 HfO_2 の層は、比較的比誘電率が高いCubic相よりも、比較的比誘電率が低いMonoclinic相が、熱力学的に析出しやすい。そのため、 ZrO_2 のCubic相と HfO_2 のMonoclinic相とが競合しながら結晶化が進行し、得られる絶縁膜の比誘電率が低下することがある。

【0038】

そのため、 HfO_2 の結晶化温度以上の温度で熱処理を行う必要がある場合など(低温で結晶化熱処理を実施する場合も適用可能である)において、得られる絶縁膜の比誘電率を高めるために、 HfO_2 の結晶化温度を高くし、先にCubic相の ZrO_2 を析出させ、それをテンプレートにして絶縁膜全体の結晶化を進行させることが好ましい。

20

【0039】

HfO_2 の結晶化を高くする方法としては、プラズマプロセスにより窒素を添加(プラズマ窒化処理)することで、 HfO_2 の結晶化温度を高くすることができる。プラズマ窒化処理することで、 HfO_2 の結晶化温度を高くすることができる理由については、プラズマ窒化処理により、 HfO_2 の微細結晶構造が破壊されること、 HfO_2 の酸素(の一部)が窒素に置換されること、などが寄与していると考えられる。

【0040】

30

図7に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、X線回折法(XRD)の結果の例を示す。図7中、曲線(a)は、プラズマ窒化処理を施していない HfO_2 膜(膜厚2.5nm)を700で熱処理した絶縁膜のXRD結果の例であり、曲線(b)は、プラズマ窒化処理後の HfO_2 膜(膜厚2.5nm)を700で熱処理した絶縁膜のXRD結果の例であり、曲線(c)は、 HfO_2 膜(膜厚2.0nm)をプラズマ窒化処理した後に、 ZrO_2 膜(膜厚0.5nm)を成膜し、700で熱処理した絶縁膜のXRD結果の例である。

【0041】

図7の曲線(a)より、プラズマ処理を施さない HfO_2 膜は、比較的比誘電率が低いMonoclinic相が支配的であることがわかる。一方、図7の曲線(b)より、プラズマ処理のみの場合、結晶化温度の上昇が認められる。さらに、図7の曲線(c)では、 HfO_2 膜をプラズマ窒化処理した後に、 ZrO_2 膜を成膜し、700で熱処理することによって、Cubic相の単層構造が確認された。

40

【0042】

図8に、 HfO_2 膜をプラズマ窒化処理した後に、 ZrO_2 膜を成膜し、700で熱処理した後の絶縁膜のCV特性の一例を示す。この実施形態におけるEOTは0.56nmと、非常にEOTが小さい絶縁膜を形成することができた。

【0043】

以上の通り、プラズマ窒化処理を施すことにより、 HfO_2 膜のMonoclinic相を破壊することができ、 HfO_2 膜の結晶化温度を高めることができるため、比誘電率

50

が高い膜を得ることができる、熱処理温度の温度マージンを、高温側により広くすることができる。

【0044】

HfO₂の結晶化温度を高くする方法としては、他にも、前述したように、イットリウム(Y)、セリウム(Ce)、ランタン(La)、アルミニウム(Al)及びシリコン(Si)の酸化物を、1種類又は2種類以上添加する方法が挙げられる。

【0045】

[第4の実施形態]

次に、本実施形態の絶縁膜が、より高い比誘電率を有すると共に、リーク電流特性に優れることを確認した実施形態について説明する。

10

【0046】

図9に、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、膜厚と比誘電率との関係を説明するための概略図を示す。

【0047】

図9における横軸は、各々の膜の膜厚であり、縦軸は各々の膜の比誘電率である。また、図9において、ダイヤ印はHfO₂の含有量が5モル%の混合絶縁膜のプロットであり、三角印はZrO₂膜のプロットであり、丸印はHfO₂膜のプロットである。なお、図9及び後述する図11における結晶化条件としては、結晶化熱処理温度を500とし、結晶化熱処理時間を1分間とした。

【0048】

20

図9に示されるように、本実施形態のHfO₂の含有量が5モル%の混合絶縁膜は、膜厚が大きくなるにつれて比誘電率が大きくなり、膜厚が6nm以上の条件下において約60で飽和する。一方、ZrO₂膜の比誘電率は27~30程度で一定であり、HfO₂膜の比誘電率は20以下で一定であった。本実施形態の絶縁膜は、膜厚を大きくすることにより、従来のゲート絶縁膜やキャパシタ用絶縁膜の比誘電率値と比して、非常に高い比誘電率値を得ることが可能であることがわかった。

【0049】

膜厚を大きくすることによって、本実施形態の絶縁膜の比誘電率が大きくなる理由について、図10A及び図10Bを参照して説明する。

【0050】

30

図10Aに、本発明の実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、X線回折の結果の他の例を示し、図10Bに図10Aの一部を拡大した図を示す。なお、図10A及び図10Bでは、HfO₂の含有量が5モル%であって、膜厚が3nm又は7nmの場合の混合絶縁膜のX線回折の結果を示す。

【0051】

図10Aに示されるように、本実施形態の絶縁膜では、膜厚が3nm及び7nmの両方の場合において、比較的比誘電率が高いCubic相由来のピークが確認された。また、図10Bに示されるように、Tetragonal相由来のピークが確認された。このことから、本実施形態の絶縁膜は、Cubic相とTetragonal相との混晶状態であることがわかった。なお、Tetragonal相とは、一般的に、1200以上の

40

高温での結晶化熱処理によって晶出する、Cubic相やMonoclinic相よりも比誘電率が高い相のことである。

【0052】

以上の結果から、本実施形態の半導体デバイスの製造方法は、500の低温での結晶化熱処理で、高い比誘電率を有するTetragonal相を晶出させることが可能であることがわかった。

【0053】

また、図10Bにおける、膜厚が3nmの絶縁膜と膜厚が7nmの絶縁膜との比較で示されるように、膜厚が7nmの絶縁膜においては、Tetragonal相由来のピークがより明確に確認された。この結果と、前述の図9の結果とから、本実施形態の絶縁膜は

50

、膜厚が3 nmから6 nmまでの範囲において、膜厚を大きくすることによって、比誘電率が大きいTetragonal相の晶出割合が多くなっていると考えられる。即ち、膜厚を大きくすることによって、Tetragonal相の晶出割合が多くなり、結果として、得られる絶縁膜の比誘電率が高くなったと考えられる。

【0054】

さらに、図11に、本実施形態に係る半導体デバイスの効果を説明するための他の例となる図であって、膜厚とリーク電流との関係を説明するための概略図を示す。

【0055】

図11における横軸は、各々の膜の膜厚であり、縦軸は各々の膜のリーク電流値である。また、図11において、ダイヤ印は HfO_2 の含有量が5モル%の混合絶縁膜のプロットであり、三角印は ZrO_2 膜のプロットであり、丸印は HfO_2 膜のプロットである。

10

【0056】

一般的に、絶縁膜は、膜厚が大きくなるにつれてリーク電流値が小さくなり、図11に示されるように、本実施形態の絶縁膜も同様の傾向を有する。

【0057】

また、本実施形態の絶縁膜は、 ZrO_2 膜と比較して、リーク電流が低く抑制されている。また、本実施形態の絶縁膜は、膜厚が6 nm以下の範囲内においては、 HfO_2 膜よりもリーク電流値が低くなり、膜厚が7 nm以上の範囲においても、 HfO_2 膜と同程度のリーク電流値を有している。

【0058】

20

以上の結果から、本実施形態の絶縁膜は、比誘電率が高く、かつ、リーク電流特性に優れた絶縁膜であることがわかった。

【0059】

[半導体デバイスの製造方法]

本発明の実施形態に係る、半導体デバイスの製造方法を説明する。なお、ここでは、被処理体としてシリコンウエハを使用してゲート絶縁膜を成膜する場合について述べるが、本発明はこの点において限定されない。

【0060】

まず、希フッ酸等によりシリコンウエハの表面を洗浄する。さらに必要に応じて SiO_2 からなる界面層を形成する前処理を行う。 SiO_2 からなる界面層は、シリコンウエハを塩酸過水($\text{HCl}/\text{H}_2\text{O}_2$)洗浄することにより、形成することができる。通常、 SiO_2 からなる界面層は、0.3 nm程度形成する。

30

【0061】

その後、本実施形態に係る絶縁膜を成膜する。前述の通り、本実施形態に係る絶縁膜は、 ZrO_2 及び HfO_2 を含み、 HfO_2 の含有量が5モル%~50モル%である。 ZrO_2 及び HfO_2 を含む膜は、 ZrO_2 及び HfO_2 の混合膜である HfZrO_x 膜でも良く、 ZrO_2 及び HfO_2 を前述の割合で積層した積層膜でも良い。

【0062】

HfZrO_x 膜を成膜する方法としては、ALD(原子層堆積)、CVD(化学気相成長)、PVD(物理気相成長)等の手法により成膜することができる。この場合、 ZrO_2 及び HfO_2 を(HfO_2 の含有量が5モル%~50モル%となる)所定の割合で、小計0.5 nm(一例)となるように成膜し、これを、所定の回数繰り返して、例えば合計2.5 nmとなるように成膜する。前述した通り、 ZrO_2 を成膜した後に HfO_2 を成膜しても良く、 HfO_2 を成膜した後に ZrO_2 を成膜しても良い。なお、本実施形態では、一例として、絶縁膜の膜厚を2.5 nmとしたが、本発明はこの点において限定されない。例えば、本絶縁膜をゲート絶縁膜として使用する場合、通常、膜厚は5 nm以下であり、当業者はその用途などに応じて、適宜膜厚を選択することができる。

40

【0063】

ZrO_2 及び HfO_2 の積層膜を成膜する方法としても、ALD、CVD、PVD等の手法により成膜することができる。この場合、 ZrO_2 及び HfO_2 を、(HfO_2 の含

50

有量が5モル%~50モル%となる)所定の割合で、例えば、合計2.5nmとなるように成膜する。前述の通り、積層膜を成膜する場合についても、 ZrO_2 及び HfO_2 を成膜する順番は、特に限定されないが、前述のプラズマ窒化処理を施す場合、先ず HfO_2 膜を成膜し、その後、プラズマ窒化処理を施し、 ZrO_2 膜を成膜する。

【0064】

ALDにより絶縁膜を成膜する場合の原料(プリカーサ)としては、特に限定されない。 HfO_2 膜を成膜するときのプリカーサ例としては、TDEAH(テトラキスジエチルアミノハフニウム)、TEMAH(テトラキスエチルメチルアミノハフニウム)等のアミド系有機ハフニウム化合物、HTB(ハフニウムテトラターシャリプトキサイド)等のアルコキシド系有機ハフニウム化合物等が挙げられる。また、 ZrO_2 膜を成膜するときのプリカーサ例としては、TEMAZ(テトラキスエチルメチルアミノジルコニウム)等のアミド系有機ハフニウム化合物等が挙げられる。酸化剤としては、 O_3 ガス、 O_2 ガス、 H_2O ガス、 NO_2 ガス、 NO ガス、 N_2O ガス等を用いることができる。この時、酸化剤をプラズマ化して反応性を高めても良い。

10

【0065】

ALDなどにより HfO_2 膜又は ZrO_2 膜を成膜する場合には、 Hf 原料又は Zr 原料を薄く吸着させるシーケンスと酸化剤を供給するシーケンスを交互に繰り返して HfO_2 膜を成膜する。また、CVDにより HfO_2 膜又は ZrO_2 膜を成膜する場合には、シリコンウエハを加熱しながら Hf 原料又は Zr 原料と酸化剤とを同時に供給する。なお、ALDにより HfO_2 膜を成膜するときの成膜温度は、通常150~350程度であり、CVDにより HfO_2 膜を成膜するときの成膜温度は、通常350~600程度である。

20

【0066】

絶縁膜を成膜した後、成膜した絶縁膜を結晶化させるために、結晶化熱処理を行う。結晶化熱処理は、例えば、ランプ加熱等によるRTP(Rapid Thermal Process)装置を用いたスパイクアニールなどにより行うことができる。

【0067】

本実施形態の絶縁膜の成膜後、TiN等のゲート電極材料を、例えば、PVDにより形成し、半導体装置を製造する。得られた半導体装置は、通常、400程度の低温で焼結し、絶縁膜とシリコン間の不対電子を電氣的に不活性化する。

30

【0068】

[本発明の実施の形態を実現するための基板処理システム]

次に、本実施形態の半導体デバイスの製造方法を実施するための、基板処理システムについて、図12を参照して説明する。

【0069】

図12に、本実施形態の半導体デバイスの製造方法を実施するための、基板処理システムの構成例を示す概略図を示す。なお、この基板処理システム200は、シリコンウエハに対して、ゲート絶縁膜を形成するものである。

【0070】

図12に示すように、基板処理システム200は、本実施形態の絶縁膜を形成する2つの成膜装置1、2と、得られた絶縁膜を結晶化熱処理するための結晶化処理装置4と、を有する。また、基板処理システム200は、プラズマ窒化処理するための、プラズマ処理装置3を有することが好ましい。

40

【0071】

成膜装置1、2、結晶化処理装置4及びプラズマ窒化処理装置3は、六角形をなすウエハ搬送室5の4つの辺に、それぞれ対応して設けられている。また、ウエハ搬送室5の他の2つの辺には、各々、ロードロック室6、7が設けられている。これらロードロック室6、7のウエハ搬送室5と反対側には、ウエハ搬入出室8が設けられている。ウエハ搬入出室8のロードロック室6、7と反対側には、シリコンウエハWを収容可能な3つのフープ(Foyp)Fを取り付けるポート9、10、11が設けられている。

50

【 0 0 7 2 】

成膜装置 1、2、結晶化処理装置 4、プラズマ処理装置 3 及びロードロック室 6、7 は、ウエハ搬送室 5 の六角形の各辺に、ゲートバルブ G を介して接続されている。各ゲートバルブ G を開放することにより、ウエハ搬送室 5 と連通され、各ゲートバルブ G を閉じることにより、ウエハ搬送室 5 から遮断される。また、ロードロック室 6、7 のウエハ搬入出室 8 に接続される部分にもゲートバルブ G が設けられている。ロードロック室 6、7 は、ゲートバルブ G を開放することによりウエハ搬入出室 8 に連通され、閉じることによりウエハ搬入出室 8 から遮断される。

【 0 0 7 3 】

ウエハ搬送室 5 内には、成膜装置 1、2、結晶化処理装置 4、プラズマ処理装置 3 及びロードロック室 6、7 に対して、ウエハ W の搬入出を行うウエハ搬送装置 1 2 が設けられている。ウエハ搬送装置 1 2 は、ウエハ搬送室 5 の略中央に配設されており、回転及び伸縮可能な回転・伸縮部 1 3 の先端にウエハ W を保持する 2 つのブレード 1 4 a、1 4 b を有している。ブレード 1 4 a、1 4 b は、互いに反対方向を向くように回転・伸縮部 1 3 に取り付けられている。なお、このウエハ搬送室 5 内は所定の真空度に保持されるようになっている。

【 0 0 7 4 】

なお、ウエハ搬入出室 8 の天井部には、H E P A フィルタ（不図示）が設けられている。H E P A フィルタを通過して有機物やパーティクル等が除去された清浄な空気が、ウエハ搬入出室 8 内にダウンフロー状態で供給される。そのため、大気圧の清浄空気雰囲気中でウエハ W の搬入出が行われる。ウエハ搬入出室 8 のフープ F 取り付け用の 3 つのポート 9、1 0、1 1 には、各々シャッター（不図示）が設けられている。これらポート 9、1 0、1 1 にウエハ W を収容した又は空のフープが直接取り付けられ、取り付けられた際にシャッターが外れて外気の侵入を防止しつつウエハ搬入出室 8 と連通する構成になっている。また、ウエハ搬入出室 8 の側面には、アライメントチャンバー 1 5 が設けられており、ウエハ W のアライメントが行われる。

【 0 0 7 5 】

ウエハ搬入出室 8 内には、フープ F へのウエハ W の搬入出及びロードロック室 6、7 へのウエハ W の搬入出を行うウエハ搬送装置 1 6 が設けられている。ウエハ搬送装置 1 6 は、2 つの多関節アームを有しており、フープ F の配列方向に沿ってレール 1 8 上を走行可能な構造となっている。ウエハ W の搬送は、先端のハンド 1 7 上にウエハ W を載せて実施される。なお、図 1 2 では、一方のハンド 1 7 がウエハ搬入出室 8 に存在し、他方のハンドはフープ F 内に挿入されている状態を示している。

【 0 0 7 6 】

基板処理システム 2 0 0 の構成部（例えば成膜装置 1、2、結晶化処理装置 4、プラズマ処理装置 3、ウエハ搬送装置 1 2、1 6）は、コンピュータからなる制御部 2 0 に接続され、制御される構成となっている。また、制御部 2 0 には、オペレータがシステムを管理するためにコマンドの入力操作等を行うキーボードや、システムの稼働状況を可視化して表示するディスプレイ等からなるユーザーインターフェース 2 1 が接続されている。

【 0 0 7 7 】

制御部 2 0 には、さらに、システムで実行される各種処理を制御部 2 0 の制御にて実現するための制御プログラムや、処理条件に応じて各構成部に処理を実行させるためのプログラム（即ち処理レシピ）が格納された記憶部 2 2 が接続されている。処理レシピは記憶部 2 2 の中の記憶媒体に記憶されている。記憶媒体は、ハードディスクであっても良く、C D R O M、D V D、フラッシュメモリ等の可搬性のものであっても良い。また、他の装置から、例えば専用回線を介してレシピを適宜伝送させる構成であっても良い。

【 0 0 7 8 】

基板処理システム 2 0 0 での処理は、例えば、ユーザーインターフェース 2 1 からの指示等にて任意の処理レシピを記憶部 2 2 から呼び出して制御部 2 0 に実行させることで実施される。なお、制御部 2 0 は、各構成部を直接制御するようにしても良いし、各構成部

10

20

30

40

50

に個別のコントローラを設け、それらを介して制御するようにしても良い。

【0079】

本発明の実施の形態に係る基板処理システム200においては、まず、前処理が行われたウエハWを収容したフープFがローディングされる。次いで、大気圧の清浄空気雰囲気中に保持されたウエハ搬入入室8内のウエハ搬送装置16により、フープFからウエハWを一枚取り出してアライメントチャンバー15に搬入し、ウエハWの位置合わせを行う。引き続き、ウエハWをロードロック室6、7のいずれかに搬入し、ロードロック内を真空引きする。ウエハ搬送室5内のウエハ搬送装置12により、ロードロック内のウエハを取り出し、ウエハWを成膜装置1及び成膜装置2に装入して、本実施形態の絶縁膜の成膜処理を行う。

10

なお、本実施形態では、2つの成膜装置を用いているが、1つの成膜装置において、 HfO_2 と ZrO_2 の添加、混合、積層膜を形成しても良い。

【0080】

プラズマ窒化処理を行う場合は、例えば成膜装置1で HfO_2 膜の成膜後、ウエハWをウエハ搬送装置12により取り出し、プラズマ処理装置3に搬入して、プラズマ窒化処理を行う。その後、ウエハ搬送装置12によりウエハWを取り出し、成膜装置2に装入して、 ZrO_2 膜を成膜する。

【0081】

その後、ウエハ搬送装置12によりウエハWを取り出し、結晶化処理装置4に挿入して、結晶化処理を施す。結晶化処理後、ウエハWをウエハ搬送装置12によりロードロック室6、7のいずれかに搬入し、その中を大気圧に戻す。ウエハ搬入入室8内のウエハ搬送装置16によりロードロック室内のウエハWを取り出し、フープFのいずれかに収容される。以上のような動作を1ロットのウエハWに対して行い、1セットの処理が終了する。

20

【0082】

[成膜装置1、2の構成例]

次に、成膜装置1、2の構成について、図13を参照しながら説明する。

図13に、本発明の実施形態に係る成膜装置1(又は2)の構成例を示す概略図を示す。なお、成膜装置1(及び2)による本実施形態の絶縁膜の好ましい成膜方法として、ALD又はCVDにより成膜する場合の、成膜装置の例について、説明するが、図示しないPVDにより成膜する構成であっても良い。

30

【0083】

成膜装置1は、気密に構成された略円筒状のチャンバ31を有しており、その中には被処理体であるウエハWを水平に支持するためのサセプタ32が配置されている。サセプタ32の中央下部には、円筒状の支持部材33が設けられ、サセプタ32は支持部材33により支持されている。サセプタ32は、例えばAlNのセラミックスから構成されている。

【0084】

また、サセプタ32には、ヒーター35が埋め込まれており、このヒーター35にはヒーター電源36が接続されている。一方、サセプタ32の上面近傍には熱電対37が設けられ、熱電対37の信号はコントローラ38に伝送されるようになっている。そして、コントローラ38は、熱電対37の信号に応じてヒーター電源36に指令を送信し、ヒーター35の加熱を制御してウエハWを所定の温度に制御するようになっている。

40

【0085】

チャンバ31の内壁、サセプタ32及び支持部材33の外周には、付着物が堆積することを防止するための石英ライナー39が設けられている。石英ライナー39とチャンバ31の壁部との間には、パージガス(シールドガス)を流すようになっており、これにより壁部へ付着物が堆積することが防止されコンタミネーションが防止される。なお、石英ライナー39はチャンバ31内のメンテナンスが効率的に行われるように取り外しが可能な構成となっている。

【0086】

50

チャンバ31の天壁31aには、円形の孔31bが形成されており、そこからチャンバ31内へ突出するシャワーヘッド40が嵌め込まれている。シャワーヘッド40は、前述の成膜用の原料ガスをチャンバ31内に吐出するためのものであり、その上部には原料ガスが導入される第1の導入路41と、酸化剤が導入される第2の導入路42とが接続されている。

【0087】

シャワーヘッド40の内部には上下2段に空間43、44が設けられている。上側の空間43には第1の導入路41が繋がっており、この空間43から第1のガス吐出路45がシャワーヘッド40の底面まで延びている。下側の空間44には、第2の導入路42が繋がっており、この空間44から第2のガス吐出路46がシャワーヘッド40の底面まで延びている。即ち、シャワーヘッド40は、原料ガスと酸化剤とが混じることなく、空間43、44で均一に拡散して、それぞれ独立して吐出路45及び46から吐出するポストミックスタイプとなっている。

10

【0088】

なお、サセプタ32は図示しない昇降機構により昇降可能となっており、原料ガスに曝される空間を極小化するようにプロセスギャップが調整される。

【0089】

チャンバ31の底壁には、下方に向けて突出する排気室51が設けられている。排気室51の側面には排気管52が接続されており、この排気管52には排気装置53が接続されている。排気装置53を作動させることにより、チャンバ31内を所定の真空度まで減圧することが可能となっている。

20

【0090】

チャンバ31の側壁には、ウエハ搬送室5との間でウエハWの搬入出を行うための搬入出口54と、この搬入出口54を開閉するゲートバルブGとが設けられている。

【0091】

このように構成された成膜装置においては、先ず、チャンバ31内にウエハWを搬入した後、その中を排気して所定の真空状態とし、ヒーター35によりウエハWを所定温度に加熱する。この状態で、第1導入路41及び第2導入路42を介して原料ガスと酸化剤とをシャワーヘッド40を介してチャンバ31内に導入する。

【0092】

これにより、加熱されたウエハW上で原料ガスと酸化剤とが反応し、ウエハW上に本実施形態の絶縁膜が成膜される。

30

【0093】

[プラズマ処理装置3の構成例]

次に、プラズマ窒化処理を実施するための、プラズマ処理装置3について、図14を参照しながら説明する。図14に、本発明の実施の形態に係るプラズマ処理装置3の構成例を示す概略図を示す。

【0094】

なお、ここでは、マイクロ波プラズマ装置の例であり、RLSA(Radial Line Slot Antenna)マイクロ波プラズマ方式のマイクロ波プラズマ処理装置の例を示すが、本発明はこの点において限定されない。

40

【0095】

プラズマ処理装置3は、略円筒状のチャンバ81と、その中に設けられたサセプタ82と、チャンバ81の側壁に設けられた処理ガスを導入するガス導入部83とを有する。また、プラズマ処理装置3には、チャンバ81の上部の開口部に臨むように設けられ、多数のマイクロ波透過孔84aが形成された平面アンテナ84と、マイクロ波を発生させるマイクロ波発生部85と、マイクロ波発生部85を平面アンテナ84に導くマイクロ波伝送機構86とが設けられる。

【0096】

平面アンテナ84の下方には、誘電体からなるマイクロ波透過板91が設けられ、平面

50

アンテナ 8 4 の上にはシールド部材 9 2 が設けられている。シールド部材 9 2 は水冷構造となっている。なお、平面アンテナ 8 4 の上面には誘電体からなる遅波材が設けられていても良い。

【 0 0 9 7 】

マイクロ波伝送機構 8 6 は、マイクロ波発生部 8 5 からマイクロ波を導く水平方向に伸びる導波管 1 0 1 と、平面アンテナ 8 4 から上方に伸びる内導体 1 0 3 及び外導体 1 0 4 からなる同軸導波管 1 0 2 と、導波管 1 0 1 と同軸導波管 1 0 2 との間に設けられたモード変換機構 1 0 5 とを有する。なお、符号 9 3 は排気管である。

【 0 0 9 8 】

また、サセプタ 8 2 には、イオン引き込みのための高周波電源 1 0 6 が接続されている

10

【 0 0 9 9 】

プラズマ処理装置 3 は、マイクロ波発生部 8 5 で発生したマイクロ波を、マイクロ波伝送機構 8 6 を介して所定のモードで平面アンテナ 8 4 に導き、平面アンテナ 8 4 のマイクロ波透過孔 8 4 a 及びマイクロ波透過板 9 1 を通ってチャンバ 8 1 内に均一に供給する。供給されたマイクロ波により、ガス導入部 8 3 から供給された処理ガスはプラズマ化され、プラズマ中の活性種（例えば、ラジカル）により、ウエハ W 上の絶縁膜はプラズマ処理される。なお、処理ガスとしては、 N_2 ガスを用いる。

【 0 1 0 0 】

[結晶化処理装置 4 の構成例]

20

次に、結晶化熱処理を実施するための、結晶化処理装置 4 について、図 1 5 を参照しながら説明する。図 1 5 に、本発明の実施の形態に係る結晶化処理装置 4 の構成例を示す概略図を示す。

【 0 1 0 1 】

図 1 5 に示す結晶化処理装置 4 は、ランプ加熱を用いた R T P 装置として構成され、本実施形態の絶縁膜に対してスパイクアニールを施すものである。結晶化処理装置 4 は、気密に構成された略円筒状のチャンバ 1 2 1 を有し、チャンバ 1 2 1 内にはウエハ W を回転可能に支持する支持部材 1 2 2 が回転可能に設けられている。支持部材 1 2 2 の回転軸 1 2 3 は下方に延び、チャンバ 1 2 1 外の回転駆動機構 1 2 4 により回転される。

【 0 1 0 2 】

30

チャンバ 1 2 1 の外周には、環状に排気経路 1 2 5 が設けられており、チャンバ 1 2 1 と排気経路 1 2 5 は排気孔 1 2 6 を介して繋がっている。そして、排気径路 1 2 5 の少なくとも 1 箇所に真空ポンプ等の排気機構（不図示）が接続され、チャンバ 1 2 1 内が排気されるようになっている。

【 0 1 0 3 】

チャンバ 1 2 1 の天壁には、ガス導入管 1 2 8 が挿入されており、ガス導入管 1 2 8 にはガス供給管 1 2 9 が接続されている。即ち、ガス供給管 1 2 9 及びガス導入管 1 2 8 を介して、処理ガスがチャンバ 1 2 1 内に導入されるようになっている。処理ガスとしては Ar ガス等の希ガスや N_2 ガスを好適に用いることができる。

【 0 1 0 4 】

40

チャンバ 1 2 1 の底部には、ランプ室 1 3 0 が設けられており、ランプ室 1 3 0 の上面は石英等の透明材料からなる透光板 1 3 1 が設けられている。ランプ室内には複数の加熱ランプ 1 3 2 が設けられており、ウエハ W を加熱することが可能となっている。なお、ランプ室 1 3 0 の底面と回転駆動機構 1 2 4 との間には、回転軸 1 2 3 を囲むようにベローズ 1 3 3 が設けられている。

【 0 1 0 5 】

結晶化処理装置 4 においては、先ず、チャンバ 1 2 1 内にウエハ W を搬入した後、その中を排気して所定の真空状態とする。その後、チャンバ 1 2 1 内に処理ガスを導入しつつ、回転駆動機構 1 2 4 により支持部材 1 2 2 を介してウエハ W を回転させるとともにランプ室 1 3 0 のランプ 1 3 2 によりウエハ W を急速に昇温し所定温度になった時点でランプ

50

132をオフにして急速に降温する。これにより、短時間結晶化処理が可能となる。

【0106】

なお、ウエハWは必ずしも回転させなくてもよい。また、ランプ室130をウエハWの上方に配置する構成であっても良い。この場合、ウエハWの裏面側に冷却機構を設けて、より急速な降温を可能にする構成であっても良い。

【0107】

以上、本実施形態について、被処理体としてシリコンウエハを処理する方法について説明した。即ち、シリコンウエハを処理して、ゲート絶縁膜を形成する例について説明したが、本発明はこの点において限定されない。例えば、本発明の半導体装置の製造方法は、ダイナミック・ランダム・アクセス・メモリー(DRAM: Dynamic Random Access Memories)のキャパシタの容量絶縁膜(キャパシタ容量膜)を形成する方法にも適用することができる。

10

【0108】

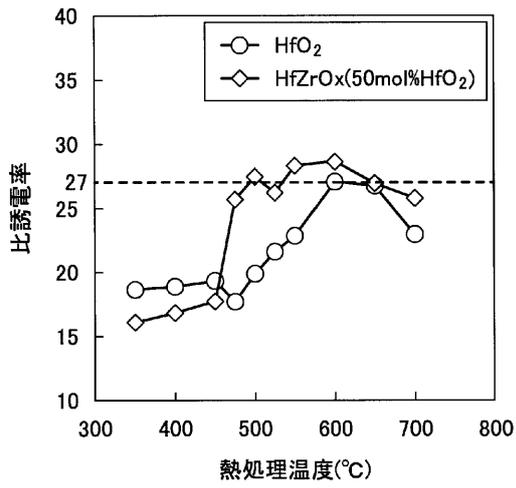
具体的には、通常、 TiO_2 、 Al_2O_3 、 ZrO_2 膜を組み合わせた積層構造などが使用されるDRAMキャパシタ用のHigh-k膜に、本実施形態の絶縁膜を使用することができる。さらに、本実施形態の絶縁膜は、他の膜を更に積層した構造であっても良い。例えば、 TiO_2 膜、 $SrTiO_3$ (STO)膜又は $Ba_{0.4}Sr_{0.6}TiO_3$ (BST)膜を積層した構造などに応用することができる。具体的には、 TiO_2 膜と本実施形態の絶縁膜の積層膜、2つの TiO_2 膜間に本実施形態の絶縁膜が挟まれる構成、及び、前述の TiO_2 膜が、STO膜及び/又はBST膜で置き換えられた構造などに応用

20

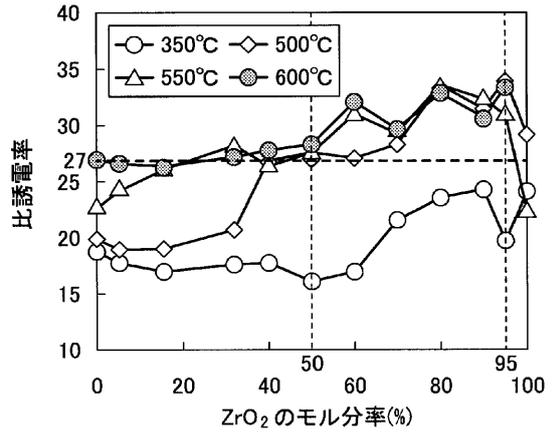
【0109】

本国際出願は、2012年4月5日に出願された日本国特許出願2012-086578号に基づく優先権を主張するものであり、その全内容を本国際出願に援用する。

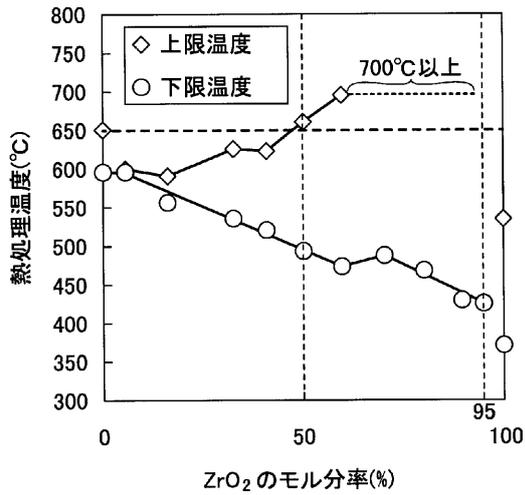
【 図 1 】



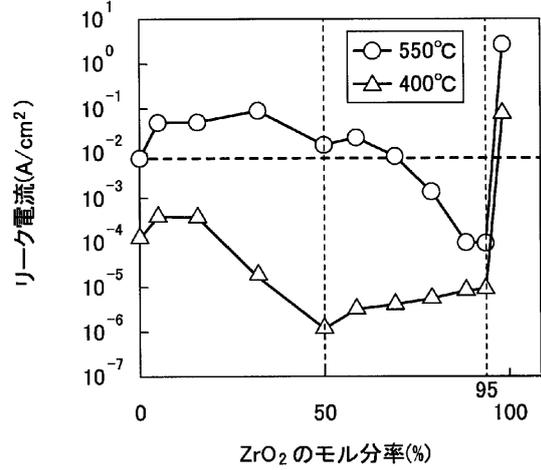
【 図 2 】



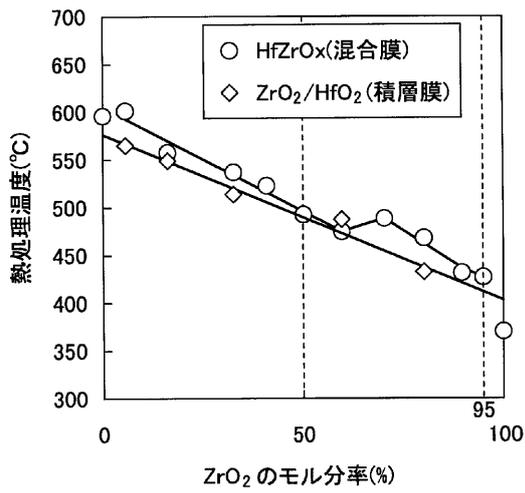
【 図 3 】



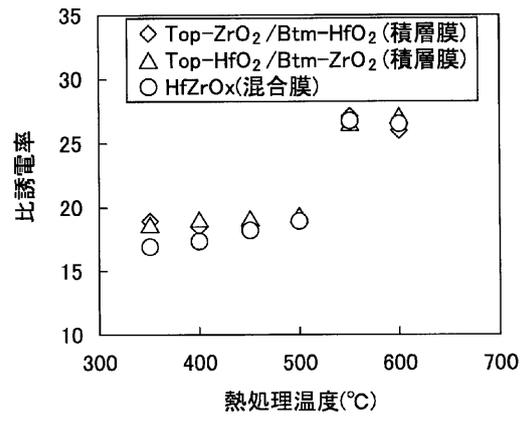
【 図 4 】



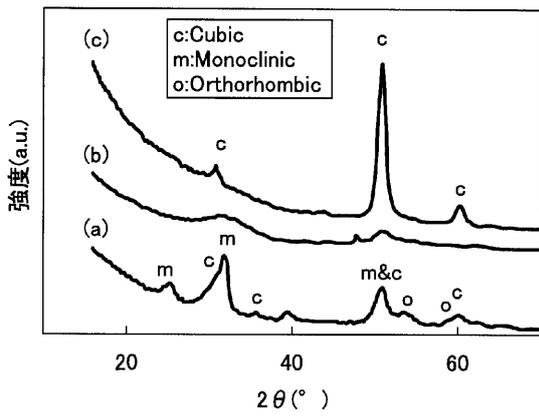
【 図 5 】



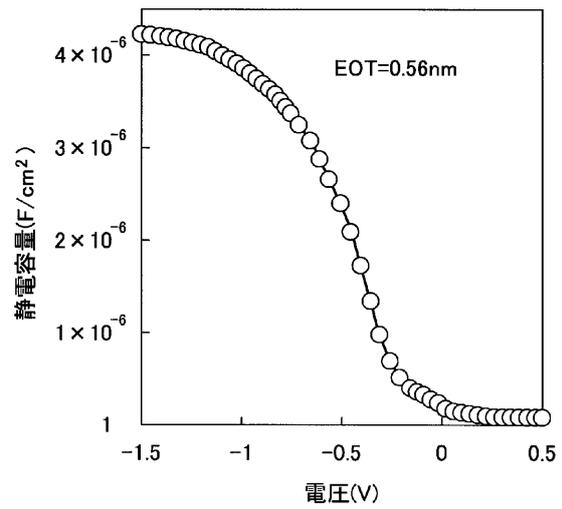
【 図 6 】



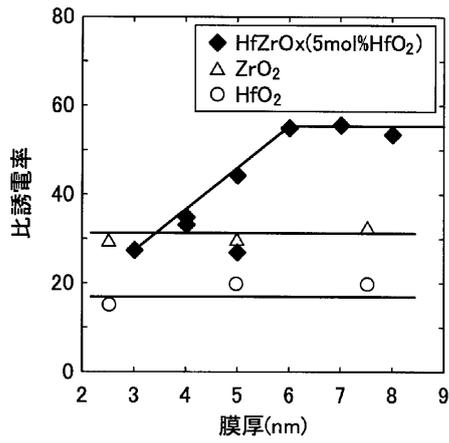
【 図 7 】



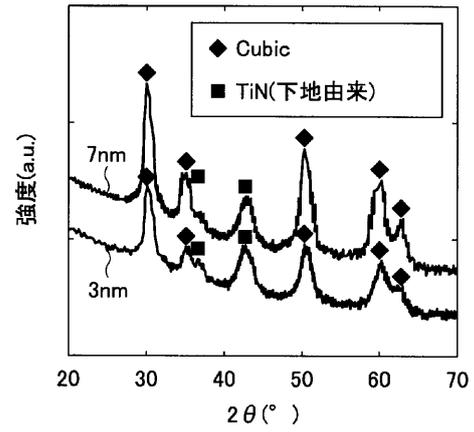
【 図 8 】



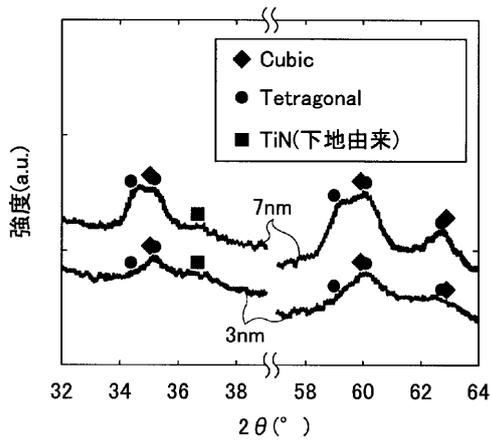
【 図 9 】



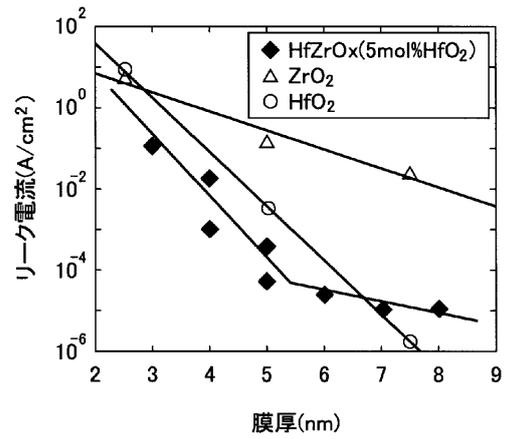
【 図 10 A 】



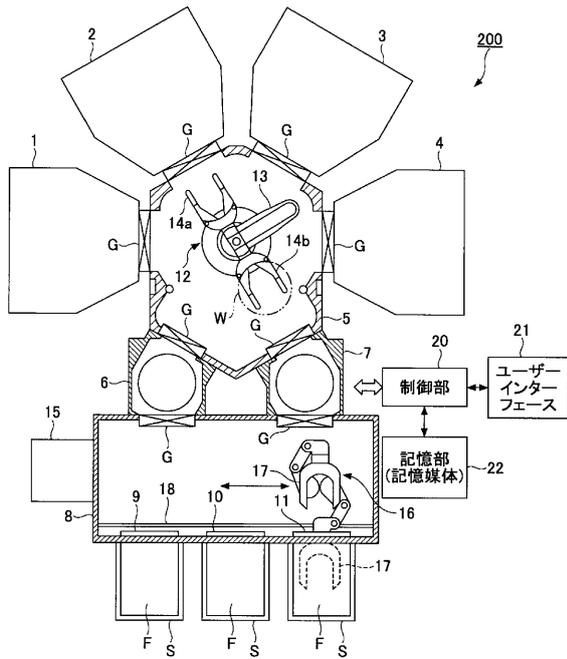
【 図 10 B 】



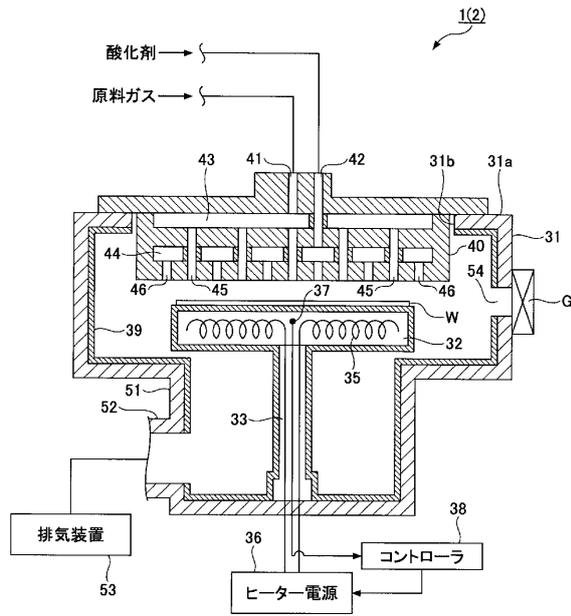
【 図 11 】



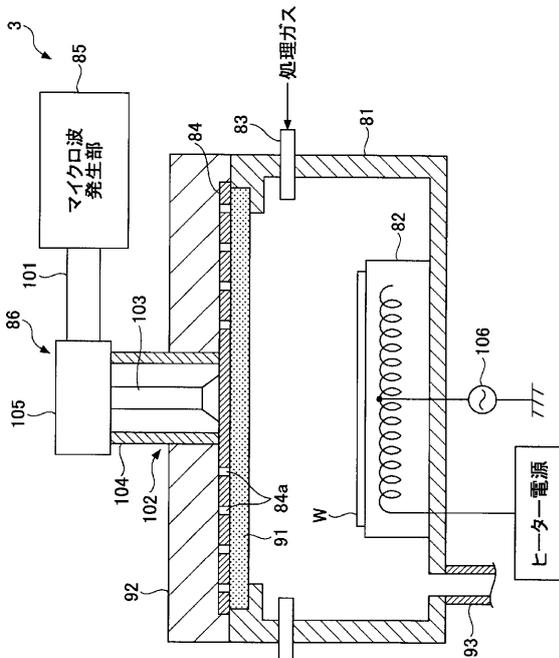
【図12】



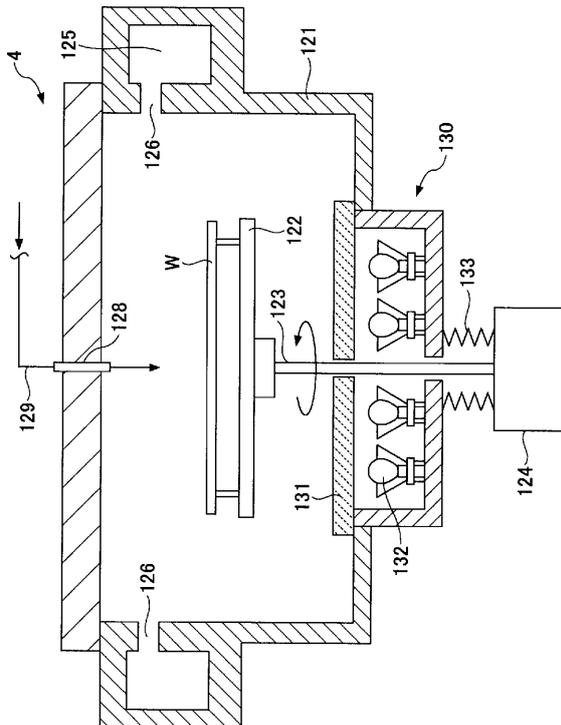
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/31	(2006.01)	H 0 1 L 21/31	C
		H 0 1 L 21/31	B
		H 0 1 L 21/31	E

(72)発明者 田村 知大
山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内

(72)発明者 青山 真太郎
山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン山梨株式会社内

(72)発明者 和村 有
岩手県奥州市江刺区岩谷堂松長根52 東京エレクトロン東北株式会社内

審査官 市川 武宜

(56)参考文献 特表2010-535428(JP,A)
特開2008-186952(JP,A)
特開2010-153621(JP,A)
特開2010-192520(JP,A)
特開2011-066187(JP,A)
特開2011-103330(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 3 1
H 0 1 L 2 1 / 3 1 6
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 9 / 7 8