



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0089325  
(43) 공개일자 2022년06월28일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3266 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 2310/0294 (2013.01)

(21) 출원번호 10-2020-0179838

(22) 출원일자 2020년12월21일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유재용  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
특허법인 정안

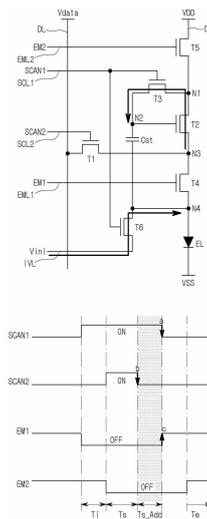
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

본 개시는 소스 팔로워 내부 보상 방식에 따라 구동 트랜지스터의 문턱전압( $V_{th}$ )을 보상하는 표시 장치에 관한 것이다. 특히, 보상 트랜지스터의 게이트 ON 펄스 폭을 스캔 트랜지스터의 게이트 ON 펄스 폭보다 길게 함으로써, 1수평 기간 이후에도 추가로 구동 트랜지스터의 문턱 전압을 샘플링 하는 것을 특징으로 한다.

대표도 - 도8



(52) CPC특허분류  
G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 표시패널;

상기 다수의 게이트 라인을 구동하는 게이트 구동 회로; 및

상기 다수의 데이터 라인을 구동하는 데이터 구동 회로; 를 포함하고,

상기 다수의 서브픽셀 각각은,

발광 소자;

제1 노드, 게이트 노드인 제2 노드, 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 포함하여, 상기 발광 소자를 구동하는 제2 트랜지스터;

상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 제3 트랜지스터; 및

상기 제3 노드와 상기 발광 소자 사이에 전기적으로 연결된 제4 트랜지스터를 포함하고,

상기 제3 트랜지스터는 상기 제1 트랜지스터보다 늦게 턴-오프 동작하여, 상기 제3 노드에 인가된 전압이 상기 제1 노드를 경유하여 상기 제2 노드로 전달되는 것을 특징으로 하는 표시장치.

#### 청구항 2

제1항에 있어서,

상기 제3 트랜지스터는,

상기 제1 트랜지스터보다 먼저 턴-온 동작하는 것을 특징으로 하는 표시장치.

#### 청구항 3

제1항에 있어서,

상기 제3 트랜지스터는,

상기 제4 트랜지스터가 턴-온 동작하는 시점 보다 먼저 턴-오프 동작하는 것을 특징으로 하는 표시장치.

#### 청구항 4

제1항에 있어서,

상기 다수의 서브픽셀 각각은 제1 전극 및 제2 전극으로 구성된 보상 커패시터를 포함하고,

상기 보상 커패시터의 상기 제1 전극은 상기 제3 노드에 연결된 것을 특징으로 하는 표시장치.

#### 청구항 5

제4항에 있어서,

상기 보상 커패시터의 상기 제2 전극은 구동 전압라인에 연결되도록 구성되어 고전위 전원 전압을 인가받는 것

을 특징으로 하는 표시장치.

#### 청구항 6

제4항에 있어서,

상기 보상 커패시터의 상기 제2 전극은 초기화 전압 라인에 연결되도록 구성되어 초기화 전원 전압을 인가받는 것을 특징으로 하는 표시장치.

#### 청구항 7

제1항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는,

산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 하는 표시장치.

#### 청구항 8

제1항에 있어서,

상기 제3 트랜지스터는,

산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 하는 표시장치.

#### 청구항 9

제1항에 있어서,

상기 제1 노드는 구동 전압 라인과 전기적으로 연결되고,

상기 다수의 서브픽셀 각각은,

상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제5 트랜지스터를 더 포함하고,

상기 제3 트랜지스터 및 상기 제1 트랜지스터가 턴-온 동작하는 구간에서, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 턴-오프 동작하는 것을 특징으로 하는 표시장치.

#### 청구항 10

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 표시패널;

데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동 회로; 및

게이트 신호를 게이트 라인들에 공급하는 게이트 구동 회로; 를 포함하고,

상기 다수의 서브픽셀 각각은,

발광 소자;

구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드, 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 포함하여, 상기 발광 소자를 구동하는 제2 트랜지스터;

상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 제3 트랜지스터;

상기 제3 노드, 및 상기 발광 소자와 전기적으로 연결된 제4 노드를 포함하는 제4 트랜지스터;

상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제5 트랜지스터;  
상기 발광 소자와 초기화 전압 라인 사이에 전기적으로 연결된 제6 트랜지스터; 및  
상기 제2 노드 및 상기 제4 노드 사이에 전기적으로 연결된 커패시터; 를 포함하고,  
상기 게이트 신호는,  
상기 제3 트랜지스터 및 상기 제6 트랜지스터의 온/오프 동작을 제어하는 제1 스캔 신호;  
상기 제1 트랜지스터의 온/오프 동작을 제어하는 제2 스캔 신호;  
상기 제4 트랜지스터의 온/오프 동작을 제어하는 제1 발광 신호;  
상기 제5 트랜지스터의 온/오프 동작을 제어하는 제2 발광 신호; 를 포함하고,  
상기 제1 스캔 신호의 ON 펄스는 상기 제2 스캔 신호의 ON 펄스보다 넓은 것을 특징으로 하는 표시장치.

#### 청구항 11

제10항에 있어서,  
상기 제1 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점은 상기 제2 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점보다 늦은 것을 특징으로 하는 표시장치.

#### 청구항 12

제11항에 있어서,  
상기 제1 스캔 신호가 로우 레벨에서 하이 레벨로 전환되는 시점은 상기 제2 스캔 신호가 로우 레벨에서 하이 레벨로 전환되는 시점보다 빠른 것을 특징으로 하는 표시장치.

#### 청구항 13

제10항에 있어서,  
상기 제1 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점은 상기 제1 발광 신호가 로우 레벨에서 하이 레벨로 전환되는 시점보다 빠른 것을 특징으로 하는 표시장치.

#### 청구항 14

제10항에 있어서,  
상기 다수의 서브픽셀 각각은 제1 전극 및 제2 전극으로 구성된 보상 커패시터를 포함하고,  
상기 보상 커패시터의 상기 제1 전극은 상기 제3 노드에 연결된 것을 특징으로 하는 표시장치.

#### 청구항 15

제14항에 있어서,  
상기 보상 커패시터의 상기 제2 전극은 구동 전압라인에 연결되도록 구성되어 고전위 전원 전압을 인가받는 것을 특징으로 하는 표시장치.

#### 청구항 16

제14항에 있어서,

상기 보상 커패시터의 상기 제2 전극은 초기화 전압 라인에 연결되도록 구성되어 초기화 전원 전압을 인가받는 것을 특징으로 하는 표시장치.

**청구항 17**

제10항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제5 트랜지스터는, 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 하는 표시장치.

**청구항 18**

제10항에 있어서,

상기 상기 제3 트랜지스터 및 상기 제6 트랜지스터는, 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 하는 표시장치.

**청구항 19**

제10항에 있어서,

상기 제1 스캔 신호 및 상기 제2 스캔 신호가 하이 레벨 신호일때, 상기 제1 발광 신호 및 상기 제2 발광 신호는 로우 레벨 신호인 것을 특징으로 하는 표시장치.

**청구항 20**

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 표시패널;

데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동 회로; 및

게이트 신호를 게이트 라인들에 공급하는 게이트 구동 회로; 를 포함하고,

상기 다수의 서브픽셀 각각은,

발광 소자;

구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드, 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 포함하여, 상기 발광 소자를 구동하는 제2 트랜지스터;

상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 제3 트랜지스터;

상기 제3 노드, 및 상기 발광 소자와 전기적으로 연결된 제4 노드를 포함하는 제4 트랜지스터;

상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제5 트랜지스터;

상기 발광 소자와 초기화 전압 라인 사이에 전기적으로 연결된 제6 트랜지스터; 및

상기 제2 노드 및 상기 제4 노드 사이에 전기적으로 연결된 커패시터; 를 포함하고,

상기 게이트 신호는,

상기 제3 트랜지스터 및 상기 제6 트랜지스터의 온/오프 동작을 제어하는 제1 스캔 신호;

상기 제1 트랜지스터의 온/오프 동작을 제어하는 제2 스캔 신호;

상기 제4 트랜지스터의 온/오프 동작을 제어하는 제1 발광 신호;

상기 제5 트랜지스터의 온/오프 동작을 제어하는 제2 발광 신호; 를 포함하고,

상기 제1 스캔 신호는 제1 ON 펄스 및 상기 제1 ON 펄스 뒤에 이어지는 제2 ON 펄스를 포함하고,

상기 제2 ON 펄스가 하이 레벨에서 로우 레벨로 전환되는 시점은 제2 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점보다 늦은 것을 특징으로 하는 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 소스 팔로워 내부 보상 방식에 따라 구동 트랜지스터의 문턱전압(Vth)을 보상하는 표시 장치에 관한 것이다.

#### 배경 기술

[0002] 액티브 매트릭스 타입의 유기발광다이오드 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 유기발광다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole tranPort layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron tranPort layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 유기발광다이오드에 흐르는 구동전류를 제어하기 위해 구동 트랜지스터(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 트랜지스터의 전기적 특성은 모든 픽셀들에서 동일하게 설계됨이 바람직하나, 실제로는 공정 조건, 구동 환경 등에 의해 픽셀들마다 구동 트랜지스터의 전기적 특성은 불균일하다. 이러한 이유로 동일 데이터전압에 따른 구동 전류는 픽셀들마다 달라지고 그 결과, 픽셀들 간 휘도 편차가 발생하게 된다. 이를 해결하기 위하여, 각 픽셀로부터 구동 트랜지스터의 특성 파라미터(문턱전압(Vth), 이동도)를 센싱하고, 센싱 결과에 따라 입력 데이터를 적절히 보정함으로써 휘도 불균일을 감소시키는 화질 보상기술이 알려져 있다.

[0005] 화질 보상기술 중에서 내부 보상 방식은 유기발광다이오드가 발광하는 동안에 구동 트랜지스터의 전기적 특성을 배제시키도록 픽셀 구조 및 구동 타이밍을 제어한다. 내부 보상 방식은 기본적으로 구동 트랜지스터의 게이트 전압을 소스 팔로워 방식으로 상승시켜서 일정 수준으로 포화(sturation)시키는 샘플링 동작을 수행한다. 내부 보상 방식에서 구동 트랜지스터의 게이트 전압을 원하는 수준으로 포화시키기 위해서는 충분한 시간이 필요하다.

[0006] 하지만, 유기 발광 표시장치의 고해상도와 고속 구동 추세에서, 기존의 보상 방법으로는 픽셀의 구동 특성 차이를 충분히 보상할 수 없다. 예컨대, 해상도가 높아질수록 그리고 구동 주파수가 높아질수록 표시패널에서 1 라인의 픽셀들에 데이터를 기입하는 1 수평 기간이 감소된다. 1 수평 기간은 화면 상에서 1 수평 라인에 배치된 픽셀들에 데이터를 기입하는 시간이다.

[0007] 유기 발광 표시장치의 구동 회로는 1 수평 기간 내에서 구동 트랜지스터의 문턱 전압을 샘플링하고 그 문턱 전압으로 데이터 전압을 보상하여 데이터를 픽셀들에 기입한다. 1 수평 기간이 작아지면 구동 트랜지스터의 문턱 전압 샘플링 기간이 감소된다. 구동 트랜지스터의 문턱 전압 샘플링에 필요한 시간의 부족하게 되면, 구동 트랜지스터의 문턱 전압이 부정확하게 감지(sensing)되어 픽셀들 간의 구동 특성 차이가 초래될 수 있다. 픽셀들 간 구동 특성 차이는 동일 계조의 데이터를 모든 픽셀들에 기입하더라도 휘도 차이를 초래하여 화면 상에서 얼룩이 보여질 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0008] 본 발명은 내부 보상회로를 갖는 표시 장치에서, 보상 트랜지스터의 게이트 ON 펄스 폭을 스캔 트랜지스터의 게이트 ON 펄스 폭보다 길게 함으로써, 1수평 기간 이후에도 추가로 구동 트랜지스터의 문턱 전압을 샘플링 하는 표시장치를 제공한다.

[0009] 또한, 본 발명은 구동 트랜지스터의 소스 전극에 연결되는 보상 커패시터를 추가 구성하여 추가 샘플링 기간 동안 소스 전극에 인가된 data 전압을 유지할 수 있다.

**과제의 해결 수단**

[0010] 본 개시에 따른 표시장치는 다음의 실시예를 가진다.

[0011] 실시예에 따른 표시장치는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 표시패널; 상기 다수의 게이트 라인을 구동하는 게이트 구동 회로; 및 상기 다수의 데이터 라인을 구동하는 데이터 구동 회로; 를 포함하고, 상기 다수의 서브픽셀 각각은, 발광 소자; 제1 노드, 게이트 노드인 제2 노드, 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 포함하여, 상기 발광 소자를 구동하는 제2 트랜지스터; 상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터; 상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 제3 트랜지스터; 및 상기 제3 노드와 상기 발광 소자 사이에 전기적으로 연결된 제4 트랜지스터를 포함하고, 상기 제3 트랜지스터는 상기 제1 트랜지스터보다 늦게 턴-오프 동작하여, 상기 제3 노드에 인가된 전압이 상기 제1 노드를 경유하여 상기 제2 노드로 전달되는 것을 특징으로 한다.

[0012] 상기 제3 트랜지스터는, 상기 제1 트랜지스터보다 먼저 턴-온 동작하는 것을 특징으로 한다.

[0013] 상기 제3 트랜지스터는, 상기 제4 트랜지스터가 턴-온 동작하는 시점 보다 먼저 턴-오프 동작하는 것을 특징으로 한다.

[0014] 상기 다수의 서브픽셀 각각은 제1 전극 및 제2 전극으로 구성된 보상 커패시터를 포함하고, 상기 보상 커패시터의 상기 제1 전극은 상기 제3 노드에 연결된 것을 특징으로 한다.

[0015] 상기 보상 커패시터의 상기 제2 전극은 구동 전압라인에 연결되도록 구성되어 고전위 전원 전압을 인가받는 것을 특징으로 한다.

[0016] 상기 보상 커패시터의 상기 제2 전극은 초기화 전압 라인에 연결되도록 구성되어 초기화 전원 전압을 인가받는 것을 특징으로 한다.

[0017] 상기 제1 트랜지스터 및 상기 제2 트랜지스터는, 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 한다.

[0018] 상기 제3 트랜지스터는, 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 한다.

[0019] 상기 제1 노드는 구동 전압 라인과 전기적으로 연결되고, 상기 다수의 서브픽셀 각각은, 상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제5 트랜지스터를 더 포함하고, 상기 제3 트랜지스터 및 상기 제1 트랜지스터가 턴-온 동작하는 구간에서, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 턴-오프 동작하는 것을 특징으로 한다.

[0020] 실시예에 따른 표시장치는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 표시패널; 데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동 회로; 및 게이트 신호를 게이트 라인들에 공급하는 게이트 구동 회로; 를 포함하고, 상기 다수의 서브픽셀 각각은, 발광 소자; 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드, 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 포함하여, 상기 발광 소자를 구동하는 제2 트랜지스터; 상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터; 상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 제3 트랜지스터; 상기 제3 노드, 및 상기 발광 소자와 전기적으로 연결된 제4 노드를 포함하는 제4 트랜지스터; 상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제5 트랜지스터; 상기 발광 소자와 초기화 전압 라인 사이에 전기적으로 연결된 제6 트랜지스터; 및 상기 제2 노드 및 상기 제4 노드 사이에 전기적으로 연결된 커패시터; 를 포함하고, 상기 게이트 신호는, 상기 제3 트랜지스터 및 상기 제6 트랜지스터의 온/오프 동작을 제어하는 제1 스캔 신호; 상기 제1 트랜지스터의 온/오프 동작을 제어하는 제2 스캔 신호; 상기 제4 트랜지스터의 온/오프 동작을 제어하는 제1 발광 신호; 상기 제5 트랜지스터의 온/오프 동작을 제어하는 제2 발광 신호; 를 포함하고, 상기 제1 스캔 신호의 ON 펄스는 상기 제2 스캔 신호의 ON 펄스보다 넓은 것을 특징으로 한다.

- [0021] 상기 제1 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점은 상기 제2 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점보다 늦은 것을 특징으로 한다.
- [0022] 상기 제1 스캔 신호가 로우 레벨에서 하이 레벨로 전환되는 시점은 상기 제2 스캔 신호가 로우 레벨에서 하이 레벨로 전환되는 시점보다 빠른 것을 특징으로 한다.
- [0023] 상기 제1 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점은 상기 제1 발광 신호가 로우 레벨에서 하이 레벨로 전환되는 시점보다 빠른 것을 특징으로 한다.
- [0024] 상기 다수의 서브픽셀 각각은 제1 전극 및 제2 전극으로 구성된 보상 커패시터를 포함하고, 상기 보상 커패시터의 상기 제1 전극은 상기 제3 노드에 연결된 것을 특징으로 한다.
- [0025] 상기 보상 커패시터의 상기 제2 전극은 구동 전압라인에 연결되도록 구성되어 고전위 전원 전압을 인가받는 것을 특징으로 한다.
- [0026] 상기 보상 커패시터의 상기 제2 전극은 초기화 전압 라인에 연결되도록 구성되어 초기화 전원 전압을 인가받는 것을 특징으로 한다.
- [0027] 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제5 트랜지스터는, 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 한다.
- [0028] 상기 제3 트랜지스터 및 상기 제6 트랜지스터는, 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터인 것을 특징으로 한다.
- [0029] 상기 제1 스캔 신호 및 상기 제2 스캔 신호가 하이 레벨 신호일때, 상기 제1 발광 신호 및 상기 제2 발광 신호는 로우 레벨 신호인 것을 특징으로 한다.
- [0030] 실시예에 따른 표시장치는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 표시패널; 데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동 회로; 및 게이트 신호를 게이트 라인들에 공급하는 게이트 구동 회로; 를 포함하고, 상기 다수의 서브픽셀 각각은, 발광 소자; 구동 전압 라인과 전기적으로 연결된 제1 노드, 게이트 노드인 제2 노드, 및 상기 발광 소자와 전기적으로 연결된 제3 노드를 포함하여, 상기 발광 소자를 구동하는 제2 트랜지스터; 상기 제3 노드와 상기 데이터 라인 사이에 전기적으로 연결된 제1 트랜지스터; 상기 제1 노드와 상기 제2 노드 사이에 전기적으로 연결된 제3 트랜지스터; 상기 제3 노드, 및 상기 발광 소자와 전기적으로 연결된 제4 노드를 포함하는 제4 트랜지스터; 상기 제1 노드와 상기 구동 전압 라인 사이에 전기적으로 연결된 제5 트랜지스터; 상기 발광 소자와 초기화 전압 라인 사이에 전기적으로 연결된 제6 트랜지스터; 및 상기 제2 노드 및 상기 제4 노드 사이에 전기적으로 연결된 커패시터; 를 포함하고,
- [0031] 상기 게이트 신호는, 상기 제3 트랜지스터 및 상기 제6 트랜지스터의 온/오프 동작을 제어하는 제1 스캔 신호; 상기 제1 트랜지스터의 온/오프 동작을 제어하는 제2 스캔 신호; 상기 제4 트랜지스터의 온/오프 동작을 제어하는 제1 발광 신호; 상기 제5 트랜지스터의 온/오프 동작을 제어하는 제2 발광 신호; 를 포함하고, 상기 제1 스캔 신호는 제1 ON 펄스 및 상기 제1 ON 펄스 뒤에 이어지는 제2 ON 펄스를 포함하고, 상기 제2 ON 펄스가 하이 레벨에서 로우 레벨로 전환되는 시점은 제2 스캔 신호가 하이 레벨에서 로우 레벨로 전환되는 시점보다 늦은 것을 특징으로 한다.

**발명의 효과**

- [0032] 실시 예들에 따른 표시 장치는 1수평 기간 이후에도 구동 트랜지스터의 문턱 전압을 추가로 샘플링함으로써, 고속 구동 또는 고해상도 표시장치에서도 구동 트랜지스터의 문턱 전압을 샘플링하는 시간을 충분하게 확보할 수 있고, 나아가 내부 보상회로의 보상률을 향상시켜 픽셀들 간 휘도 편차를 줄일 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0033] 도 1은 실시예에 의한 표시장치의 개략적인 구성을 나타낸 도면이다.
- 도 2는 서브픽셀 구조의 예시를 나타내는 도면이다.
- 도 3은 실시예들에 따른 표시 장치에 배치된 서브픽셀 회로 구조의 예시를 나타내는 도면이다.
- 도 4a 및 도 4b는 도 3에 도시된 서브픽셀의 구동 타이밍의 예시를 나타내는 도면이다.

도 5 내지 도 7은 서브픽셀 회로가 구동되는 과정의 예시를 나타내는 도면이다.

도 8은 추가 샘플링 기간 동안 서브픽셀 회로가 구동되는 과정의 예시를 나타내는 도면이다.

도 9는 보상 커패시터를 추가 구성한 서브픽셀 회로 구조의 예시를 나타내는 도면이다.

도 10은 도 9와 다른 실시예로서 서브픽셀 회로를 구성하는 일부 TFT소자가 oxide로 구성된 예시를 나타내는 도면이다.

도 11은 도 3에 도시된 서브픽셀의 구동 타이밍의 다른 예시를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0034] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0035] 본 발명의 구성요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 다른 구성요소가 "개재"되거나, 각 구성요소가 다른 구성요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0037] 도 1은 본 발명의 실시예들에 따른 표시장치(100)의 개략적인 구성을 나타낸 도면이다.
- [0038] 도 1을 참조하면, 본 발명의 실시예들에 따른 표시장치(100)는, 다수의 서브픽셀(SP)이 배열된 표시패널(110)과, 표시패널(110)을 구동하기 위한 게이트 구동 회로(120), 데이터 구동 회로(130) 및 컨트롤러(140) 등을 포함할 수 있다.
- [0039] 표시패널(110)에는, 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)이 배치되고, 게이트 라인(GL)과 데이터 라인(DL)이 교차에 의해 정의되는 영역에 서브픽셀(SP)이 배치된다.
- [0040] 게이트 구동 회로(120)는, 컨트롤러(140)에 의해 제어되며, 표시패널(110)에 배치된 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 출력하여 다수의 서브픽셀(SP)의 구동 타이밍을 제어한다.
- [0041] 이러한 게이트 구동 회로(120)는, 경우에 따라, 서브픽셀(SP)의 구동 타이밍을 제어하는 스캔 신호와, 서브픽셀(SP)의 발광 타이밍을 제어하는 발광 신호를 출력할 수도 있다. 이러한 경우, 스캔 신호를 출력하는 회로와, 발광 신호를 출력하는 회로는 별도의 회로로 구현될 수도 있고, 하나의 회로로 구현될 수도 있다.
- [0042] 게이트 구동 회로(120)는, 하나 이상의 게이트 드라이버 집적 회로(GDIC, Gate Driver Integrated Circuit)를 포함할 수 있으며, 구동 방식에 따라 표시패널(110)의 일 측에만 위치할 수도 있고 양 측에 위치할 수도 있다.
- [0043] 각 게이트 드라이버 집적 회로(GDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식, 칩 온 글래스(COG: Chip On Glass) 방식 또는 칩 온 폴리이미드(COP: chip on pi) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적 회로(GDIC)는, 표시패널(110)과 연결된 필름 상에 실장되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0044] 데이터 구동 회로(130)는, 컨트롤러(140)로부터 영상 데이터를 수신하고, 영상 데이터를 아날로그 형태의 데이터 전압으로 변환한다. 그리고, 게이트 라인(GL)을 통해 스캔 신호가 인가되는 타이밍에 맞춰 데이터 전압을 각각의 데이터 라인(DL)으로 출력하여 각각의 서브픽셀(SP)이 영상 데이터에 따른 밝기를 표현하도록 한다.
- [0045] 데이터 구동 회로(130)는, 하나 이상의 소스 드라이버 집적 회로(SDIC, Source Driver Integrated Circuit)를 포함할 수 있다.

- [0046] 각 소스 드라이버 집적 회로(SDIC)는, 시프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0047] 각 소스 드라이버 집적 회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식, 칩 온 글래스(COG: Chip On Glass) 방식 또는 칩 온 폴리이미드(COP: chip on pi) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 표시패널(110)에 직접 배치될 수 있으며, 경우에 따라, 표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적 회로(SDIC)는, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있으며, 이 경우, 각 소스 드라이버 집적 회로(SDIC)는, 표시패널(110)에 연결된 필름 상에 실장되고, 필름 상의 배선들을 통해 표시패널(110)과 전기적으로 연결될 수 있다.
- [0048] 컨트롤러(140)는, 게이트 구동 회로(120)와 데이터 구동 회로(130)로 각종 제어 신호를 공급하며, 게이트 구동 회로(120)와 데이터 구동 회로(130)의 동작을 제어한다.
- [0049] 컨트롤러(140)는, 인쇄 회로 기판, 가요성 인쇄 회로 등 상에 실장되고, 인쇄 회로 기판, 가요성 인쇄 회로 등을 통해 게이트 구동 회로(120) 및 데이터 구동 회로(130)와 전기적으로 연결될 수 있다.
- [0050] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 게이트 구동 회로(120)가 스캔 신호를 출력하도록 하며, 외부에서 수신한 영상 데이터를 데이터 구동 회로(130)에서 사용하는 데이터 신호 형식에 맞게 변환하여 변환된 영상 데이터를 데이터 구동 회로(130)로 출력한다.
- [0051] 컨트롤러(140)는, 영상 데이터와 함께 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 입력 데이터 인에이블 신호(DE, Data Enable), 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호를 외부(예, 호스트 시스템)로부터 수신한다.
- [0052] 컨트롤러(140)는, 외부로부터 수신한 각종 타이밍 신호를 이용하여 각종 제어 신호를 생성하고 게이트 구동 회로(120) 및 데이터 구동 회로(130)로 출력할 수 있다.
- [0053] 일 예로, 컨트롤러(140)는, 게이트 구동 회로(120)를 제어하기 위하여, 게이트 스타트 펄스(GSP, Gate Start Pulse), 게이트 시프트 클럭(GSC, Gate Shift Clock), 게이트 출력 인에이블 신호(GOE, Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS)를 출력한다.
- [0054] 여기서, 게이트 스타트 펄스(GSP)는 게이트 구동 회로(120)를 구성하는 하나 이상의 게이트 드라이버 집적 회로(GDIC)의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적 회로(GDIC)에 공통으로 입력되는 클럭 신호로서, 스캔 신호의 시프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적 회로(GDIC)의 타이밍 정보를 지정하고 있다.
- [0055] 또한, 컨트롤러(140)는, 데이터 구동 회로(130)를 제어하기 위하여, 소스 스타트 펄스(SSP, Source Start Pulse), 소스 샘플링 클럭(SSC, Source Sampling Clock), 소스 출력 인에이블 신호(SOE, Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS)를 출력한다.
- [0056] 여기서, 소스 스타트 펄스(SSP)는 데이터 구동 회로(130)를 구성하는 하나 이상의 소스 드라이버 집적 회로(SDIC)의 데이터 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적 회로(SDIC) 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동 회로(130)의 출력 타이밍을 제어한다.
- [0057] 이러한 표시장치(100)는, 표시패널(110), 게이트 구동 회로(120), 데이터 구동 회로(130) 등으로 각종 전압 또는 전류를 공급해주거나, 공급할 각종 전압 또는 전류를 제어하는 전원 관리 집적 회로(미도시)를 더 포함할 수 있다.
- [0058] 각각의 서브픽셀(SP)은, 게이트 라인(GL)과 데이터 라인(DL)의 교차에 의해 정의되며, 표시장치(100)의 유형에 따라 액정이 배치되거나 발광 소자(EL)가 배치될 수 있다.
- [0060] 도 2의 (a) 및 (b)는 실시 예에 의한 서브픽셀 구조의 예시를 나타내는 도면이다.
- [0061] 도 2의 (a)를 참조하면, 하나의 서브픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DT), 보상회로(CC) 및 유기발광다이오드(OLED)를 포함한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

- [0062] 스위칭 트랜지스터(SW)는 게이트 라인(GL)을 통해 공급된 게이트 신호에 응답하여 데이터 라인(DL)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DT)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원 전압(VDD)과 저전위 전원 전압(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DT)의 문턱전압(Vth) 등을 보상하기 위한 회로이다. 한편, 다양한 실시예에 따라 스위칭 트랜지스터(SW)나 구동 트랜지스터(DT)에 연결된 커패시터(Cst)는 보상회로(CC) 내부로 위치할 수 있다.
- [0063] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양하게 구성될 수 있다.
- [0064] 또한, 도 2의 (b)에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 추가로 더 포함될 수 있다.
- [0065] 이하에서는 보상회로(CC)가 4개의 트랜지스터로 구성된 것을 예시로 하여 설명한다.
- [0067] 도 3은 실시예들에 따른 표시 장치에 배치된 서브픽셀의 회로 구조의 예시를 나타내는 도면이다.
- [0068] 도 3을 참조하면, 본 발명의 실시예들에 따른 표시장치(100)의 서브픽셀(SP)에는, 일 예로, 발광 소자(EL)와, 발광 소자(EL)를 구동하기 위한 다수의 트랜지스터(T1, T2, T3, T4, T5, T6)와, 하나의 커패시터(Cst)가 배치될 수 있다. 여기서 T3, T4, T5, T6은 도 2에서 설명한 보상회로(CC)에 해당한다.
- [0069] 한편, 도 3에 도시된 예시는, 6T1C로 구성된 서브픽셀(SP)을 예시로 나타내나, 서브픽셀(SP)에 배치되는 회로 소자는 표시장치(100)의 유형에 따라 다양하게 구현될 수 있다. 또한, 도 2는 서브픽셀(SP)에 배치된 트랜지스터가 N 타입인 경우를 예시로 나타내나, 경우에 따라, P 타입의 트랜지스터로 서브픽셀(SP)이 구성될 수 있다. P 타입의 트랜지스터로 서브픽셀(SP)이 구성될 경우 스캔 파형(SCAN1, SCAN2)은 N 타입의 트랜지스터로 서브픽셀(SP)이 구성될 경우와 극성이 반대로 구성될 수 있다.
- [0070] 서브픽셀(SP)이 6T1C로 구성된 경우, 각각의 서브픽셀(SP)에는, 6개의 트랜지스터(T1, T2, T3, T4, T5, T6)와 1개의 커패시터(Cst)가 배치될 수 있다.
- [0071] 제1 트랜지스터(T1)는, 제2 스캔 라인(SCL2)로 인가되는 제2 스캔 신호(SCAN2)에 의해 제어되고, 데이터 전압(Vdata)이 인가되는 데이터 라인(DL)과 제4 노드(N4) 사이에 전기적으로 연결될 수 있다. 이러한 제1 트랜지스터(T1)는, "스캔 트랜지스터"라고 할 수도 있다.
- [0072] 제2 트랜지스터(T2)는, 제1 노드(N1), 제2 노드(N2) 및 제3 노드(N3)를 가질 수 있다. 제1 노드(N1)는, 드레인 노드 또는 소스 노드일 수 있으며, 구동 전압 라인(DVL)과 전기적으로 연결될 수 있다. 제2 노드(N2)는, 게이트 노드일 수 있다. 제3 노드(N3)는, 소스 노드 또는 드레인 노드일 수 있으며, 발광 소자(EL)의 애노드 전극과 전기적으로 연결될 수 있다. 이러한 제2 트랜지스터(T2)는, "구동 트랜지스터"라고 할 수도 있다.
- [0073] 제3 트랜지스터(T3)는, 제1 스캔 라인(SCL1)으로 인가되는 제1 스캔 신호(SCAN1)에 의해 제어되고, 제2 트랜지스터(T2)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다. 이러한 제3 트랜지스터(T3)는, "보상 트랜지스터"라고 할 수도 있다.
- [0074] 제4 트랜지스터(T4)는, 제1 발광 제어 라인(EML1)으로 인가되는 제1 발광 신호(EM1)에 의해 제어되고, 제3 노드(N3)와 제4 노드(N4) 사이에 전기적으로 연결될 수 있다. 이러한 제4 트랜지스터(T4)는, "제1 발광 트랜지스터"라고 할 수도 있다.
- [0075] 제5 트랜지스터(T5)는, 제2 발광 제어 라인(EML2)으로 인가되는 제2 발광 신호(EM2)에 의해 제어되고, 구동 전압 라인(DVL)과 제1 노드(N1) 사이에 전기적으로 연결될 수 있다. 이러한 제5 트랜지스터(T5)는, "제2 발광 트랜지스터"라고 할 수도 있다.
- [0076] 제6 트랜지스터(T6)는, 제1 스캔 라인(SCL1)으로 인가되는 제1 스캔 신호(SCAN1)에 의해 제어되고, 초기화 전압 라인(IVL)과 제4 노드(N4) 사이에 전기적으로 연결될 수 있다. 이러한 제6 트랜지스터(T6)는, "초기화 트랜지스터"라고 할 수도 있다.
- [0077] 커패시터(Cst)는, 제2 노드(N2)와 제4 노드(N4) 사이에 전기적으로 연결되고, 데이터 전압(Vdata)을 한 프레임 동안 유지시켜줄 수 있다.

- [0078] 발광 소자(EL)는, 제4 노드(N4)와 기저 전압(VSS)이 인가되는 라인 사이에 전기적으로 연결되고, 일 예로, 유기 발광다이오드(OLED)일 수 있다.
- [0080] 도 4a 및 도 4b는 도 3에 도시된 서브픽셀의 구동 타이밍의 예시를 나타내는 도면이다.
- [0081] 도 4를 참조하면, 하나의 프레임 기간은 동기 신호(SYNC)에 맞춰 리프레시 기간과 홀딩 기간으로 구분될 수 있다.
- [0082] 실시예에 따른 표시장치는 저속 구동 모드와 고속 구동 모드로 동작할 수 있다. 저속 구동 모드는 단위 시간 동안 홀딩 기간을 길게 제어하고, 리프레시 기간을 짧게 제어한다. 저속 구동시 소비전력을 저감할 수 있다.
- [0083] 리프레시 기간은 초기화 기간, 샘플링 기간, 프로그래밍 기간 및 발광 기간으로 세분화될 수 있다.
- [0084] 초기화 기간은 서브픽셀(SP)로 초기화 전압(Vini)을 인가하여 발광 소자(EL)에 기입된 데이터 전압을 초기화하는 기간이다. 샘플링 기간은 구동 트랜지스터(T3)의 문턱 전압(Vth)을 구동 트랜지스터(T3)와 연결된 커패시터에 저장하는 기간이다. 프로그래밍 기간은 서브픽셀(SP)로 데이터 전압(Vdata)을 인가하여 구동 트랜지스터(T3)와 연결된 커패시터에 데이터 전압(Vdata)을 저장하는 기간이다.
- [0085] 샘플링 기간 및 프로그래밍 기간은 개념적으로는 구별되는데, 서브픽셀 구조에 따라 샘플링 기간 및 프로그래밍 기간이 서로 구분되어 순차적으로 동작될 수도 있고, 동시에 동작될 수도 있다. 본 개시의 실시예에서 설명하는 서브픽셀 구조는 샘플링 기간 및 프로그래밍 기간이 동시에 진행될 수 있다. 이하에서는 프로그래밍 기간을 포함하여 샘플링 기간을 설명하기로 한다.
- [0086] 홀딩 기간이란 발광소자들 각각에 연결된 데이터 라인들을 통해 데이터 전압은 공급되지 않고, 리프레시 프레임에 저장된 데이터 전압을 그대로 사용하여 발광 소자 들이 발광하는 기간이다.
- [0087] 도 4a에서 홀딩 기간은 발광 기간만을 포함하고 있으며, 도 4b는 애노드 리셋 기간을 포함하고 있다.
- [0088] 도 4a에서 홀딩 기간 동안 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 로우 레벨을 유지하고, 제1 발광 신호(EM1) 및 제2 발광 신호(EM2)는 하이 레벨을 유지한다.
- [0089] 다양한 실시예에 따라 홀딩 기간 동안 주기적으로 발광 소자(EL)의 애노드 전극의 리셋을 위한 리셋 전압이 데이터 라인(DL)을 통해 공급될 수 있다.
- [0090] 도 4b에 도시된 바와 같이, 홀딩 기간에서, 발광 소자(EL)의 애노드 전극의 리셋이 이루어지는 기간에, 제2 스캔 신호(SCAN2)가 하이 레벨로 인가되고, 제2 발광 신호(EM2)가 로우 레벨로 인가될 수 있다. 즉, 제1 스캔 신호(SCAN1)의 로우 레벨과, 제1 발광 신호(EM1)의 하이 레벨을 유지한 상태에서, 제2 스캔 신호(SCAN2)와 제2 발광 신호(EM2)의 레벨이 변경될 수 있다. 제2 스캔 신호(SCAN2)가 하이 레벨로 인가되는 기간에 데이터 라인(DL)을 통해 리셋 전압이 공급될 수 있다.
- [0092] 이하에서는 도 5 내지 도 7을 참조하여 초기화 기간, 샘플링 기간 및 발광 기간 별로 서브픽셀이 구동되는 과정을 구체적으로 설명하기로 한다.
- [0093] 도 4에서는 제2 스캔 신호(SCAN2)가 제1 스캔 신호(SCAN1)보다 앞서 하이 레벨로 인가되는 경우를 예시로 설명하였다. 도 5 내지 도 8에서는 제1 스캔 신호(SCAN1)가 제2 스캔 신호(SCAN2)보다 앞서 하이 레벨로 인가되는 경우를 예시로 설명한다.
- [0095] 도 5 내지 도 7은 서브픽셀이 구동되는 과정의 예시를 나타내는 도면이다.
- [0097] **초기화 기간(Ti)**
- [0098] 도 5는 초기화 기간을 도시한 것으로서, 초기화 기간(Ti) 동안 서브픽셀(SP)의 발광 소자(EL)의 애노드 전극이 연결된 제4 노드(N4)가 초기화 된다. 그리고 구동 트랜지스터에 해당하는 제2 트랜지스터(T2)의 게이트 전극에 연결된 제2 노드(N2)가 고전위 전원 전압(VDD)로 초기화 된다.

- [0099] 초기화 기간에서 제1 스캔 신호(SCAN1)는 하이 레벨로 인가되고, 제2 스캔 신호(SCAN2)는 로우 레벨로 인가된 상태에서, 제1 발광 신호(EM1)는 로우로 인가되고, 제2 발광 신호(EM2)는 하이 레벨로 인가된다.
- [0100] 제1 스캔 신호(SCAN1)가 하이 레벨로 인가되므로 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)가 턴-온 상태가 된다. 또한 제1 발광 신호(EM2)가 하이 레벨로 인가되므로 제5 트랜지스터(T5)가 턴-온 상태가 된다.
- [0101] 그리고, 제2 스캔 신호(SCAN2)가 로우 레벨로 인가되므로 제1 트랜지스터(T1)가 턴-오프 상태가 된다. 또한 제1 발광 신호(EM1)가 로우 레벨로 인가되므로 제4 트랜지스터(T4)가 턴-오프 상태가 된다.
- [0102] 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)가 턴-온 상태이므로, 고전위 전원 전압(VDD)은 제5 트랜지스터(T5) 및 제3 트랜지스터(T3)를 경유하여 제2 노드(N2)에 인가될 수 있다.
- [0103] 제6 트랜지스터(T6)가 턴-온 상태이므로, 초기화 전압(Vini)이 제4 노드(N4)에 인가되어, 커패시터(Cst)의 양단에 데이터 전압(Vdata)과 초기화 전압(Vini)이 인가된 상태가 될 수 있다.

[0105] **샘플링 기간(Ts)**

- [0106] 도 6은 샘플링 기간을 도시한 것으로서, 샘플링 기간(Ts) 동안 데이터 전압(Vdata)이 서브픽셀의 커패시터(Cst)에 공급되고 구동 트랜지스터에 해당하는 제2 트랜지스터(T2)의 문턱 전압만큼 보상된 데이터 전압(Vdata)이 커패시터(Cst)에 충전된다.
- [0107] 샘플링(Ts) 기간에서 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 하이 레벨로 인가된 상태에서, 제1 발광 신호(EM1) 및 제2 발광 신호(EM2)는 로우 레벨로 인가된다.
- [0108] 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)는 하이 레벨로 인가되므로 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴-온 상태가 된다.
- [0109] 그리고 제1 발광 신호(EM1) 및 제2 발광 신호(EM2)는 로우 레벨로 인가되므로 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 턴-오프 상태가 된다.
- [0110] 제6 트랜지스터(T6)는 여전히 턴-온 상태이므로, 초기화 전압(Vini)이 제4 노드(N4)에 인가된 상태가 될 수 있다.
- [0111] 제1 트랜지스터(T1)가 턴-온 상태이므로, 데이터 전압(Vdata)이 제3 노드(N3)로 인가될 수 있다. 그리고, 제3 트랜지스터(T3)가 턴-온 상태이므로, 제3 노드(N3)에 인가된 데이터 전압(Vdata)이 제1 노드(N1)를 거쳐 제2 노드(N2)에 인가되게 된다. 이때, 데이터 전압(Vdata)에서 제2 트랜지스터(T2)의 문턱 전압이 감해진 전압, 즉 "Vdata-Vth" 값이 제2 노드(N2)에 인가될 수 있다. 이에 따라 제2 트랜지스터(T2)가 발광 소자에 공급하는 구동 전류 Id는 문턱전압(Vth)에 영향을 받지 않게 된다. 즉, 제2 트랜지스터(T2)의 문턱 전압에 대한 보상이 이루어지게 된다.

[0112] 즉, 샘플링 기간(Ts)에서 보상회로는 구동 트랜지스터인 제2 트랜지스터(T2)의 게이트 전압을 소스 팔로워 방식으로 상승시켜서 제2 트랜지스터(T2)를 일정 수준으로 포화시키는 샘플링 동작을 수행하게 된다. 제2 트랜지스터(T2)의 게이트 전압을 원하는 수준으로 포화시키기 위해서는 충분한 시간이 필요한데, 고해상도와 고속 구동 추세에서는 이러한 시간을 확보하기가 어렵다. 왜냐하면 해상도가 높아질수록 그리고 구동 주파수가 높아질수록 표시패널에서 1 라인의 픽셀들에 데이터를 기입하는 1 수평 기간이 감소되기 때문이다. 1 수평 기간은 화면 상에서 1수평 라인에 배치된 픽셀들에 데이터를 기입하는 시간으로 실시예에 따른 서브픽셀 구조에서는 제2 스캔 신호(SCAN2)의 하이 레벨 구간에 해당한다.

[0113] 본 개시에서는 고해상도와 고속 구동 추세에서도 제2 트랜지스터(T2)의 게이트 전압을 원하는 수준으로 포화시키기 위한 시간을 확보하는 수단으로 제1 스캔 신호(SCAN1)의 하이 레벨 구간 폭을 제2 스캔 신호(SCAN2)의 하이 레벨 구간 폭보다 넓게 구동하는 것을 제안한다. 이에 대한 상세한 설명은 도 8을 참고하여 후술한다.

[0115] **발광 기간(Te)**

[0116] 도 7은 발광 기간을 도시한 것으로서, 발광 기간(Te) 동안 서브픽셀(SP)은 제2 트랜지스터(T2)를 통해 데이터 전압(Vdata)에 대응하는 전류 Id가 흐르면서 발광 소자(EL)가 발광을 시작하게 된다.

- [0117] 발광 기간(Te)에서 제1 스캔 신호(SCAN1)와 제2 스캔 신호(SCAN2)가 로우 레벨로 인가되고, 제1 발광 신호(EM1)와 제2 발광 신호(EM2)가 하이 레벨로 인가된다.
- [0118] 따라서, 제1 트랜지스터(T1), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)가 턴-오프 된 상태에서, 제4 트랜지스터(T4)와 제5 트랜지스터(T5)가 턴-온 된다.
- [0119] 그리고, 제2 트랜지스터(T2)의 게이트 노드에 데이터 전압(Vdata)이 인가되고 제4 노드(N4)에 초기화 전압(Vini)이 인가된 상태이므로, 제2 트랜지스터(T2)를 통해 데이터 전압(Vdata)에 대응하는 전류 Id가 흐르고, 발광 소자(EL)가 발광을 시작하게 된다.
- [0121] 도 8은 추가 샘플링 기간 동안 서브픽셀이 구동되는 과정의 예시를 나타내는 도면이다.
- [0122] 도 6에서 설명한 바와 같이, 해상도가 높아질수록 그리고 구동 주파수가 높아질수록 1수평 기간이 감소되어 제2 트랜지스터(구동 트랜지스터, T2)의 문턱 전압이 부정확하게 감지(sensing)되어 서브픽셀들 간의 구동 특성 차이가 초래되는 문제점을 설명하였다. 그리고 이는 휘도 차이를 초래하여 표시 화면에 얼룩으로 나타난다.
- [0123] 본 개시에서는 고해상도와 고속 구동 추세에서도 제2 트랜지스터(T2)의 게이트 전압을 원하는 수준으로 포화시키기 위한 시간을 확보하는 수단으로 제1 스캔 신호(SCAN1)의 하이 레벨 구간 폭을 제2 스캔 신호(SCAN2)의 하이 레벨 구간 폭보다 넓게 구동하는 것을 제안한다.
- [0124] 도 8의 실시예는 제1 스캔 신호(SCAN1)의 하이 레벨 구간 폭을 제2 스캔 신호(SCAN2)의 하이 레벨 구간 폭보다 넓은 것에 특징이 있다. 달리 설명하면 제1 스캔 신호(SCAN1)의 하이 레벨에서 로우 레벨로 전환되는 시점 a가 제2 스캔 신호(SCAN2)의 하이 레벨에서 로우 레벨로 전환되는 시점 b보다 늦어야 한다.
- [0125] 즉, 도 6의 실시예에서는 제1 스캔 신호(SCAN1)의 하이 레벨에서 로우 레벨로 전환되는 시점이 제2 스캔 신호(SCAN2)의 하이 레벨에서 로우 레벨로 전환되는 시점보다 빠르거나 같았다(도 6은 시점이 같게 도시됨). 고해상도와 고속 구동 추세에서 1수평 기간이 감소될 수밖에 없는데, 도 6의 실시예와 같이 구동할 경우 구동 트랜지스터(제2 트랜지스터, T2)의 문턱 전압 샘플링 시간이 부족하게 되는 문제가 발생할 수 있다.
- [0126] 그러나 도 8과 같이 제1 스캔 신호(SCAN1)의 하이 레벨 구간 폭을 제2 스캔 신호(SCAN2)의 하이 레벨 구간 폭보다 넓게 구동하는 경우, 추가 샘플링 기간(Ts\_Add)을 확보할 수 있다.
- [0127] 추가 샘플링 기간(Ts\_Add) 동안 제3 노드(N3)에 인가된 데이터 전압(Vdata)으로 제2 트랜지스터(T2)의 문턱 전압의 센싱을 지속할 수 있다.
- [0128] 추가 샘플링 기간(Ts\_Add)에서 제2 스캔 신호(SCAN2)는 하이 레벨로 인가된 상태에서 제1 스캔 신호(SCAN1), 제1 발광 신호(EM1) 및 제2 발광 신호(EM2)는 로우 레벨로 인가된다.
- [0129] 제2 스캔 신호(SCAN2)는 하이 레벨로 인가되므로 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴-온 상태가 된다.
- [0130] 그리고 제1 스캔 신호(SCAN1), 제1 발광 신호(EM1) 및 제2 발광 신호(EM2)는 로우 레벨로 인가되므로 제1 트랜지스터(T1), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 턴-오프 상태가 된다.
- [0131] 제6 트랜지스터(T6)는 여전히 턴-온 상태이므로, 초기화 전압(Vini)이 제4 노드(N4)에 인가된 상태가 될 수 있다.
- [0132] 제3 트랜지스터(T3)가 턴-온 상태이므로, 제3 노드(N3)에 인가된 데이터 전압(Vdata)은 제1 노드(N1)를 거쳐 제2 노드(N2)에 인가되게 된다. 이때, 데이터 전압(Vdata)에서 제2 트랜지스터(T2)의 문턱 전압이 감해진 전압이 제2 노드(N2)에 인가된다. 따라서 추가 샘플링 기간(Ts\_Add) 동안 제2 트랜지스터(T2)의 문턱 전압의 센싱이 지속될 수 있다. 달리 말하면, 제3 트랜지스터(T3)는 제1 트랜지스터(T1)보다 늦게 턴-오프 동작하여, 상기 제3 노드에 인가된 전압이 상기 제1 노드를 경유하여 상기 제2 노드로 전달되어 제2 트랜지스터(T2)의 문턱 전압의 센싱이 지속된다.
- [0133] 한편, 추가 샘플링 기간(Ts\_Add)을 확보하는 방법으로, 제1 스캔 신호(SCAN1)의 하이 레벨 구간 폭을 제2 스캔 신호(SCAN2)의 하이 레벨 구간 폭보다 무한정 넓게 구동할 수는 없다. 추가 샘플링 기간(Ts\_Add)을 포함하여 샘플링 기간은 제4 트랜지스터(T4)가 턴-오프 상태를 유지하는 기간 내에서 이루어져야 한다. 제4 트랜지스터(T4)가 턴-온 되면 제3 노드(N3)의 전압이 변경되어 제2 트랜지스터(T2)의 문턱 전압이 부정확하게 감지

(sensing)된다. 따라서 추가 샘플링 기간( $T_{s\_Add}$ )은 최대 제4 트랜지스터( $T_4$ )가 턴-오프 상태를 유지하는 기간 내에서 이루어져야 한다. 즉, 제1 스캔 신호(SCAN1)의 하이 레벨에서 로우 레벨로 전환되는 시점 a가 제1 발광 신호(EM1)가 로우 레벨에서 하이 레벨로 전환되는 시점 c보다 빨라야 한다.

- [0134] 다시 종합하면, 제1 스캔 신호(SCAN1)의 하이 레벨에서 로우 레벨로 전환되는 시점 a는 제2 스캔 신호(SCAN2)의 하이 레벨에서 로우 레벨로 전환되는 시점 b보다 늦어야 한다. 그리고, 제1 스캔 신호(SCAN1)의 하이 레벨에서 로우 레벨로 전환되는 시점 a는 제1 발광 신호(EM1)의 로우 레벨에서 하이 레벨로 전환되는 시점 c보다 빨라야 한다. (시점  $b < \text{시점 } a < \text{시점 } c$ )
- [0136] 도 9는 보상 커패시터를 추가 구성한 서브픽셀 회로 구조의 예시를 나타내는 도면이다.
- [0137] 도 9 실시예의 서브픽셀 회로는 보상 커패시터( $C_{Add}$ )가 추가 구성된 점에서 도 3의 서브픽셀 회로와 차이가 있다. 도 9에 도시된 바와 같이 보상 커패시터( $C_{Add}$ )의 제1 전극은 제3 노드( $N_3$ )에 연결된다. 제3 노드( $N_3$ )는 제2 트랜지스터( $T_2$ )의 소스 전극 및 제5 트랜지스터( $T_5$ )의 드레인 전극이 연결된 노드이다. 일 실시예에 따른 보상 커패시터( $C_{Add}$ )의 제2 전극은 고전위 전원 전압 VDD가 인가되도록 연결될 수 있다. 구체적으로 제2 전극은 구동 전압 라인(DVL)에 연결되도록 구성되어 고전위 전원 전압 VDD를 인가받을 수 있다. 다른 실시예에 따른 보상 커패시터( $C_{Add}$ )의 제2 전극은 초기화 전압  $V_{ini}$ 가 인가되도록 연결될 수 있다. 구체적으로 제2 전극은 초기화 전압 라인(IVL)에 연결되도록 구성되어 초기화 전압  $V_{ini}$ 를 인가받을 수 있다.
- [0138] 도 8에서 전술한 바와 같이 본 개시에서는 고해상도와 고속 구동 추세에서도 제2 트랜지스터( $T_2$ )의 게이트 전압을 원하는 수준으로 포화시키기 위한 시간을 확보하는 수단으로 제1 스캔 신호(SCAN1)의 하이 레벨 구간 폭을 제2 스캔 신호(SCAN2)의 하이 레벨 구간 폭보다 넓게 구동하여, 추가 샘플링 기간( $T_{s\_Add}$ ) 동안 제3 노드( $N_3$ )에 인가된 데이터 전압( $V_{data}$ )으로 제2 트랜지스터( $T_2$ )의 문턱 전압의 센싱을 지속하는 방법을 설명하였다.
- [0139] 도 9의 실시예의 서브픽셀 회로에서 보상 커패시터( $C_{Add}$ )는 제3 노드( $N_3$ )에 인가된 데이터 전압( $V_{data}$ )을 유지시키는 기능을 한다. 추가 샘플링 기간( $T_{s\_Add}$ ) 동안 제3 노드( $N_3$ )에 인가된 데이터 전압( $V_{data}$ )으로 제2 트랜지스터( $T_2$ )의 문턱 전압의 센싱을 지속하기 위해서, 제3 노드( $N_3$ )에 인가된 데이터 전압( $V_{data}$ )을 유지시킬 필요성이 있기 때문이다. 결과적으로, 보상 커패시터( $C_{Add}$ )는 제3 노드( $N_3$ )에 연결되어, 소스 팔로워(source-follower)로 동작하는 제2 트랜지스터( $T_2$ )의 제2 노드에 공급되는 전압의 효율을 높여준다.
- [0141] 도 10은 도 9와 다른 실시예로서 서브픽셀 회로를 구성하는 일부 TFT소자가 oxide로 구성된 예시를 나타내는 도면이다.
- [0142] 본 개시의 실시예에 따른 멀티 타입의 TFT를 포함하는 표시장치(100)는 스위칭 TFT가 산화물 반도체 TFT로 이루어지고 구동 TFT는 LTPS TFT로 이루어진 화소 구동 회로를 포함한다. 다만, 본 발명의 유기발광 표시장치(100)에서 스위칭 TFT는 산화물 반도체 TFT, 구동 TFT는 LTPS TFT로 한정되지 않으며, 멀티 타입의 TFT가 다양하게 구성될 수 있다. 또한, 표시장치(100)에서 화소 구동 회로는 멀티 타입의 TFT를 포함하지 않고 하나의 종류로 이루어진 TFT를 포함할 수도 있다.
- [0143] 도 10의 일 실시예에서, 서브픽셀 회로(SP)를 구성하는 트랜지스터 중에서 제1 트랜지스터( $T_1$ ), 제2 트랜지스터( $T_2$ ) 및 제5 트랜지스터( $T_5$ )는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터로 구성될 수 있다.
- [0144] 또한, 다른 실시예에서 제3 트랜지스터( $T_3$ ) 및 제6 트랜지스터( $T_6$ )는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터로 구성될 수 있다.
- [0145] 또 다른 실시예에서 제4 트랜지스터( $T_4$ )를 제외한 나머지 트랜지스터( $T_1, T_2, T_3, T_5, T_6$ )는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터로 구성될 수 있다.
- [0146] 산화물 반도체 물질은 오프-전류(Off-Current)가 낮으므로, 턴 온(turn On) 시간이 짧고 턴 오프(turn Off) 시간을 길게 유지하는 스위칭 TFT에 적합할 수 있다. 산화물 반도체 TFT는 전압을 홀딩하는 특성이 LTPS TFT보다 좋다.
- [0147] 제1 트랜지스터( $T_1$ ), 제2 트랜지스터( $T_2$ ) 및 제5 트랜지스터( $T_5$ )는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터로 구성할 경우 제3 노드( $N_3$ )의 전압을 유지하는데 유용할 수 있다.

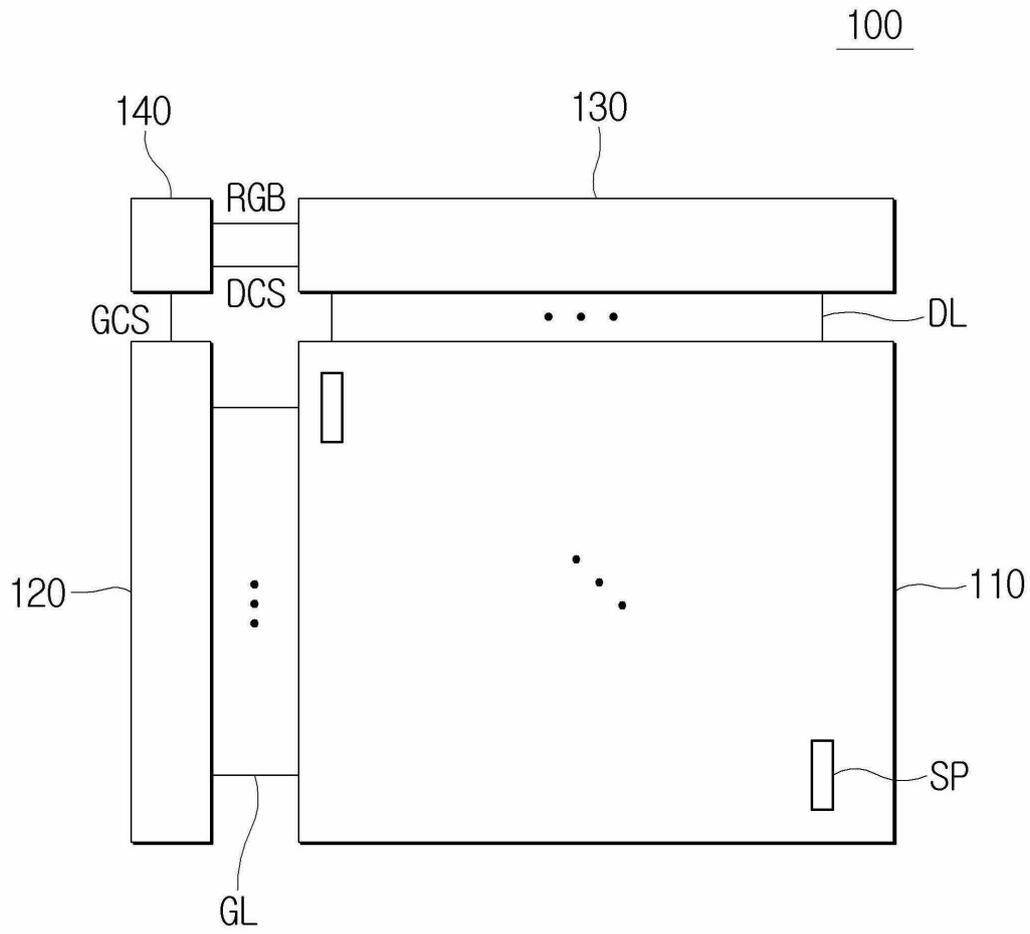
- [0148] 같은 이유로, 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 트랜지스터로 구성할 경우 제2 노드(N2) 및 커패시터(Cst)의 전압을 유지하는데 유용할 수 있다.
- [0150] 도 11은 도 3에 도시된 서브픽셀의 구동 타이밍의 다른 예시를 나타내는 도면이다.
- [0151] 제1 스캔 신호(SCAN1)는 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)의 온/오프 동작을 제어한다.
- [0152] 제2 스캔 신호(SCAN2)는 제1 트랜지스터(T1)의 온/오프 동작을 제어한다.
- [0153] 제1 발광 신호(EM1)는 제4 트랜지스터(T4)의 온/오프 동작을 제어한다.
- [0154] 제2 발광 신호(EM2)는 제5 트랜지스터(T5)의 온/오프 동작을 제어한다.
- [0155] 도 11에 도시된 구동 타이밍은 앞서 도 5 내지 도 8에 걸쳐 설명한 구동 타이밍과 비교하여, 제1 스캔 신호(SCAN1)가 2개의 ON 펄스를 가지고 있다는 점에 차이가 있다.
- [0156] 구체적으로 제1 스캔 신호(SCAN1)는 제1 ON 펄스 및 상기 제1 ON 펄스 뒤에 이어지는 제2 ON 펄스를 포함한다.
- [0157] 제1 스캔 신호(SCAN1)의 제1 ON 펄스 기간 동안, 제2 스캔 신호(SCAN2), 제1 발광 신호(EM1)는 로우 레벨 상태이고, 제2 발광 신호(EM2)는 하이 레벨 상태이다.
- [0158] 따라서 제1 ON 펄스 기간 동안 서브픽셀은 제2 노드(N2)의 전압을 고전위 전원 전압(VDD)으로 초기화시키는 초기화(Ti)가 진행된다.
- [0159] 제1 스캔 신호(SCAN1)의 상기 제2 ON 펄스 기간 동안, 제2 스캔 신호(SCAN2)는 하이 레벨 상태이고, 제1 발광 신호(EM1) 및 제2 발광 신호(EM2)는 로우 레벨 상태이다.
- [0160] 따라서 제2 ON 펄스 기간 동안 서브 픽셀은 제2 노드(N2)의 전압에 제2 트랜지스터(T2)의 문턱 전압(Vth)을 저장하는 제2 트랜지스터(T2)의 문턱 전압(Vth) 샘플링(Ts)이 진행된다. 구체적으로 제2 노드의 전압(N2)은 데이터 전압(Vdata)에서 제2 트랜지스터(T2)의 문턱 전압이 감해진 전압, 즉 "Vdata-Vth" 값이 제2 노드(N2)에 인가될 수 있다.
- [0162] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

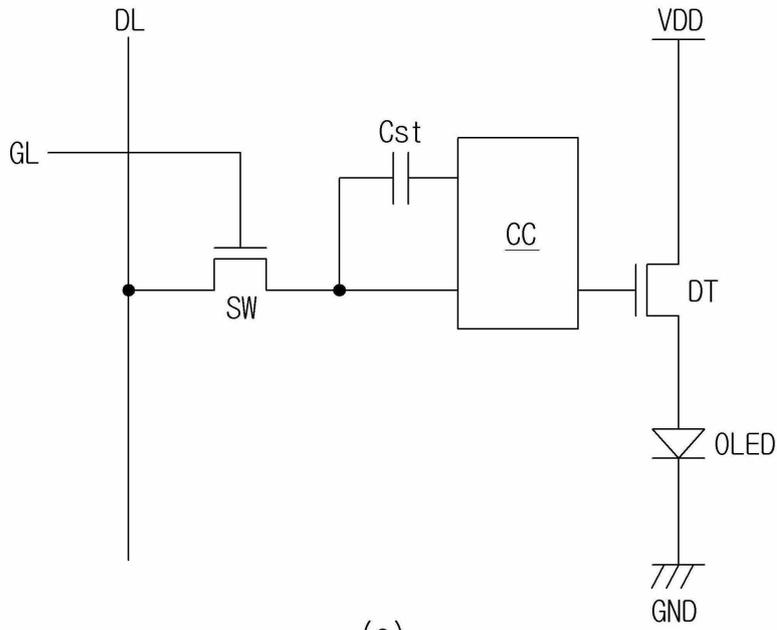
- [0164] 100: 표시장치
- 110: 표시패널
- 120: 게이트 구동 회로
- 130: 데이터 구동 회로
- 140: 컨트롤러

도면

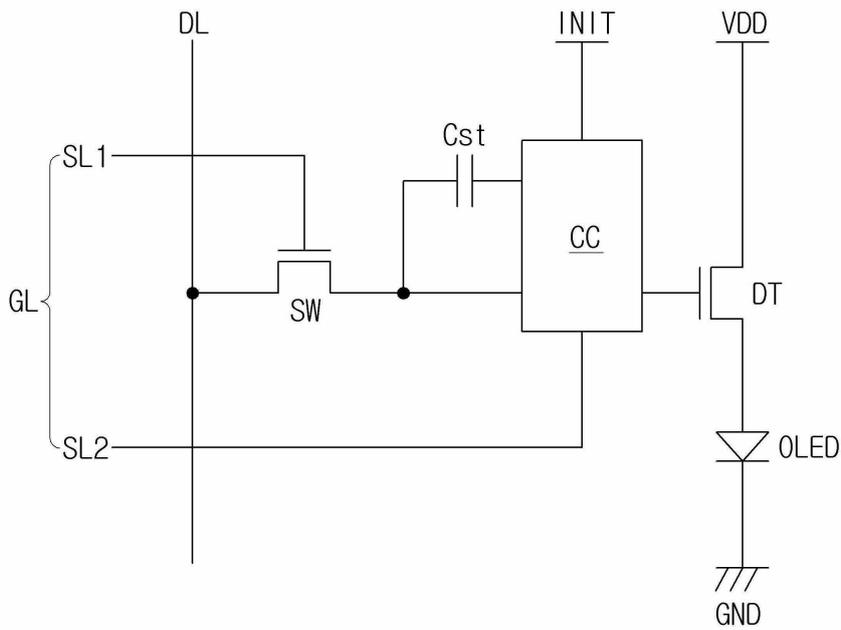
도면1



도면2

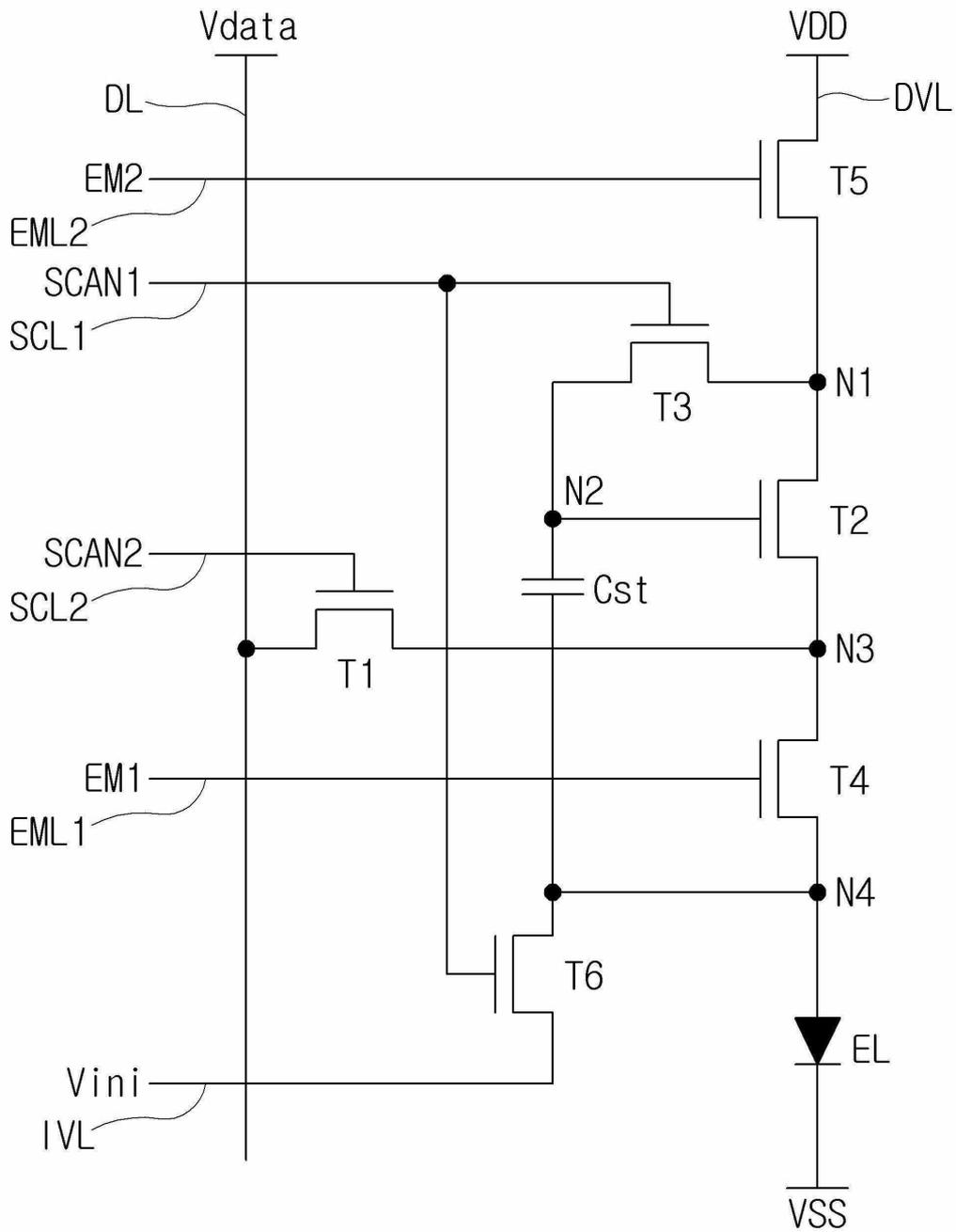


(a)

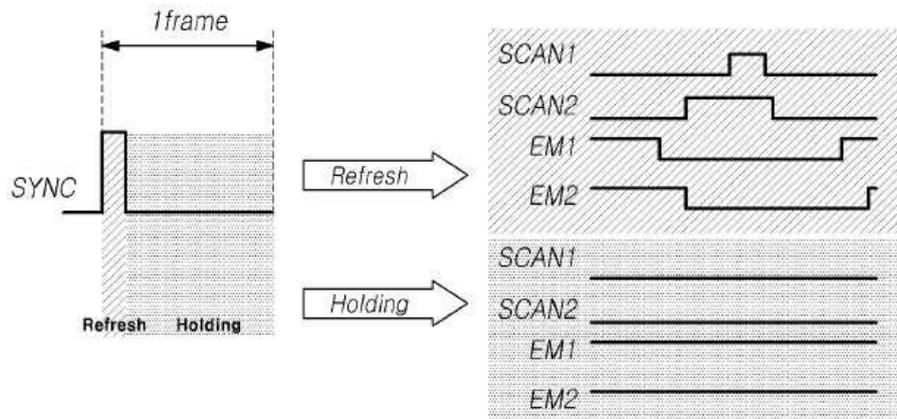


(b)

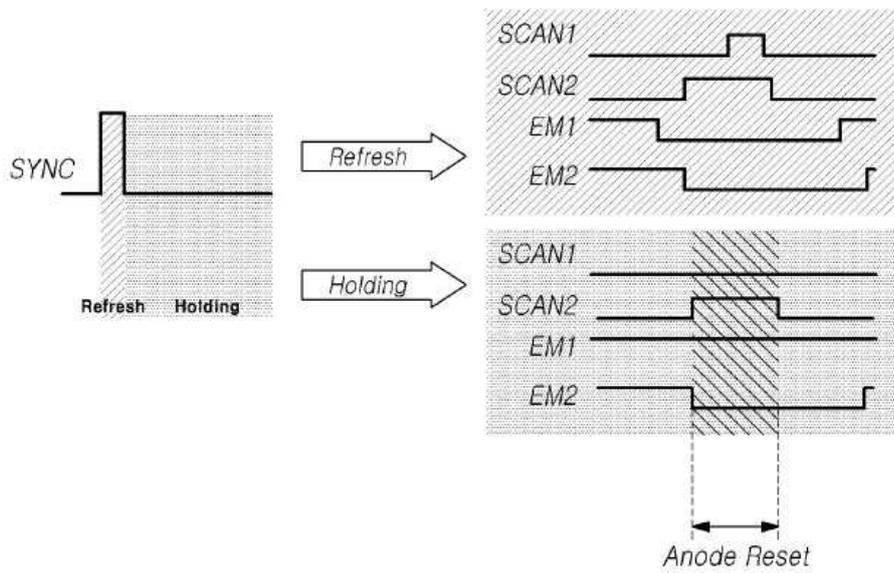
도면3



도면4a

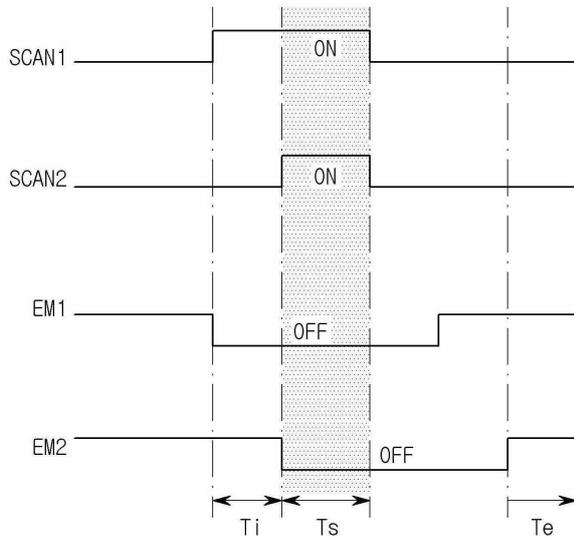
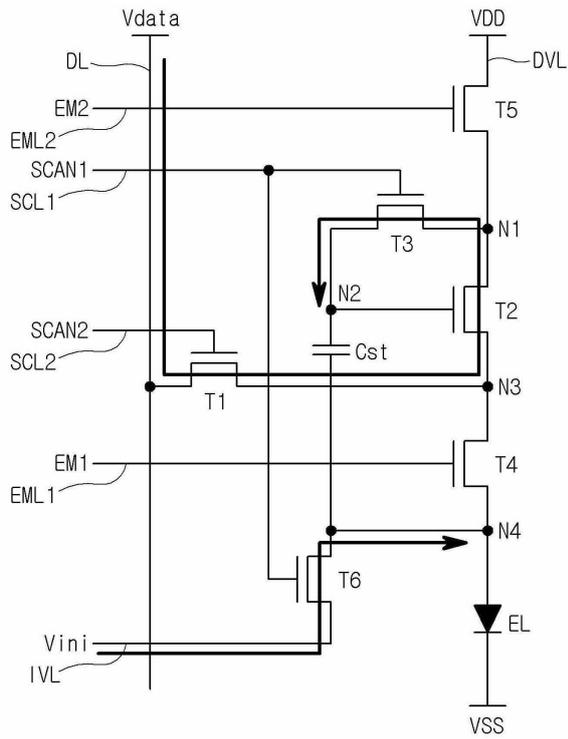


도면4b

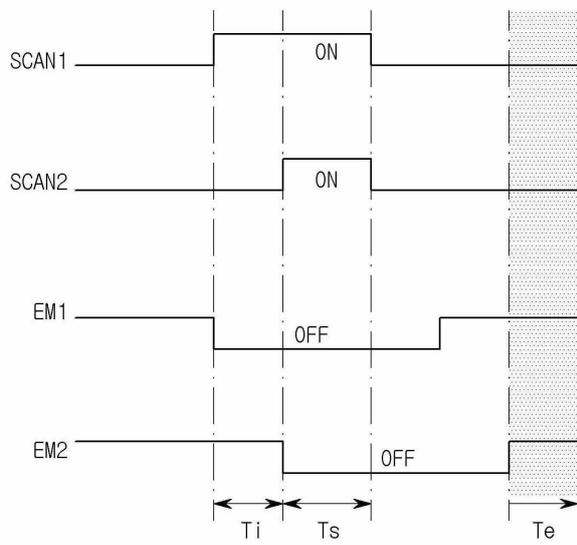
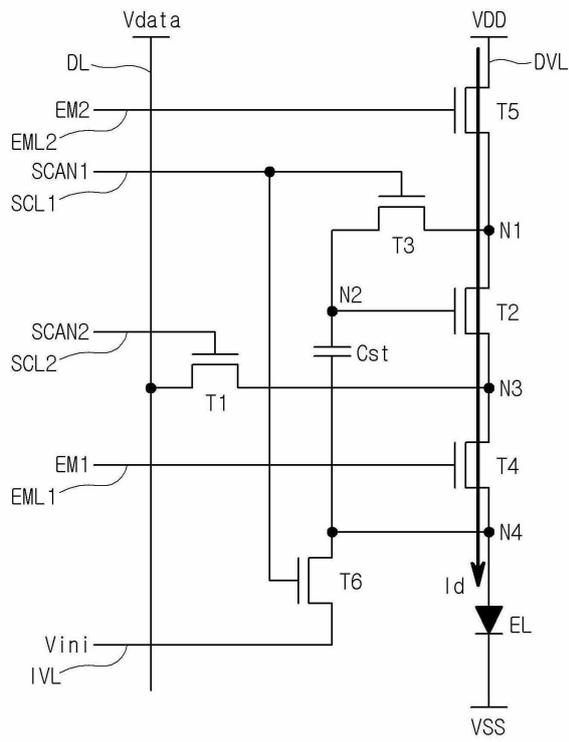




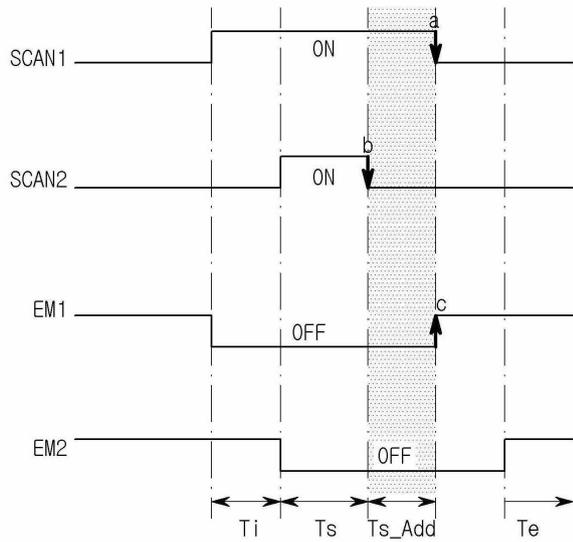
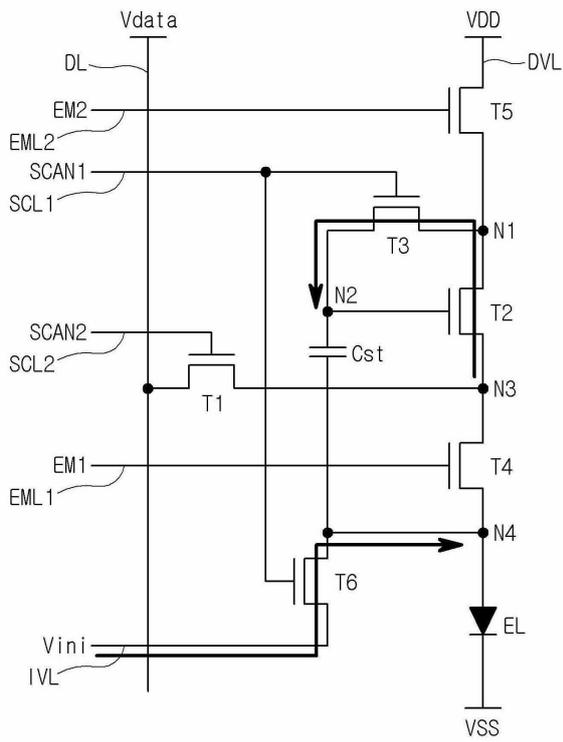
도면6



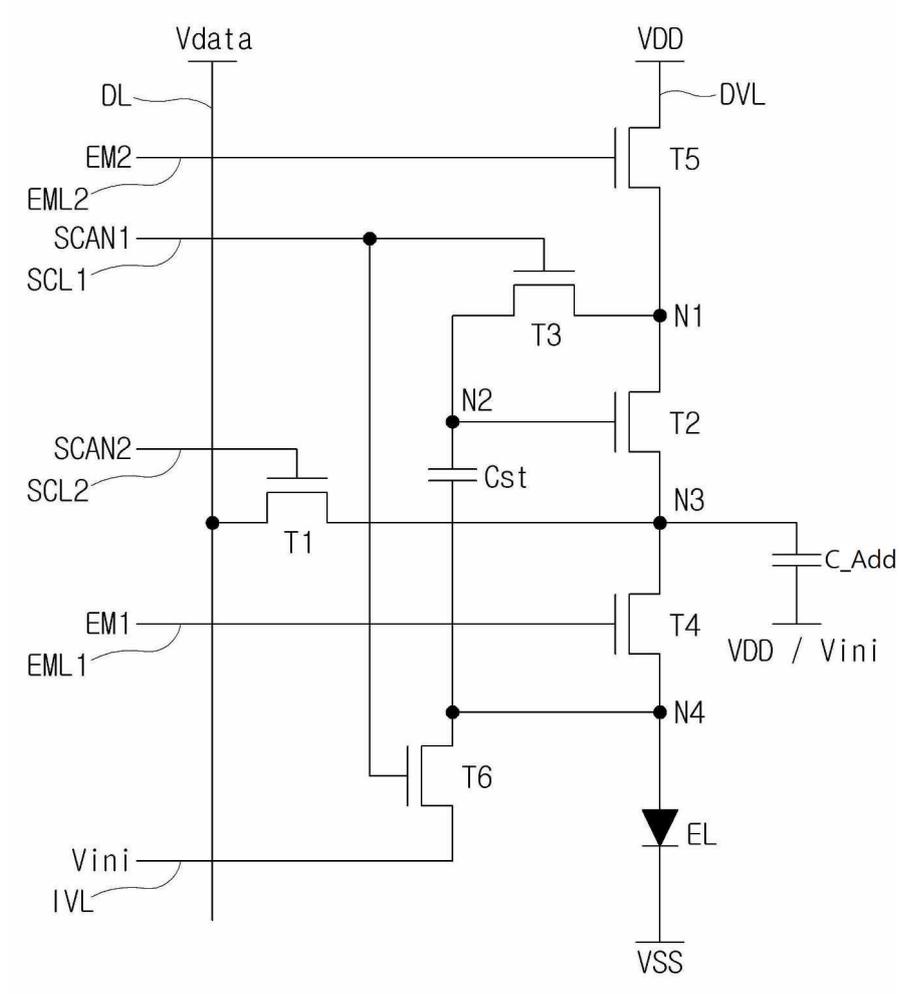
도면7



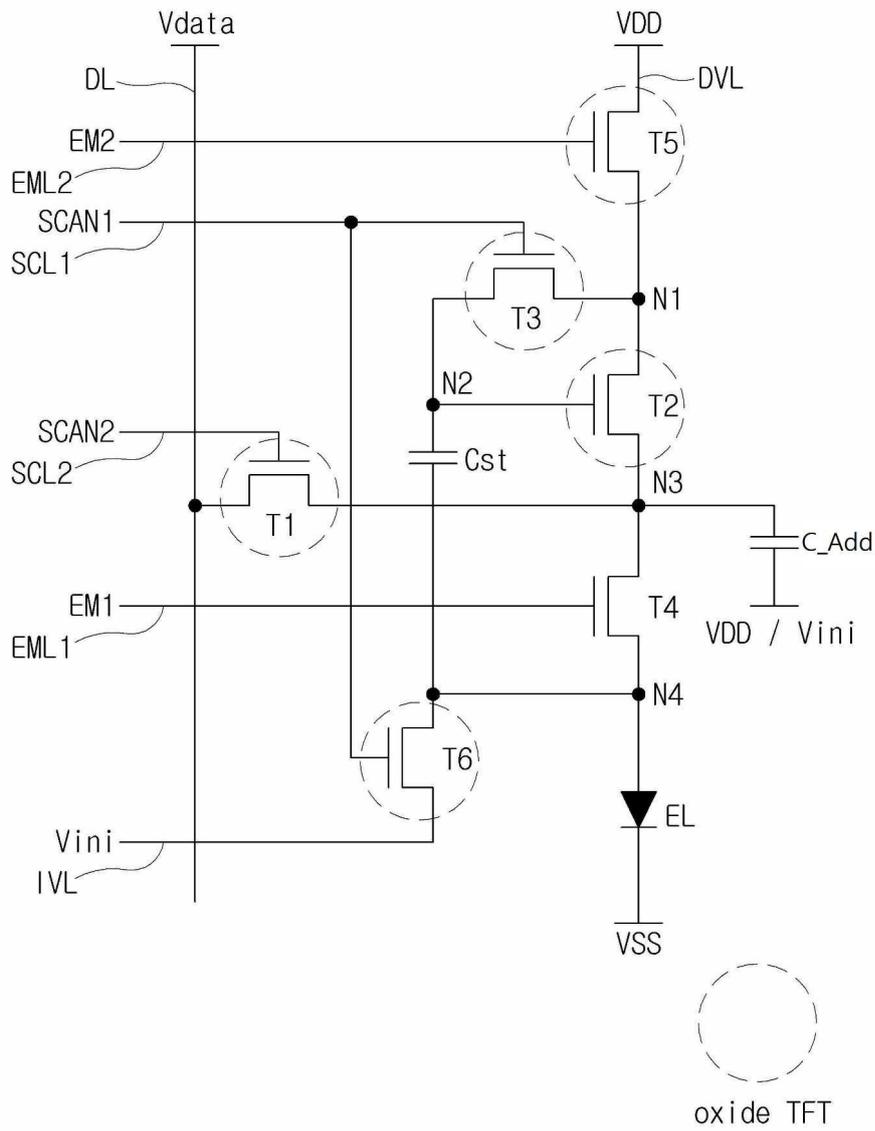
도면8



도면9



도면10



도면11

