

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5702177号
(P5702177)

(45) 発行日 平成27年4月15日(2015.4.15)

(24) 登録日 平成27年2月27日(2015.2.27)

(51) Int.Cl. F I
 HO 1 L 21/8246 (2006.01) HO 1 L 27/10 4 4 7
 HO 1 L 27/105 (2006.01) HO 1 L 43/08 Z
 HO 1 L 43/08 (2006.01)

請求項の数 24 (全 60 頁)

(21) 出願番号 特願2011-22918 (P2011-22918)
 (22) 出願日 平成23年2月4日(2011.2.4)
 (65) 公開番号 特開2012-164754 (P2012-164754A)
 (43) 公開日 平成24年8月30日(2012.8.30)
 審査請求日 平成25年9月9日(2013.9.9)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 新田 文彦
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

審査官 上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

主表面を有する半導体基板と、
 前記半導体基板の前記主表面上に配置された、ソース領域およびドレイン領域を含むスイッチング素子と、

前記スイッチング素子の上方に配置された平板状の引出配線と、
 前記引出配線上に位置する、電流の流れる向きに応じて磁化状態を変化させることが可能な、スピントルク書き込み方式の面内磁化型の磁気抵抗素子と、

前記磁気抵抗素子と電気的に接続され、前記主表面に沿った方向に向けて延びる第1配線とを備える半導体装置であり、

前記磁気抵抗素子は平面視におけるアスペクト比が1以外の値であり、

前記磁気抵抗素子と前記スイッチング素子とが電気的に接続されたメモリセルが複数並んだメモリセル領域において、平面視における前記磁気抵抗素子の長手方向である第1方向に関して、隣接する複数の前記磁気抵抗素子が前記第1方向に沿って延在する同一直線上に乗らないように配置され、

前記第1配線は、前記磁気抵抗素子と平面視において重なる領域において、前記第1配線の延在する方向に交差する方向での幅が、前記重なる領域以外の他の領域における前記幅よりも広い、半導体装置。

【請求項2】

前記メモリセルの平面視における面積は0.02 μm²以上0.5 μm²以下である、請

求項 1 に記載の半導体装置。

【請求項 3】

前記磁気抵抗素子は、少なくとも一部において前記第 1 方向に関して隣接する前記磁気抵抗素子と、前記第 1 方向に交差する第 2 方向から見た場合に重なるように配置される、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

同一の前記メモリセルにおいて、前記引出配線は、前記半導体基板の前記主表面における前記スイッチング素子の活性領域と少なくとも一部において平面的に重ならないように配置される、請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 5】

前記メモリセル領域は、複数の前記メモリセルが平面視において互いに直交する第 3 方向および第 4 方向に並んでおり、

前記スイッチング素子の前記ソース領域に電氣的に接続されるソースコンタクトと、前記スイッチング素子の前記ドレイン領域と前記引出配線とを電氣的に接続するドレインコンタクトとをさらに有している、請求項 1 ~ 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 3 方向または前記第 4 方向に関して隣接する複数の前記ソースコンタクトおよび前記ドレインコンタクトが、前記第 3 方向および / または前記第 4 方向に延在する一直線上に乗らないように配置される、請求項 5 に記載の半導体装置。

【請求項 7】

前記引出配線は、前記第 3 方向および前記第 4 方向に延在する形状を有している、請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記第 1 方向は、前記第 3 方向および前記第 4 方向のいずれとも異なる方向である、請求項 5 ~ 7 のいずれかに記載の半導体装置。

【請求項 9】

前記主表面に沿い、複数の前記ソースコンタクトを電氣的に接続する第 2 配線をさらに有しており、

前記第 2 配線は、前記第 3 方向または第 4 方向に対して中心線が屈曲しながら延在する、請求項 5 ~ 8 のいずれかに記載の半導体装置。

【請求項 10】

前記第 3 方向に関して隣接する 1 対の前記メモリセルのうち、一方の前記メモリセルの前記ソースコンタクトは、前記第 3 方向に関する前記メモリセルの中心よりも、他方の前記メモリセルに近い領域に配置される、請求項 5 ~ 9 のいずれかに記載の半導体装置。

【請求項 11】

前記第 4 方向に関して、複数の前記ソースコンタクトを結ぶ直線上には、前記ドレインコンタクトが配置されない、請求項 5 ~ 10 のいずれかに記載の半導体装置。

【請求項 12】

同一の前記メモリセルにおける前記磁気抵抗素子と前記ドレインコンタクトとは、平面視において互いに重ならない、請求項 5 ~ 11 のいずれかに記載の半導体装置。

【請求項 13】

前記第 1 配線は複数の前記メモリセルと平面視において重なるように延在し、前記第 1 配線は、単一の前記メモリセルに対して、前記主表面に沿う面において前記第 1 配線が延在する方向に交差する方向に関して互いに間隔をあけて 2 本以上配置される、請求項 1 ~ 12 のいずれかに記載の半導体装置。

【請求項 14】

前記半導体基板の前記主表面上に、平面視において複数並ぶ前記メモリセルの列を選択する第 3 配線が配置されており、

前記ソース領域および前記ドレイン領域は、平面視において 2 本の前記第 3 配線に挟まれる、請求項 1 ~ 13 のいずれかに記載の半導体装置。

10

20

30

40

50

【請求項 15】

主表面を有する半導体基板と、
前記半導体基板の前記主表面上に配置された、ソース領域およびドレイン領域を含むスイッチング素子と、

前記スイッチング素子の上方に配置された平板状の引出配線と、

前記引出配線上に位置する、電流の流れる向きに応じて磁化状態を変化させることが可能な、スピントルク書き込み方式の面内磁化型の磁気抵抗素子と、

前記磁気抵抗素子と電氣的に接続され、前記主表面に沿った方向に向けて延びる第1配線とを備える半導体装置であり、

前記磁気抵抗素子は平面視におけるアスペクト比が1以外の値であり、

前記磁気抵抗素子と前記スイッチング素子とが電氣的に接続されたメモリセルが複数並んだメモリセル領域において、平面視における前記磁気抵抗素子の長手方向である第1方向に関して、隣接する複数の前記磁気抵抗素子が前記第1方向に沿って延在する同一直線上に乗らないように配置され、

前記メモリセル領域は、複数の前記メモリセルが平面視において互いに直交する第3方向および第4方向に並んでおり、

前記スイッチング素子の前記ソース領域に電氣的に接続されるソースコンタクトと、

前記スイッチング素子の前記ドレイン領域と前記引出配線とを電氣的に接続するドレインコンタクトとをさらに有し、

前記主表面に沿い、複数の前記ソースコンタクトを電氣的に接続する第2配線をさらに有しており、

前記第2配線は、前記第3方向または第4方向に対して中心線が屈曲しながら延在する、半導体装置。

【請求項 16】

前記第3方向に関して隣接する1対の前記メモリセルのうち、一方の前記メモリセルの前記ソースコンタクトは、前記第3方向に関する前記メモリセルの中心よりも、他方の前記メモリセルに近い領域に配置される、請求項15に記載の半導体装置。

【請求項 17】

前記第4方向に関して、複数の前記ソースコンタクトを結ぶ直線上には、前記ドレインコンタクトが配置されない、請求項15または16に記載の半導体装置。

【請求項 18】

同一の前記メモリセルにおける前記磁気抵抗素子と前記ドレインコンタクトとは、平面視において互いに重ならない、請求項15～17のいずれかに記載の半導体装置。

【請求項 19】

前記第1配線は複数の前記メモリセルと平面視において重なるように延在し、

前記第1配線は、単一の前記メモリセルに対して、前記主表面に沿う面において前記第1配線が延在する方向に交差する方向に関して互いに間隔をあけて2本以上配置される、請求項15～18のいずれかに記載の半導体装置。

【請求項 20】

前記半導体基板の前記主表面上に、平面視において複数並ぶ前記メモリセルの列を選択する第3配線が配置されており、

前記ソース領域および前記ドレイン領域は、平面視において2本の前記第3配線に挟まれる、請求項15～19のいずれかに記載の半導体装置。

【請求項 21】

主表面を有する半導体基板と、

前記半導体基板の前記主表面上に配置されたスイッチング素子と、

前記スイッチング素子の上方に位置し、前記主表面に沿った方向に向けて延び、電流の流れる向きに応じて磁化状態を変化させることが可能な磁壁移動層と、前記磁壁移動層上にトンネル絶縁層を介して配置されるピン層とを有するスピントルク書き込み方式の磁壁移動型の磁気抵抗素子と、

10

20

30

40

50

前記磁壁移動層と電氣的に接続され、前記主表面に沿った方向に向けて延びる第 1 配線とを備える半導体装置であり、

前記磁気抵抗素子は平面視におけるアスペクト比が 1 以外の値であり、

前記磁気抵抗素子と前記スイッチング素子とが電氣的に接続されたメモリセルが複数並んだメモリセル領域において、平面視における前記磁気抵抗素子の長手方向である第 1 方向に関して、隣接する複数の前記磁気抵抗素子が前記第 1 方向に沿って延在する同一直線上に乗らないように配置され、

前記主表面に沿い、前記磁気抵抗素子と電氣的に接続された接地配線をさらに有しており、

前記接地配線は、前記メモリセル領域において複数の前記メモリセルが平面視において並ぶ第 5 方向および第 6 方向に対して屈曲しながら延在する、半導体装置。

10

【請求項 2 2】

前記スイッチング素子のソース領域と前記磁壁移動層とを電氣的に接続するソースコンタクトと、

前記スイッチング素子のドレイン領域と前記第 1 配線とを電氣的に接続するドレインコンタクトとをさらに有している、請求項 2 1 に記載の半導体装置。

【請求項 2 3】

前記第 1 方向に関して隣接する 1 対の前記メモリセルのそれぞれを構成する前記ソースコンタクトおよび前記ドレインコンタクトが、前記第 1 方向に延在する一直線上に乗らないように配置される、請求項 2 2 に記載の半導体装置。

20

【請求項 2 4】

前記半導体基板の前記主表面上に、平面視において複数並ぶ前記メモリセルの列を選択する第 3 配線が配置されており、

前記ソース領域および前記ドレイン領域は、平面視において 2 本の前記第 3 配線に挟まれる、請求項 2 2 または 2 3 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、より特定的には、磁気抵抗素子を有する半導体装置に関するものである。

30

【背景技術】

【0002】

記憶用の半導体集積回路などの半導体装置として、従来より D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) が広く用いられている。一方、M R A M (Magnetic Random Access Memory) は、磁気によって情報を記憶するデバイス (磁気抵抗素子) であり、高速動作、書換え耐性、不揮発性などの点で、他のメモリ技術と比較し優れた特徴を有している。

【0003】

近年の半導体集積回路の微細化に伴い、M R A M などにおける記憶素子の平面視におけるレイアウトに工夫がなされることがある。具体的には、たとえば特開 2 0 1 0 - 2 1 9 0 9 8 号公報 (以下、「特許文献 1」と記載) および特開 2 0 0 8 - 1 3 0 9 9 5 号公報 (以下、「特許文献 2」と記載) に開示されるような、配線の延在する方向に対して隣接する個々の記憶素子が、互いに同一の当該配線上に乗らないように配置される。すなわち上記の隣接する個々の記憶素子 (磁気抵抗素子) を結ぶ直線は、配線の延在する方向に対して斜め方向に延在する構成となっている。このような構成とすることにより、磁気抵抗素子の更なる集積化や、個々の記録素子間の動作特性のばらつきを低減している。

40

【0004】

ところで M R A M には、S T T (Spin Transfer Torque) - M R A M や、磁壁移動型 M R A M と呼ばれる種類のものも存在する。S T T - M R A M は、スピントルクを用いてスピントルクにより記録情報を書き込む。磁壁移動型 M R A M は、スピントルクを用いて磁壁

50

を移動させることにより記録情報を書き込む。STT-MRAMおよび磁壁移動型MRAMは、磁気抵抗素子自体に流れる電流により記録情報を読み書きする記憶素子を有するスピントルク書き込み型MRAMである。スピントルク書き込み型のMRAMにおいては、情報の読み書きに用いる電流をより小さくする要請がある。これは仮に当該電流が大きくなれば、メモリセルを構成するスイッチング素子(トランジスタ)のサイズを大きくする必要が生じ、その結果メモリセルの平面面積の増加を招く場合があるためである。

【0005】

しかし情報書き換え電流を低減すれば、たとえば他のメモリセルに記録される情報を読み出す際に流れる電流により、誤って当該他のメモリセルに隣接する(意図しない)メモリセルの記録情報が書き換えられる可能性がある。あるいは集積回路全体が積極的に駆動されない放置状態のときにも同様に、微小な電流により意図せずメモリセルの記録情報が書き換えられる可能性がある。このようにMRAMにおける磁気抵抗素子の読み書きに用いる電流の低減と、磁気抵抗素子の読み書きエラーを抑制する特性とは、互いにトレードオフの関係にある。

【0006】

上記のトレードオフの関係を改善するためには、たとえば特開2004-296869号公報(以下、「特許文献3」と記載)および特開2009-194210号公報(以下、「特許文献4」と記載)に示すように、磁気抵抗素子を平面視におけるアスペクト比を1以外の、1より大きく離れた値にすることが好ましい。すなわち磁気抵抗素子を長方形や楕円形状などの、一方向において一方向に交差する方向よりも長尺化された形状とする。また、米国特許出願公開第2006/0120147A1号明細書(以下、「特許文献5」と記載)には、ワード線の電流磁場により書き込む方式のMRAMにおいて、ワード線を蛇行させることにより、隣り合う磁気抵抗素子との距離を増加させてクロストークを減少させる技術が開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-219098号公報

【特許文献2】特開2008-130995号公報

【特許文献3】特開2004-296869号公報

【特許文献4】特開2009-194210号公報

【特許文献5】米国特許出願公開第2006/0120147A1号明細書

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記特許文献3および特許文献4に開示されるような、磁気抵抗素子のアスペクト比を1以外の値にした形状とする場合、特に特許文献1や特許文献2のように磁気抵抗素子がより密集するように配列されれば、隣接する磁気抵抗素子同士が短絡する可能性がある。これは、たとえば隣接する磁気抵抗素子が、平面視における長手方向に関して一直線上に並ぶように配列される場合は、隣接する磁気抵抗素子の長手方向端部間の距離が非常に狭く、1対の当該端部が互いに接触する可能性があるためである。当該距離を確保するためには、たとえば磁気抵抗素子のサイズや平面形状を変化することなく、個々のメモリセルの平面視における面積を増加することが好ましい。このため上記のトレードオフの改善と、高集積化とを両立することが困難となる。特許文献1や特許文献2にはメモリセルの平面視における面積の増減に関する記載がない。このため磁気抵抗素子をより密集することによる高集積化された半導体装置のレイアウトが開示されているが、結果として個々の素子の微細化に繋がらない可能性がある。

【0009】

また、上記特許文献5に記載されている電流磁場書き込み方式のMRAMは、書き込みワード線を必須とする。さらに、電流磁場書き込み方式のMRAMは、スピントルク書き

10

20

30

40

50

込み方式と異なり、書き換え電流を低減するためには、磁気抵抗素子のサイズを大きくする必要があり、したがって、上記のトレードオフの改善のためには、電流磁場書き込み方式のMRAMにおいては、磁気抵抗素子の面積および体積を大きくする必要があり、そのうえ電流磁場書き込み方式のMRAMにおいて特許文献5に示す屈曲したワード線を適用すれば、直線状に伸びる通常のMRAMに比べて、平面視におけるメモリセルのサイズがさらに拡大する。このため電流磁場書き込み方式のMRAMにおいては、上記のトレードオフの改善と高集積化とを両立することは困難である。

【0010】

本発明は、以上の問題に鑑みなされたものである。その目的は、メモリセルの平面視における面積を増加することなく、磁気抵抗素子の情報の読み書きに用いる電流値を低減しながら読み書きエラーを抑制することが可能であり、かつ磁気抵抗素子間の短絡が抑制された集積回路を有する半導体装置を提供することである。

【課題を解決するための手段】

【0011】

本発明の一実施例による半導体装置は以下の構成を備えている。

上記半導体装置は、主表面を有する半導体基板と、半導体基板の主表面上に配置された、ソース領域およびドレイン領域を含むスイッチング素子と、スイッチング素子の上方に配置された平板状の引出配線と、引出配線上に位置する、電流の流れる向きに応じて磁化状態を変化させることが可能な、スピントルク書き込み方式の面内磁化型の磁気抵抗素子と、磁気抵抗素子と電氣的に接続され、主表面に沿った方向に向けて伸びる第1配線とを備える。上記磁気抵抗素子は平面視におけるアスペクト比が1以外の値である。上記磁気抵抗素子とスイッチング素子とが電氣的に接続されたメモリセルが複数並んだメモリセル領域において、平面視における磁気抵抗素子の長手方向である第1方向に関して、隣接する複数の磁気抵抗素子が第1方向に沿って延在する同一直線上に乗らないように配置される。上記第1配線は、磁気抵抗素子と平面視において重なる領域において、第1配線の延在する方向に交差する方向での幅が、重なる領域以外の他の領域における幅よりも広い。

【0012】

本発明の他の実施例による半導体装置は以下の構成を備えている。

上記半導体装置は、主表面を有する半導体基板と、半導体基板の主表面上に配置されたスイッチング素子と、スイッチング素子の上方に位置し、主表面に沿った方向に向けて伸び、電流の流れる向きに応じて磁化状態を変化させることが可能な磁壁移動層と、磁壁移動層上にトンネル絶縁層を介在して配置されるピン層とを有するスピントルク書き込み方式の磁壁移動型の磁気抵抗素子と、磁壁移動層と電氣的に接続され、主表面に沿った方向に向けて伸びる第1配線とを備える。上記磁気抵抗素子は平面視におけるアスペクト比が1以外の値である。上記磁気抵抗素子とスイッチング素子とが電氣的に接続されたメモリセルが複数並んだメモリセル領域において、平面視における磁気抵抗素子の長手方向である第1方向に関して、隣接する複数の磁気抵抗素子が第1方向に沿って延在する同一直線上に乗らないように配置される。上記主表面に沿い、磁気抵抗素子と電氣的に接続された接地配線をさらに有している。上記接地配線は、メモリセル領域において複数のメモリセルが平面視において並ぶ第5方向および第6方向に対して屈曲しながら延在する。

上記半導体装置は、主表面を有する半導体基板と、半導体基板の主表面上に配置された、ソース領域およびドレイン領域を含むスイッチング素子と、スイッチング素子の上方に配置された平板状の引出配線と、引出配線上に位置する、電流の流れる向きに応じて磁化状態を変化させることが可能な、スピントルク書き込み方式の面内磁化型の磁気抵抗素子と、磁気抵抗素子と電氣的に接続され、主表面に沿った方向に向けて伸びる第1配線とを備える。上記磁気抵抗素子は平面視におけるアスペクト比が1以外の値である。上記磁気抵抗素子とスイッチング素子とが電氣的に接続されたメモリセルが複数並んだメモリセル領域において、平面視における磁気抵抗素子の長手方向である第1方向に関して、隣接する複数の磁気抵抗素子が第1方向に沿って延在する同一直線上に乗らないように配置される。上記メモリセル領域は、複数のメモリセルが平面視において互いに直交する第3方向

10

20

30

40

50

および第4方向に並んでいる。上記スイッチング素子のソース領域に電氣的に接続されるソースコンタクトと、スイッチング素子のドレイン領域と引出配線とを電氣的に接続するドレインコンタクトとをさらに有し、主表面に沿い、複数のソースコンタクトを電氣的に接続する第2配線をさらに有している。上記第2配線は、第3方向または第4方向に対して中心線が屈曲しながら延在する。

【発明の効果】

【0013】

本発明の一実施例および他の実施例による半導体装置は、平面視におけるアスペクト比が1以外の長尺形状を有する磁気抵抗素子同士の、長手方向に関する距離と、長手方向に交差する短手方向に関する距離との差を小さくすることができる。このため、磁気抵抗素子の平面視における長手方向の端部の加工が容易になり、隣接する1対の磁気抵抗素子の長手方向の端部同士の短絡を抑制することができる。また、メモリセルの平面視における面積を増加することなく、磁気抵抗素子の情報の読み書きに用いる電流値を低減しながら読み書きエラーを抑制することが可能となる集積回路を有する半導体装置を提供することができる。

10

【図面の簡単な説明】

【0014】

【図1】本発明の実施の形態1に係る半導体装置の全体の平面図である。

【図2】図1中のMRAMが形成される領域のうち、特にメモリセル領域の構成を詳細に示す平面図である。

20

【図3】図2のIII-III線に沿う部分における、図2のメモリセル領域の概略断面図である。

【図4】図2のIV-IV線に沿う部分における、図2のメモリセル領域の概略断面図である。

【図5】図2のV-V線に沿う部分における、図2のメモリセル領域の概略断面図である。

【図6】図2のVI-VI線に沿う部分における、図2のメモリセル領域の概略断面図である。

【図7】図2のVII-VII線に沿う部分における、図2のメモリセル領域の概略断面図である。

30

【図8】図2～図7に示す磁気抵抗素子が形成される、メモリセルの構成を示す概略斜視図である。

【図9】実施の形態1における磁気抵抗素子の構成の第1例を示す概略断面図である。

【図10】実施の形態1における磁気抵抗素子の構成の第2例を示す概略断面図である。

【図11】実施の形態1における磁気抵抗素子の構成の第3例を示す概略断面図である。

【図12】実施の形態1における磁気抵抗素子の構成の第4例を示す概略断面図である。

【図13】STT-MRAMにおける面内磁化型の磁気抵抗素子のフリー層とピン層との磁化の方向が異なる初期状態を示す概略断面図である。

【図14】図13の面内磁化型の磁気抵抗素子の磁化の方向を反転する動作を示す概略断面図である。

40

【図15】図14の動作により、面内磁化型の磁気抵抗素子のフリー層とピン層との磁化の方向が同じ向きとなった状態を示す概略断面図である。

【図16】面内磁化型の磁気抵抗素子のフリー層とピン層との磁化の方向が同じである初期状態を示す概略断面図である。

【図17】図16の磁気抵抗素子の磁化の方向を反転する動作を示す概略断面図である。

【図18】図17の動作により、面内磁化型の磁気抵抗素子のフリー層とピン層との磁化の方向が逆向きとなった状態を示す概略断面図である。

【図19】磁気抵抗素子に流す電流と反転確率との関係を示すグラフである。

【図20】磁気抵抗素子のアスペクト比と熱擾乱耐性因子、書き換え電流値との関係を示すグラフである。

50

【図 2 1】実施の形態 1 の比較例の半導体装置における、メモリセル領域の構成を詳細に示す平面図である。

【図 2 2】図 2 1 の X X I I - X X I I 線に沿う部分における、図 2 1 のメモリセル領域の概略断面図である。

【図 2 3】図 2 1 の X X I I I - X X I I I 線に沿う部分における、図 2 1 のメモリセル領域の概略断面図である。

【図 2 4】図 2 1 の X X I V - X X I V 線に沿う部分における、図 2 1 のメモリセル領域の概略断面図である。

【図 2 5】図 2 1 の磁気抵抗素子のアスペクト比が 1 に比べてさらに大きくなった状態を示す平面図である。

10

【図 2 6】図 2 5 の X X V I - X X V I 線に沿う部分における、図 2 5 のメモリセル領域の概略断面図である。

【図 2 7】本発明の実施の形態 2 の第 1 例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図 2 8】本発明の実施の形態 2 の第 2 例に係る半導体装置の、メモリセル領域の構成を、ソース線より上側の層のみ詳細に示す平面図である。

【図 2 9】本発明の実施の形態 2 の第 3 例に係る半導体装置の、メモリセル領域の構成を、ソース線より上側の層のみ詳細に示す平面図である。

【図 3 0】本発明の実施の形態 2 の第 4 例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

20

【図 3 1】本発明の実施の形態 2 の第 5 例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図 3 2】図 3 0 の X X X I I - X X X I I 線に沿う部分の、磁気抵抗素子の概略断面図である。

【図 3 3】図 3 1 の X X X I I I - X X X I I I 線に沿う部分の、磁気抵抗素子の概略断面図である。

【図 3 4】図 3 2 の磁気抵抗素子の上面が平坦化された態様を示す、図 3 2 と同様の概略断面図である。

【図 3 5】図 3 3 の磁気抵抗素子の上面が平坦化された態様を示す、図 3 3 と同様の概略断面図である。

30

【図 3 6】図 3 1 の X X X V I - X X X V I 線に沿う部分における、図 3 1 のメモリセル領域の概略断面図である。

【図 3 7】図 3 1 の X X X V I I - X X X V I I 線に沿う部分における、図 3 1 のメモリセル領域の概略断面図である。

【図 3 8】図 3 1 の X X X V I I I - X X X V I I I 線に沿う部分における、図 3 1 のメモリセル領域の概略断面図である。

【図 3 9】図 3 1 の X X X I X - X X X I X 線に沿う部分における、図 3 1 のメモリセル領域の概略断面図である。

【図 4 0】図 3 6 が示す領域の第 1 の変形例を示す概略断面図である。

【図 4 1】図 3 8 が示す領域の第 1 の変形例を示す概略断面図である。

40

【図 4 2】図 3 6 が示す領域の第 2 の変形例を示す概略断面図である。

【図 4 3】図 3 8 が示す領域の第 2 の変形例を示す概略断面図である。

【図 4 4】本発明の実施の形態 2 の第 6 例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図 4 5】本発明の実施の形態 2 の第 7 例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図 4 6】本発明の実施の形態 2 の第 8 例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図 4 7】本発明の実施の形態 2 の第 8 例に係る半導体装置の、図 4 6 よりもアスペクト比が 1 に比べて高い磁気抵抗素子が形成される領域の構成を詳細に示す平面図である。

50

【図48】本発明の実施の形態3の第1例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図49】図48におけるソース線の平面視における形状の第1の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図50】図48におけるソース線の平面視における形状の第2の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図51】図48におけるソース線の平面視における形状の第3の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図52】図48におけるソース線の平面視における形状の第4の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

10

【図53】本発明の実施の形態3の第2例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図54】図53におけるソース線の平面視における形状の第1の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図55】図53におけるソース線の平面視における形状の第2の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図56】図53におけるソース線の平面視における形状の第3の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図57】本発明の実施の形態3の第3例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

20

【図58】図57における磁気抵抗素子の平面視における配置の変形例を、ソース線より上側の層のみ示す概略断面図である。

【図59】図57におけるソース線の平面視における形状の第1の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図60】図57におけるソース線の平面視における形状の第2の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図61】図57におけるソース線の平面視における形状の第3の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図62】本発明の実施の形態3の第4例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

30

【図63】図62におけるソース線の平面視における形状の第1の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図64】図62におけるソース線の平面視における形状の第2の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図65】図62におけるソース線の平面視における形状の第3の変形例を、ソース線およびその下側の層のみ示す概略断面図である。

【図66】本発明の実施の形態3の第5例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図67】図66におけるビット線の平面視における形状の第1の変形例を、ソース線より上側の層のみ示す概略断面図である。

40

【図68】図66におけるビット線の平面視における形状の第2の変形例を、ソース線より上側の層のみ示す概略断面図である。

【図69】図68のL X I X - L X I X線に沿う部分における、図68の磁気抵抗素子が形成される領域の概略断面図である。

【図70】図66におけるビット線の平面視における形状の第3の変形例を、ソース線より上側の層のみ示す概略断面図である。

【図71】図70のL X X I - L X X I線に沿う部分における、図70の磁気抵抗素子が形成される領域の概略断面図である。

【図72】本発明の実施の形態3の第6例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

50

【図73】図72におけるビット線の平面視における形状の第1の変形例を、ソース線より上側の層のみ示す概略断面図である。

【図74】図73のLXXIV-LXXIV線に沿う部分における、図73の磁気抵抗素子が形成される領域の概略断面図である。

【図75】図72におけるビット線の平面視における形状の第2の変形例を、ソース線より上側の層のみ示す概略断面図である。

【図76】図75のLXXVI-LXXVI線に沿う部分における、図75の磁気抵抗素子が形成される領域の概略断面図である。

【図77】本発明の実施の形態3の第7例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

10

【図78】本発明の実施の形態4の第1例に係る半導体装置のメモリセル領域の構成を、ソース線より上側の層のみ詳細に示す平面図である。

【図79】図78のLXXIX-LXXIX線に沿う部分における、図78の磁気抵抗素子が形成される領域の概略断面図である。

【図80】本発明の実施の形態4の第2例に係る半導体装置のメモリセル領域の構成を、ソース線より上側の層のみ詳細に示す平面図である。

【図81】図80のLXXXI-LXXXI線に沿う部分における、図80の磁気抵抗素子が形成される領域の概略断面図である。

【図82】本発明の実施の形態4の第3例に係る半導体装置のメモリセル領域の構成を、ソース線より上側の層のみ詳細に示す平面図である。

20

【図83】図82のLXXXIII-LXXXIII線に沿う部分における、図82の磁気抵抗素子が形成される領域の概略断面図である。

【図84】本発明の実施の形態5の第1例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図85】図84のLXXXV-LXXXV線に沿う部分における、図84のメモリセル領域の概略断面図である。

【図86】図84のLXXXVI-LXXXVI線に沿う部分における、図84のメモリセル領域の概略断面図である。

【図87】図84のLXXXVII-LXXXVII線に沿う部分における、図84のメモリセル領域の概略断面図である。

30

【図88】図84のLXXXVIII-LXXXVIII線に沿う部分における、図84のメモリセル領域の概略断面図である。

【図89】図84のメモリセル領域の等価回路である。

【図90】本発明の実施の形態5の第2例に係る半導体装置の、メモリセル領域の構成を、ソース線より下側の層のみ詳細に示す平面図である。

【図91】図90のメモリセル領域の等価回路である。

【図92】本発明の実施の形態5の第3例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図93】図92のXCIII-XCIII線に沿う部分における、図92のメモリセル領域の概略断面図である。

40

【図94】図92のXCIV-XCIV線に沿う部分における、図92のメモリセル領域の概略断面図である。

【図95】図93が示す領域の第1の変形例を示す概略断面図である。

【図96】図94が示す領域の第1の変形例を示す概略断面図である。

【図97】図93が示す領域の第2の変形例を示す概略断面図である。

【図98】図94が示す領域の第2の変形例を示す概略断面図である。

【図99】本発明の参考例に係る半導体装置のメモリセル領域の構成を、ソース線より上側の層のみ詳細に示す平面図である。

【図100】図99のC-C線に沿う部分における、図99のメモリセル領域の概略断面図である。

50

【図101】図99のC I - C I線に沿う部分における、図99のメモリセル領域の概略断面図である。

【図102】本発明の実施の形態6の第1例に係る半導体装置の、メモリセル領域の構成を詳細に示す平面図である。

【図103】図102のC I I I - C I I I線に沿う部分における、図102のメモリセル領域の概略断面図である。

【図104】図102のC I V - C I V線に沿う部分における、図102のメモリセル領域の概略断面図である。

【図105】図102のC V - C V線に沿う部分における、図102のメモリセル領域の概略断面図である。

10

【図106】図102のC V I - C V I線に沿う部分における、図102のメモリセル領域の概略断面図である。

【図107】図102～図106に示す磁気抵抗素子が形成される、メモリセルの構成を示す概略斜視図である。

【図108】本発明の実施の形態6の第1例の比較例の半導体装置における、メモリセル領域の構成を詳細に示す平面図である。

【図109】図108のC I X - C I X線に沿う部分における、図108のメモリセル領域の概略断面図である。

【図110】図108のC X - C X線に沿う部分における、図108のメモリセル領域の概略断面図である。

20

【図111】図108のC X I - C X I線に沿う部分における、図108のメモリセル領域の概略断面図である。

【図112】図108のC X I I - C X I I線に沿う部分における、図108のメモリセル領域の概略断面図である。

【図113】図102における接地配線の平面視における形状の第1の変形例の、主に磁壁移動層およびその上側の層を示す概略断面図である。

【図114】図102における接地配線の平面視における形状の第2の変形例の、主に磁壁移動層およびその上側の層を示す概略断面図である。

【図115】図102における接地配線の平面視における形状の第3の変形例の、主に磁壁移動層およびその上側の層を示す概略断面図である。

30

【図116】図102における接地配線の平面視における形状の第4の変形例の、主に磁壁移動層およびその上側の層を示す概略断面図である。

【図117】図102における接地配線の平面視における形状の第5の変形例の、主に磁壁移動層およびその上側の層を示す概略断面図である。

【図118】図102における接地配線の平面視における形状の第6の変形例の、主に磁壁移動層およびその上側の層を示す概略断面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

40

まず、本実施の形態としてチップ状態の半導体装置について図1を用いて説明する。

【0016】

図1を参照して、本実施の形態における半導体チップC H Pには、C P U (Central Processing Unit)と、M R A Mと、周辺回路と、パワーラインP Lとを有している。半導体チップC H Pの周辺部にはパッドP Dが配置されている。

【0017】

C P Uは、中央演算処理部とも呼ばれる回路であり、記憶装置から命令を読み出して解読し、それに基づいて多種多様な演算や制御を行なうものである。このためC P Uには高速処理が要求される。

【0018】

50

M R A Mは、磁気を利用して、記憶情報をランダムに読み出したり書き込んだりすることができる素子である。M R A Mは電源を切っても記憶状態が保持される不揮発性メモリとして機能するだけでなく、高速なランダムアクセス機能を有するメモリ素子である。ただしM R A Mには上記メモリ素子のほかに、上記メモリ素子に情報を書き込んだり、メモリ素子の情報を読み出したりする回路や、複数並ぶメモリ素子のうち情報の読み書きを行なう素子を選択する選択トランジスタなどを有している。

【 0 0 1 9 】

周辺回路は、C P UやM R A Mとともに半導体装置のシステムを構成するための回路であり、たとえば電源回路、クロック回路やリセット回路などから構成されている。周辺回路には、デジタル信号を処理するデジタル回路やアナログ信号を処理するアナログ回路を含んでいる。アナログ回路は、時間的に連続して変化する電圧や電流の信号、すなわちアナログ信号を扱う回路であり、たとえば、増幅回路、変換回路、変調回路、発振回路、電源回路などから構成されている。

10

【 0 0 2 0 】

パワーラインP Lは、C P U、M R A Mおよび周辺回路を動作するための電圧を供給するラインであり、電源ラインやグラウンドラインから構成されている。C P U、M R A Mおよび周辺回路は、パワーラインと接続されており、パワーラインからの電源供給によって動作できる。

【 0 0 2 1 】

パッドP Dは、半導体チップC H Pの外部に接続される機器（回路）と入出力するための外部接続端子である。パッドP Dを介して半導体チップC H Pに形成されているC P Uなどに入力信号が入力される。またC P Uからの出力信号がパッドP Dを介して半導体チップC H Pの外部に接続されている機器（回路）に出力される。

20

【 0 0 2 2 】

次に図1の磁気抵抗素子を有するメモリセルが形成される領域（メモリセル領域）の構成について、図2～図12を用いて説明する。

【 0 0 2 3 】

図2を参照して、本実施の形態のメモリセル領域に形成される磁気抵抗素子M R Dは、たとえばスピントルクを用いてスピン注入により書き込むスピン注入型M R A MであるS T T - M R A Mを構成する磁気抵抗素子（記憶素子）である。通常、S T T - M R A Mが構成する回路には、横方向にn行、縦方向にm列、マトリクス状に複数のM R A MのメモリセルM Cが配置されている。つまりM R A Mは、アレイ状に配置された複数のメモリセルM Cからなるメモリセルアレイを構成している。

30

【 0 0 2 4 】

メモリセルアレイの列に沿って、ワード線W L 1～W L n（図2中ではワード線W L 1、W L 2：第3配線）と、ソース線S L 1～S L n（図2中では複数のソース線S L：第2配線）とが互いに並行して延在するように配置されている。一方、メモリセルアレイの横方向に延在するように、ビット線B L 1～B L m（図2中ではビット線B L 1、B L 2、B L 3、B L 4：第1配線）が互いに並行して配置されている。図示されないが、ワード線はワード線ドライバ帯と電氣的に接続され、ソース線は情報を読み出す回路と電氣的に接続される。ビット線は情報を書き込む回路と電氣的に接続される。

40

【 0 0 2 5 】

なお図2において、左側の「S Lおよびその下側」には、ソース線S Lおよび、ソース線S Lよりも後述する半導体基板に近い下側の層の構成が図示されている。つまりソース線S Lよりも下側の層には半導体基板の活性領域A A、ワード線W L 1などが形成されている。さらに、後述するスイッチング素子とソース線S Lとを電氣的に接続するソースコンタクトS C、ドレイン領域D Rと他の領域とを電氣的に接続するドレインコンタクトD Cなどが配置されている。複数の活性領域A Aは、たとえば絶縁膜からなるトレンチ溝T Rにより分離されている。

【 0 0 2 6 】

50

また図2における右側の「SLより上側」にはソース線SLよりも後述する半導体基板から遠い上側の層の構成が図示されている。つまりソース線SLよりも上側の層には、下部電極としてのストラップ配線ST（引出配線）や磁気抵抗素子MRD、ドレインコンタクトDCやビット線BL1などが、互いに電氣的に接続されるように配置されている。

【0027】

ビット線BL1などは実際には図2のSLより上側の領域の全体を横方向に延在するように配列されるが、図を見やすくするため、図2中では中央部に独立して図示している。したがって図2の「SLおよびその下側」と「SLより上側」とは平面視において同一の領域を、下側の層と上側の層とに分けて図示したものである。またソース線SLについても実際には平面視において各メモリセルMCと重なるように延在するが、図2中ではその図示が省略されている。

10

【0028】

磁気抵抗素子MRDは、たとえば図2の縦方向に長手方向を有する楕円形の平面形状を有している。このように楕円形状を有することにより、磁気抵抗素子MRDのアスペクト比は1以外の値を有する。ここでは磁気抵抗素子MRDの平面視におけるアスペクト比は1から大きく離れていることが好ましい。具体的には、たとえば当該アスペクト比が1を超える場合は2以上であることが好ましく、当該アスペクト比が1未満である場合は0.5以下であることが好ましい。ただし磁気抵抗素子MRDは、楕円形に限らず、たとえば長方形など長手方向を有する矩形形状であってもよい。

【0029】

20

図2の縦方向に関して隣接する2つのメモリセルMCの磁気抵抗素子MRDは、当該縦方向に延在する同一の直線上に乗らないように配置されている。すなわち長手方向の延在する方向（第1方向）である縦方向に関して隣接する2つの磁気抵抗素子MRDは、当該第1方向に交差する方向（第2方向）である横方向に関して異なる座標に配置される。たとえば図2のBL1セルユニットの磁気抵抗素子MRDはストラップ配線STの右側に配置されるが、BL2セルユニットの磁気抵抗素子MRDはストラップ配線STの左側に配置される。またBL3セルユニットの磁気抵抗素子MRDは、BL1セルユニットの磁気抵抗素子MRDと第2方向に関して同一の座標に配置されるため、両者は第1方向に沿って延在する同一の直線上に配置される。BL4セルユニットの磁気抵抗素子MRDは、BL2セルユニットの磁気抵抗素子MRDと第2方向に関して同一の座標に配置される。以上のように各磁気抵抗素子MRDは、ドレインコンタクトDCやストラップ配線STの位置に対して互い違いになるように、いわゆる千鳥状に配置される。

30

【0030】

図3～図7の断面図を参照して、上記の各メモリセルMCや各素子、各配線は、たとえばシリコンの単結晶からなる半導体基板SUBの主表面上に形成されている。すなわち半導体基板SUBの主表面上の活性領域AAには、トランジスタTM（スイッチング素子）が形成され、その上方に平板状のストラップ配線STや磁気抵抗素子MRD、ビット線BLなどが配置されている。

【0031】

トランジスタTMは、たとえばボロンやリン、砒素などを含む不純物拡散層である1対のソース領域SO、ドレイン領域DRと、シリコン酸化膜などからなるゲート絶縁層GIと、ポリシリコンや金属膜などの導電体からなる図示されないゲート電極層とを有している。ゲート電極層のほぼ真上にワード線WL1、WL2が配置される。1対のソース領域SO/ドレイン領域DRは、半導体基板SUBの主表面上に互いに間隔をあけて配置されている。ゲート電極層は、1対のソース領域SO/ドレイン領域DRに挟まれる半導体基板SUBの表面上にゲート絶縁層GIを介在して形成されている。なお1対のソース領域SO/ドレイン領域DRおよびゲート電極層の表面はシリサイド化されていてもよい。

40

【0032】

磁気抵抗素子MRDは、アクセストランジスタTMが形成された半導体基板SUBの主表面上に複数層の層間絶縁層IIを介在して位置している。層間絶縁層IIは、たとえば

50

4層のシリコン酸化膜からなる層間絶縁層とすることが好ましいが、図3～図7においては2～3層に省略して図示している。また層間絶縁層IIは、平面視において隣接するメモリセルMCに挟まれた領域にも形成されている。

【0033】

磁気抵抗素子MRDは、ストラップ配線STの表面にその下面が接するように形成されている。このストラップ配線STは、ソース線SLおよびドレインコンタクトDCを通じてトランジスタTMのドレイン領域DRに電氣的に接続されている。図3を参照して、この場合SLより上側のドレインコンタクトDCは、SLより下側のドレインコンタクトDCと平面視において重なる位置に配置されている。またソース領域SOとソース線SLとは、ソースコンタクトSCを通じて電氣的に接続されている。ソース線SLと同一の層には、1対のドレインコンタクトDCを電氣的に接続するドレイン接続層DLが配置される。ただし、ドレイン接続層DLを挟まず、ドレイン領域DRと直接接続されたドレインコンタクトDCと、ストラップ配線STと直接接続されたドレインコンタクトDCとが直接接続されてもよい。言い換えれば、ドレイン領域DRとストラップ配線STとが単一のドレインコンタクトDCにより電氣的に接続されてもよい。このとき、ソースコンタクトSCとドレインコンタクトDCとが、それぞれ別工程において形成されることにより、ドレイン領域DRからストラップ配線STまでを貫く単一のドレインコンタクトDCを形成してもよい。

10

【0034】

図2～図4を主に参照して、各活性領域AAの平面視における形成領域と、各ストラップ配線STの平面視における形成領域とは、いずれも平面視においてマトリクス状に配置されている。すなわち各メモリセルMCにおける活性領域AAとストラップ配線STとは、いずれもたとえば図2において互いに(ほぼ)直交する縦方向(第3方向)と横方向(第4方向)とに延在するように、一定の距離を隔てて複数並んでいる。

20

【0035】

各活性領域AAと各ストラップ配線STとは、同一のメモリセルMCにおいても一部重ならない領域が存在する。すなわち同一の各メモリセルMCにおいて、ストラップ配線STは活性領域AAよりやや右側に偏って配置されている。

【0036】

同一のメモリセルMCにおいても、このように上層と下層とでは平面的に占める領域がやや異なっており、少なくとも一部において上層と下層とが重ならない領域が存在してもよい。このためメモリセルMCとはやや異なる基準で、すなわち複数のワード線WLやビット線BLが配置される領域を中心として、個々のメモリセルMCが配置される位置とおおよそ対応するようにセルユニットが規定される。具体的にはワード線WL1、WL2を中心に、横方向に並ぶセルユニット(WL1セルユニットおよびWL2セルユニット)が配置される。またビット線BL1、BL2、BL3、BL4を中心にBL1セルユニットなど合計4つの縦方向に並ぶセルユニットが配置される。このため本実施の形態においては、ソース線SLより上側の層と下側の層との間で、個々のメモリセルの平面視における位置に多少の相違が存在する。たとえば図2において最も左側のドレインコンタクトDCはWL1セルユニットの内部に形成されるが、最も左側の磁気抵抗素子MRDはWL1セルユニットとWL2セルユニットとの境界近傍や、WL2セルユニットの内部に配置されてもよい。

30

40

【0037】

上記のように個々のメモリセルMCにおいて、たとえばストラップ配線ST(上側の層)と活性領域AA(下側の層)とが一部において重ならないように配置される。このため、磁気抵抗素子MRDが半導体基板SUBの主表面上に配置される位置(レイアウト)の自由度をより高めることができる。具体的には、磁気抵抗素子MRDがドレインコンタクトDCの直上に配置されることを避けつつ、各メモリセルMCを先述のいわゆる千鳥状に配置することができる。さらに、メモリセルMCの平面視における面積を大きくすることなく、隣接する1対の磁気抵抗素子MRDの長手方向の端部間における短絡を抑制する効

50

果を高めることができる。その結果、当該M R A Mの集積度をより高めることができる。

【0038】

図2～図7においては、磁気抵抗素子M R Dが長手方向に関していわゆる千鳥状に配置されているが、上述のように、同一の各メモリセルM Cにおける磁気抵抗素子M R DとドレインコンタクトD Cとは平面視において互いに重ならないように（互いに離れるように）配置されている。たとえばドレインコンタクトD Cおよび層間絶縁層I Iの上面と接するように形成されるストラップ配線S Tは、ドレインコンタクトD C上において、層間絶縁層I I上より平坦性が劣化する。これはドレインコンタクトD Cと層間絶縁層I Iとの材質の相違に起因する。そこで磁気抵抗素子M R DをドレインコンタクトD Cから離れた領域に形成することにより、磁気抵抗素子M R Dの特にフリー層M F Lの平坦性を確保することができる。ここで、より確実に磁気抵抗素子M R Dの平坦性を確保するためには、個々のメモリセルM Cにおける磁気抵抗素子M R DとドレインコンタクトD Cとの平面視における最短距離が40nm以上であることが好ましく、当該最短距離は40nm以上100nm以下であることがより好ましい。

10

【0039】

図2～図7においては、各メモリセルM Cにおいて、磁気抵抗素子M R DとドレインコンタクトD Cとの平面視における距離はほぼ一定となっている。このようにすれば、各磁気抵抗素子M R Dの平面視における周囲（近傍）の平坦度などをほぼ一定にすることができる。したがって、各磁気抵抗素子M R D間の電気特性などの機能のばらつきを低減することができる。

20

【0040】

図3～図7の各図において、たとえばビット線B Lやソース線S Lなどの各種配線やソースコンタクトS C、ドレインコンタクトD C、ドレイン接続層D Lは、銅などの導電膜からなることが好ましい。またこれらの各種配線やコンタクトには、その側壁や上面（または下面）を覆うようにバリアメタルが形成されていることが好ましい。しかしここではそれらの各膜の図示が省略されている。またたとえばビット線B Lと同一の層として、ビット線B Lが配置されない領域にたとえばシリコン窒化膜からなる層間絶縁層が配置される場合がある。さらに磁気抵抗素子M R Dと同一の層として、平面視における磁気抵抗素子M R Dの周囲にたとえばシリコン窒化膜からなる保護層が形成されたりする場合がある。しかしここではこのようなシリコン窒化膜の絶縁層についても図示が省略されている。

30

【0041】

ここでバリアメタルとは、各配線を構成する金属材料の外部への拡散を抑制するための膜であり、非磁性のタンタルの薄膜や、これに窒素が添加されたT a N（窒化タンタル）が用いられることが好ましい。

【0042】

図8には、図2～図7に示すメモリセルの構成を立体的に示している。なお、図2の平面視において楕円形で示した磁気抵抗素子M R Dは、図8においては矩形で示している。図8および図9を参照して、ストラップ配線S Tの上面に接するように配置される磁気抵抗素子M R Dは、ピン層M P Lと、トンネル絶縁層M T Lと、フリー層M F Lとを有し、かつたとえばピン層M P Lと、トンネル絶縁層M T Lと、フリー層M F Lとがこの順で下から積層された積層構造を有している。またフリー層M F Lの上には、上部電極としてのキャップ層C Pが形成されているが、ここでは図8以外の各図においてキャップ層C Pの図示が省略される。

40

【0043】

ピン層M P Lとフリー層M F Lとは、それぞれ磁性を有する磁性層である。磁気抵抗素子M R Dへのデータの書き込みは、フリー層M F Lの磁化の方向が、磁気抵抗素子M R Dを通過する電流の向きに応じて変化することによりなされる。特に本実施の形態のS T T - M R A Mを構成する磁気抵抗素子M R Dは、磁化の方向が、半導体基板S U Bや積層される各薄膜の主表面に沿う方向であるいわゆる面内磁化型の磁気抵抗素子であることが好ましい。

50

【0044】

個々の磁気抵抗素子MRDには、上記のようにトンネル絶縁層MTLを間に介在させて2つの磁性層（ピン層MPLとフリー層MFL）が積層されている。この2つの磁性層における磁化の方向を同じ向きにするか、互いに逆向きにするかによって磁気抵抗素子MRDの抵抗値が変化する。たとえば図9においては、ピン層MPLにおける磁化は右向きであるのに対し、フリー層MFLにおける磁化が左向きであれば、ピン層MPLとフリー層MFLとの磁化の方向は互いに逆向きとなり、このとき磁気抵抗素子MRDは高抵抗となる。逆にピン層MPLにおける磁化が右向きであり、フリー層MFLにおける磁化が右向きであれば、両者の磁化の方向は同じ向きとなり、このとき磁気抵抗素子MRDは低抵抗となる。

10

【0045】

磁気抵抗素子MRDの磁化の方向は、ビット線BLから磁気抵抗素子MRDを経てトンジスタTMに至る電流経路に流す電流の向きに応じて書き換えられる。また磁気抵抗素子MRDの磁化の方向に応じて変化された電気抵抗を検出することにより、磁気抵抗素子MRDの磁化の方向が読み取られる。

【0046】

図10を参照して、本実施の形態においては、磁気抵抗素子MRDが、フリー層MFL、トンネル絶縁層MTL、ピン層MPLの順で下から積層された積層構造を有していてもよい。また図11を参照して、磁気抵抗素子MRDが、ピン層MPLとトンネル絶縁層MTLとフリー層MFLとがこの順に積層された磁気抵抗素子MRD1と磁気抵抗素子MRD2とを有しており、これらが埋め込み金属ITMにより電気的に接続された積層構造を有していてもよい。図11の磁気抵抗素子MRD1、MRD2が、図10の磁気抵抗素子MRDと同様にフリー層MFLの上方にピン層MPLが積層された構造を有していてもよい。さらに図12を参照して、本実施の形態においては、磁気抵抗素子MRDが、図9と同様の順序で積層されたピン層MPL、トンネル絶縁層MTL、フリー層MFLの上に、さらにトンネル絶縁層MTLとピン層MPLとがこの順に積層された構成を有していてもよい。このような構成とすれば、後述するスピントルクの効率を上げ、磁気抵抗素子MRDへのデータの書き換えに用いる電流をさらに低減することができる。

20

【0047】

次に、各部の材質、膜厚などについて説明する。

30

ピン層MPLは強磁性層からなる薄膜であることが好ましい。具体的にはピン層MPLは、コバルト(Co)、鉄(Fe)、ボロン(B)、ルテニウム(Ru)、白金(Pt)、マンガン(Mn)からなる群から選択される1種以上から構成される金属単体または合金の膜であることが好ましい。またピン層MPLは、図9～図11においては1層として図示されている。しかし一般にピン層MPLには、反強磁性層上に強磁性層が積層された2層構造や、反強磁性層上に強磁性層、非磁性層、強磁性層の順に積層された4層構造、あるいは5層構造などが用いられる。ただし積層数や積層される層の順序などはこれに限られない。ピン層MPLの全体の厚みは20nm以上100nm以下であることが好ましい。たとえば図12の磁気抵抗素子MRDにおいては、下側のピン層MPLは、PtMnとCoFeとRuとCoFeBとの各合金層がこの順に積層された構成であり、上側のピン層MPLは、CoFeBとRuとCoFeとPtMnとの各合金層がこの順に積層された構成であることが考えられる。

40

【0048】

トンネル絶縁層MTLは、酸化アルミニウム(AlO_x)、酸化マグネシウム(MgO)、酸化ハフニウム(HfO)のいずれかからなる絶縁膜であることが好ましい。その厚みは0.5nm以上2.0nm以下であることが好ましく、なかでも0.6nm以上1.5nm以下であることがより好ましい。

【0049】

フリー層MFLは、強磁性層からなる薄膜であることが好ましい。具体的にはニッケル(Ni)、コバルト(Co)、鉄(Fe)、ボロン(B)、ルテニウム(Ru)からなる

50

群から選択される1種以上から構成される金属単体または合金の膜であることが好ましい。また上記の異なる材質の合金からなる薄膜が複数積層された構成であってもよい。その全体の厚みは2.0 nm以上10 nm以下であることが好ましく、3.0 nm以上9.0 nm以下であることがより好ましい。たとえば図12の磁気抵抗素子MRDにおいては、フリー層MFLはCoFeBからなることが考えられる。

【0050】

ストラップ配線STはたとえばタンタル(Ta)、窒化タンタル(TaN)、ルテニウム、窒化チタン(TiN)などの金属膜からなることが好ましい。またストラップ配線STは1層でもよいが、上述した異なる材料からなる複数の薄膜が積層された構成であってもよい。ストラップ配線STの厚みはたとえば10 nm以上70 nm以下であることが好ましく、なかでも20 nm以上50 nm以下(一例として35 nm)であることが好ましい。

10

【0051】

キャップ層CPとしては、ストラップ配線STと同様にたとえばタンタル、窒化タンタル、ルテニウム、窒化チタンなどの金属膜からなることが好ましい。キャップ層CPも1層でもよいが、上述した異なる材料からなる複数の薄膜が積層された構成であってもよい。キャップ層CPの厚みはたとえば60 nm以上70 nm以下であることが好ましい。またたとえば2層が積層されたキャップ層CPの場合、下部のキャップ層CPの厚みはたとえば30 nm以上70 nm以下であることが好ましく、なかでも35 nm以上65 nm以下(一例として60 nm)であることが好ましい。また上部のキャップ層CPの厚みはたとえば5 nm以上100 nm以下であることが好ましい。一例として、Ruからなる厚み7.5 nmの薄膜の上にTaからなる厚み60 nmの薄膜が積層された構成のキャップ層CPが考えられる。

20

【0052】

またたとえば図11に示す埋め込み金属ITMは、Taなどの金属膜からなることが好ましく、その厚みはたとえば5 nm以上100 nm以下であることが好ましい。

【0053】

以上に述べた、STT方式の磁気抵抗素子MRDにおける情報の書き換えの原理について、図13～図18を用いて詳細に説明する。

【0054】

図13を参照して、たとえば図9に示す積層構造を有するSTT方式の磁気抵抗素子MRDにおいて、ピン層MPLとフリー層MFLとの磁化の方向が互いに逆向きになっている場合を考える。このようにピン層MPLとフリー層MFLとの磁化の方向が互いに逆向きである状態は、先述のとおり、磁気抵抗素子MRDが高抵抗である状態である。図14を参照して、図13の状態の磁気抵抗素子MRDのフリー層MFL側に+の電位を、ピン層MPL側に-の電位を印加する。するとピン層MPLの下側の層からフリー層MFLの上側の層へ、伝導電子が流れる。

30

【0055】

ここで上記伝導電子のうち、ピン層MPLの磁化の方向と略同じ方向のスピントルクを有する電子は、ピン層MPLを通過してトンネル絶縁層MTL、フリー層MFLの方へ流れることができる。これに対しピン層MPLの磁化の方向と逆方向のスピンを有する電子は、ピン層MPLを通過することができずに跳ね返される。その結果、ピン層MPLと逆向きに磁化されていたフリー層MFLの内部には、磁化の方向を伝導電子(ピン層MPL)の磁化と略同じ方向へと回転させるトルクが加わる。

40

【0056】

図15を参照して、フリー層MFLに上記トルクが加わる結果、フリー層MFLの磁化の方向は、ピン層MPLの磁化の方向と同じ向きとなる。先述のとおり、この状態が磁気抵抗素子MRDが低抵抗となった状態である。このように、ピン層MPL側からフリー層MFL側へ伝導電子を流すことにより、磁気抵抗素子MRDを高抵抗状態から低抵抗状態へ変化させることができる。そして磁気抵抗素子MRDが高抵抗、低抵抗である状態を当

50

該磁気抵抗素子MRDの有するデータとして保管する。

【0057】

次に、図16を参照して、図13～図15と同様の積層構造を有するSTT方式の磁気抵抗素子MRDにおいて、ピン層MPLとフリー層MFLとの磁化の方向が同じ向きになっている場合を考える。上記のようにこの状態は、磁気抵抗素子MRDが低抵抗である状態である。図17を参照して、図16の状態の磁気抵抗素子MRDのフリー層MFL側に-の電位を、ピン層MPL側に+の電位を印加する。するとフリー層MFLの上側の層からピン層MPLの下側の層へ、伝導電子が流れる。

【0058】

ここで上記伝導電子のうち、フリー層MFLの磁化の方向と略同じ方向のスピントルクを有する電子は、フリー層MFLを通過してトンネル絶縁層MTL、ピン層MPLの方へ流れることができる。これに対しフリー層MFLの磁化の方向と逆方向のスピンを有する電子は、フリー層MFLを通過することができずに跳ね返される。その結果、ピン層MPLと同じ方向に磁化されていたフリー層MFLの内部には、磁化の方向をフリー層MFLにて跳ね返される伝導電子の磁化と略同じ方向（ピン層MPLの磁化と逆方向）の磁化と略同じ方向へと回転させるトルクが加わる。

【0059】

図18を参照して、フリー層MFLに上記トルクが加わる結果、フリー層MFLの磁化の方向は、ピン層MPLの磁化の方向と互いに逆向きとなる。この状態が磁気抵抗素子MRDが高抵抗となった状態である。このように、フリー層MFL側からピン層MPL側へ伝導電子を流すことにより、磁気抵抗素子MRDを低抵抗状態から高抵抗状態へ変化させることができる。

【0060】

次に図19～図20を用いて、磁気抵抗素子MRDの平面視におけるアスペクト比を1より大きく（小さく）することによる効果について説明する。

【0061】

図19のグラフの横軸（セル電流）は、図14または図17に示す、磁気抵抗素子MRDの情報書き換えに用いる伝導電子による電流値を示す。図19のグラフの縦軸（反転確率）は、情報書き換えに用いる電流値により実際にフリー層MFLの磁化の方向が反転する確率を示す。

【0062】

図19を参照して、縦軸の値が「1E+0」すなわち反転確率が1となるときのセル電流の値が、いわゆる磁気抵抗素子MRDの書き換え電流値に相当する。この書き換え電流値は、当該電流を流すことにより確実に磁化の方向を反転することが可能な電流値を意味する。メモリセルを構成するスイッチング素子（トランジスタ）のサイズを小さくするためには、書き換え電流値がより小さいことが好ましい。また書き換え電流値をより小さくすれば、磁気抵抗素子MRDのトンネル絶縁層MTLに流す電流値が小さくなるため、トンネル絶縁層MTLに電流を流すことが可能な回数を増加することができる。すなわちトンネル絶縁層MTLの寿命をより長くすることができる。

【0063】

一方、磁気抵抗素子MRDの情報が誤って書き換えられることを抑制するためには、セル電流が0または微小であるときの反転確率がより低いことが好ましい。磁気抵抗素子MRDに微小なセル電流を流して電気抵抗値を測定することにより、磁気抵抗素子MRDに記録された情報を読み取る。情報の書き換えエラーを抑制するためには、情報の読み出し時に磁気抵抗素子MRDに流す微小なセル電流（図19中の「読み出し時」のセル電流値）に起因する反転確率（図19中の「読み出し時反転確率」）がより低いことが好ましい。ここで書き換え電流値を一定とすれば、図19中に示されるグラフの直線の傾き（熱擾乱耐性因子）が大きいほど、読み出し時反転確率を小さくすることができることがわかる。

【0064】

図20中に実線で示すグラフの横軸は磁気抵抗素子MRDのアスペクト比(1より大きい)を示し、縦軸は上記の値を示す。また図20中に点線で示すグラフの横軸は磁気抵抗素子MRDのアスペクト比(1より大きい)を示し、縦軸は書き換え電流値を示す。

【0065】

図20を参照して、磁気抵抗素子MRDのアスペクト比が1より大きくなるほど、の値が大きくなり、情報の書き換えエラーの発生が抑制できることがわかる。また磁気抵抗素子MRDのアスペクト比が1より大きくなっても、書き換え電流値の増加量は少ないことがわかる。図20のグラフ導出においては、アスペクト比のより高い磁気抵抗素子MRDとして平面視における短手方向の長さを一定とし、長手方向をより長くしたものが用いられている。このため図20においてはアスペクト比が高くなるにつれて磁気抵抗素子MRDの平面視における面積が多少増加していることに起因して、若干書き換え電流値が増加している。したがって特に単位面積当たりの書き換え電流密度に関しては、アスペクト比が高くなってほとんど増加しないといえる。また仮に磁気抵抗素子MRDの平面視における面積が変化しないようにアスペクト比を高くした場合には、アスペクト比が高くなって書き換え電流値はほとんど変化しない。

10

【0066】

以上より、磁気抵抗素子MRDのアスペクト比を1より大きくすれば、当該磁気抵抗素子MRDへの情報の書き換え電流値の増加を抑えつつ、情報の書き換えエラーを抑制することができる。

【0067】

20

次に、本実施の形態の比較例である図21～図26を参照しながら、本実施の形態の作用効果について説明する。

【0068】

図21～図26を参照して、本実施の形態の比較例のメモリセル領域においても、図2～図7に示す本実施の形態のメモリセル領域と大筋で同様の態様を備えている。このため図21～図26において、図2～図7と同一の要素については同一の符号を付しその説明を繰り返さない。このことは、以下に述べる実施の形態2以降についても同様である。

【0069】

図21の比較例においては、図21の縦方向に関して隣接する2つの磁気抵抗素子MRDは、当該縦方向に延在する同一の直線上に乗るように配置されている。したがって全てのメモリセルが平面視において同様のレイアウトを有するように配置される。図22～図24の断面図を参照して、個々のメモリセルにおけるソース線SLより下側(たとえば活性領域AA)とソース線SLより上側(たとえばストラップ配線ST)とは、平面視においてほぼ完全に重なるように配置される。

30

【0070】

図25～図26を参照して、上記比較例の場合、特に個々の磁気抵抗素子MRDのアスペクト比が1に比べて非常に大きくなれば、磁気抵抗素子MRDの長手方向に関して隣接する1対の磁気抵抗素子MRD同士の間隔が非常に狭くなる。この場合、上記長手方向に関して隣接する1対の磁気抵抗素子MRD同士が短絡する可能性が高くなる。磁気抵抗素子MRDのアスペクト比が1より非常に大きい場合に上記の短絡を抑制するためには、メモリセルMCの平面視における面積を増加したり、メモリセルMCの集積数を減少する必要が生じる。

40

【0071】

しかし図2～図7の本実施の形態のように磁気抵抗素子MRDが配置されれば、上記長手方向に関して隣接する1対の磁気抵抗素子MRD同士の間隔が広がる。つまり本実施の形態においては、磁気抵抗素子MRDのアスペクト比が1より非常に大きくなった場合においても、メモリセルMCの平面視における面積を増加することなく、磁気抵抗素子MRD同士の短絡を抑制することができる。したがってメモリセルMCの平面視における面積を増加したり、メモリセルMCの集積数を減少することなく、磁気抵抗素子MRDの情報の読み書きに用いる電流値を低減しながら読み書きエラーを抑制することが可能であり

50

、かつ磁気抵抗素子MRD間の短絡が抑制された集積回路を有する半導体装置を提供することができる。

【0072】

本実施の形態の上記効果をより高めるためには、個々のメモリセルMCの平面視における面積は $0.02\mu\text{m}^2$ 以上 $0.5\mu\text{m}^2$ 以下であることが好ましい。ここで上記面積は、たとえば上側の層と下側の層との間で、個々のメモリセルの平面視における位置に多少の相違がある場合には、各層の平面視における面積とする。メモリセルの層間での位置のずれがある場合においても、基本的にいずれの層もほぼ同じ面積となっている。

【0073】

また上記のように、磁気抵抗素子MRDのアスペクト比が1より大きくなっても隣接する磁気抵抗素子MRD間の距離を広くすることができるため、磁気抵抗素子MRDの長手方向と短手方向とに関する隣接する磁気抵抗素子MRD間の距離の差を小さくすることができる。このようにすれば、磁気抵抗素子MRDの平面視における長手方向の端部の加工が容易になる。すなわち磁気抵抗素子MRDの加工（エッチングによるパターンニング）の際に当該端部が過度にエッチングされたり形状が不安定になるなどの不具合を抑制することができる。その結果、隣接する1対の磁気抵抗素子MRDの長手方向の端部同士の短絡を抑制することができる。

10

【0074】

また磁気抵抗素子MRDが平面視において千鳥状に配置されれば、平面視において各磁気抵抗素子MRDの配置される粗密差を小さくすることができる。このため各磁気抵抗素子MRDの電気特性などの機能のばらつきを小さくすることができ、メモリセル領域全体の機能をより安定させることができる。

20

【0075】

（実施の形態2）

本発明の実施の形態2は、実施の形態1と比較して、磁気抵抗素子MRDの配置やビット線BLの構成において異なっている。以下、本実施の形態の構成について図27～図47を用いて説明する。

【0076】

図27を参照して、本実施の形態の第1例のメモリセル領域においても、図2～図7に示す実施の形態1のメモリセル領域と同様の態様を備えている。しかし図27においては、磁気抵抗素子MRDとドレインコンタクトDCとが平面視において重なるように配置される。

30

【0077】

具体的には、いわゆる千鳥状に配置される磁気抵抗素子MRDのうち、BL1セルユニットとBL3セルユニットとの磁気抵抗素子MRDは各ストラップ配線STの右側に配置される。またBL2セルユニットとBL4セルユニットとの磁気抵抗素子MRDは各ストラップ配線STの左側に配置される。ストラップ配線STの下面と接するドレインコンタクトDCは、いずれのメモリセルMCにおいてもストラップ配線STの右側に配置される。このためBL1セルユニットとBL3セルユニットとの磁気抵抗素子MRDはドレインコンタクトDCと重なる位置に配置される。以上の点において、図27は図2と異なる。

40

【0078】

STT-MRAMの原理上は、磁気抵抗素子MRDは実施の形態1のようにドレインコンタクトDCと平面的に離れるように配置されてもよいし、図27のように磁気抵抗素子MRDはドレインコンタクトDCと平面的に重なるように配置されてもよい。特に磁気抵抗素子MRD（フリー層MFL）の平坦性がドレインコンタクトDCの直上であるか否かに依存しない場合は、ドレインコンタクトDCと平面的に重なるように磁気抵抗素子MRDが配置されてもよい。

【0079】

図27のような構成とすることによっても、実施の形態1と同様に、磁気抵抗素子MRDのアスペクト比を1より大きくすることによる磁気抵抗素子MRDの短絡の抑制と、情

50

報書き換え電流の低減と、磁気抵抗素子MRDの高集積化とを同時に達成することができる。

【0080】

図28を参照して、本実施の形態の第2例のメモリセル領域においても、図27に示す第1例のメモリセル領域と大筋で同様の態様を備えている。しかし図28においては、磁気抵抗素子MRDの平面視における長手方向（第1方向）がビット線BLの延在する方向（図の横方向）に沿うように延在している。以上の点において、図28は図27と異なる。

【0081】

STT-MRAMの原理上は、磁気抵抗素子MRDは図27のように図の縦方向に延在するように配置されてもよいし、図28のように磁気抵抗素子MRDはドレインコンタクトDCと平面的に重なるように配置されてもよい。具体的には、STT-MRAMには、外部磁場を利用して情報を書き換える通常のMRAMと異なり、磁気抵抗素子MRDの下側の層にディジット線とよばれる配線を備えていない。このため磁気抵抗素子MRDとドレインコンタクトDCとが平面的に重なるように配置されてもよい。また磁気抵抗素子MRDの長手方向は、たとえば図28に示す横方向を含め、任意の方向に延在することができる。

10

【0082】

このため図28のようにたとえばストラップ配線STが図の横方向に長く、図の縦方向に短い場合、特に磁気抵抗素子MRDが図の横方向に延在するよう配置される方が、隣接する磁気抵抗素子MRDの長手方向の端部同士の間隔をより広く確保することができる。このため隣接する磁気抵抗素子MRDの長手方向の端部同士における短絡をより確実に抑制することができる。

20

【0083】

また図28に示すように、図の横方向に延在する、長手方向に関して隣接する1対の磁気抵抗素子MRD同士は、上記長手方向に延在する同一の直線上に乗らないように配置されている。すなわち図28においても、磁気抵抗素子MRDはいわゆる千鳥状に配置されている。このようにすれば、平面視において各磁気抵抗素子MRDの配置される粗密差を小さくすることができる。このため各磁気抵抗素子MRDの電気特性などの機能のばらつきを小さくすることができ、メモリセル領域全体の機能をより安定させることができる。なお磁気抵抗素子MRDは、ストラップ配線STの下面に接するドレインコンタクトDCと重なるように配置されてもよいし、離れるように配置されてもよい。

30

【0084】

図29を参照して、本実施の形態の第3例のメモリセル領域においても、図27における第1例のメモリセル領域と大筋で同様の態様を備えている。しかし図29においては、磁気抵抗素子MRDが、複数のメモリセルMCがアレイ状に並ぶ方向、すなわち互いに直交する縦方向（第3方向）や横方向（第4方向）のいずれとも異なる方向（図29における斜め方向）に延在している。以上の点において、図29は図27と異なる。

【0085】

STT-MRAMの原理上は、磁気抵抗素子MRDは図29のようにメモリセルMCの並ぶ方向に対して斜め方向に延在するように配置されてもよい。磁気抵抗素子MRDの長手方向がストラップ配線STの斜め方向に延在するように配置されれば、隣接するメモリセルMCの1対の磁気抵抗素子MRDの長手方向の端部同士の間隔を確保することができる。このため磁気抵抗素子MRDをより（1以上の）高アスペクト比とすることができる。隣接するメモリセルMCの1対の磁気抵抗素子MRD同士の短絡を抑制することができる。なお磁気抵抗素子MRDは、ストラップ配線STの下面に接するドレインコンタクトDCと重なるように配置されてもよいし、離れるように配置されてもよい。

40

【0086】

図30を参照して、本実施の形態の第4例のメモリセル領域においても、図2～図7に示す実施の形態1のメモリセル領域と大筋で同様の態様を備えている。しかし図30にお

50

いては、いわゆる千鳥状に配置される磁気抵抗素子MRDが、その長手方向に関して図2よりもさらに引き伸ばされ、アスペクト比が1よりさらに高くなっている。磁気抵抗素子MRDが長手方向（第1方向）に関して非常に長くなるため、当該長手方向に関して隣接する1対の磁気抵抗素子MRD同士が、上記第1方向に交差する第2方向（図の横方向）から見た場合に、少なくともその一部（たとえば端部）が重なるように配置される。図30中には一例として、当該重なる領域をREで示している。

【0087】

具体例を示すために、たとえばBL1セルユニットとWL1セルユニットとが交差する領域のメモリセルMCにおける磁気抵抗素子MRDと、これと第1方向に関して隣接する、BL2セルユニットとWL1セルユニットとが交差する領域のメモリセルMCにおける磁気抵抗素子MRDとを考える。BL1セルユニットとWL1セルユニットとが交差する領域の磁気抵抗素子MRDの下側の端部と、BL2セルユニットとWL1セルユニットとが交差する領域の磁気抵抗素子MRDの上側の端部とは、第1方向に関する座標が同一となっている。

10

【0088】

このようにすれば、個々のメモリセルMC（磁気抵抗素子MRD）が半導体基板上にて配置されるレイアウトの自由度をより高めることができる。具体的には、メモリセルMCの面積を大きくすることなく、よりアスペクト比の高い磁気抵抗素子MRDを搭載することができる。その結果、当該メモリセル領域の更なる高集積化を容易にすることができる。

20

【0089】

図30の磁気抵抗素子MRDのストラップ配線STは、各メモリセルの磁気抵抗素子MRDと、ストラップ配線STの下面に接するドレインコンタクトDCとの配置に応じた平面形状を有する。すなわち上記磁気抵抗素子MRDとドレインコンタクトDCと平面的に重なるように、上記第1方向に延在し、ドレインコンタクトDCの配置される方向に突出した、いわゆるT字型の形状を有する。

【0090】

すなわちストラップ配線STは、これが延在する第3方向（第1方向とほぼ同じ）と、第3方向に（ほぼ）直交する第4方向（第2方向とほぼ同じ）とに延在する形状を有している。またストラップ配線STが第4方向（第2方向とほぼ同じ）に突出する長さは、たとえば図2のストラップ配線STの第4方向（第2方向とほぼ同じ）よりも短くなっている。すなわち図30においては、ストラップ配線STとソースコンタクトSCとは、平面視においてほとんど重ならない。以上の各点において、図30は図2と異なる。

30

【0091】

このような形状を有することにより、隣接する1対のストラップ配線STが平面視において互いに重ならないようにすることができる。また磁気抵抗素子MRDのアスペクト比が1より大きくなりストラップ配線STの第3方向（縦方向）の平面視におけるサイズが大きくなっても、当該ストラップ配線STの面積の増加を抑制することができ、メモリセルMCをより高集積化することができる。これはストラップ配線STの第4方向（横方向）の平面視における面積が、たとえば図30と同一サイズの磁気抵抗素子MRDに対して、実施の形態1のように長方形形状を有する場合に比べて小さくなっているためである。

40

【0092】

またストラップ配線STが長方形形状を有する場合に比べて、磁気抵抗素子MRDとドレインコンタクトDCとのいずれとも平面的に重ならないストラップ配線STの領域をより小さくすることができる。このことから、平面視におけるスペースをより有効に利用したレイアウトとすることができる。したがって上記第4例においては、当該ストラップ配線STや、これを含むメモリセルMCをより高集積化することができる。

【0093】

図31を参照して、本実施の形態の第5例のメモリセル領域においても、図30における第4例のメモリセル領域と大筋で同様の態様を備えている。しかし図31においては、

50

ビット線 B L の平面視における形状が変化されている。具体的には、ビット線 B L 1 ~ B L 4 が磁気抵抗素子 M R D と重なる位置において、各ビット線は、図の縦方向（第 3 方向）に関して、磁気抵抗素子 M R D が延在する方向に沿うように延在（突出）している。言い換えれば、各ビット線 B L 1 ~ B L 4 が磁気抵抗素子 M R D と平面視において重なる領域において、当該ビット線 B L 1 ~ B L 4 の延在する方向に交差する方向（第 3 方向）での幅が、当該重なる領域以外の領域における幅よりも広がっている。

【 0 0 9 4 】

このような構成を有することにより、磁気抵抗素子 M R D の長手方向の長さがビット線 B L 1 ~ B L 4 の幅方向（図の縦方向）の長さ比べて長い場合においても、磁気抵抗素子 M R D の端部近傍とビット線 B L とが平面視において重なる。このため図 3 2 および図 3 3 を参照して、図 3 1 は図 3 0 に比べて、ビット線 B L 1 ~ B L 4 と磁気抵抗素子 M R D とが平面視において重なる面積が大きくなる。

10

【 0 0 9 5 】

次に、図 3 1 の構成の作用効果について、図 3 4 ~ 図 4 3 の断面図を適宜参照しながら説明する。

【 0 0 9 6 】

図 3 4 および図 3 5 を参照して、図 3 0 ~ 図 3 3 のビット線 B L 1 ~ B L 4 を形成する前に、磁気抵抗素子 M R D （図 8 のキャップ層 C P ）の上面の平坦性を向上する加工が施されることがある。当該加工としてはたとえば C M P （Chemical Mechanical Polishing）と呼ばれる研磨処理が行なわれる。このとき、たとえば図 3 0 （図 3 2 ）の態様に比べて、図 3 1 （図 3 3 ）の態様の方が、磁気抵抗素子 M R D とビット線との接触面積が大きくなる。したがって図 3 1 （図 3 3 ）に示す態様とすることにより、ビット線 B L 1 ~ B L 4 と磁気抵抗素子 M R D との電氣的な接続をより確実にすることができる。図 3 7 および図 3 9 には、図 3 5 に示すビット線 B L 1 と同様の態様を有するビット線 B L 3 が図示されている。

20

【 0 0 9 7 】

図 3 4 および図 3 6 ~ 図 3 9 を参照して、本実施の形態のメモリセル M C は、基本的に図 3 や図 4 の実施の形態 1 のメモリセル M C と同様の断面態様を有する。すなわちドレインコンタクト D C が、ソース線 S L を挟むようにその上側と下側との 2 層に分かれた構成を有している。しかしたとえば図 4 0 および図 4 1 を参照して、上側のドレインコンタクト D C と下側のドレインコンタクト D C との間にソース線 S L を挟まず、1 対のドレインコンタクト D C が直接接続された構成であってもよい。また図 4 2 および図 4 3 を参照して、ドレイン領域 D R とストラップ配線 S T とが 1 層のドレインコンタクト D C により接続された構成であってもよい。

30

【 0 0 9 8 】

図 4 4 を参照して、本実施の形態の第 6 例のメモリセル領域においても、図 2 8 の本実施の形態の第 2 例のメモリセル領域と同様の態様を備えている。しかし図 4 4 においては、各メモリセル M C におけるドレインコンタクト D C が、図 2 8 のドレインコンタクト D C に対してやや異なる位置に配置されている。具体的には、図 4 4 の W L 1 セルユニットのドレインコンタクト D C は、図 2 8 に比べてやや下方（左下）に、図 4 4 の W L 2 セルユニットのドレインコンタクト D C は、図 2 8 に比べてやや上方（左上）に配置される。

40

【 0 0 9 9 】

このため図 4 4 においては、個々のメモリセル M C における磁気抵抗素子 M R D とドレインコンタクト D C とが離れており、これらの平面視における最短距離がほぼ一定になっている。すなわち図 4 4 においては、ビット線 B L の延在する方向に長手方向に沿うように、千鳥状に配置された磁気抵抗素子 M R D とドレインコンタクト D C との最短距離がほぼ一定になっている。

【 0 1 0 0 】

このようにすれば、磁気抵抗素子 M R D が千鳥状に配置されることによる既述の電氣的

50

特性を向上する作用効果と、磁気抵抗素子MRDとドレインコンタクトDCとの最短距離を確保することによる磁気抵抗素子MRDの平坦性を向上する効果、および電気的特性のばらつきを低減する効果とをもたらすことができる。

【0101】

図45を参照して、本実施の形態の第7例のメモリセル領域は、図44の磁気抵抗素子MRDのアスペクト比を1よりさらに高くし、ストラップ配線STを図30と同様形状としたメモリセルを有する。このようにすれば、図44の示すメモリセルMCの作用効果に加えて、図30のメモリセルMCの作用効果、すなわちメモリセルMCの面積の増加を抑制することができ、メモリセルMCをより高集積化する効果をもたらすことができる。

【0102】

図46および図47を参照して、本実施の形態の第8例のメモリセル領域は、図44および図45に示すドレインコンタクトDCの配置と、図29の磁気抵抗素子MRDの配置とを組み合わせたメモリセルを有する。このようにすれば、図44の示すメモリセルMCの作用効果に加えて、図29のメモリセルMCの作用効果、すなわち磁気抵抗素子MRDの長手方向の端部同士の短絡を抑制することができ、メモリセルMCをより高集積化する効果をもたらすことができる。なお図47においては、図46よりもさらに磁気抵抗素子MRDの長手方向の寸法が長くなっている。ここでは磁気抵抗素子MRDの長手方向はストラップ配線STの対角線に沿う方向に延在する。ストラップ配線STの対角線に沿う方向に関する長さは、複数のストラップ配線STがアレイ状に並ぶ方向に関する寸法よりも大きい。このため図47のように、磁気抵抗素子MRDの長手方向の寸法をより長くすることが可能となる。

【0103】

本発明の実施の形態2は、以上に述べた各点についてのみ、本発明の実施の形態1と異なる。すなわち、本発明の実施の形態2について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1に準ずる。

【0104】

(実施の形態3)

本発明の実施の形態3は、実施の形態1と比較して、ソースコンタクト、ドレインコンタクトの配置やソース線SLの構成において異なっている。以下、本実施の形態の構成について図48～図77を用いて説明する。

【0105】

図48を参照して、本実施の形態の第1例においては、実施の形態1の図2と同様に、各ストラップ配線STに対して各磁気抵抗素子MRDが互いに千鳥状になるように配置される。上記の特徴に加えて、本実施の形態においてはソースコンタクトSCおよびドレインコンタクトDCについても、磁気抵抗素子MRDと同様に互いに千鳥状になるように配置される。

【0106】

具体的には、たとえば図48の縦方向に関して隣接する2つのメモリセルMCのソースコンタクトSCおよびドレインコンタクトDCは、当該縦方向に延在する同一の直線上に乗らないように配置されている。すなわち長手方向の延在する方向(第1方向)である縦方向に関して隣接する2つのソースコンタクトSCおよびドレインコンタクトDCは、当該第1方向に交差する方向(第2方向)である横方向に関して異なる座標に配置される。たとえば図48のBL1およびBL3セルユニットにおいては、活性領域AA(メモリセルMC)の右側にソースコンタクトSCが、左側にドレインコンタクトDCが配置される。図48のBL2およびBL4セルユニットにおいては、活性領域AA(メモリセルMC)の左側にソースコンタクトSCが、右側にドレインコンタクトDCが配置される。図48の横方向に関して隣接する2つのメモリセルMCのソースコンタクトSCおよびドレインコンタクトDCについても、上記と同様の関係を有する。以上のように各ソースコンタクトSCおよびドレインコンタクトDCは、活性領域AAやストラップ配線STの位置に対して互い違いになるように、いわゆる千鳥状に配置される。

10

20

30

40

50

【 0 1 0 7 】

図 4 8 に示す本実施の形態の第 1 例においては、ドレインコンタクト DC と磁気抵抗素子 MRD とが、平面視においていわゆる千鳥状に配置されている。すなわちソースコンタクト SC と磁気抵抗素子 MRD とが、平面視においてほぼ重なる位置に配置されている。このため個々のメモリセル MC の活性領域 AA とストラップ配線 ST とは、平面視においてほぼ重なる位置に配置されている。以上の各点において、図 4 8 は図 2 と異なる。

【 0 1 0 8 】

図 4 8 に示す本実施の形態の第 1 例においては、ソース線 SL が図 2 と同様の態様で延在する場合は、たとえばドレインコンタクト DC (ドレイン接続層 DL) と平面的に重なる領域に空孔を設けることが好ましい。このようにすれば、ソース線 SL とドレインコンタクト DC (ドレイン接続層 DL) との短絡を抑制することができる。

10

【 0 1 0 9 】

図 4 9 ~ 図 5 2 を参照して、ソース線 SL をその延在する方向 (メモリセル MC がアレイ状に並ぶ方向 (第 3 および第 4 方向)) に対して屈曲したり突出したりする構成とすることが好ましい。このようにすれば、ソース線 SL とドレインコンタクト DC との短絡を抑制することができる。

【 0 1 1 0 】

具体的には、図 4 9 および図 5 0 を参照して、ソース線 SL が横方向に延在しながら、千鳥状に並ぶソースコンタクト SC と平面的に重なる形状を有していてもよい。千鳥状に並ぶソースコンタクト SC と平面的に重なるために、ソース線 SL は、その中心線 CT が、ソース線 SL の延在する方向に対して屈曲することが好ましい。

20

【 0 1 1 1 】

図 4 9 においては BL 1 ~ BL 4 セルユニットのそれぞれに対して単一のソース線 SL 1 ~ SL 4 が配置されている。このためソースコンタクト SC とソース線 SL 1 ~ SL 4 とが重なる位置において、図の横方向に延在する各ソース線が図の上方向に突出する形状となっている。

【 0 1 1 2 】

これに対して図 5 0 においては BL 1 セルユニットと BL 2 セルユニットとの 2 組のソースコンタクト SC と平面的に重なる (接続される) ように単一のソース線 SL が配置される。また BL 3 セルユニットと BL 4 セルユニットとの 2 組のソースコンタクト SC と平面的に重なる (接続される) ように別の単一のソース線 SL が配置される。したがって図の横方向に延在する各ソース線 SL は、図の上方向および下方向に突出するように周期的に屈曲する形状となっている。

30

【 0 1 1 3 】

または図 5 1 を参照して、ソース線 SL がソースコンタクト SC の位置に合わせて屈曲しながら縦方向に延在する形状を有していてもよい。あるいは図 5 2 を参照して、ソース線 SL が横方向と縦方向との両方に網の目状に延在しながら、千鳥状に並ぶソースコンタクト SC と平面的に重なる形状を有していてもよい。

【 0 1 1 4 】

図 5 3 を参照して、本実施の形態の第 2 例のメモリセル領域においても、図 4 8 における第 1 例のメモリセル領域と大筋で同様の態様を備えている。しかし図 5 3 においては、たとえば図 4 4 におけるドレインコンタクト DC と同様に、各メモリセル MC におけるソースコンタクト SC が、図 4 8 のソースコンタクト SC に対してやや異なる位置に配置されている。具体的には、図 5 3 の BL 1 および BL 3 セルユニットのソースコンタクト SC は、図 4 8 に比べてやや下方に、図 5 3 の BL 2 および BL 4 セルユニットのソースコンタクト SC は、図 4 8 に比べてやや上方に配置される。

40

【 0 1 1 5 】

したがって BL 1 および BL 2 セルユニットにおいて、図の縦方向に対向する 1 対のメモリセル MC の各ソースコンタクト SC は、それぞれ縦方向に関する各メモリセル MC の中心よりも、互いに他のメモリセル MC に近い領域に寄るように配置される。このことは

50

、B L 3およびB L 4セルユニットの間においても同様である。さらに言い換えれば、上記B L 1およびB L 2セルユニット（B L 3およびB L 4セルユニット）において、図の縦方向に関して対向する1対のメモリセルM Cの互いのソースコンタクトS C間の、縦方向に関する距離は、縦方向に関して対向する1対のメモリセルM Cにおける任意の同じ位置（たとえば平面視における中心）間の距離よりも短い。以上の点において、図5 3は図4 8と異なる。

【0 1 1 6】

図5 3のような構成とすれば、ソース線S LとソースコンタクトS Cとの平面的な重なり（接続）をより容易にすることができる。具体的には、たとえば図5 4を参照して、図5 0と同様にB L 1およびB L 2セルユニット（B L 3およびB L 4セルユニット）の2組で単一のソース線S Lを共有する場合、B L 1セルユニットとB L 2セルユニット（B L 3およびB L 4セルユニット）との間の領域を中心に延在するソース線S Lは、各ソースコンタクトS Cと容易に確実に接続される。これは図5 4においてはソース線S Lの中心から各ソースコンタクトS Cまでの距離が、図5 0と比べて短くなるためである。

【0 1 1 7】

また、図5 5および図5 6を参照して、図5 3のようにソースコンタクトS Cを図4 8に対して移動した態様に対して、図5 1および図5 2の平面形状を有するソース線S Lを採用してもよい。

【0 1 1 8】

図5 7を参照して、本実施の形態の第3例のメモリセル領域においても、図5 3における第2例のメモリセル領域と大筋で同様の態様を備えている。しかし図5 7においては、たとえば図4 4におけるドレインコンタクトD Cと同様に、各メモリセルM CにおけるドレインコンタクトD Cが、図5 3のドレインコンタクトD Cに対してやや異なる位置に配置されている。具体的には、図5 7のB L 1およびB L 3セルユニットのドレインコンタクトD Cは、図5 3に比べてやや上方、すなわちメモリセルM Cの左上の角部に配置される。また図5 7のB L 2およびB L 4セルユニットのドレインコンタクトD Cは、図5 3に比べてやや下方、すなわちメモリセルM Cの右下の角部に配置される。以上の点において、図5 7は図5 3と異なる。

【0 1 1 9】

上記第3例においては、図5 7に示すように磁気抵抗素子M R Dの長手方向がメモリセルのレイが並ぶ方向に沿うように配置されてもよいし、図5 8に示すように当該長手方向がメモリセルのレイが並ぶ方向に対して斜め方向となるように配置されてもよい。図5 8のように斜め方向に磁気抵抗素子M R Dを配置すれば、磁気抵抗素子M R Dを1を超える高アスペクト比とすることができる。

【0 1 2 0】

図5 9～図6 1を参照して、上記第3例においては、ソース線S Lが横方向に延在しながら、千鳥状に並ぶソースコンタクトS Cと平面的に重なる形状を有していてもよい。具体的には、図5 9においてはB L 1～B L 4セルユニットのそれぞれに対して単一のソース線S Lが配置されている。ここでB L 1～B L 4の各セルユニットにおいて並ぶソースコンタクトS Cの、図の縦方向に関する座標はすべてほぼ等しい。また図の横方向に並ぶソースコンタクトS Cを結ぶ直線上にはドレインコンタクトD Cが配置されない。これは平面視においてソースコンタクトS Cを結ぶ直線上から離れるように（すなわち図の上方または下方へ移動するように）ドレインコンタクトD Cが配置されるためである。この点において図5 9は図4 9と異なる。

【0 1 2 1】

このため図5 9においては図4 9と異なり、ソースコンタクトS Cと平面的に重なるように配置されるソース線S Lは、その延在する方向に対して屈曲したり突出したりすることなく、一直線状に延在することができる。このためソース線S Lの設計や形成がより容易になる。

【0 1 2 2】

10

20

30

40

50

また図60は図50と同様に、BL1セルユニットとBL2セルユニットとの2組のソースコンタクトSCと平面的に重なる（接続される）ように単一のソース線SLが配置される。またBL3セルユニットとBL4セルユニットとの2組のソースコンタクトSCと平面的に重なる（接続される）ように別の単一のソース線SLが配置される。図60においても図59と同様に（図50と異なり）、ソースコンタクトSCと平面的に重なるように配置されるソース線SLは、延在する方向に対して屈曲したり突出したりすることなく、一直線状に延在することができる。

【0123】

一方、図61においては、たとえば図50と同様に、図の横方向に延在するソース線SLが、ソースコンタクトSCの位置に応じて屈曲している。このようにすれば、ソース線SLとソースコンタクトSCとが平面的に重なる領域をより確実に確保することができる。その結果、ソース線SLとソースコンタクトSCとの電気的な接続をより確実にすることができる。

10

【0124】

さらに図57～図61の第3例の構成とすることにより、各メモリセルMCにおける磁気抵抗素子MRDとドレインコンタクトDCとの平面視における距離がほぼ同一になるように配置することができる。このためメモリセルMC間の磁気抵抗素子MRDの平坦性や電気特性などのばらつきを抑制することができる。

【0125】

さらに本実施の形態においては、以下の第4例から第7例に示す構成としてもよい。図62を参照して、本実施の形態の第4例のメモリセル領域においても、図57における第3例のメモリセル領域と大筋で同様の態様を備えている。しかし図62においては、図57と比較して、BL1セルユニットおよびBL3セルユニットにおけるソースコンタクトSCおよびドレインコンタクトDCの配置が異なっている。具体的には、図57のBL1およびBL3セルユニットにおいては、ドレインコンタクトDCが図の左上に、ソースコンタクトSCが図の右下に配置されている。これに対して図62のBL1およびBL3セルユニットにおいては、ドレインコンタクトDCが図の左下に、ソースコンタクトSCが図の右上に配置されている。

20

【0126】

また上記の構成において、磁気抵抗素子MRDはその長手方向が図の横方向に延在するように配置されることが好ましい。このようにすれば、各メモリセルMCにおける磁気抵抗素子MRDとドレインコンタクトDCとの平面視における距離がほぼ同一になるように配置することができる。磁気抵抗素子MRDとこの点において図62は図57と異なる。

30

【0127】

上記第4例のメモリセル領域のソースコンタクトSC同士と平面的に重なるソース線SLは、たとえば図63～図65に示す平面形状とすることができる。このようにすれば、ドレインコンタクトDCとソース線SLとの短絡が抑制できる。

【0128】

図66を参照して、本実施の形態の第5例のメモリセル領域においても、図48および図53における第1例および第2例のメモリセル領域と大筋で同様の態様を備えている。しかし図66においては、図30と同様の（メモリセルMCがアレイ状に並ぶ方向（第3方向と第4方向）とに延在するいわゆるT字形状を有する）平面形状のストラップ配線STが配置されている。この点において、図66は図48および図53と異なっている。

40

【0129】

図67を参照して、このときのビット線BL1～ビット線BL4の延在する方向に交差する（図の縦方向の）幅は、たとえばドレインコンタクトDCと平面的に重なる領域におけるストラップ配線STの（図の縦方向の）幅とほぼ等しく一直線状に延びるものであってもよい。図68および図69を参照して、ビット線BL1～ビット線BL4の延在する方向に交差する（図の縦方向の）幅は、図67よりもやや広く一直線状に延びるものであってもよい。あるいは図70および図71を参照して、たとえば図31と同様に、磁気抵

50

抗素子MRDと重なる領域において、他の領域よりも各ビット線の当該幅が広がっていてもよい。

【0130】

図72を参照して、本実施の形態の第6例のメモリセル領域においても、図57における第3例のメモリセル領域と大筋で同様の態様を備えている。しかし図72においては、図57において図30と同様の思想が用いられている。具体的には図72においては長方形でなく、磁気抵抗素子MRDとドレインコンタクトDCに重なるように、上記第3および第4方向に延在する平面形状を有するストラップ配線STが形成されている。その結果、図72においてはいわゆるL字型のストラップ配線STが形成されている。この点において、図72は図57と異なっている。

10

【0131】

図73および図74を参照して、このときのビット線BL1～ビット線BL4の延在する方向に交差する(図の縦方向の)幅は、たとえばドレインコンタクトDCと平面的に重なる領域におけるストラップ配線STの(図の縦方向の)幅とほぼ等しく一直線状に延びるものであってもよい。あるいは図75および図76を参照して、たとえば図31と同様に、磁気抵抗素子MRDと重なる領域において、他の領域よりも各ビット線の当該幅が広がっていてもよい。

【0132】

図77を参照して、本実施の形態の第7例のメモリセル領域においても、図62における第4例のメモリセル領域と大筋で同様の態様を備えている(ただし図62に比べて磁気抵抗素子MRDのアスペクト比が(1以上で)高くなっている)。しかし図77においては、図45と同様の形状を有する(メモリセルMCがアレイ状に並ぶ方向(第3方向と第4方向)とに延在するいわゆるT字形状を有する)平面形状のストラップ配線STが配置されている。この点において、図77は図62と異なっている。

20

【0133】

次に、本実施の形態の共通の作用効果について説明する。本実施の形態においては、実施の形態1の作用効果に加えて、以下の作用効果を有する。

【0134】

本実施の形態においては、ソースコンタクトSCとドレインコンタクトDCとについても、磁気抵抗素子MRDと同様に、平面視におけるいわゆる千鳥状の配置を実現している。このようにすれば、メモリセルMC間の平面視における構造の相違をより少なくすることができる。具体的には、たとえばソースコンタクトSCとドレインコンタクトDCとを千鳥状に配置することにより、各メモリセルにおける磁気抵抗素子MRDとドレインコンタクトDCとの平面的な距離をほぼ同一になるように配置するための、レイアウトの自由度が増加する。したがってメモリセルMC間の磁気抵抗素子MRDの電気特性などの機能のばらつきを小さくすることができ、メモリセル領域全体の機能をより安定させることができる。

30

【0135】

さらに、たとえば本実施の形態の図66と実施の形態1の図30とを比較すれば、図66の方が各メモリセルMCの磁気抵抗素子MRDとドレインコンタクトDCとの距離が広いといえる。このことから、たとえば将来的に半導体装置の微細化が進んだ場合においても、磁気抵抗素子MRDとドレインコンタクトDCとの平面的な距離を確保することにより、磁気抵抗素子MRD(フリー層MFL)の良好な平坦性を維持することができる。

40

【0136】

本発明の実施の形態3は、以上に述べた各点についてのみ、本発明の実施の形態1～2と異なる。すなわち、本発明の実施の形態3について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1～2に準ずる。したがって本発明の実施の形態3の構成はその機能上、実施の形態1～2に示す構成のうち実施の形態3と組み合わせることが可能なあらゆる構成と組み合わせてもよい。

【0137】

50

(実施の形態4)

本発明の実施の形態4は、上記の各実施の形態と比較して、ビット線BLの構成において異なっている。以下、本実施の形態の構成について図78～図83を用いて説明する。

【0138】

図78および図79を参照して、本実施の形態の第1例のメモリセル領域においても、たとえば実施の形態2の図45や実施の形態3の図77におけるメモリセル領域と大筋で同様の態様を備えている。しかし図78および図79においては、BL1～BL4セルユニットを延在するビット線が2本ずつに分割された構成を有している。すなわちたとえばBL1セルユニットと平面視において重なる位置において、ビット線BL11とビット線BL12との2本のビット線が配置されている。

10

【0139】

言い換えれば、本実施の形態におけるビット線は、これが平面視において重なる単一のメモリセルMCにおいて、当該ビット線が延在する方向に交差する方向(図の縦方向)に関して互いに間隔をあけて2本以上のビット線BL11、12に分かれて配置されている。この構成は、他のBL2～BL4セルユニットにおいても同様であり、ビット線BL21(BL31、BL41)とビット線BL22(BL32、BL42)との2本のビット線が配置されている。

【0140】

図78および図79においてはBL1～BL4セルユニットのそれぞれに対して2本ずつのビット線が配置されているが、各セルユニットに対して3本以上ずつのビット線が配置されていてもよい。また図78および図79のメモリセルMCにおける、たとえばストラップ配線STやソース線SLより下側の層(ドレインコンタクトDCやソースコンタクトSCなど)の配置については、上記の各実施の形態に示した、図78や図79の構成と組み合わせて利用することが可能なあらゆる構成とすることができる。

20

【0141】

図80および図81を参照して、本実施の形態の第2例のメモリセル領域は、図78および図79のビット線の構成を、たとえば図30や図66の磁気抵抗素子MRDの配置を有するメモリセルMCに組み合わせたものである。また図82および図83を参照して、本実施の形態の第3例のメモリセル領域は、図78および図79のビット線の構成を、たとえば図29や図58の磁気抵抗素子MRDの配置を有するメモリセルMCに組み合わせたものである。図80～図83のメモリセルMCにおいても、たとえばストラップ配線STやソース線SLより下側の層(ドレインコンタクトDCやソースコンタクトSCなど)の配置については、上記の各実施の形態に示した、図80～図83の構成と組み合わせて利用することが可能なあらゆる構成とすることができる。

30

【0142】

なお、図81または図83を参照して、各ビット線が磁気抵抗素子MRDの上面に接するように配置されない場合(たとえばビット線と磁気抵抗素子MRDとの間に層間絶縁層IIが配置される場合)には、たとえばビット線と磁気抵抗素子MRDとの間にメモリビアMVを形成することにより、両者を電氣的に接続してもよい。メモリビアMVは、たとえばドレインコンタクトDCなどと同様の材質からなる導電性の膜からなることが好ましい。たとえばビット線と磁気抵抗素子MRDとの間に挟まれる層間絶縁層IIに対して、所望の孔を形成し、当該孔を導電性の膜で充填する工程を行なうことにより、メモリビアMVを形成することができる。またメモリビアMVは、図78および図79に示す配置の磁気抵抗素子MRDに対して形成してもよい。なお図81および図83の断面図に示すように、(図34や図35と同様に)磁気抵抗素子MRDおよびこれと同一の層である層間絶縁層IIを形成した後、メモリビアMVやビット線を形成する前に、磁気抵抗素子MRDなどの上面に対してCMPによる平坦化処理を行なってもよい。

40

【0143】

次に、本実施の形態の共通の作用効果について説明する。本実施の形態においては、実施の形態1の作用効果に加えて、以下の作用効果を有する。

50

【 0 1 4 4 】

本実施の形態においては、たとえば図 7 9 のビット線 B L 1 1 のように、磁気抵抗素子 M R D と平面視において重なる位置を延在するものの、磁気抵抗素子 M R D と電氣的に接続されない磁気抵抗素子 M R D が形成される。このためビット線側から見れば、各ビット線と電氣的に接続されるメモリセル M C (磁気抵抗素子 M R D) の数が、たとえば各磁気抵抗素子 M R D にビット線が 1 本ずつ平面的に重なる配置である場合に比べて減少する。たとえば図 7 8 ~ 図 8 3 のようにビット線を B L 1 1 と B L 1 2 との 2 本に分割すれば、B L 1 セルユニットの互いに隣接する 2 つのメモリセルのうち、第 1 のメモリセルの磁気抵抗素子 M R D はビット線 B L 1 1 に接続させ、第 2 のメモリセルの磁気抵抗素子 M R D はビット線 B L 1 2 に接続させることができる。このため上記のようにビット線 B L を 2 本に分割すれば、各ビット線と電氣的に接続される磁気抵抗素子 M R D の数は約半分になる。

10

【 0 1 4 5 】

このため各磁気抵抗素子 M R D に加わる、読み出し時反転確率 (図 1 9 参照) の増加に繋がるストレスを低減し、M R A M 全体としての読み出し時反転エラーの発生を抑制することができる。ただし本実施の形態を用いれば、必要に応じて、上記のメモリピア M V を用いてビット線と磁気抵抗素子とを電氣的に接続することも可能となる。

【 0 1 4 6 】

本発明の実施の形態 4 は、以上に述べた各点についてのみ、本発明の実施の形態 1 ~ 3 と異なる。すなわち、本発明の実施の形態 4 について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態 1 ~ 3 に準ずる。したがって本発明の実施の形態 5 の構成はその機能上、実施の形態 1 ~ 3 に示す構成のうち実施の形態 4 と組み合わせることが可能なあらゆる構成と組み合わせてもよい。

20

【 0 1 4 7 】

(実施の形態 5)

本発明の実施の形態 5 は、上記の各実施の形態と比較して、ワード線 W L の配置において異なっている。以下、本実施の形態の構成について図 8 4 ~ 図 9 8 を用いて説明する。

【 0 1 4 8 】

図 8 4 を参照して、本実施の形態の第 1 例のメモリセル領域においても、たとえば実施の形態 2 の図 3 1 におけるメモリセル領域と大筋で同様の態様を備えている。しかし図 8 4 においては、各メモリセル M C において、図の縦方向に延在するワード線が、互いに間隔をあけて 2 本ずつ配置されている。より具体的には、図の横方向に関してソースコンタクト S C とドレインコンタクト D C とに挟まれる領域にはすべて、ワード線が図の縦方向に延在している。このため図 8 5 ~ 図 8 8 の断面図は、図 3 6 ~ 図 3 9 に対して、平面視においてソースコンタクト S C (ソース領域 S O) とドレインコンタクト D C (ドレイン領域 D R) とに挟まれる各領域ごとにワード線 W L 1、W L 2 が配置されている点において異なっている。

30

【 0 1 4 9 】

たとえば図 3 1 においては、各メモリセル M C 内のソースコンタクト S C とドレインコンタクト D C とに挟まれた領域にのみワード線 W L 1、W L 2 が延在している。このため 1 つのメモリセル M C とこれに隣接するメモリセル M C とに挟まれた領域 (メモリセル M C の境界部の近傍) にはワード線が配置されておらず、ワード線と同一の層には層間絶縁層 I I が形成されている。しかし本実施の形態においては、図 8 4 中に点線で示す各メモリセル内に 2 本ずつのワード線 W L 1、W L 2 が互いに間隔をあけて配置されている。このため図 8 4 においては図 3 1 に対して、W L 1 ~ W L 2 セルユニットの領域が異なっている。具体的には図の左側の 2 本のワード線 W L 1 (W L 2) が中央に来るように、W L 1 (W L 2) セルユニットが定義されている。

40

【 0 1 5 0 】

以上のように本実施の形態においては、ソース領域 S O およびドレイン領域 D R は、平面視において 2 本のワード線 W L 1、W L 2 に挟まれる。以上の点において、図 8 4 は図

50

31と異なる。

【0151】

次に本実施の形態におけるSTT-MRAMの動作について、図89の等価回路を参照しながら説明する。

【0152】

図89の点線で囲まれた各メモリセルの配置は、図84の平面視における各メモリセルの配置と同様である。そして選択したメモリセルMCに配置されるワード線を活性化し、当該メモリセルMCのトランジスタTMのチャンネル(図84における各メモリセルMCの内部を延在するワード線と平面的に重なるチャンネル領域)をオンにする。このとき非選択のメモリセルMCに配置されるワード線は非活性化し、当該メモリセルMCのトランジスタTMのチャンネルをオフにする。

10

【0153】

ここで図84および図89における2本のワード線WL1およびビット線BL1を有するメモリセルMCを書き換えまたは読み出し用の選択セルとする場合を考える。このときは2本のワード線WL1およびビット線BL1を活性化し、当該メモリセルMCのチャンネルをオンにする。またこのときは上記以外のワード線(ワード線WL2)やビット線BL2~BL4は非活性化し、当該メモリセルMCのチャンネルをオフにする。

【0154】

なお上記以外のメモリセルMCを選択する場合においても、上記と同様に、選択したメモリセルMCに配置されるワード線のみを活性化にする動作が行なわれる。

20

【0155】

図90を参照して、本実施の形態の第2例のメモリセル領域においても、たとえば実施の形態3の図48~図52におけるメモリセル領域と大筋で同様の態様を備えている。しかし図90においては、図84と同様に、各メモリセルMCにおいて、図の縦方向に延在するワード線WL1~WL4が、互いに間隔をあけて2本ずつ配置されている。すなわち図の横方向に関してソースコンタクトSCとドレインコンタクトDCとに挟まれる領域にはすべて、ワード線が図の縦方向に延在している。ただし図90の第2例においては、図84の第1例と異なり、ソースコンタクトSCおよびドレインコンタクトDCが互いに千鳥状に配置されている。このため各メモリセルMCも千鳥状に配置されており、ワード線のセルユニットは「WL1&2セルユニット」などと定義されている。以上の点において

30

【0156】

次に本実施の形態の第2例となるSTT-MRAMの動作について、図90および図91を参照しながら説明する。

【0157】

図90においては省略されているが、ビット線と略平行に(図の左右方向に)延在するようにソース線SLが延在している。図91の等価回路を参照して、図91の点線で囲まれた各メモリセルの配置は、図90の平面視における各メモリセルの配置と同様である。たとえば図90における2本のワード線WL1、WL2およびビット線BL1を有するメモリセルMCを書き換えまたは読み出し用の選択セルとする場合を考える。このときはワード線WL1、WL2およびビット線BL1を活性化し、当該メモリセルMCのチャンネルをオンにする。またこのときは上記以外のワード線(ワード線WL0、WL3~WL5)やビット線BL2~BL4は非活性化し、当該メモリセルMCのチャンネルをオフにする。このとき、図91のワード線WL1、WL2に接続された読み出しワード線RWL1を「H」レベルに設定する動作を行なう。また他の読み出しワード線RWL0、RWL2~RWL4は「L」にし、かつビット線BL2~BL4を有するメモリセルMCのチャンネルには電流を供給しない。なお上記以外のメモリセルMCを選択する場合においても、上記と同様に、選択したメモリセルMCに配置されるワード線のみを活性化にする動作が行なわれる。

40

【0158】

50

なお上記第1例および第2例のメモリセルMCにおいて、たとえばストラップ配線STやソース線SLより下側の層(ドレインコンタクトDCやソースコンタクトSCなど)の配置、およびソース線SLより上側の層(磁気抵抗素子MRDなど)については、上記の各実施の形態に示した、上記第1例および第2例の構成と組み合わせる利用することが可能なあらゆる構成とすることができる。図92~図94においては一例として、図90の第2例のようにワード線WL1~WL4が配置された構成を、図70に示す実施の形態3の第5例に示す磁気抵抗素子MRDなどの配置と組み合わせる構成を示している。また図95~図98を参照して、図92~図94において2層重なるドレインコンタクトDCの代わりに、図40~図43と同様の構成を用いてもよい。

【0159】

10

次に、本実施の形態の共通の作用効果について説明する。本実施の形態においては、実施の形態1の作用効果に加えて、以下の作用効果を有する。

【0160】

本実施の形態においては各メモリセルMCにおいて2本ずつのワード線が延在するため、当該ワード線と平面的に重なる、アクセストランジスタのチャンネルの幅が、たとえば各メモリセルMCに1本ずつのワード線が延在する場合の2倍となる。このため本実施の形態においては、書き換え動作時におけるアクセストランジスタの磁気抵抗素子MRDへの電流供給能力を約2倍とすることができる。

【0161】

たとえば実施の形態1のように、各メモリセルMCにおいて1本ずつのワード線が延在する場合には、本実施の形態のチャンネル幅を各メモリセルMCに対して確保するためには、当該メモリセルの面積を2倍にする必要がある。このためメモリセルの単位面積拡大を抑制することが困難となる。しかし本実施の形態の態様を用いれば、メモリセルMCの単位面積を拡大することなく、当該チャンネル幅を広くし、アクセストランジスタの電流供給能力を高めることができる。

20

【0162】

なお本実施の形態においては、書き換えおよび読み出しの両方においてワード線が2本選択される構成であってもよい。また、上記第1例および第2例に示すメモリセルアレイのワード線末端(ワード線ドライバ帯近傍)の反対側に位置するワード線末端に、別途1本のワード線のみを活性とするワード線デコーダを設けてもよい。そして当該ワード線デコーダにより、書き換え時にのみワード線が2本選択され、読み出し時には1本のワード線が選択される構成としてもよい。このようにすれば、書き換え動作時には磁気抵抗素子MRDの情報の書き換えに必要な十分な電流を供給しつつ、読み出し時には低い飽和電流による、読み出しエラーを抑制することが可能なSTT-MRAMを提供することができる。

30

【0163】

本発明の実施の形態5は、以上に述べた各点についてのみ、本発明の実施の形態1~4と異なる。すなわち、本発明の実施の形態5について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1~4に準ずる。したがって本発明の実施の形態5の構成はその機能上、実施の形態1~4に示す構成のうち実施の形態5と組み合わせることが可能なあらゆる構成と組み合わせてもよい。

40

【0164】

(参考例)

以上に述べた各実施の形態におけるSTT-MRAMの磁気抵抗素子MRDは、基本的に半導体基板SUBや積層される各薄膜の主表面に沿う方向に磁化される面内磁化型である。しかし当該STT-MRAMは、たとえば磁気抵抗素子MRDが、半導体基板SUBなどの主表面に交差する方向、すなわち各薄膜が積層される方向に沿って磁化される、いわゆる垂直磁化型であってもよい。

【0165】

図99~図101を参照して、垂直磁化型磁気抵抗素子を有するSTT-MRAMのメ

50

メモリセル領域は、たとえば図92に示す実施の形態5の第3例のSTT-MRAMのメモリセル領域と、大筋で同様の構成を有している。図示されないが、図99における各メモリセルのSLおよびその下側の層の構成は、たとえば図92と同様の構成とすることができる。ただし垂直磁化型の磁気抵抗素子MRDにおいては、面内磁化型の磁気抵抗素子MRDと異なり、平面視における(1以外の)高アスペクト比を有する形状を有しなくてもよい。この点において垂直磁化型磁気抵抗素子は、面内磁化型磁気抵抗素子と異なっている。また図99の参考例におけるその他の構成は、全て実施の形態1に示す構成に準ずる。

【0166】

垂直磁化型磁気抵抗素子においては(1以外の)高アスペクト比を有する平面形状を有さないが、この場合においても、図99に示すように、磁気抵抗素子MRDやドレインコンタクトDC、および図示されないソースコンタクトSCをいわゆる千鳥状に配置することが好ましい。このようにすれば、たとえば実施の形態3と同様に、各メモリセルにおける磁気抵抗素子MRDとドレインコンタクトDCとの平面的な距離をほぼ同一になるように配置するための、レイアウトの自由度が増加する。したがってメモリセル間の磁気抵抗素子MRDの電気特性などの機能のばらつきを小さくすることができ、メモリセル領域全体の機能をより安定させることができる。

【0167】

また、ソースコンタクトSCとドレインコンタクトDCとを千鳥状に配置することにより、たとえば実施の形態3と同様に、各メモリセルの磁気抵抗素子MRDとドレインコンタクトDCとの距離が広くなる。このことから、たとえば将来的に半導体装置の微細化が進んだ場合においても、磁気抵抗素子MRDとドレインコンタクトDCとの平面的な距離を確保することにより、磁気抵抗素子MRDの良好な平坦性を維持することができる。

【0168】

(実施の形態6)

本発明の実施の形態6は、上記の各実施の形態と比較して、磁気抵抗素子の態様において異なっている。以下、本実施の形態の構成について図102~図118を用いて説明する。

【0169】

図102を参照して、本実施の形態においては、スピントルクを用いて磁壁を移動させることにより記録情報を書き込む方式の磁気抵抗素子MRDとして、面内磁化型磁気抵抗素子の代わりに、いわゆる磁壁移動型磁気抵抗素子MRDが用いられている。

【0170】

図102において、左側の「M1より下側」には、後述する磁気抵抗素子MRD(磁壁移動型磁気抵抗素子)の磁壁移動層M1よりも半導体基板SUBに近い下側の層の構成が図示されている。つまり磁気抵抗素子MRDよりも下側の層には半導体基板の活性領域A、ワード線WL1~WL5(第3配線)、ソースコンタクトSC1、SC2、ドレインコンタクトDC1、DC2などが形成されている。

【0171】

また図102における右側の「M1およびその上側」には磁気抵抗素子MRDおよび、それよりも半導体基板SUBから遠い上側の層の構成を主として、ソースコンタクトSC1やドレインコンタクトDC1なども併せて図示されている。図102における点線で囲まれた領域が個々のメモリセルMCを構成する。したがって個々の磁気抵抗素子MRDは、平面視における長手方向が図の縦方向に延在するように配置される。磁気抵抗素子MRDは、平面視におけるアスペクト比が1以外である長尺形状である。なお磁気抵抗素子MRDの平面形状は、矩形状であってもよいし、たとえば楕円形などの長尺形状であってもよい。

【0172】

図102においては、たとえば実施の形態4と同様に、各メモリセルMCに対して2本のビット線BL1、/BL1(BL2、/BL2)(第1配線)が、平面視において互い

10

20

30

40

50

に距離をあけて配置される。また図102においては、たとえば実施の形態5と同様に、図の横方向に関してドレインコンタクトDC1、DC2とソースコンタクトSC1、SC2とに挟まれた領域ごとに、図の縦方向に延びるワード線が配置されている。

【0173】

さらに本実施の形態においては、特にM1より上側の層において、接地配線GNDが配置されている。接地配線GNDは電位が0の配線であるが、これが面内磁化型磁気抵抗素子を有するSTT-MRAMにおける読み出し動作時のソース線と同様に機能する。接地配線GNDについても、ビット線などの他の配線と同様に、たとえば銅などの導電膜からなることが好ましい。

【0174】

図102においてもビット線BL1（第1配線）などは実際には図102のM1の上側の領域の全体を横方向に延在し、磁気抵抗素子MRDと電氣的に接続されるように配列される。しかし図を見やすくするため、図102中では中央部に独立して図示している。また接地配線GNDについても実際には平面視において各メモリセルMCと重なるように延在するが、図102中ではその図示が省略されている。

【0175】

本実施の形態においては、各メモリセルMC間の磁気抵抗素子MRDやドレインコンタクトDC1、DC2、ソースコンタクトSC1、SC2が千鳥状に配置される。このため隣接する各磁気抵抗素子MRDの長手方向（第1方向）である縦方向に関して隣接する2つの磁気抵抗素子MRDは、当該第1方向に交差する方向（第2方向）である横方向に関して異なる座標に配置される。なお図102においては隣接する1対の各メモリセルMCの境界部が重なる領域の近傍に1対のドレインコンタクトDC1、DC2が配置されている。

【0176】

本実施の形態においては、当該1対のドレインコンタクトDC1、DC2はそれぞれたとえばその左側に配置される各メモリセルMCを構成するものと考えてもよい。あるいは本実施の形態においては、図102の左右方向に関して隣接する1対のメモリセルMCの境界部が重なる部分の近傍の両側にある、1対のドレインコンタクトDC1、DC2と、それに隣接する（たとえば図102の左側の）1対のドレインコンタクトDC1、DC2との2対のドレインコンタクトが、単一のメモリセルMCを構成するものと考えてもよい。上記のいずれの考え方をを用いた場合においても、各メモリセルMCには2本のワード線が延在する。

【0177】

図103～図106の断面図を参照して、半導体基板SUBの主表面上の活性領域AAには、トランジスタTM（スイッチング素子）が形成される。トランジスタTMの上方には、磁化固定層MHL1、MHL2、磁壁移動層M1、トンネル絶縁層MTLおよびピン層MPLを有する磁気抵抗素子MRDが配置されている。図102の磁気抵抗素子MRD（ピン層MPL）と接地配線GNDとは、ソースコンタクトSCにより電氣的に接続される。ソース領域SO1、SO2と磁壁移動層M1とは、ソースコンタクトSC1、SC2により電氣的に接続される。ただしソースコンタクトSC1、SC2と磁壁移動層M1との間には、磁化固定層MHL1、MHL2が挟まれている。またドレイン領域DR1、DR2とビット線とは、ドレインコンタクトDC1、DC2により電氣的に接続される。

【0178】

図102～図106においても、磁気抵抗素子MRDとドレインコンタクトDC1、DC2とは平面視において互いに重ならないように（互いに離れるように）配置されている。

【0179】

図107には、図102～図106に示すメモリセルの構成を立体的に示している。図107および図102～図106を参照して、磁壁移動層M1とトンネル絶縁層MTLとピン層MPLとがこの順に積層された構成を有する単一の磁壁移動型磁気抵抗素子MRD

10

20

30

40

50

は、固定層MHL1、MHL2をそれぞれ挟んで2つのソースコンタクトSC1、SC2により2つのアクセストラジスタTMのソース領域SO1、SO2と電氣的に接続される。また個々の磁壁移動型磁気抵抗素子MRDは、2つのドレインコンタクトDC1、DC2により2本のビット線BL1、/BL1(BL2、/BL2)と電氣的に接続される。

【0180】

磁壁移動層M1は、平面視において図102～図106の縦方向に延在する磁壁移動領域MCRと、平面視において図102～図106の横方向に延在する、磁壁移動領域MCR以外の領域(磁化固定領域MFR)とを有している。

【0181】

このうち磁壁移動領域MCRは、面内磁化型磁気抵抗素子のフリー層MFL(図9参照)のように、当該領域に流れる電流の向きに応じて磁化の方向が変化する領域である。磁壁移動領域MCRは、トンネル絶縁層MTLを挟んで対向するピン層MPLの下面と接触する領域である。また固定層MHL1、MHL2と接触させた上記磁化固定領域MFRは、面内磁化型磁気抵抗素子のピン層MPL(図9参照)のように、常に磁化の方向が一定である領域である。言い換えれば磁化固定領域MFRは、磁壁移動層M1の一部であり磁化の方向が固定された領域である。磁化固定層MHL1、MHL2は、磁壁移動層M1の磁化の方向を固定するため(磁化固定領域MFRを形成するため)に配置されている。

【0182】

具体的には、固定層MHL1、MHL2はコバルト(Co)、白金(Pt)からなる群から選択される1種以上から構成される金属単体または合金の膜であることが好ましい。また磁壁移動領域MCRと磁化固定領域MFRとを有する磁壁移動層M1はコバルト(Co)、ニッケル(Ni)からなる群から選択される1種以上から構成される金属単体または合金の膜であることが好ましい。

【0183】

またトンネル絶縁層MTLは、酸化アルミニウム(AlO_x)、酸化マグネシウム(MgO)、酸化ハフニウム(HfO)のいずれかからなる絶縁膜であることが好ましい。さらに本実施の形態のピン層MPLは強磁性層からなる薄膜であることが好ましい。具体的にはピン層MPLは、コバルト(Co)、鉄(Fe)、ボロン(B)、ルテニウム(Ru)、白金(Pt)、マンガン(Mn)からなる群から選択される1種以上から構成される金属単体または合金の膜であることが好ましい。

【0184】

また本実施の形態のピン層MPLは、図103、図105、図107においては1層として図示されている。しかし一般にピン層MPLには、反強磁性層上に強磁性層が積層された2層構造や、反強磁性層上に強磁性層、非磁性層、強磁性層の順に積層された4層構造、あるいは5層構造などが用いられる。ただし積層数や積層される層の順序などはこれに限られない。たとえば図103、図105、図107のピン層MPLにおいては、CoFeBとRuとCoPtとRuとCoPtとの各合金層がこの順に積層された構成であることが考えられる。

【0185】

以上に述べた、磁壁移動型の磁気抵抗素子MRDにおける情報の書き換えの原理について詳細に説明する。

【0186】

磁壁移動層M1は、磁性を有する磁性層である。磁気抵抗素子MRDへのデータの書き込みは、磁壁移動層M1の特に磁壁移動領域MCRの磁化の方向が、磁壁移動層M1を通過する電流の向きに応じて変化することによりなされる。具体例を説明するために、たとえば図107において、ピン層MPLは半導体基板の主表面に対し垂直な上向きに磁化されており、固定層MHL2とその上の固定領域MFRとが上向きに、固定層MHL1とその上の固定領域MFRとが下向きに磁化された場合を考える。

【0187】

10

20

30

40

50

ここで磁壁移動層M1の左側から右側に、すなわち半導体基板の主表面に沿うようにソースコンタクトSC2からソースコンタクトSC1へ電子が流れれば、図の上向きのスピンを有するスピン偏極電子のみが磁壁移動領域MCRを通過する。すると磁化される方向が異なる領域同士の境界にあたる磁壁が、図中の境界BD1に移動する。その結果、磁壁移動領域MCRの磁化は図の上向きとなり、ピン層MPLの磁化とほぼ同じ方向となる。このとき当該磁気抵抗素子MRDは低抵抗状態となる。

【0188】

一方、磁壁移動層M1の右側から左側に、すなわち半導体基板の主表面に沿うようにソースコンタクトSC1からソースコンタクトSC2へ電子が流れれば、図の下向きのスピンを有するスピン偏極電子のみが磁壁移動領域MCRを通過する。すると磁化される方向が異なる領域同士の境界にあたる磁壁が、図中の境界BD2に移動する。その結果、磁壁移動領域MCRの磁化は図の下向きとなり、ピン層MPLの磁化と反対方向となる。このとき当該磁気抵抗素子MRDは高抵抗状態となる。

【0189】

なお上記電子の流れ(電流)は、選択された当該磁気抵抗素子MRDと接続される1対のビット線(たとえばBL1と/BL1)との電位差により、選択されたワード線がオンになった状態で、供給される。

【0190】

また磁壁移動層M1に書き込まれた情報を読み出す際には、磁気抵抗素子MRDを構成するピン層MPLと電氣的に接続された接地配線GNDをソースとした状態で、当該ビット線からアクセストランジスタTM、磁壁移動領域MCR、トンネル絶縁層MTL、ピン層MPLを経て接地配線GNDに達する電流が流れる。このとき磁気抵抗素子MRD(磁壁移動領域MCR)の磁化の方向に応じて変化された電気抵抗を検出することにより、磁気抵抗素子MRDの磁化の方向が読み取られる。

【0191】

以上の各点について、図102~図107に示す本実施の形態の構成は、たとえば実施の形態2の図30の構成と異なっている。次に、本実施の形態の比較例である図108~図112を参照しながら、本実施の形態の作用効果について説明する。

【0192】

図108~図112を参照して、本実施の形態の比較例のメモリセル領域においても、図102~図106に示す本実施の形態のメモリセル領域と大筋で同様の態様を備えている。ただし図108の比較例においては、各メモリセルMC間の磁気抵抗素子MRDやドレインコンタクトDC1、DC2、ソースコンタクトSC1、SC2が千鳥状に配置されていない。すなわち図102の縦方向に関して隣接する2つの磁気抵抗素子MRDは、当該縦方向に延在する同一の直線上に乗るように配置されている。

【0193】

本実施の形態の磁気抵抗素子MRDについても、上記他の実施の形態の磁気抵抗素子MRDと同様に、平面視においてアスペクト比が1以外である長尺形状を有している。このため上記の各実施の形態と同様に、磁気抵抗素子MRDのアスペクト比が1より非常に大きくなった場合においても、メモリセルMCの平面視における面積を増加することなく、磁気抵抗素子MRD同士の短絡を抑制することができる。したがってメモリセルMCの平面視における面積を増加したり、メモリセルMCの集積数を減少することなく、磁気抵抗素子MRDの情報の読み書きに用いる電流値を低減しながら読み書きエラーを抑制することが可能であり、かつ磁気抵抗素子MRD間の短絡が抑制された集積回路を有する半導体装置を提供することができる。

【0194】

また本実施の形態においても、ソースコンタクトやドレインコンタクトについても千鳥状に配置される。このため実施の形態3と同様に、各メモリセルにおける磁気抵抗素子MRDとドレインコンタクトとの平面的な距離をほぼ同一になるように配置するための、レイアウトの自由度が増加する。したがってメモリセルMC間の磁気抵抗素子MRDの電気

10

20

30

40

50

特性などの機能のばらつきを小さくすることができ、メモリセル領域全体の機能をより安定させることができる。また将来的に半導体装置の微細化が進んだ場合においても、磁気抵抗素子MRDとドレインコンタクトとの平面的な距離を確保することにより、磁気抵抗素子MRDの良好な平坦性を維持することができる。

【0195】

また図102に示すように、実施の形態5と同様にワード線の本数を増加することにより、本実施の形態においても実施の形態5と同様に、各メモリセルMCの面積を増加することなく、トランジスタの供給電流を増加することができる。

【0196】

本実施の形態においては、接地配線GNDとドレインコンタクトDC1、DC2との短絡を抑制するために、図113～図118を参照して、接地配線GNDをメモリセルMCがアレイ状に並ぶ方向（第5および第6方向）に対して屈曲しながら延在する構成とすることが好ましい。これらはたとえば図49～図52において、ソース線とドレインコンタクトとの短絡を抑制するために、ソース線をメモリセルがアレイ状に並ぶ方向に対して屈曲しながら延在する構成としていることと同様の思想に基づく。

【0197】

具体的には、図113および図114を参照して、接地配線GNDが縦方向に延在しながら、千鳥状に並ぶソースコンタクト（磁気抵抗素子MRD）と平面的に重なる形状を有していてもよい。あるいは図115および図116を参照して、接地配線GNDが横方向に延在しながら、千鳥状に並ぶソースコンタクト（磁気抵抗素子MRD）と平面的に重なる形状を有していてもよい。あるいは図117および図118を参照して、ソース線SLが横方向と縦方向との両方に網の目状に延在しながら、千鳥状に並ぶソースコンタクトSCと平面的に重なる形状を有していてもよい。

【0198】

本発明の実施の形態6は、以上に述べた各点についてのみ、本発明の実施の形態1～5と異なる。すなわち、本発明の実施の形態6について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1～5に準ずる。したがって本発明の実施の形態6の構成はその機能上、実施の形態1～5に示す構成のうち実施の形態6と組み合わせることが可能なあらゆる構成と組み合わせてもよい。

【0199】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0200】

本発明は、スピントルク書き込み方式の磁気抵抗素子を有する半導体装置に特に有利に適用されうる。

【符号の説明】

【0201】

AA 活性領域、BD1, BD2 境界、BL, BL1, BL2, BL3, BL4, /BL1, /BL2 ビット線、CHP 半導体チップ、CT 中心線、DC, DC1, DC2 ドレインコンタクト、DL ドレイン接続層、DR ドレイン領域、GI ゲート絶縁層、II 層間絶縁層、ITM 埋め込み金属、M1 磁壁移動層、MCR 磁壁移動領域、MFL フリー層、MFR 磁化固定領域、MHL1, MHL2 磁化固定層、MPL ピン層、MTL トンネル絶縁層、MRD, MRD1, MRD2 磁気抵抗素子、MV メモリピア、PD パッド、PL パワーライン、RWL1, RWL2 読み出しワード線、SC, SC1, SC2 ソースコンタクト、SO ソース領域、SL ソース線、ST ストラップ配線、SUB 半導体基板、TR トレンチ溝、WL1～WL5 ワード線。

10

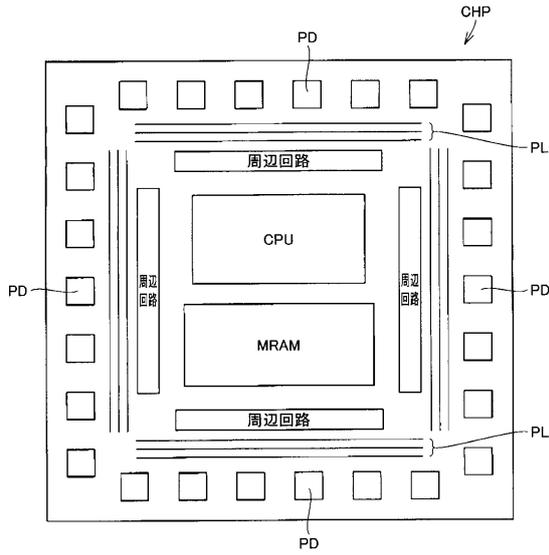
20

30

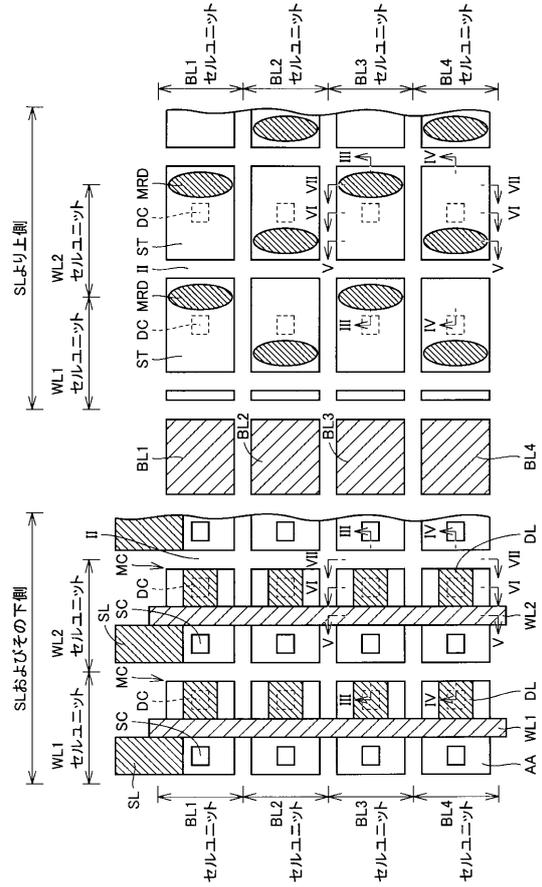
40

50

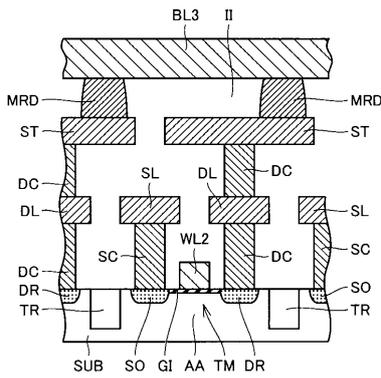
【図1】



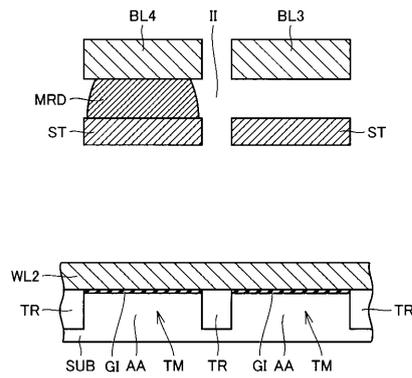
【図2】



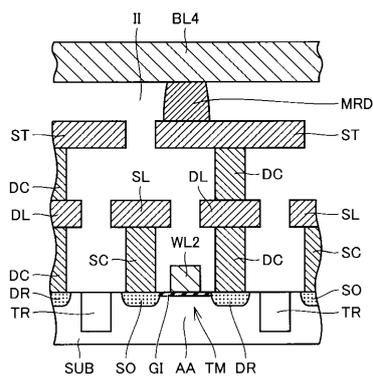
【図3】



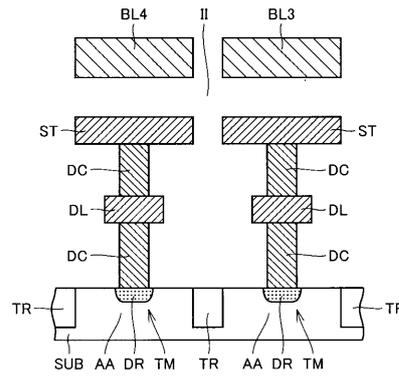
【図5】



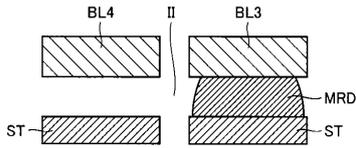
【図4】



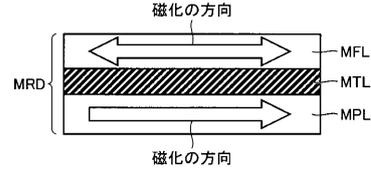
【図6】



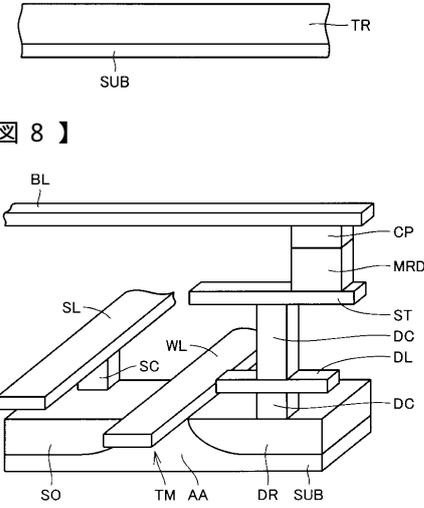
【図7】



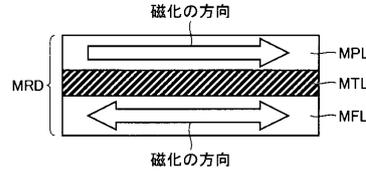
【図9】



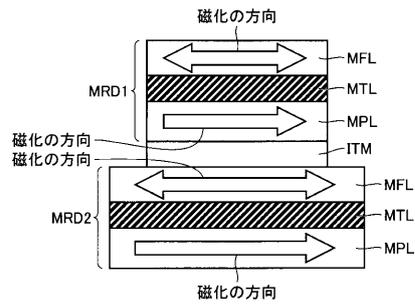
【図8】



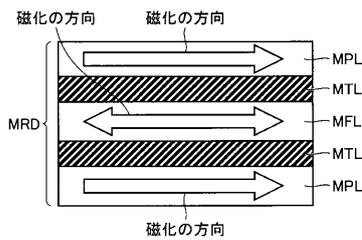
【図10】



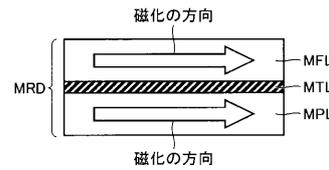
【図11】



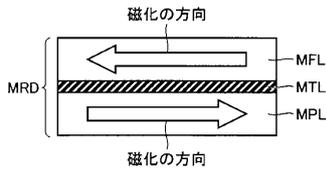
【図12】



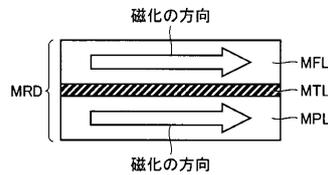
【図15】



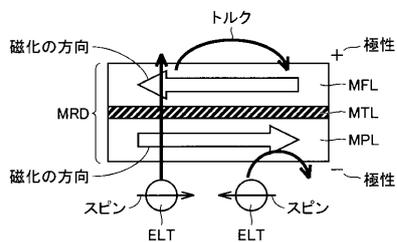
【図13】



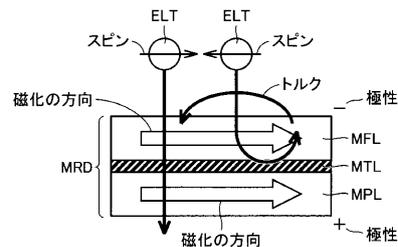
【図16】



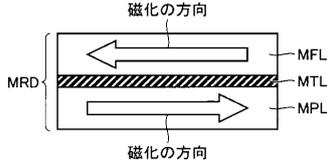
【図14】



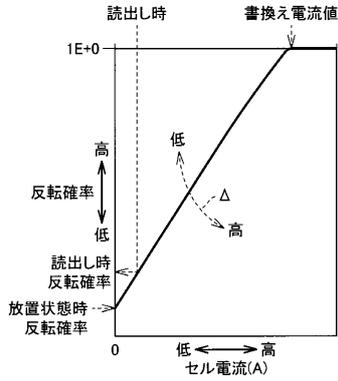
【図17】



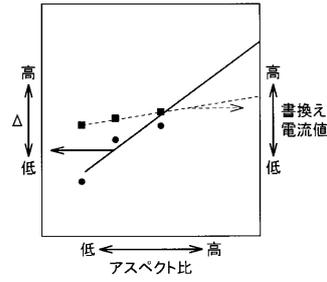
【図18】



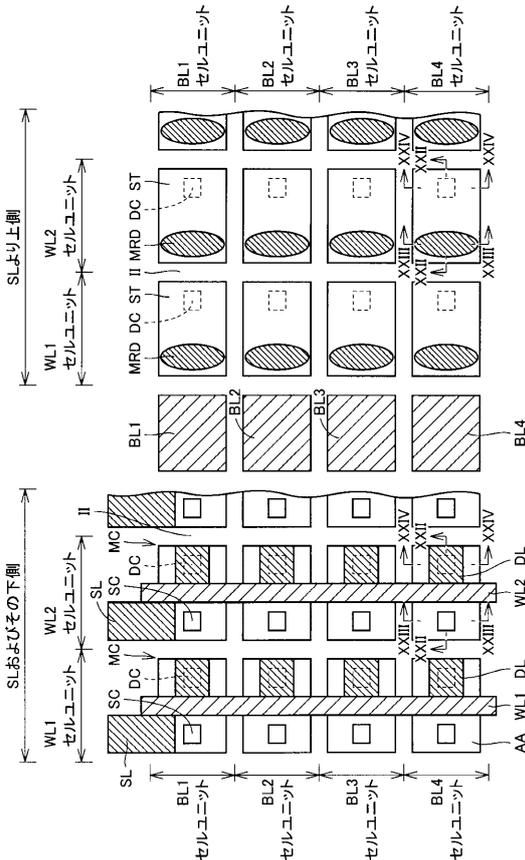
【図19】



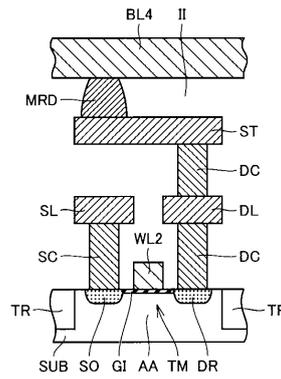
【図20】



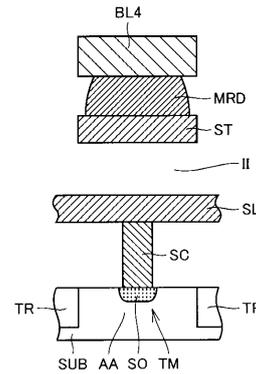
【図21】



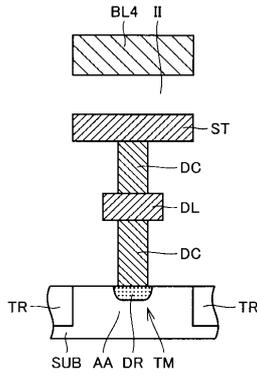
【図22】



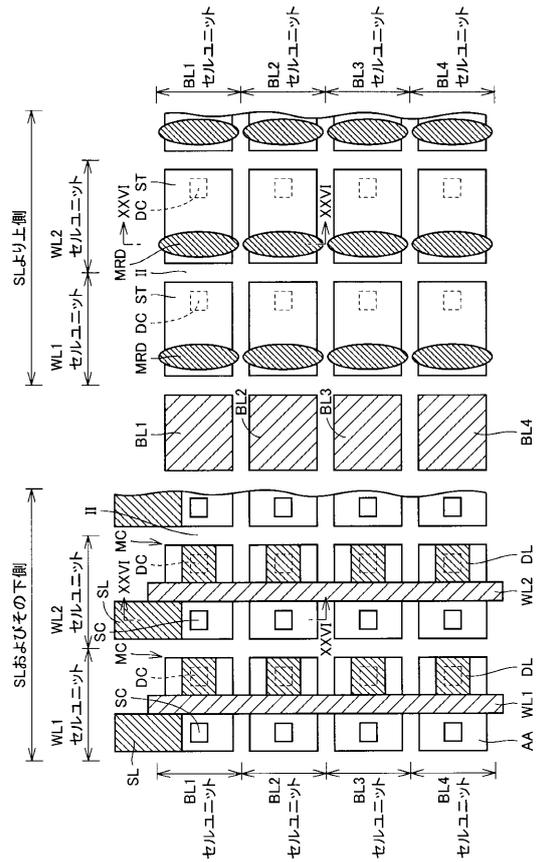
【図23】



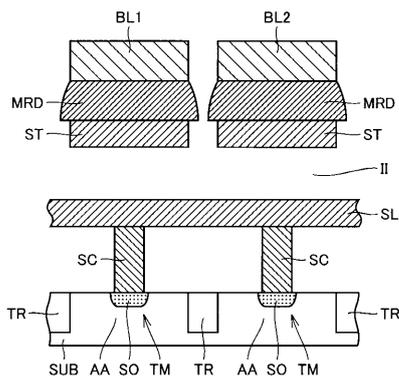
【図24】



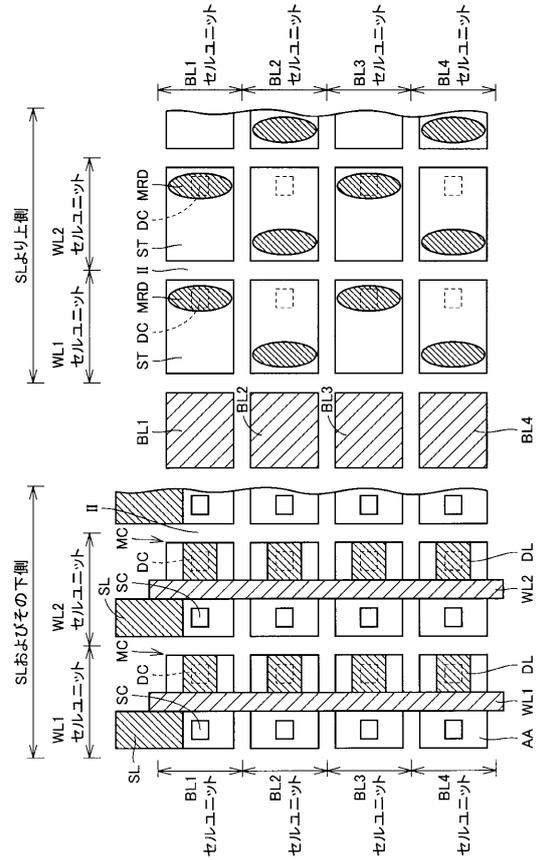
【図25】



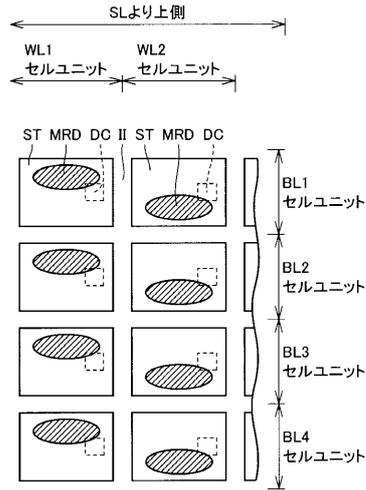
【図26】



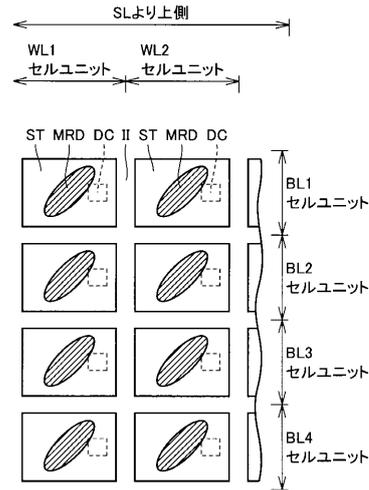
【図27】



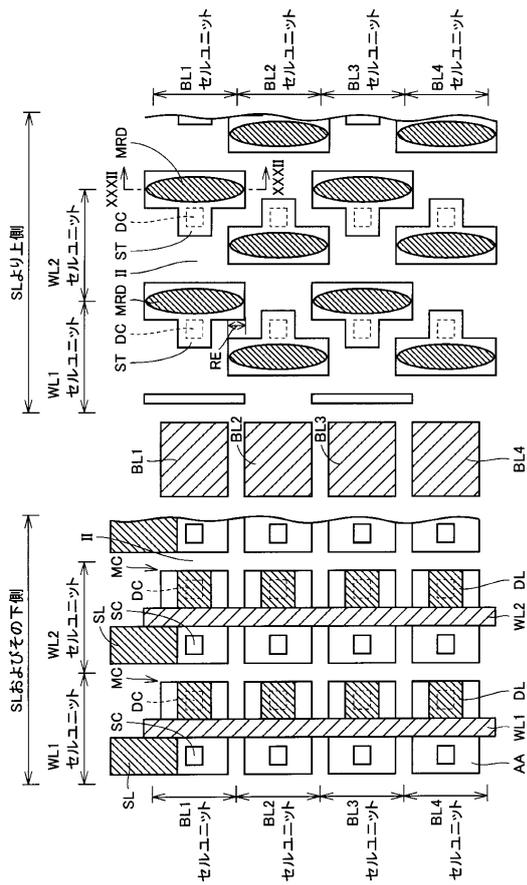
【図28】



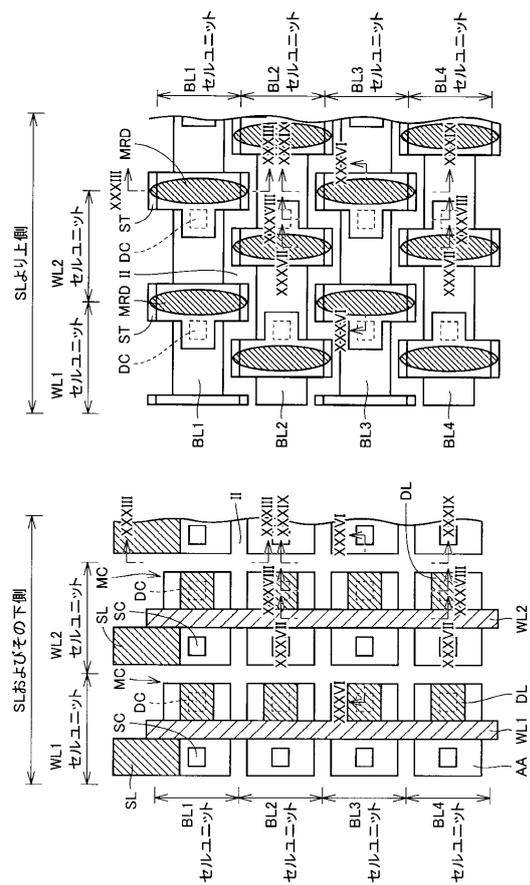
【図29】



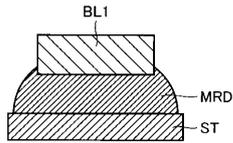
【図30】



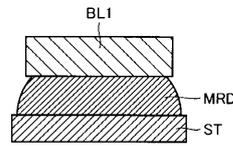
【図31】



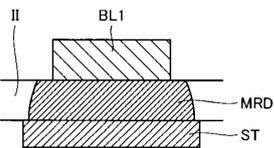
【 3 2 】



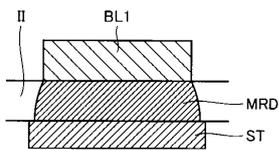
【 3 3 】



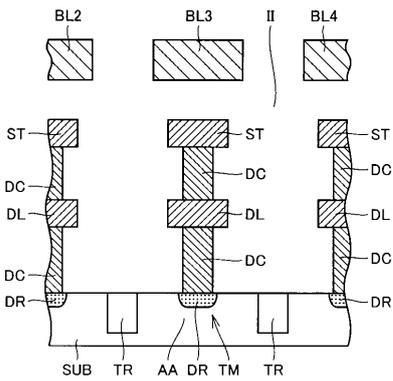
【 3 4 】



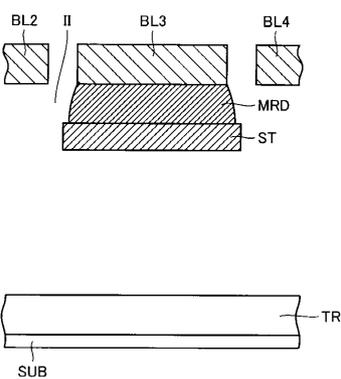
【 3 5 】



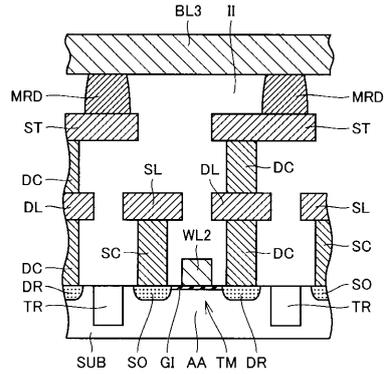
【 3 8 】



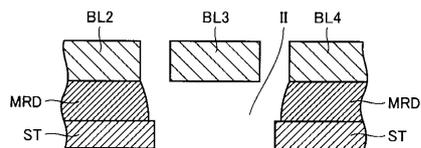
【 3 9 】



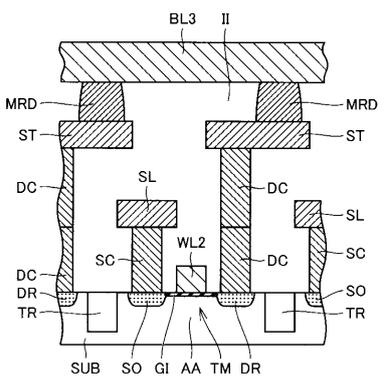
【 3 6 】



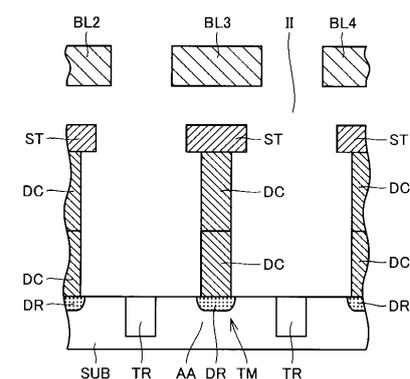
【 3 7 】



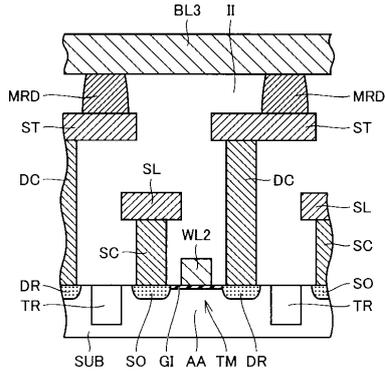
【 4 0 】



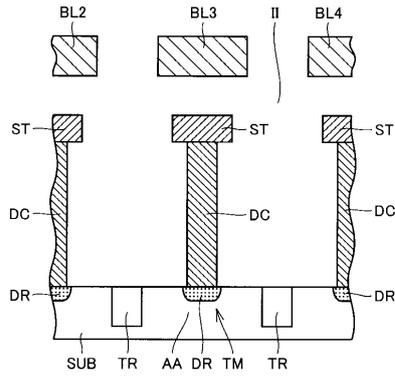
【 4 1 】



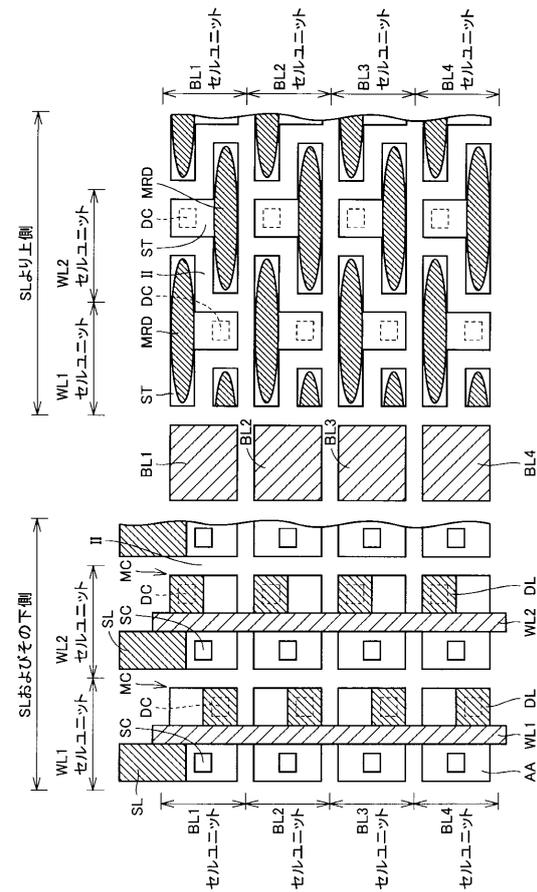
【 図 4 2 】



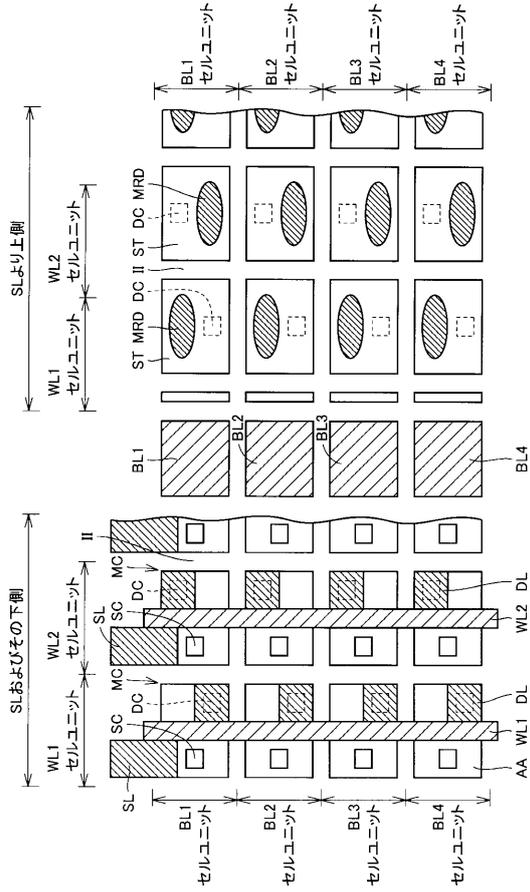
【 図 4 3 】



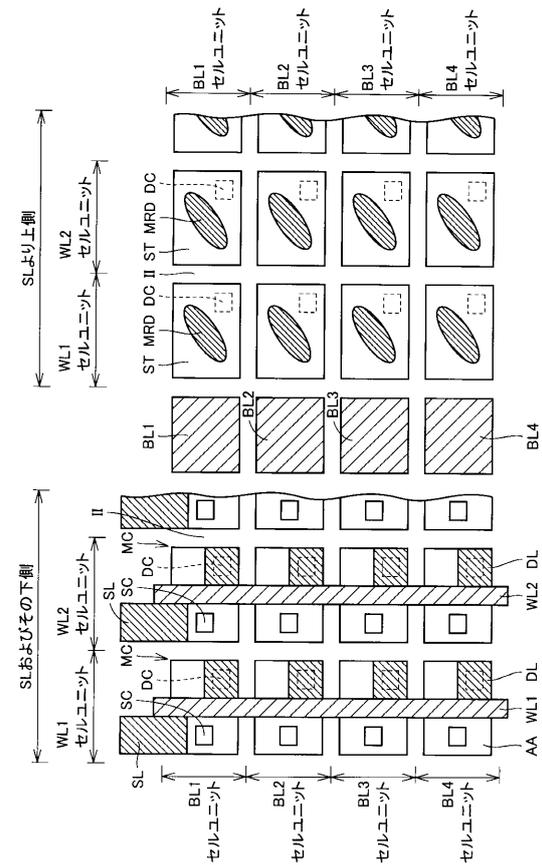
【 図 4 5 】



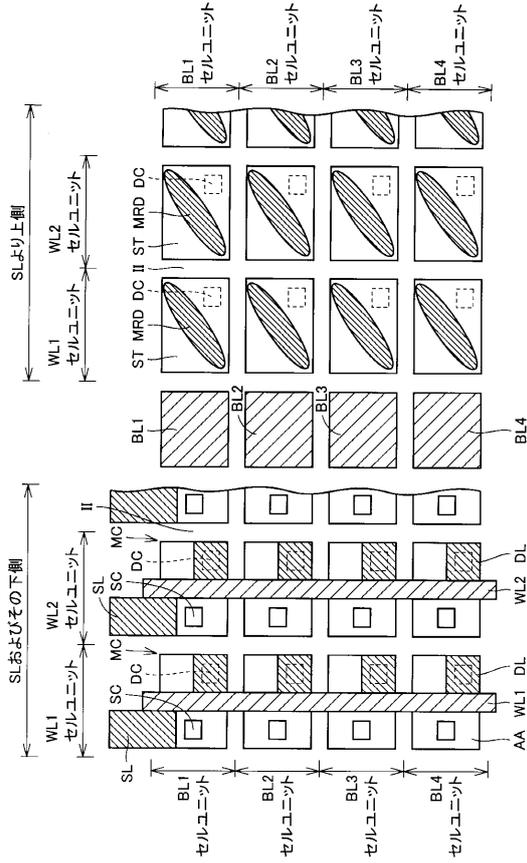
【 図 4 4 】



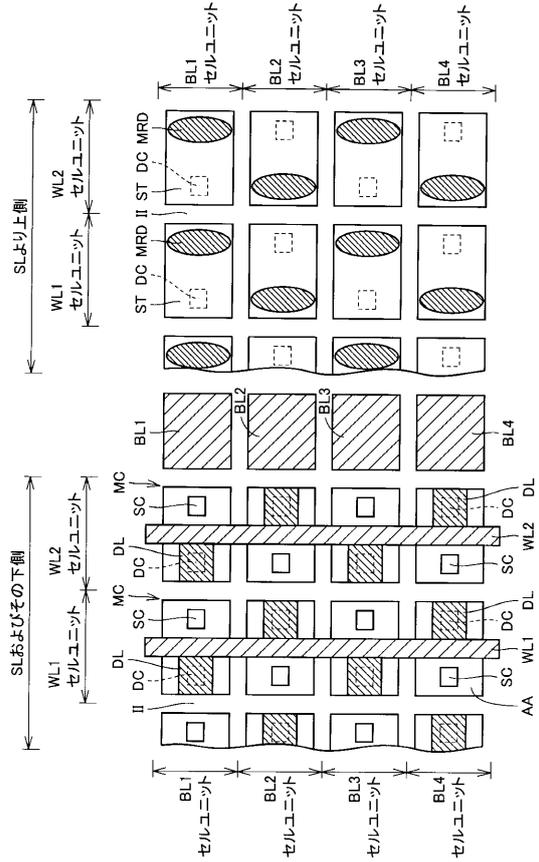
【 図 4 6 】



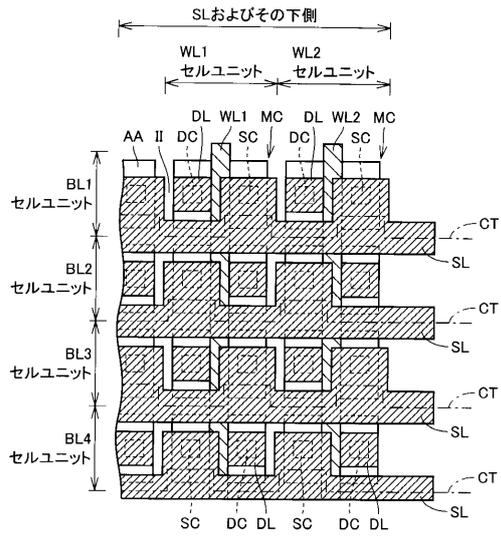
【図47】



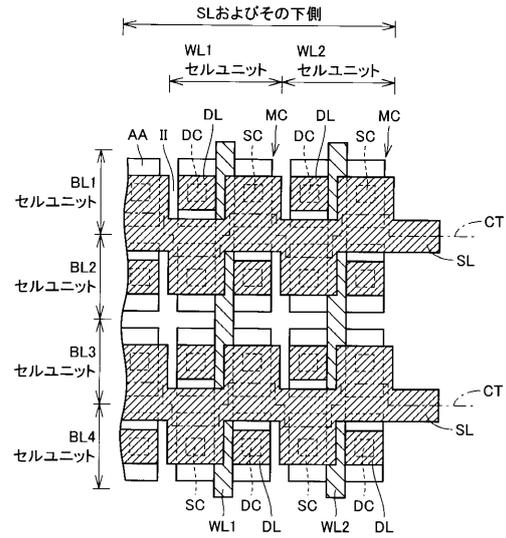
【図48】



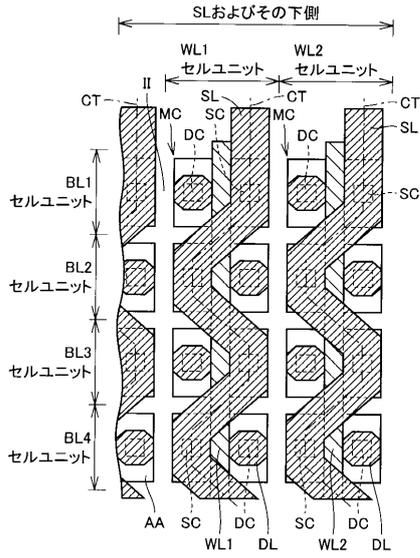
【図49】



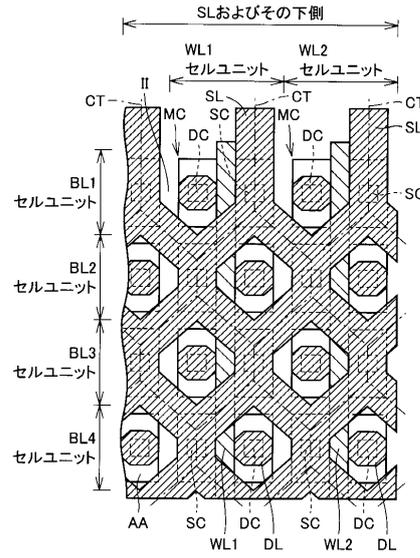
【図50】



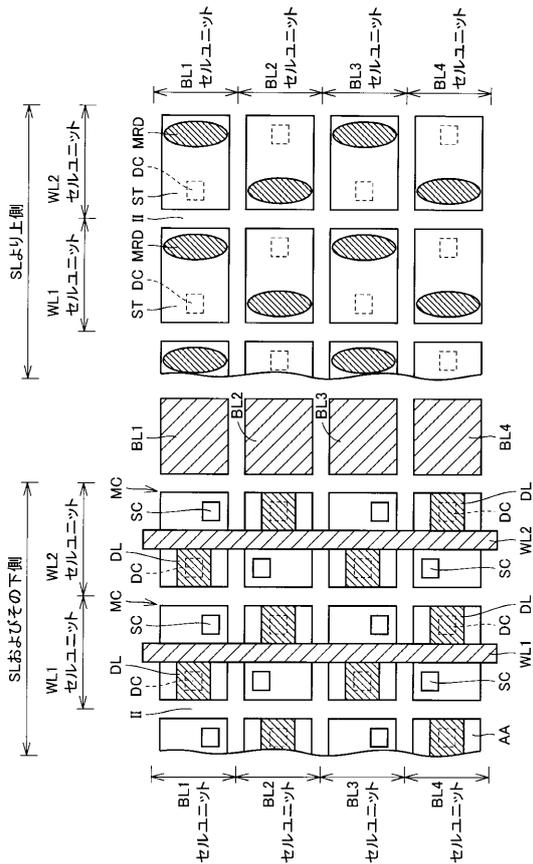
【図51】



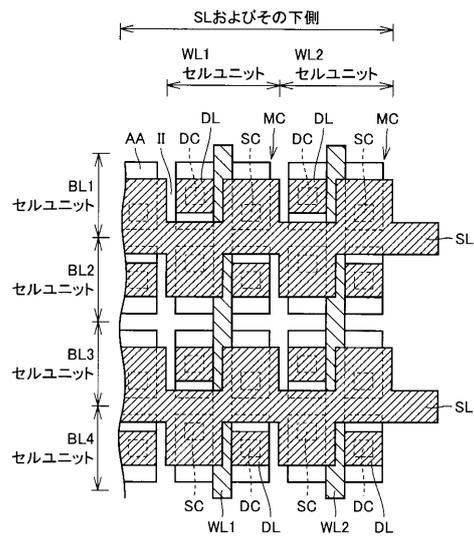
【図52】



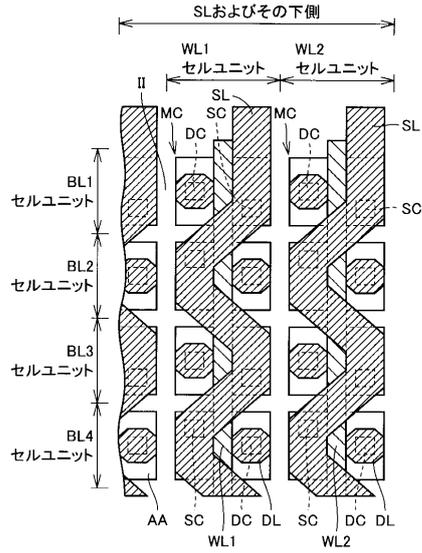
【図53】



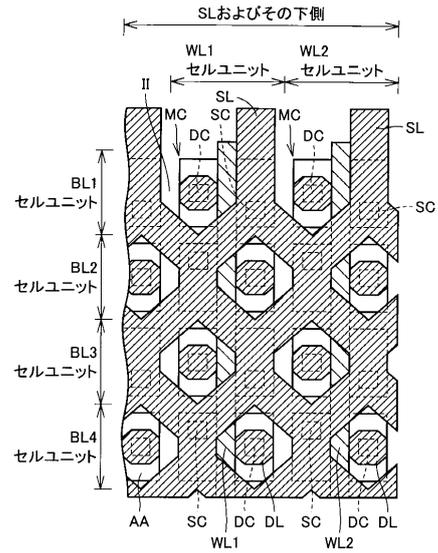
【図54】



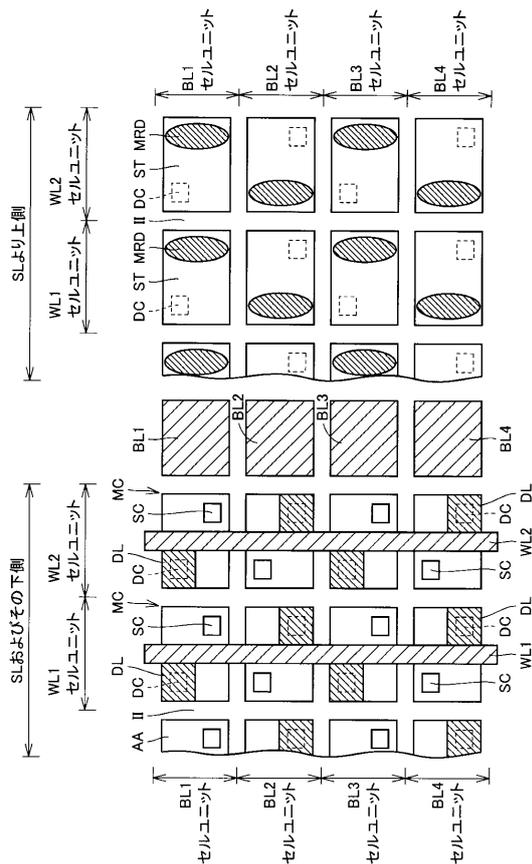
【図 55】



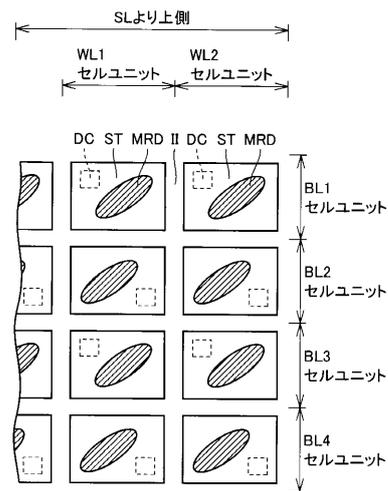
【図 56】



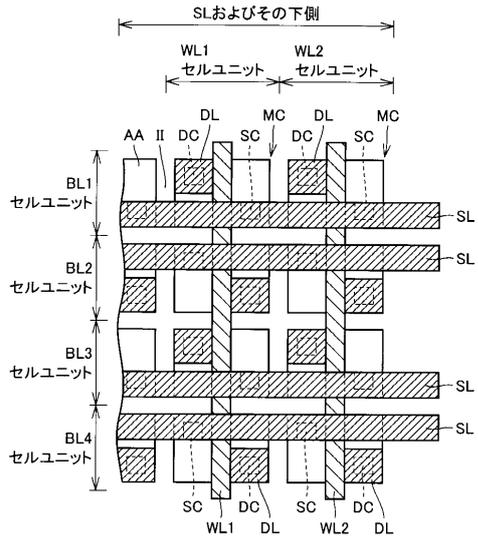
【図 57】



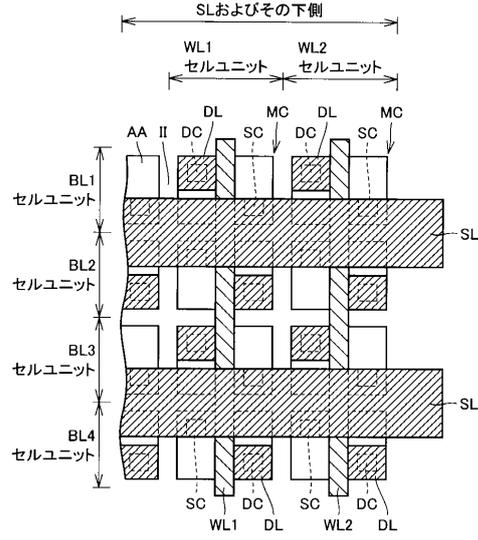
【図 58】



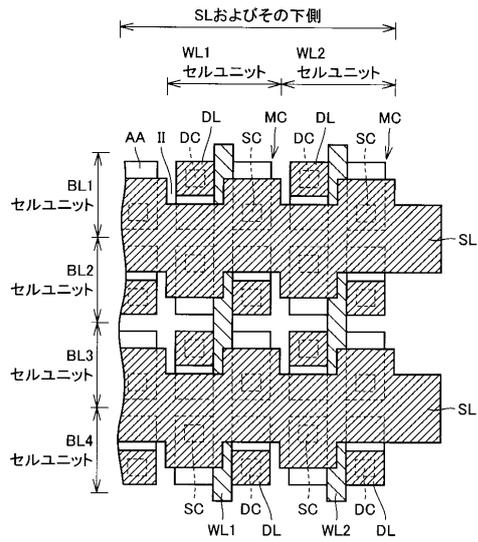
【図59】



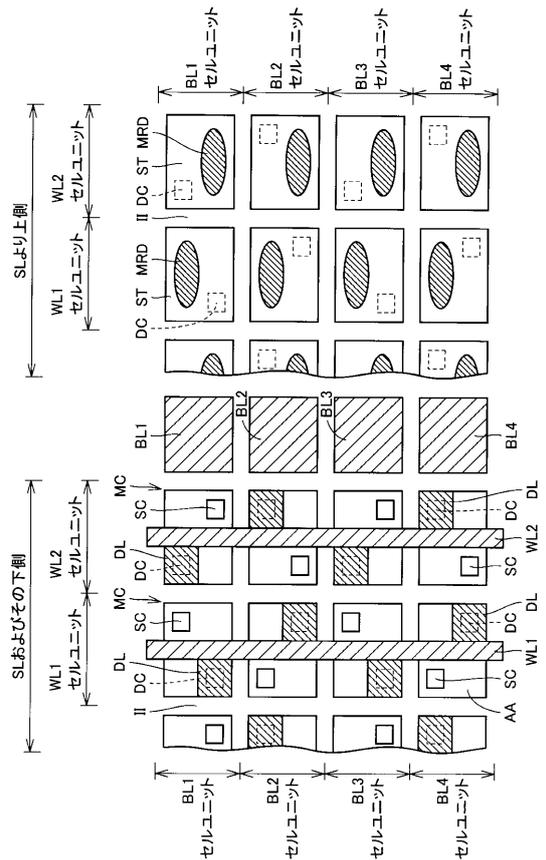
【図60】



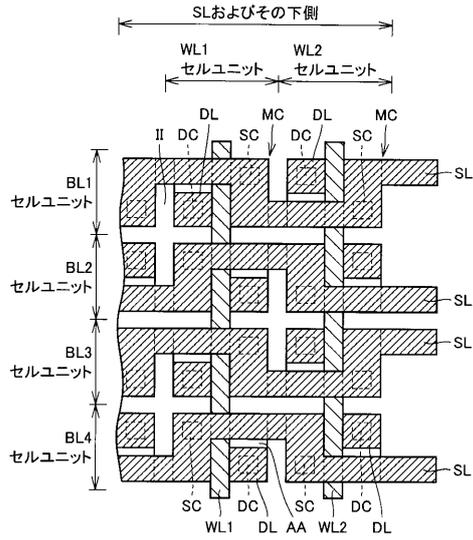
【図61】



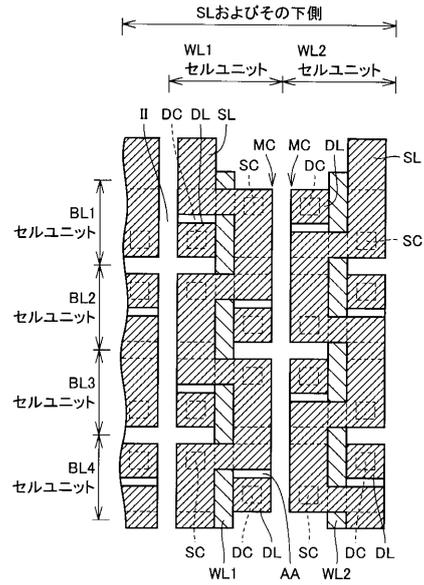
【図62】



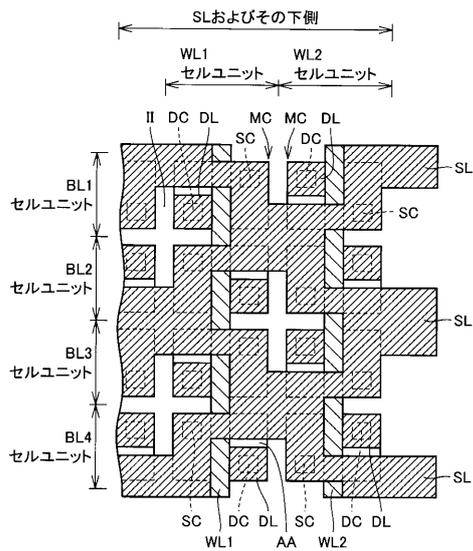
【図63】



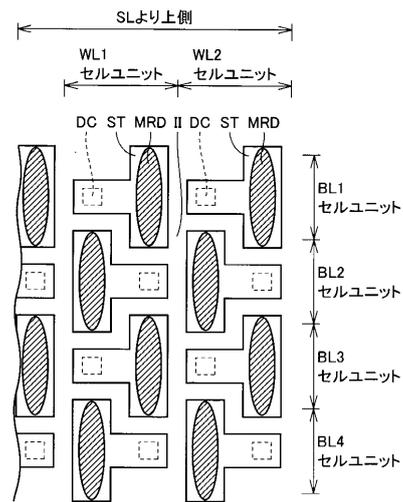
【図64】



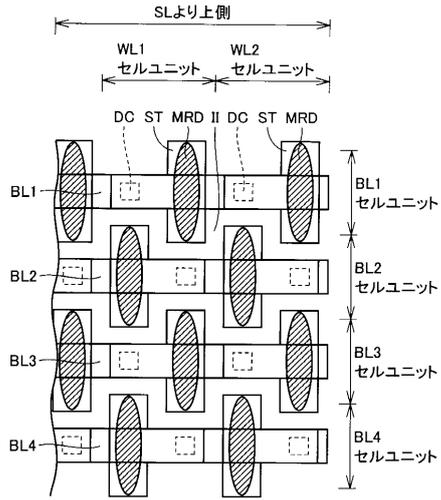
【図65】



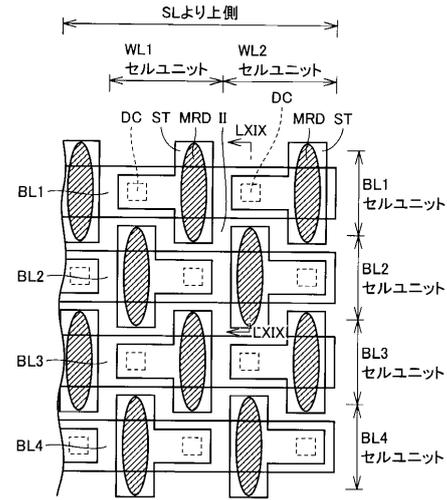
【図66】



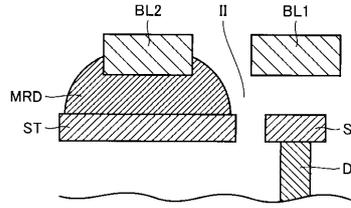
【図67】



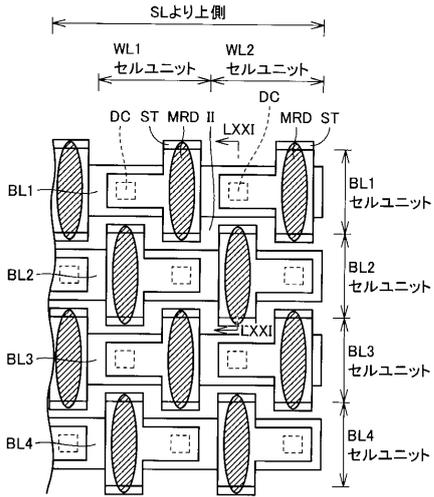
【図68】



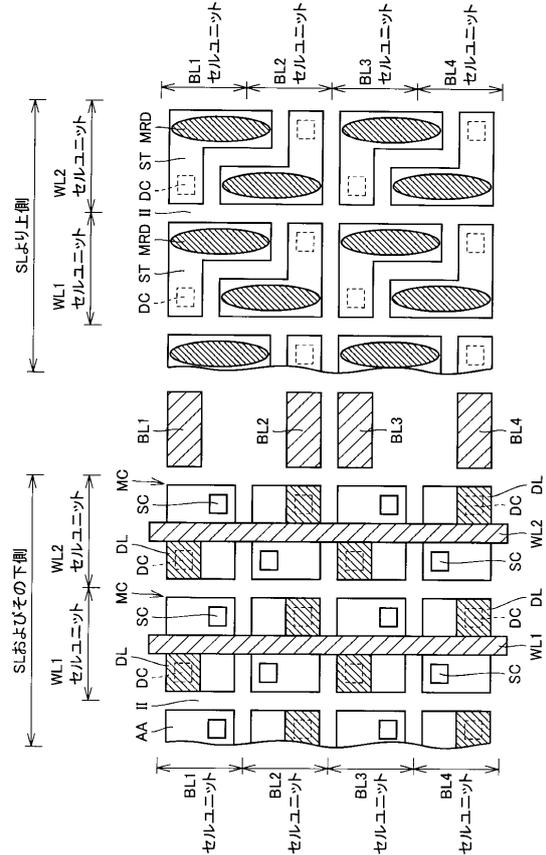
【図69】



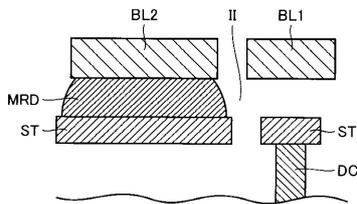
【図70】



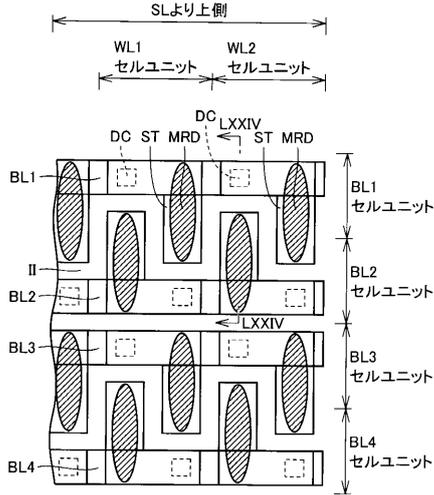
【図72】



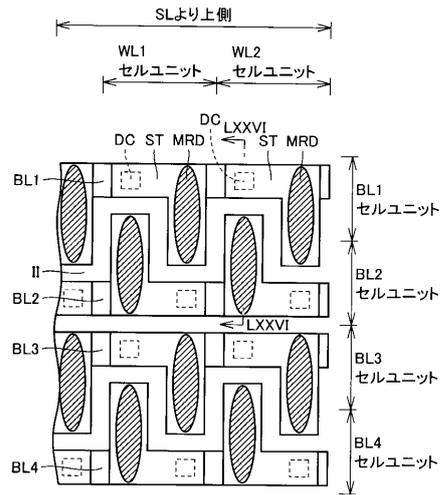
【図71】



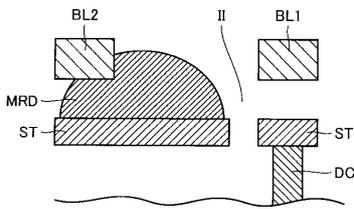
【図73】



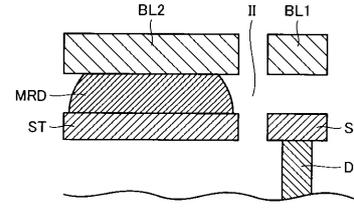
【図75】



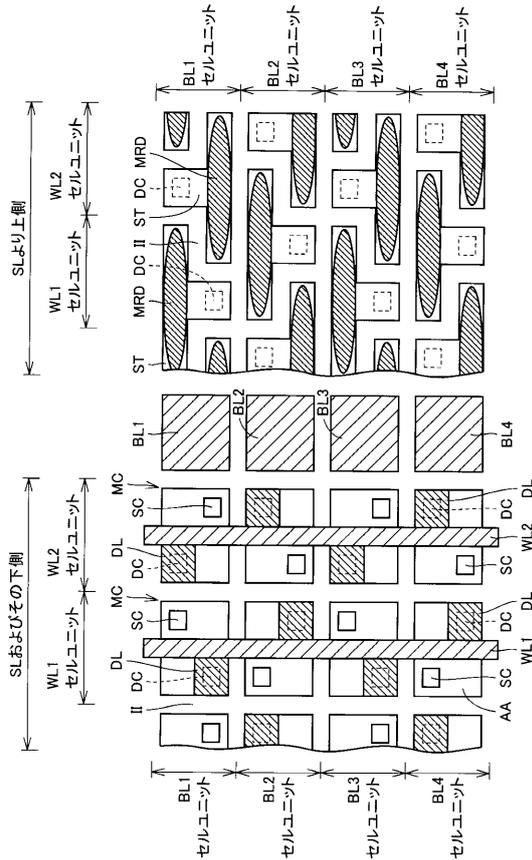
【図74】



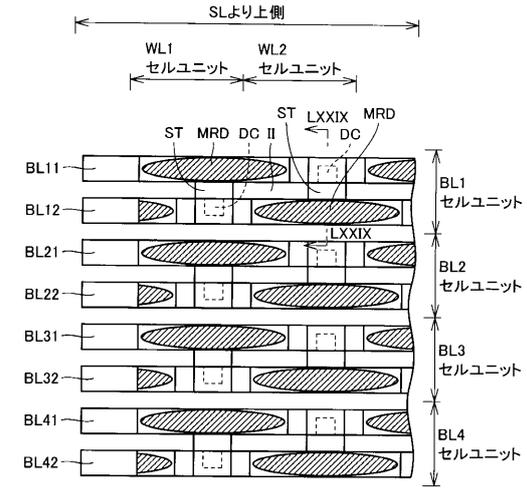
【図76】



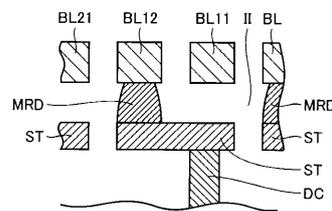
【図77】



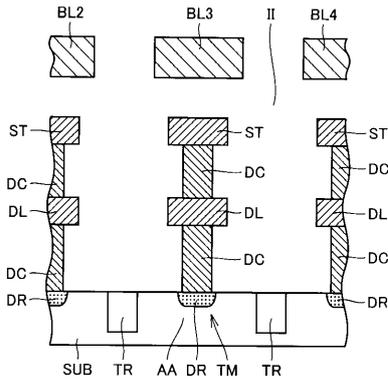
【図78】



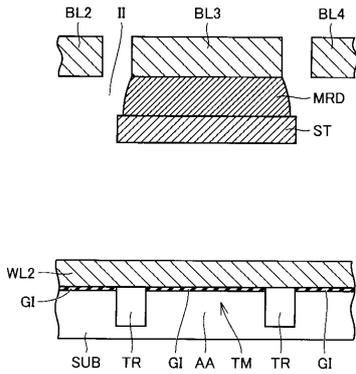
【図79】



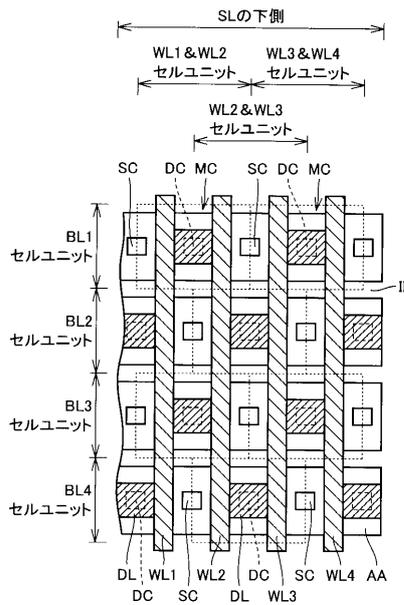
【図87】



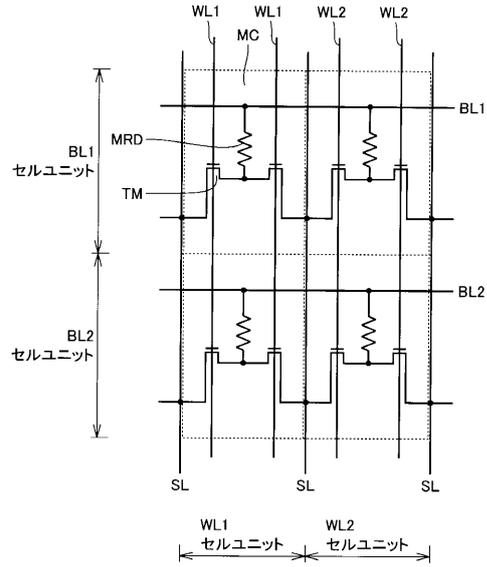
【図88】



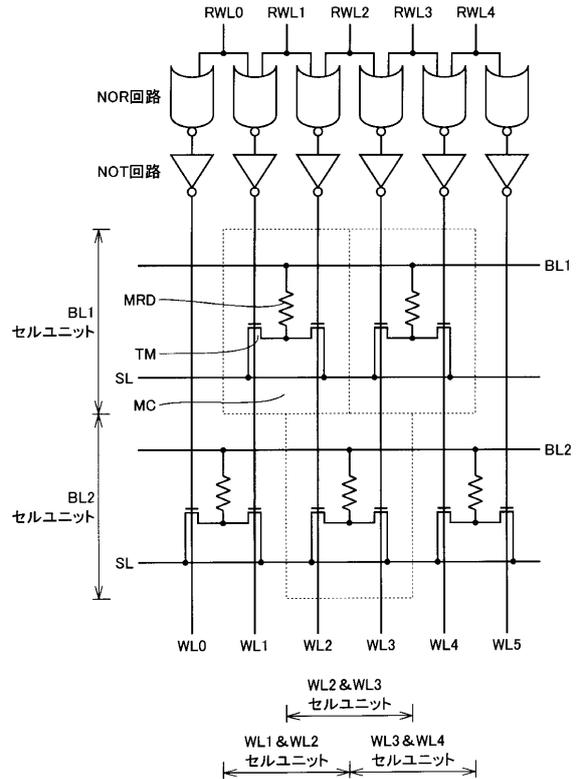
【図90】



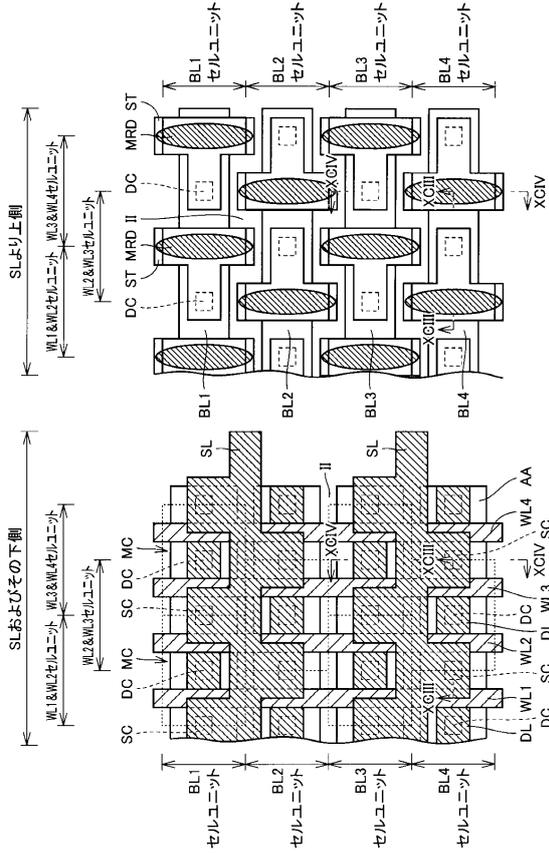
【図89】



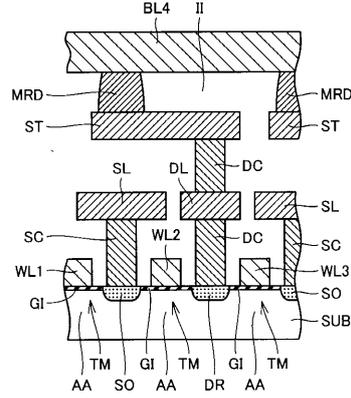
【図91】



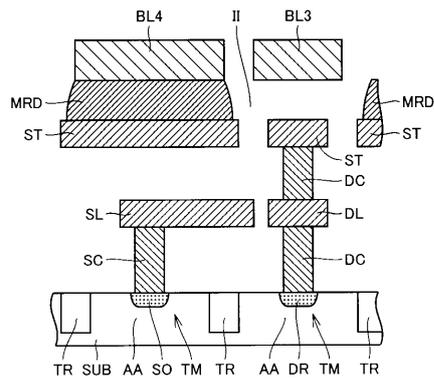
【図92】



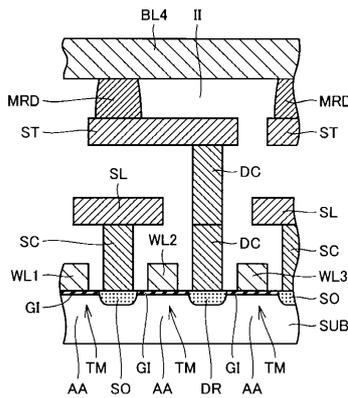
【図93】



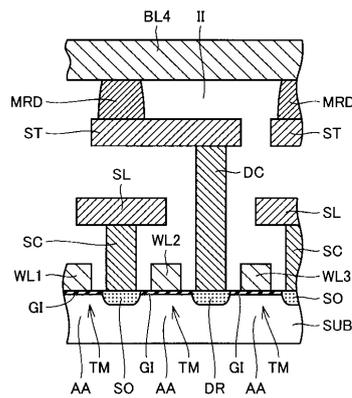
【図94】



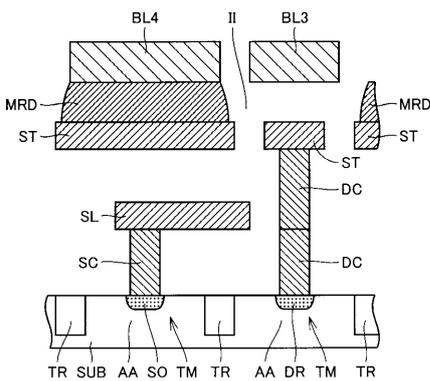
【図95】



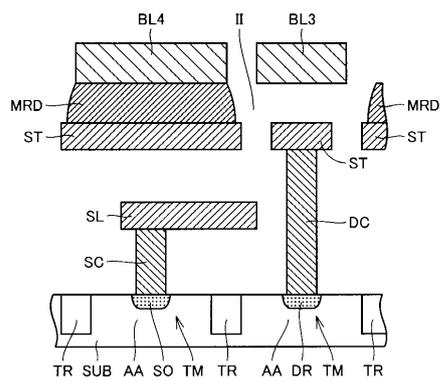
【図97】



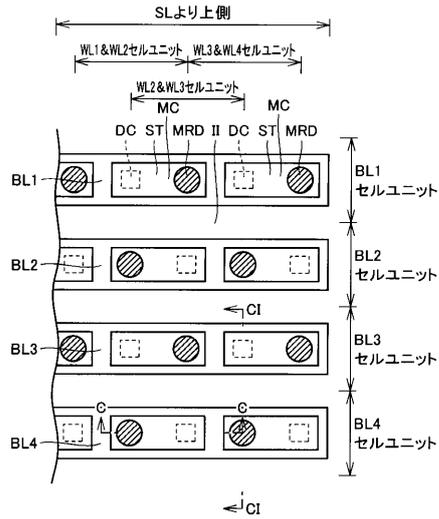
【図96】



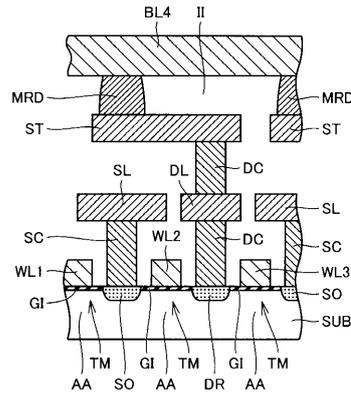
【図98】



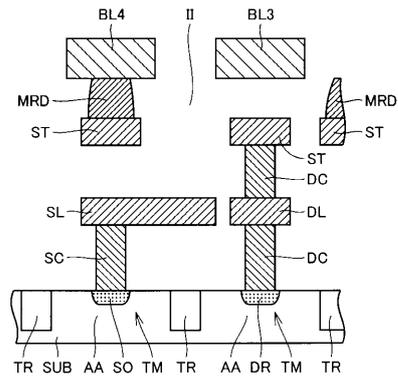
【図99】



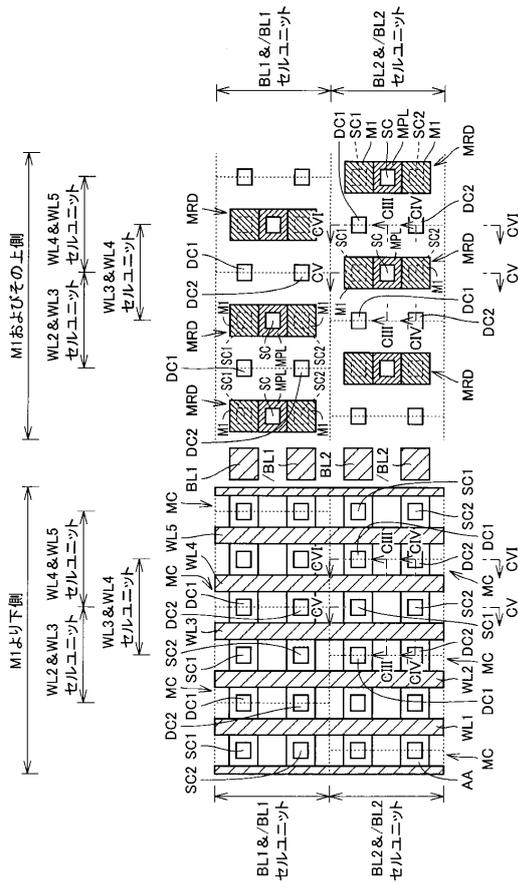
【図100】



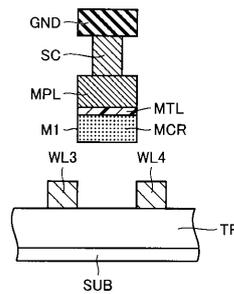
【図101】



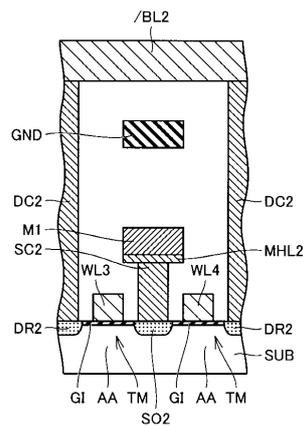
【図102】



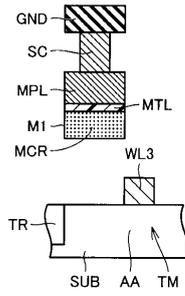
【図103】



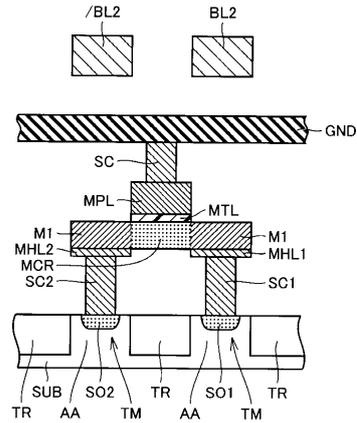
【図104】



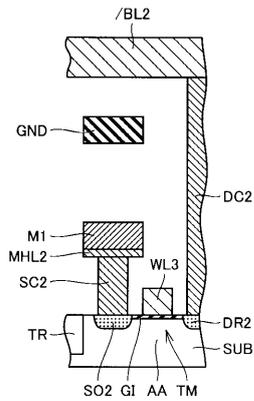
【図109】



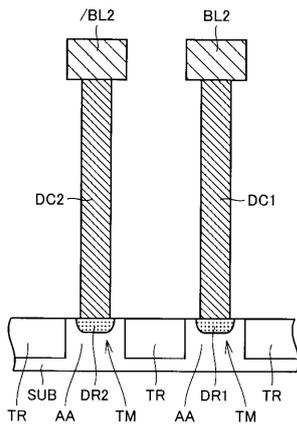
【図111】



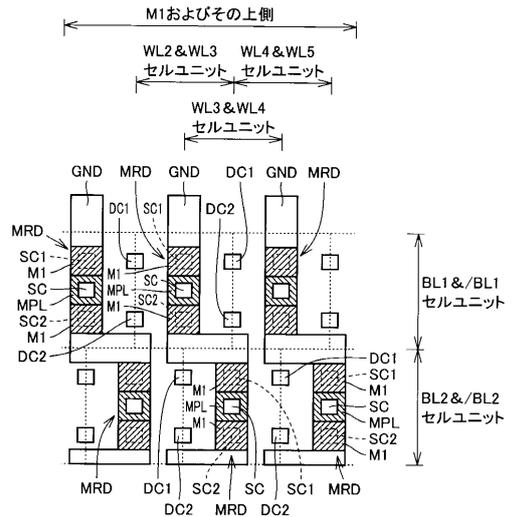
【図110】



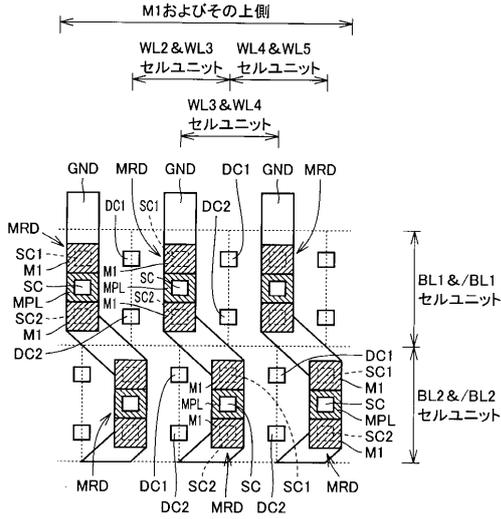
【図112】



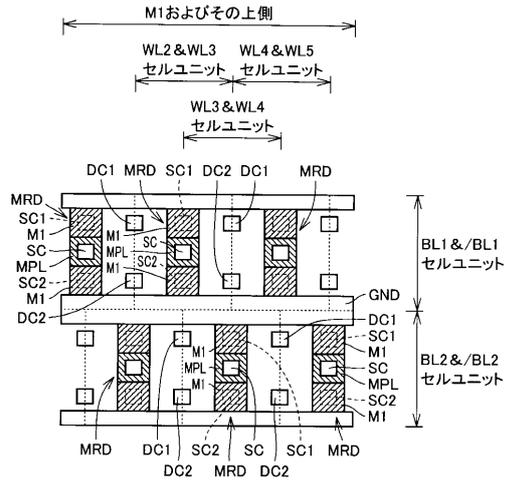
【図113】



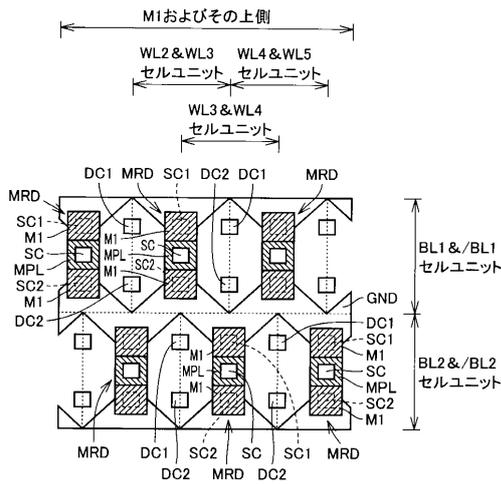
【図114】



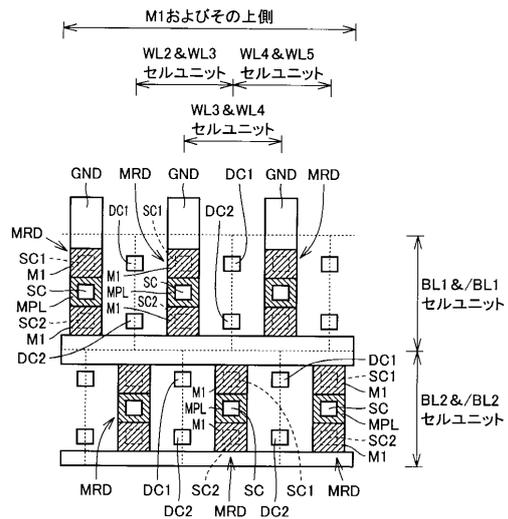
【図115】



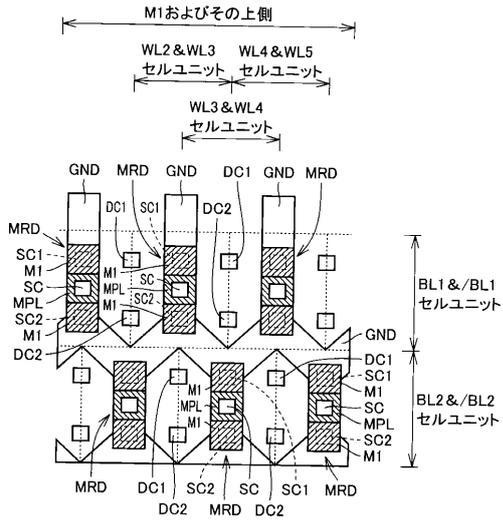
【図116】



【図117】



【図 118】



フロントページの続き

(56)参考文献 米国特許出願公開第2010/0001356 (US, A1)

特開2010-225259 (JP, A)

特開2008-258618 (JP, A)

特開2008-130995 (JP, A)

特開2007-300079 (JP, A)

特開2007-300078 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246, 27/105,

29/82,

43/08