(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 7
H01L 23/48

(45) 공고일자 2002년02월16일
(11) 등록번호 10-0324332
(24) 등록일자 2002년01월31일

(21) 출원번호 10-2000-0000130
(22) 출원일자 2000년01월04일

(65) 공개번호 특2001-0068289
(43) 공개일자 2001년07월23일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 최광성
충청북도청주시흥덕구봉명동푸른아파트105동501호

(74) 대리인 박장원

심사관 : 정해곤

(54) 솔더 조인트 신뢰성을 향상시킨 비지에이 반도체 패키지및 그 제조 방법

요약

본 발명은 비지에이(BGA) 반도체 패키지 및 그 제조 방법에 관한 것으로, 패키지 내부에 금속 분말을 포함하는 유연성 부재를 포함시킴으로써, 볼 그리드 어레이(ball grid array)와 인쇄 회로 기판 사이의 솔더 조인트(solder joint)에 가해지는 열 주기 응력(heat cyclic stress)을 극복할 수 있는, 솔더 조인트 신뢰성이 향상된 BGA 패키지를 제공하고자 한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1(a) ~ 도 1(e)는 종래의 비지에이(BGA) 반도체 패키지의 순차적인 제조 공정을 도시한 공정도.

도 2 는 비지에이 반도체 패키지의 솔더 조인트를 도시한 종단면도.

도 3 은 본 발명의 일실시예에 의한 비지에이 반도체 패키지를 도시한 종단면도.

도 4(a) ~ 도 4(d)는 본 발명의 일실시예에 의한 유연성 부재의 순차적인 제조 공정을 도시한 공정도.

도 5(a) ~ 도 5(e)는 본 발명의 일실시예에 의한 비지에이 반도체 패키지의 순차적인 제조 공정을 도시한 공정도.

** 도면의주요부분에대한부호설명**

100 : 반도체 칩 102 : 칩 패드(chip pad)

104 : 절연막 110 : 유연성 부재

114 : 금속 와이어 116 : 밀봉부

118 : 솔더 리지스트(solder resist) 120 : 솔더 볼(solder ball)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 특히 솔더 조인트(solder joint)의 신뢰성을 향상시킨 비지에이(BGA) 반도체 패키지 및 그 제조 방법에 관한 것이다.

최근 마이크로프로세서나 주문형 반도체(ASIC) 등 비메모리 제품을 중심으로 경박단소화에 대한 요구가 급진전되면서, 다핀화에 유리하도록 솔더 볼(solder ball) 형태의 외부 단자를 패키지 밑면에 배열하는 비지에이(BGA: Ball Grid Array, 이하 BGA로 칭함) 반도체 패키지가 주력 반도체 패키지 형태로 자리잡아가고 있다.

BGA는 피지에이(PGA: Pin Grid Array)와 플립 칩(flip chip)의 개념을 상호 수용한 것으로 기존의 큐에프피(QFP : Quad Flat Package) 반도체 패키지에 비하여, 반도체 패키지가 차지하는 면적을 60% 가까이 줄일 수 있으며, 전기적열적 수행 능력도 40% 까지 향상됨은 물론 300 핀(pin) 이상의 다핀으로 갈수록 비용면에서도 유리하다.

비지에이 반도체 패키지를 제조할 때 가장 중요한 고려 대상은 볼 그리드 어레이(ball grid array)와 인쇄 회로 기판(PCB : printed circuit board) 사이의 솔더 조인트(solder joint)의 신뢰성이다. 볼 그리드 어레이와 인쇄 회로 기판의 온도와 열팽창 계수(thermal expansion coefficient)가 서로 다르기 때문에, 소자는 인쇄 회로 기판과 서로 다른 비율로 팽창한다. 그 결과, 소자의 전원이 켜지고(on) 꺼질(off) 때마다 볼 그리드 어레이와 인쇄 회로 기판 사이에 형성된 솔더 조인트에 높은 열 주기 응력(heat cyclic stress)이 가해진다. 상기와 같이 솔더 조인트에 가해지는 높은 응력을 극복할 수 있는 솔더 조인트의 신뢰성이 BGA 패키지를 개발함에 있어서 가장 중요한 요소 중 하나이다.

종래의 BGA 제조 공정은 FAB(fabrication) 기술에 활용되는 패드 재배치 기술을 이용한 것으로서, 웨이퍼 상에 회로를 형성하는 단계부터 패키지 볼(ball)을 부착하는 단계까지 모두 FAB 공정에서 일괄적으로 처리된다.

도 1(a) ~ 도 1(e)에는 종래의 BGA 반도체 패키지의 순차적인 제조 공정이 도시되어 있다.

먼저 도 1(a)에 도시된 바와 같이, 반도체 칩(chip)(1) 상면에 칩 패드(3)를 형성한다.

다음으로 도 1(b)에 도시된 바와 같이, 상기 반도체 칩(1) 상면에 감광성을 가지는 고분자 절연막(5)을 스핀 코팅(spin coating) 방법으로 도포한 뒤, 패터닝을 하여 상기 칩 패드(3)를 노출시킨다.

다음으로 도 1(c)에 도시된 바와 같이, 패드 재배치를 위하여 상기 고분자 절연막(5)과 상기 칩 패드(3) 상면에 금속막(7)을 증착한 뒤 패터닝을 한다.

다음으로 도 1(d)에 도시된 바와 같이, 상기 금속막(7)과 상기 고분자 절연막(5) 상면에 솔더 리지스트(solder resist)막(9)을 스핀 코팅(spin coating) 방법으로 도포한 뒤 패터닝을 하여, 상기 금속막(7) 중 솔더 볼(solder ball)을 형성시킬 영역을 노출시킨다.

다음으로 도 1(e)에 도시된 바와 같이, 상기 금속막(7) 중 솔더 리지스트(9) 사이로 노출된 영역에 솔더 볼(solder ball)을 부착함으로써 종래의 BGA 반도체 패키지의 제조를 완료한다.

상기의 공정으로 제조되는 종래의 BGA 반도체 패키지는 다음과 같은 원인에 의하여 솔더 조인트 신뢰성이 감소한다.

첫째, 솔더 볼은 일반적으로 주석과 납이 공정(eutectic) 조성을 가지도록 제조된다. 그 결과 도 2 에 도시된 바와 같이, 패키지의 하중에 의하여 솔더 볼(13)이 찌그러진(collapse) 형상을 가지게 되어, 솔더 볼(13)이 부착되는 패키지의 패드(16)와 인쇄 회로 기판(15) 사이의 길이(standoff)(20)가 감소한다.

둘째, 도 2 에 도시된 바와 같이, 솔더 볼(13)과 패키지의 패드(16) 또는 솔더 볼(13)과 인쇄 회로 기판(105) 사이의 계면 면적이 상기 솔더 볼(13)의 직경보다 작다. 따라서, 패키지와 인쇄 회로 기판의 열팽창 계수 차이로 인해 발생하는 열응력이 상기 계면들에 집중되어, 상기 솔더 볼(13)과 패드(16) 또는 상기 솔더 볼(13)과 인쇄 회로 기판(15) 사이의 계면 근처에서 균열(18)이 쉽게 발생한다.

셋째, 상기 솔더 볼(13)과 패드(16) 또는 상기 솔더 볼(13)과 인쇄 회로 기판(15) 사이의 계면 면적이 작기 때문에, 계면 근처에서 발생한 균열(18)이 성장할 수 있는 면적이 작다. 그 결과, 일단 균열이 발생되면 균열이 얼마 성장하지 않아도 솔더 조인트 신뢰성이 크게 떨어진다.

넷째, 특히 인쇄 회로 기판의 양면에 패키지를 실장하는 경우, 인쇄 회로 기판이 휘어짐으로써 볼 그리드 어레이와 인쇄 회로 기판 사이에 발생하는 응력을 흡수하는 것이 불가능하기 때문에, 솔더 조인트 신뢰성이 더욱 나빠진다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 볼 그리드 어레이와 인쇄 회로 기판 사이에 형성된 솔더 조인트에 가해지는 열 주기 응력(heat cyclic stress)을 흡수할 수 있는 유연성 부재(flexible element)를 패키지에 형성함으로써, 솔더 조인트 신뢰성을 향상시킬 수 있는 BGA 반도체 패키지 및 그 제조 방법을 제공하는데 있다.

본 발명에 의한 비지에이 반도체 패키지는 상면에 칩 패드가 형성되어 있는 반도체 칩과; 상기 패드를 노출시키면서, 상기 반도체 칩 상에 형성되는 유연성 부재(flexible member)와; 상기 유연성 부재 상면에 형성되는 금속 패턴과; 상기 패드와 상기 금속 패턴을 전기적으로 연결시키는 연결 부재와; 상기 금속 패턴과 전기적으로 연결되는 외부 단자를 포함하여 구성된다.

상기 유연성 부재는 내부에 금속 분말을 포함하여, 솔더 조인트에 가해지는 응력을 흡수하는 응력 버퍼(stress buffer) 또는 응력 릴리프(stress relief)의 역할을 한다.

또한, 본 발명에 의한 비지에이 반도체 패키지 제조 방법은 유연성 부재를 제조하는 단계와; 상기 유연성 부재 상면에 금속 패턴을 형성하는 단계와; 반도체 칩 상면에 패드를 형성하는 단계와; 상기 반도체 칩 상에, 상기 패드가 노출되도록 상기 유연성 부재를 부착하는 단계와; 상기 패드와 상기 금속 패턴을 전기적으로 연결시키는 단계와; 상기 금속 패턴 중 소정 영역에 외부 단자를 부착하는 단계를 포함하여 이루어진다.

발명의 구성 및 작용

이하, 본 발명의 바람직한 일실시예에 따른 BGA 반도체 패키지 및 제조 방법을 첨부 도면을 참조하여 상세히 설명한다.

도 3 에는 본 발명의 일실시예에 의한 BGA 패키지의 종단면도가 도시되어 있다.

도시된 바와 같이, 반도체 칩(100) 상면에 형성된 칩 패드(102)가 주로 고분자 물질로 이루어지는 절연막(104)의 사이로 노출된다. 상기 절연막(104) 상면에는 주로 플라스틱으로 이루어지며, 상부 기판(106)과 하부 기판(108)으로 이루어지는 유연성 부재(110)가 접착제(125)에 의해 부착된다. 상기 유연성 부재(110) 내의 홈에는 금속 분말(112)이 위치한다. 상기 유연성 부재(110) 상면에는 금속 패턴(미도시)이 형성되고, 상기 금속 패턴과 상기 칩 패드(102)는 금속 와이어(114)에 의해 전기적으로 연결된다. 상기 금속 와이어는 밀봉부(encapsulant)(116)에 의해 밀봉된다. 상기 금속 패턴(미도시) 상면에는 솔더 리지스트(solder resist)막(118)이 소정 영역의 금속 패턴(미도시)를 노출시키면서 형성되고, 상기 노출된 금속 패턴(미도시) 상에는 솔더 볼(120)이 부착된다.

도 4(a) ~ 도 4(b)에는 본 발명의 일실시예에 의한 유연성 부재(110)의 순차적인 제조 방법이 도시되어 있다.

먼저 도 4(a)에 도시된 바와 같이, 상면에 홈(200)이 형성되어 있고, 주로 플라스틱으로 이루어지는 상부 기판(106)을 지그(jig)(150)에 안착시킨다. 상기 지그(150)에는 전자석, 진동기(vibrator), 그리고 히터(heater)가 부착된다. 상기 상부 기판(106) 하면에는 금속 패턴(미도시)이 형성된다.

다음으로 도 4(b)에 도시된 바와 같이, 상기 지그(jig)(150)에 자장(magnetic field)을 걸어준 뒤, 스퀴즈(squeeze)(152)를 이용하여 금속 분말(112)을 상기 상부 기판(106)에 형성된 홈(200)에 충진시킨다. 본 실시예에서는 상기 금속 분말로서 자석과 인력이 작용하는 철 등의 금속을 사용하여, 금속 분말이 자장에 의해서 상기 홈 내에 고정되도록 한다. 금속 분말(112)을 홈(200)에 충진시킨 다음에 진동기(미도시)를 이용하여 상기 상부 기판을 진동시켜서 금속 분말(112)의 충진성을 향상시킨 뒤, 다시 한번 스퀴즈(152)를 이용하여 금속 분말(112)을 홈(200)에 충진시킨다.

다음으로 도 4(c)에 도시된 바와 같이, 상기 홈(200)을 포함하는 상부 기판(106) 상면에 접착제(adhesive)(125)를 이용하여 주로 플라스틱으로 이루어지는 하부 기판(108)을 접착시킨 후 열을 가한다. 이때, 상기 접착제는(125)는 상기 금속 분말(112) 사이를 적실 수 있을 양만큼 사용한다. 상기 접착제(125)의 경화가 완료되면 자장을 끊는다.

도 4(d)는 상기의 방법으로 제조한 유연성 부재(110)를 도시한다.

도 5(a) ~ 도 5(e)에는 본 발명의 일실시예에 의한 BGA 반도체 패키지의 순차적인 제조 방법이 도시되어 있다.

먼저 도 5(a)에 도시된 바와 같이, 반도체 칩(100)의 상면에 칩 패드(102)를 형성한다.

다음으로 도 5(b)에 도시된 바와 같이, 상기 반도체 칩(100) 상면에 감광성을 가지는 고분자로 이루어지는 절연막(104)을 스핀 코팅(spin coating) 방법으로 도포한 뒤, 패터닝을 하여 상기 칩 패드(102)를 노출시킨다. 상기 고분자 절연막(104)을 폴리이미드 막(polyimide film) 등의 감광성이 없는 막으로 대체하는 경우에는, 별도의 감광막(photoresist)(미도시)을 사용하여 절연막을 패터닝한다.

다음으로 도 5(c)에 도시된 바와 같이, 상기 절연막(104) 상면에 도 4(d)에 도시된 유연성 부재(110)를 금속 패턴(미도시)이 상면에 노출되도록 접착제(125)를 이용하여 부착한다. 이 때, 상기 유연성 부재(110) 사이로 상기 칩 패드(102)가 노출된다.

다음으로 도 5(d)에 도시된 바와 같이, 상기 칩 패드(102)와 상기 금속 패턴(미도시)을 금속 와이어(114)를 이용하여 전기적으로 연결한다. 이어서, 상기 금속 와이어(114)를 밀봉부(encapsulant)(116)에 의해 밀봉시킨다.

다음으로 도 5(e)에 도시된 바와 같이, 상기 금속 패턴을 포함하는 유연성 부재(110) 상면에 솔더 리지스트(solder resist)막(118)을 스핀 코팅(spin coating) 방법으로 도포한 뒤 패터닝을 하여, 상기 금속 패턴(미도시) 중 솔더 볼(solder ball)을 형성시킬 영역을 노출시킨다. 마지막으로 상기 금속 패턴 중 노출된 영역에 솔더 볼(120)을 부착한다. 상기 솔더 볼(120)을 부착하는 방법은 플럭스(flux)를 이용하여 솔더 볼을 부착한 뒤 리플로(reflow) 공정을 실시하거나, 솔더를 스크린 프린팅(screen printing)하는 방법을 사용한다.

상기한 본 발명에 의한 BGA 패키지 제조 방법을 웨이퍼(wafer)를 칩 단위로 절단하기 전에 수행한 뒤, 완성된 패키지를 칩 단위로 절단하는 웨이퍼 레벨 패키징(wafer level packaging)도 가능하다.

발명의 효과

상기한 바와 같은 본 발명에 의한 BGA 반도체 패키지는 내부에 금속 분말을 포함하는 유연성 부재가, 볼 그리드 어레이와 인쇄 회로 기판 사이에 형성된 솔더 조인트에 가해지는 열 주기 응력(heat cyclic stress)을 흡수하기 때문에, 솔더 조인트 신뢰성을 향상시킬 수 있는 효과가 있다. 더욱이, 인쇄 회로 기판의 양면에 패키지를 실장하는 양면 실장의 경우에도 솔더 조인트 신뢰성을 향상시킬 수 있다.

또한 본 발명에 의한 BGA 반도체 패키지는 유연성 부재 내부에 위치하는 금속 분말이 부유 접지(floating ground) 역할을 하기 때문에, 인덕턴스(inductance)를 감소시킴으로써 패키지 내부에서 발생하는 노이즈(noise)를 감소시킬 수 있는 효과가 있다.

본 발명은 상기에 설명되고 도면에 예시된 것에 의해 한정되는 것은 아니며, 다음에 기재되는 청구의 범위 내에서 더 많은 변형 및 변용예가 가능한 것임은 물론이다.

(57) 청구의 범위

청구항 1.

상면에 칩 패드가 형성되어 있는 반도체 칩과;

상기 패드를 노출시키면서, 상기 반도체 칩 상에 형성되는 유연성 부재(flexible member)와;

상기 유연성 부재의 일면에 형성되는 금속 패턴과;

상기 패드와 상기 금속 패턴을 전기적으로 연결시키는 연결 부재와;

상기 연결 부재를 밀봉하는 밀봉부와;

상기 금속 패턴과 전기적으로 연결되는 외부 단자를 포함하여 구성되는 것을 특징으로 하는 비지에이(BGA) 반도체 패키지.

청구항 2.

제 1 항에 있어서, 상기 유연성 부재는 내부에 금속 분말을 포함하는 것을 특징으로 하는 비지에이 반도체 패키지.

청구항 3.

제 1 항에 있어서, 상기 외부 단자는 솔더 볼인 것을 특징으로 하는 비지에이 반도체 패키지.

청구항 4.

유연성 부재를 제조하는 단계와;

상기 유연성 부재의 일면에 금속 패턴을 형성하는 단계와;

반도체 칩의 상면에 패드를 형성하는 단계와;

상기 반도체 칩 상에, 상기 패드가 노출되도록 상기 유연성 부재를 부착하는 단계와;

상기 패드와 상기 금속 패턴을 전기적으로 연결시키는 단계와;

상기 금속 패턴 중 소정 영역에 외부 단자를 부착하는 단계를 포함하여 이루어지는 것을 특징으로 하는 비지에이 반도체 패키지 제조 방법.

청구항 5.

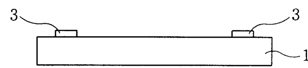
제 4 항에 있어서, 상기 유연성 부재를 제조하는 단계는,

일면에 홈이 형성된 제 1 기판을 준비하는 단계와;

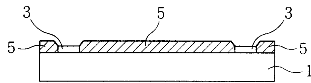
상기 홈에 금속 분말을 채우는 단계와;

상기 홈을 덮도록, 상기 제 1 기판의 일면에 제 2 기판을 부착하는 단계를 포함하여 이루어지는 것을 특징으로 하는 비지에이 반도체 패키지 제조 방법.

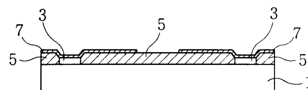
도면 1a



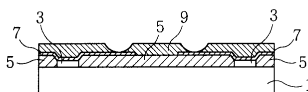
도면 1b



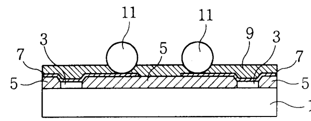
도면 1c



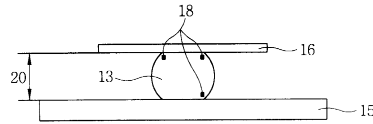
도면 1d



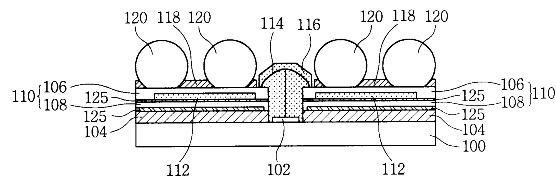
도면 1e



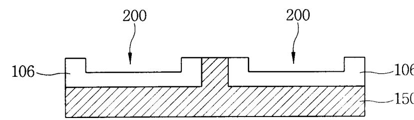
도면 2



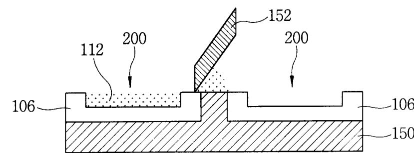
도면 3



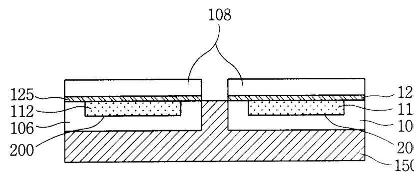
도면 4a



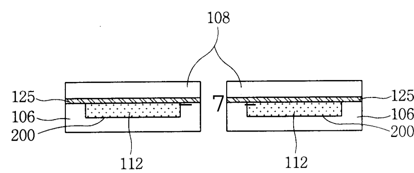
도면 4b



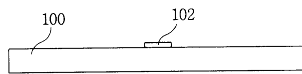
도면 4c



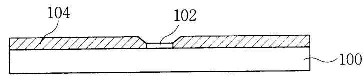
도면 4d



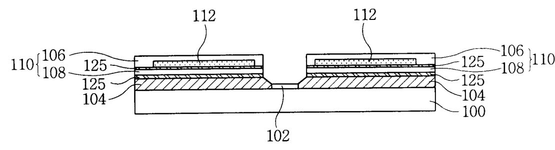
도면 5a



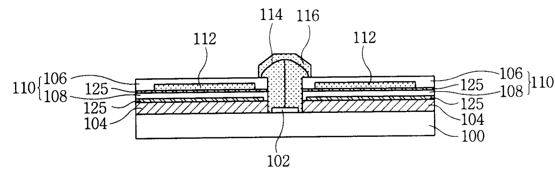
도면 5b



도면 5c



도면 5d



도면 5e