

申請日期	91 年 12 月 21 日
案 號	91137181
類 別	H01L 29/36

A4
C4

200302575

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具有包含溝槽蝕刻形成的摻雜柱及相反摻雜的多晶矽之擴散形成區的高壓固持區之高壓電力MOSFET
	英 文	High voltage power MOSFET having a voltage sustaining region that includes doped columns formed by trench etching and diffusion from regions of oppositely doped polysilicon
二、發明 創作人	姓 名	(1) 理查·布蘭查 Blanchard, Richard A.
	國 籍	(1) 美國加州洛沙托斯摩拉大道一〇七二四號 10724 Mora Drive, Los Altos, CA 92024, U.S.A.
	住、居所	
三、申請人	姓 名 (名稱)	(1) 通用半導體股份有限公司 General Semiconductor, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國紐約州梅爾維利梅爾維利公園路十號 10 Melville Park Road, Melville, NY 11747- 3113, U.S.A.
	代 表 人 姓 名	(1) 威廉·克蘭西 Clancy, William M.

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2001 年 12 月 31 日 10/039,241 有主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明所屬之技術領域

本發明係大體上關於半導體裝置，特別關於電力 MOSFET 裝置。

先前技術

發明背景

在諸如汽車電力系統、電源、及電力管理等應用中，採用電力 MOSFET 裝置。這些裝置在關閉狀態應能承受高電壓，並在開啓狀態具有低壓降及高電流。

圖 1 係顯示用於 N 通道電力 MOSFET 的典型結構。形成於 N⁺矽基底 2 上的 N 磊晶矽層包含用於裝置中的二 MOSFET 胞之 p 本體區 5a 及 6a、以及 N⁺源極區 7 和 8。P 本體區 5 和 6 也包含深 p 本體區 5b 和 6b。源極 - 本體電極 12 會延伸跨過磊晶層 1 的某些表面部份以接觸源極和本體區。用於二胞的 N 型汲極會由延伸至圖 1 中的上半導體表面之 N 磊晶層 1 的部份所形成。汲極電極設在 N⁺基底 2 的底部。典型上具有多晶矽的絕緣閘電極 18 主要位於裝置的本體和汲極的部份上，以薄的介電層與本體和汲極分開，薄的介電層通常為二氧化矽。當相對於源極和本體電極，施加適當正電壓至閘極時，會在本體區的表面之源極與汲極之間形成通道。

圖 1 中所示的傳統 MOSFET 之開啓電阻大部份由磊晶層 1 中的漂移區電阻所決定。偏移區電阻接著由磊晶層 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

的摻雜及層厚度所決定。但是，為增加裝置的崩潰電壓，磊晶層 1 的摻雜濃度必須降低，而層厚度增加。圖 2 中的曲線 20 顯示傳統 MOSFET 之每單位面積的開啓電阻為崩潰電壓之函數。不幸地，如曲線 20 所示，裝置的開啓電阻會隨著其崩潰電壓增加而快速地增加。此電阻的快速增加，在 MOSFET 要以較高的電壓操作時，會出現問題，特別是在高於數佰伏特的電壓時。

圖 3 顯示 MOSFET，其係設計成在降低的開啓電阻下以較高電壓操作。此 MOSFET 揭示於 Proceedings of the IEDM, 1998 之論文編號 26.2 的 683 頁中。此 MOSFET 除了包含從本體區 5 及 6 下方延伸至裝置的漂移區之 p 型摻雜區 40 及 42 之外，其餘類似於圖 1 中所示的傳統 MOSFET。p 型摻雜區 40 及 42 界定以 n 型摻雜柱分隔之漂移區中的柱，n 型摻雜柱係由相鄰於 p 摻雜區 40 及 42 之磊晶層 1 的部份所界定。具有相反摻雜型的交錯柱會不僅如同傳統的 MOSFET 中般在垂直方向上建立相反電壓，也會在水平方向上建立相反電壓。結果，此裝置能夠以降低的磊晶層 1 的層厚度以及漂移區中增加的摻雜濃度，取得同於傳統裝置中之相反電壓。圖 2 中的曲線 25 顯示圖 3 中所示的 MOSFET 之每單位面積的開啓電阻之 MOSFET 的崩潰電壓之函數。清楚地，在較高的操作電壓時，此裝置的開啓電阻相較於圖 1 中所示的裝置，實質上降低，基本上隨著崩潰電壓而線性地增加。

圖 3 中所示之裝置改進的操作特徵係根據電晶體的漂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

移區中的電荷補償。亦即，漂移區中的摻雜實質上會以諸如數量級或更多增加，且增加的電荷會由增加之相反摻雜型的柱反制平衡。電晶體的阻隔電壓因而維持不變。當裝置在其開啓狀態時，電荷補償柱無助於電流導通。這些所需的電晶體特性關鍵地取決於具有相反摻雜型式之相鄰柱之間取得的電荷補償的程度。不幸地，由於在柱的製造期間製程參數的控制限制，所以，難以避免柱的摻雜劑梯度之不均勻。舉例而言，跨越柱與基底之間的界面以及跨越柱與 p 本體區之間的界面之擴散會造成接近這些界面之柱部份的摻雜劑濃度改變。以包含多重磊晶沈積步驟之製程順序，製造圖 3 中所示的結構，每一磊晶步驟之後會導入適當的摻雜劑。不幸地，執行磊晶沈積步驟太昂貴，因此，要製造此結構之代價昂貴。製造這些裝置的另一技術顯示於與本案共同申請的美國申請序號 09/970,972 中，其中，連續地蝕刻溝槽至不同深度。佈植摻雜劑材料，並在每一蝕刻步驟之後將其擴散經過溝槽的底部以形成一序列摻雜區（所謂的「浮島」），一序列摻雜區之總體功能類似圖 3 中所見的 p 型摻雜區 40 及 42。但是，使用浮島技術的裝置之開啓電阻無法如同使用連續柱的相同裝置一樣低。

因此，需要提供製造圖 3 中所示的 MOSFET 結構之方法，其需要最少數目的磊晶沈積步驟，以致於可以較不昂貴地製造，但又允許充分控制製程參數，以致於可以在裝置的漂移區中具有相反摻雜型的相鄰柱中取得高度的電荷補償。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(4)

內容

發明概述

根據本發明，提供形成電力半導體裝置的方法。方法首先設置第一或第二導電率型的基底，然後在基底上形成電壓固持區。在基底上沈積第一導電率型的磊晶層及在磊晶層中形至少一溝槽，而形成電壓固持區。在溝槽中沈積第一層多晶矽，第一層多晶矽具有第二導電率型的第二摻雜劑。擴散第二摻雜劑以形成相鄰於溝槽且在磊晶層中的摻雜磊晶層。接著，在溝槽中沈積第二層多晶矽，第二層多晶矽具有第一導電率型的第一摻雜劑。相互擴散分別位於第二及第一層多晶矽中的第一及第二摻雜劑以在第一及第二層多晶矽中取得電補償。最後，在電壓固持區上形成至少一第二導電率型區，以在它們之間界定界面。

本發明所形成的電力半導體裝置可以選自垂直 DMOS、V 溝槽 DMOS、及溝槽 DMOS MOSFET、IGBT、雙極電晶體、及二極體所組成的群類。

根據本發明的另一態樣，提供電力半導體裝置。裝置包含第一或第二導電率型的基底及配置於基底上的電壓固持區。電壓固持區包含具有第一導電率型的磊晶層以及位於磊晶層中的至少一溝槽。至少一具有第二導電率型的摻雜劑之摻雜柱設置於磊晶層中，相鄰於溝槽的側壁。第一層多晶矽位於溝槽中以及第二層多晶矽設於第一層多晶矽上。將第二摻雜劑從第一層多晶矽擴散至磊晶層中，形成柱。至少一第二導電率型的區配置於電壓固持區上以在它

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

們之間界定界面。

實施方式

詳細說明

根據本發明，在半導體電力裝置的電壓固持層中形成 p 型柱之方法通常如下所述。首先，在要形成裝置的電壓固持區之 n 型摻雜的磊晶層中蝕刻一或更多溝槽。每一溝槽以摻雜柱要設置之處為中心。在溝槽中沈積第一層 p 型摻雜多晶矽。將多晶矽中的 p 型摻雜劑擴散至圍繞溝槽的 n 型摻雜磊晶層。接著，沈積第二層 n 型摻雜多晶矽以填充溝槽。來自相反摻雜的多晶矽之摻雜劑會相互擴散，彼此授予電補償。但是，由於 n 型摻雜劑在多晶矽中的擴散率大於在形成磊晶層之單晶矽中的擴散率，所以，形成於磊晶層中的 p 型摻雜區不會進行顯著的電荷補償。所造成的幾乎電中性之多晶矽柱呈現高電阻率及未以任何顯著的方式有助於裝置性能，而 p 型摻雜的單晶矽區形成連續的摻雜柱，具有類似於圖 3 所示之平滑側邊。在本發明的某些實施例中，所採用的 p 型摻雜劑為硼，所採用的 n 型摻雜劑為磷、砷、或二者的組合。

根據下述顯示於圖 4(a)-4(d)之舉例說明的步驟，製造類似於圖 3 中所示的電力半導體裝置。

首先，在傳統 N+摻雜的基底 502 上，生長 N 型摻雜的矽磊晶層 501。對於電阻率 5-40 歐姆-cm 的 400-800 V 裝置而言，磊晶層 501 的厚度典型上為 15-50 微米。接著，以

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

介電層遮蓋磊晶層 501 的表面，形成介電掩罩層，傳統上，介電掩罩層接著會被曝露並圖型化以留下界定溝槽 520 的位置之掩罩部份。以反應離子蝕刻，通過掩罩開口，乾蝕刻溝槽 520 至初始深度，初始深度之範圍，舉例而言，從 10-45 微米。

假使需要時，每一溝槽的側壁可被平滑化。首先，可以使用乾式化學蝕刻，以從溝槽側壁移除薄的氧化物層（典型上約 500-1000Å），以消除反應離子蝕刻製程所造成的損傷。接著，在溝槽 520 上生長可棄式二氧化矽層。以緩衝氧化物蝕刻或 HF 蝕刻，將可棄式層移除，以致於所造成的溝槽側壁儘可能地平滑化。

在圖 4 中，在溝槽 520 中沈積 p 型摻雜的多晶矽層 510。接著，執行擴散步驟以致於 p 型摻雜劑從溝槽 520 擴散至圍繞的磊晶層 501，因而形成 p 型摻雜的單晶矽柱 512。一般而言，溝槽深度、摻雜劑劑量及擴散製程的量值及持續時間，應選擇成取得所需的電荷補償度。

參考圖 4(c)，接著沈積 n 型摻雜的多晶矽層 516。接著，執行擴散步驟以使得多晶矽層 516 中的 n 型摻雜劑與多晶矽層 510 中的 p 型摻雜劑相互擴散。允許相互擴散製程一直進行直到 p 及 n 摻雜劑彼此電補償，以致於多晶矽層 510 及 516 是電中性。假使適當地選取 n 型及 p 型摻雜劑的量，可以取得電荷補償，如同 M.K. Lee, C.Y. Lu, K.Z. Chang and C. Shih 1984 年於 Solid State Electronics, Vol. 27, No. 11, pp. 995-1001 中所發表的「On the Semi-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

Insulating Polycrystalline Silicon Resistor」一文中所述般，此文獻於此一併列入參考。

藉由提供電補償給位於溝槽 520 中的多晶矽層，在溝槽 520 的中心內形成高電阻區。當施加反向電壓至完成的裝置時，假設高電阻多晶矽區中任何過量的電荷具有與經過摻雜的磊晶矽柱 512 相同的導電率，則此電阻會在裝置的二高壓端之間造成小的漏電流。但是，假使高電阻多晶矽區具有與摻雜柱 512 相反的導電率時，則除非超過臨界電場，否則其會在摻雜柱 512 中「電地」漂浮。

最後，如圖 4(d)所示，藉由從結構的表面移除多晶矽，以平坦化結構表面。

上述造成圖 4(d)中所示的結構之製程步驟的順序提供具有 p 型摻雜柱的電壓維持層，在電壓維持層上，可以製造任意數目之不同的電力半導體裝置。如同先前所述般，這些電力半導體裝置包含垂直 DMOS、V-溝槽 DMOS、及溝槽 DMOS MOSFET、IGBT、以及其它 MOS 閘極裝置。舉例而言，圖 3 顯示 MOSFET 的實施例，其包含類似於本發明中所採用之具有摻雜柱的電壓維持層，除了本發明中摻雜柱具有垂直側壁之外。應注意，雖然圖 4 顯示用以形成摻雜柱的單一溝槽，但是，本發明包含具有單一或多個溝槽之電壓維持區以形成任意數目的摻雜柱。舉例而言，一或多個摻雜柱可以設在閘極中心之下或是其它適於降低裝置的開啓電阻之位置。

一旦形成如圖 4 所示之電壓維持區及一或更多摻雜柱

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

時，以下述方式完成類似於圖 3 中所示的 MOSFET。在形成主動區掩罩之後，生長閘氧化物，沈積、摻雜、及氧化多晶矽層。接著，掩罩多晶矽以形成閘極區。使用傳統的掩罩、佈植及擴散步驟，形成 p+摻雜深本體區 5b 及 6b。舉例而言，以約 1×10^{14} 至 $5 \times 10^{15}/\text{cm}^2$ 之劑量，20 至 200 KeV 的能，將硼佈植至 p+摻雜深本體區。以類似方式，形成淺本體區 5a 及 6a。用於此區的佈植劑量將為 20 至 100 KeV 下 1×10^{13} 至 $5 \times 10^{14} /\text{cm}^2$ 。

接著，使用光阻掩罩製程以形成界定源極區 7 及 8 之圖型化掩罩層。接著，以佈植及擴散製程，形成源極區 7 及 8。舉例而言，以 20 至 100 KeV，在源極區佈植砷至典型上 2×10^{15} 至 $1.2 \times 10^{16}/\text{cm}^2$ 之範圍，之後，在表面上形成氧化物層。在佈植之後，將砷擴散至約 0.5 至 2.0 微米的深度。本體區的深度典型上從約 1-3 微米的範圍，以 P+摻雜的深本體區（假使存在）稍微深一點。藉由蝕刻氧化物層以在前表面上形成接觸開口，以傳統方式完成 DMOS 電晶體。也沈積及掩罩金屬化層，以界定源極—本體及閘電極。而且，使用墊掩罩以界定墊接點。最後，在基底的底面上，形成汲極接點層。

應注意，雖然揭示製造電力 MOSFET 的特定製程順序，但是，在不悖離本發明的範圍之下，可以使用其它製程順序。舉例而言，在界定閘極區之前，形成深 p+摻雜本體區。也能夠在形成溝槽之前，形成深 p+摻雜本體區。在某些 DMOS 結構中，P+摻雜深本體區會比 P 摻雜本體區淺，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

或者，在某些情形中，甚至不會有 P+ 摻雜本體區。

在發明的某些實施例中，不需要沈積摻雜的多晶矽層。反之，可以使用氣相摻雜，將摻雜劑加至第一多晶矽層 510。或者，將摻雜的二氧化矽層沈積於多晶矽上，在其由蝕刻步驟移除之前，作為固態源。同樣地，假使第二層未填充溝槽，從氣相或從摻雜的二氧化矽沈積層，將摻雜劑加至第二多晶矽層 516。假使採用氣相摻雜時，沈積或生長介電層或未經摻雜的多晶矽層，以在平坦化之前填充溝槽。相反地，假使使用摻雜的多晶矽作為摻雜源時，其可被用以填充溝槽。也能夠僅沈積一層摻雜的多晶矽（舉例而言，層 510），及如上所述般使用氣相摻雜或從固態摻雜源導入摻雜劑，導入摻雜劑以電補償被摻雜的多晶矽。如上所述，接著以介電質或未經摻雜的多晶矽填充溝槽。

前述說明顯示層 510 中的 n 型摻雜劑未擴散至 p 型摻雜柱 512 中。但是，實事上可以在層 516 中使用 n 型摻雜劑以補償摻雜柱 512 中的某些 p 型摻雜劑，因而提供調整摻雜柱 512 中的電荷以取得最大（或最佳）崩潰電壓之技術。也能夠最初以未經摻雜的多晶矽填充溝槽，然後，將第一摻雜劑擴散至多晶矽及磊晶層 501 的周圍部份（以形成摻雜柱 512），然後，將第二摻雜劑擴散至多晶矽以補償第一摻雜劑。此方式產生之摻雜區將具有從晶圓表面延伸至溝槽底部之外的點之摻雜劑濃度梯度，該梯度係溝槽尺寸、多晶矽晶粒尺寸、溝槽深度、導入的摻雜劑數量、及其它變數之函數。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (10)

雖然於此特別地顯示及說明不同的實施例，應瞭解在不悖離發明的精神及範圍之下，本發明的修改及變化係由上述技術所涵蓋且在後附申請專利範圍之範圍內。舉例而言，提供根據本發明的電力半導體裝置，其中，不同半導體區的導電率與此處所述者相反。此外，雖然使用垂直的 DMOS 電晶體以說明根據本發明製造裝置所需的範例步驟，但是，依循這些技術，也能夠製造其它 MOSFET 及諸如二極體等其它電力半導體裝置、雙極電晶體、電力 JFET、IGBT、MCT、及其它 MOS 閘極電力裝置。

圖式簡單說明

圖 1 係顯示傳統的電力 MOSFET 結構之剖面視圖。

圖 2 係顯示傳統的電力 MOSFET 之每單位面積的開啓電阻為崩潰電壓的函數。

圖 3 係顯示 MOSFET 結構，其包含電壓固持區，電壓固持區具有位於本體區下方具有 p 型摻雜劑之柱，其係設計成相同電壓下以低於圖 1 中所示的結構之每單位面積的開啓電阻操作。

圖 4(a)-4(d)係顯示舉例說明的一序列製程步驟，用以製造根據本發明構成的電壓固持區。

主要元件對照表

- | | |
|---|--------|
| 1 | N 磊晶矽層 |
| 2 | N+矽基底 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

- | | |
|-----|-----------|
| 5a | p 本體區 |
| 5b | 深 p 本體區 |
| 6a | p 本體區 |
| 6b | 深 p 本體區 |
| 7 | N+源極區 |
| 8 | N+源極區 |
| 12 | 源極 - 本體電極 |
| 18 | 絕緣閘電極 |
| 40 | p 型摻雜區 |
| 42 | p 型摻雜區 |
| 501 | N 型摻雜矽磊晶層 |
| 502 | N+摻雜基底 |
| 510 | p 型摻雜多晶矽層 |
| 512 | 摻雜柱 |
| 516 | n 型摻雜多晶矽層 |
| 520 | 溝槽 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 具有包含溝槽蝕刻形成的摻雜柱及相反摻雜的多晶矽之擴散形成區的高壓固持區之高壓電力 MOSFET

提供一種用於形成電力半導體裝置之方法。方法始於設置第一或第二導電率型的基底，然後在基底上形成電壓維持區。在基底上沈積第一導電率型的磊晶層以及在磊晶層中形成至少一溝槽，以形成電壓維持區。在溝槽中沈積具有第二導電率型的第二摻雜劑之第一多晶矽層。擴散第二摻雜劑，以在相鄰於溝槽處及磊晶層中形成摻雜的磊晶區。接著，在溝槽中沈積具有第一導電率型的第一摻雜劑之第二多晶矽層。分別設於第二及第一多晶矽層中的第一及第二摻雜劑相互擴散，以在第一及第二多晶矽層中取得電補償。最後，在電壓維持區上形成至少一具有第二導電率型的區，以在它們之間界定界面。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

HIGH VOLTAGE POWER MOSFET HAVING A VOLTAGE SUSTAINING REGION THAT INCLUDES DOPED COLUMNS FORMED BY TRENCH ETCHING AND DIFFUSION FROM REGIONS OF OPPOSITELY DOPED POLYSILICON

A method is provided for forming a power semiconductor device. The method begins by providing a substrate of a first or second conductivity type and then forming a voltage sustaining region on the substrate. The voltage sustaining region is formed by depositing an epitaxial layer of a first conductivity type on the substrate and forming at least one trench in the epitaxial layer. A first layer of polysilicon having a second dopant of the second conductivity type is deposited in the trench. The second dopant is diffused to form a doped epitaxial region adjacent to the trench and in the epitaxial layer. A second layer of polysilicon having a first dopant of the first conductivity type is subsequently deposited in the trench. The first and second dopants respectively located in the second and first layers of polysilicon are interdiffused to achieve electrical compensation in the first and second layers of polysilicon. Finally, at least one region of the second conductivity type is formed over the voltage sustaining region to define a junction therebetween.

訂

線

六、申請專利範圍 1

1. 一種形成電力半導體裝置之方法，包括下述步驟：

A. 設置第一或第二導電率型的基底；

B. 在該基底上以下述步驟形成電壓維持區：

1. 在基底上沈積磊晶層，該磊晶層具有第一導電率型；

2. 在該磊晶層中形成至少一溝槽；

3. 在該溝槽中沈積第一材料層，該第一材料層具有第二導電率型的第二摻雜劑；

4. 擴散該第二摻雜劑，以在相鄰於該溝槽處且在該磊晶層中，形成摻雜的磊晶區；

5. 在該溝槽中沈積具有第一導電率型的第一摻雜劑之第二材料層；

6. 使分別位於第二及第一材料層中的第一與第二摻雜劑相互擴散，以在第一及第二材料層中取得電補償；

C. 在該電壓維持區上形成至少一具有該第二導電率型的區，以在它們之間界定界面。

2. 如申請專利範圍第 1 項之方法，其中，該電補償足以在第一及第二材料層中實質地取得電荷中性。

3. 如申請專利範圍第 1 項之方法，其中，該第二層實質地填充該溝槽。

4. 如申請專利範圍第 1 項之方法，其中，步驟(C)又包含下述步驟：

在閘極介電質區之上形成閘極導體；

在磊晶層中形成第一及第二本體區，以在它們之間界

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 2

定漂移區，該本體區具有第二導電率型；

分別在第一及第二本體區中形成第一導電率型的第一及第二源極區。

5. 如申請專利範圍第 1 項之方法，其中，該第二摻雜劑是硼。

6. 如申請專利範圍第 1 項之方法，其中，該第一摻雜劑包含磷。

7. 如申請專利範圍第 1 項之方法，其中，該第一摻雜劑包含砷。

8. 如申請專利範圍第 1 項之方法，其中，該第一摻雜劑包含磷及砷。

9. 如申請專利範圍第 4 項之方法，其中，該本體區包含深本體區。

10. 如申請專利範圍第 1 項之方法，其中，藉由設置界定至少一溝槽的掩罩層、及蝕刻掩罩層所界定的溝槽，形成該溝槽。

11. 如申請專利範圍第 4 項之方法，其中，藉由佈植及擴散摻雜劑至基底，以形成該本體區。

12. 如申請專利範圍第 1 項之方法，其中，該電力半導體裝置係選自垂直 DMOS、V 溝槽 DMOS、及溝槽 DMOS MOSFET、IGBT、二極體及雙極電晶體所組成的群類。

13. 如申請專利範圍第 1 項之方法，其中，該第一及第二材料層係多晶矽層。

14. 如申請專利範圍第 2 項之方法，其中，該第一及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 3

第二材料層係多晶矽層。

15. 如申請專利範圍第 3 項之方法，其中，該第一及第二材料層係多晶矽層。

16. 如申請專利範圍第 4 項之方法，其中，該第一及第二材料層係多晶矽層。

17. 如申請專利範圍第 1 項之方法，又包括步驟，將第一摻雜劑的一部份擴散至該摻雜的磊晶區中以調整該摻雜的磊晶區之電荷。

18. 一種電力半導體裝置，根據申請專利範圍第 1 項之方法製成。

19. 一種電力半導體裝置，根據申請專利範圍第 16 項之方法製成。

20. 一種電力半導體裝置，根據申請專利範圍第 12 項之方法製成。

21. 一種電力半導體裝置，包括：

第一或第二導電率型的基底；

電壓維持區，配置在該基底上，該電壓維持區包含：

具有第一導電率型之磊晶層；

設於該磊晶層中之至少一溝槽；

設於該溝槽中的第一材料層；

設於第一多晶矽層上的第二材料層；

至少一摻雜的柱，相鄰於該溝槽且在該磊晶層中，該至少一摻雜柱具有第二導電率型的摻雜劑，該至少一摻雜柱係藉由將第二摻雜劑從第一材料層擴散至該磊晶層而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 4

形成的；

至少一具有該第二導電率的區，配置於該電壓維持區上以在它們之間界定界面。

22. 如申請專利範圍第 21 項之裝置，其中，該第一及第二材料層係高電阻率材料層。

23. 如申請專利範圍第 21 項之裝置，其中，該第一及第二材料層是實質上電中性。

24. 如申請專利範圍第 21 項之裝置，其中，該至少一區又包含：

閘極介電質及配置於該閘極介電質上的閘極導體，

第一及第二本體區，設於磊晶層中以在它們之間界定漂移區，該本體區具有第二導電率型；及

具有第一導電率型的第一及第二源極區，分別設在該第一及第二本體區中。

25. 如申請專利範圍第 24 項之裝置，其中，該本體區包含深本體區。

26. 如申請專利範圍第 21 項之裝置，其中，第二層實質地填充該溝槽。

27. 如申請專利範圍第 21 項之裝置，其中，該摻雜劑是硼。

28. 如申請專利範圍第 21 項之裝置，又包括第一摻雜劑，從第二層擴散至第一層。

29. 如申請專利範圍第 23 項之裝置，又包括另一摻雜劑，從第二層擴散至第一層以在該第一及第二材料層中取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 5

得電中性。

30. 如申請專利範圍第 29 項之裝置，其中，該另一摻雜劑包含砷。

31. 如申請專利範圍第 29 項之裝置，其中，該另一摻雜劑包含磷。

32. 如申請專利範圍第 29 項之裝置，其中，該另一摻雜劑包含磷及砷。

33. 如申請專利範圍第 21 項之裝置，其中，該電力半導體裝置係選自垂直 DMOS、V 溝槽 DMOS、及溝槽 DMOS MOSFET、IGBT、二極體及雙極電晶體所組成的群類。

34. 如申請專利範圍第 21 項之裝置，其中，該第一及第二材料層係多晶矽層。

35. 如申請專利範圍第 22 項之裝置，其中，該第一及第二材料層係多晶矽層。

36. 如申請專利範圍第 23 項之裝置，其中，該第一及第二材料層係多晶矽層。

37. 如申請專利範圍第 24 項之裝置，其中，該第一及第二材料層係多晶矽層。

38. 如申請專利範圍第 29 項之裝置，其中，該第一及第二材料層係多晶矽層。

39. 一種形成電力半導體裝置之方法，包括下述步驟

:

A. 設置第一或第二導電率型的基底；

B. 在該基底上以下述步驟形成電壓維持區：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 6

1. 在基底上沈積磊晶層，該磊晶層具有第一導電率型；
 2. 在該磊晶層中形成至少一溝槽；
 3. 在該溝槽中設置第一材料層，該第一材料層具有第二導電率型的第二摻雜劑；
 4. 擴散該第二摻雜劑，以在相鄰於該溝槽處且在該磊晶層中，形成摻雜的磊晶區；
 5. 在該溝槽中設置具有第一導電率型的第一摻雜劑之第二材料層；
 6. 使分別位於第二及第一材料層中的第一與第二摻雜劑相互擴散，以在第一及第二材料層中取得電補償；
- C. 在該電壓維持區上形成至少一具有該第二導電率型的區，以在它們之間界定界面。
40. 如申請專利範圍第 39 項之方法，其中，該電補償足以在第一及第二材料層中實質地取得電荷中性。
 41. 如申請專利範圍第 39 項之方法，其中，該第二層實質地填充該溝槽。
 42. 如申請專利範圍第 39 項之方法，其中，步驟(C)又包含下述步驟：
在閘介電質區之上形成閘極導體；
在磊晶層中形成第一及第二本體區，以在它們之間界定漂移區，該本體區具有第二導電率型；
分別在第一及第二本體區中形成第一導電率型的第一及第二源極區。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 7

43. 如申請專利範圍第 39 項之方法，其中，該第二摻雜劑是硼。

44. 如申請專利範圍第 39 項之方法，其中，該第一摻雜劑包含磷。

45. 如申請專利範圍第 39 項之方法，其中，該第一摻雜劑包含砷。

46. 如申請專利範圍第 39 項之方法，其中，該第一摻雜劑包含磷及砷。

47. 如申請專利範圍第 42 項之方法，其中，該本體區包含深本體區。

48. 如申請專利範圍第 39 項之方法，其中，藉由設置界定至少一溝槽的掩罩層、及蝕刻掩罩層所界定的溝槽，形成該溝槽。

49. 如申請專利範圍第 42 項之方法，其中，藉由佈植及擴散摻雜劑至基底，以形成該本體區。

50. 如申請專利範圍第 39 項之方法，其中，該電力半導體裝置係選自垂直 DMOS、V 溝槽 DMOS、及溝槽 DMOS MOSFET、IGBT、二極體及雙極電晶體所組成的群類。

51. 如申請專利範圍第 39 項之方法，其中，該設置第一材料層的步驟包含下述步驟，沈積第一材料層，接著，使用氣相摻雜，以第二摻雜劑摻雜第一材料層。

52. 如申請專利範圍第 51 項之方法，其中，該設置第二材料層的步驟包含下述步驟，沈積第二材料層，接著，使用氣相摻雜，以第一摻雜劑摻雜第二材料層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 8

53. 如申請專利範圍第 52 項之方法，又包括以介電材料填充該溝槽之步驟。

54. 如申請專利範圍第 52 項之方法，又包括以未經摻雜的多晶矽填充該溝槽之步驟。

55. 如申請專利範圍第 39 項之方法，其中，該第一及第二材料層係多晶矽層。

55. 如申請專利範圍第 51 項之方法，其中，該第一及第二材料層係多晶矽層。

56. 如申請專利範圍第 52 項之方法，其中，該第一及第二材料層係多晶矽層。

57. 如申請專利範圍第 53 項之方法，其中，該第一及第二材料層係多晶矽層。

58. 如申請專利範圍第 39 項之方法，又包括步驟，將第一摻雜劑的一部份擴散至該摻雜的磊晶區中以調整該摻雜的磊晶區之電荷。

59. 一種形成電力半導體裝置之方法，包括下述步驟：

- A. 設置第一或第二導電率型的基底；
- B. 在該基底上以下述步驟形成電壓維持區：
 - 1. 在基底上沈積磊晶層，該磊晶層具有第一導電率型；
 - 2. 在該磊晶層中形成至少一溝槽；
 - 3. 在該溝槽中設置第一材料層，該第一材料層具有第二導電率型的第二摻雜劑；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 9

4. 擴散該第二摻雜劑，以在相鄰於該溝槽處且在該磊晶層中，形成摻雜的磊晶區；

5. 使第一導電率型的第一摻雜劑擴散至第一材料層，以在第一材料層中取得電補償。

C. 在該電壓維持區上形成至少一具有該第二導電率型的區，以在它們之間界定接面。

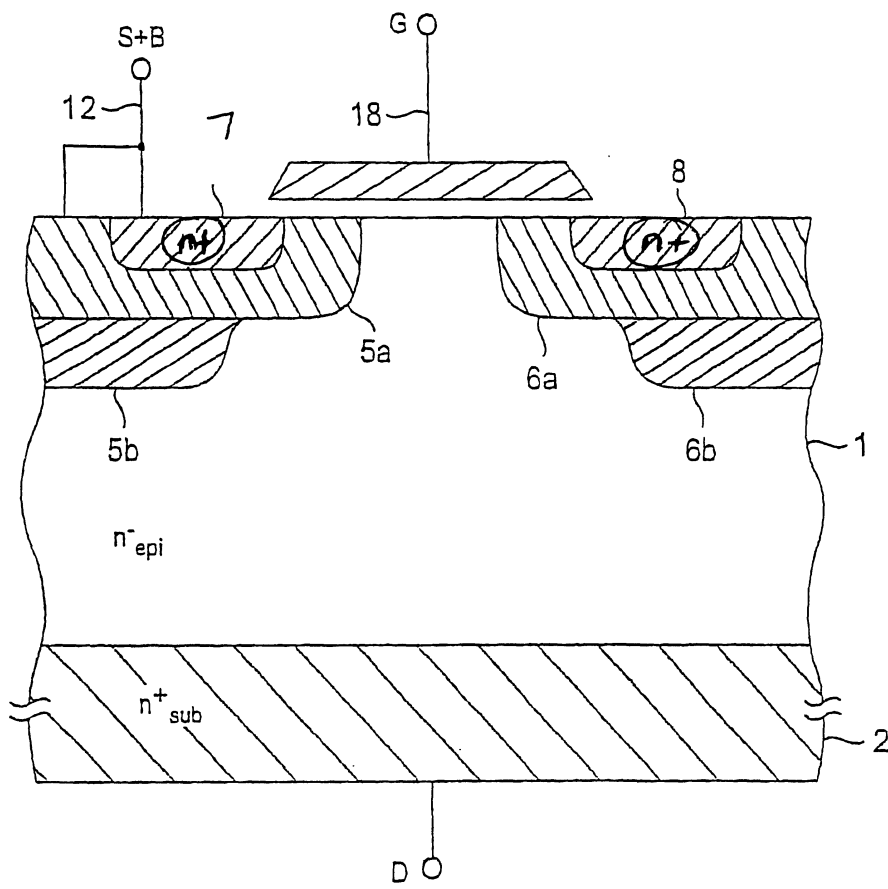
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

1/5



傳統的 MOSFET

圖 1

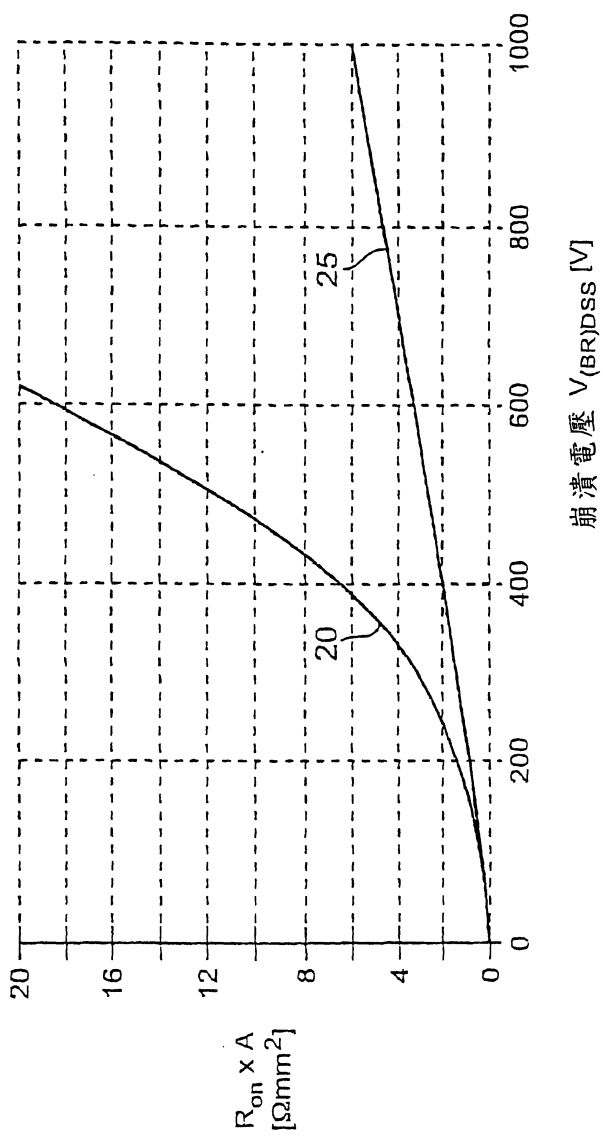
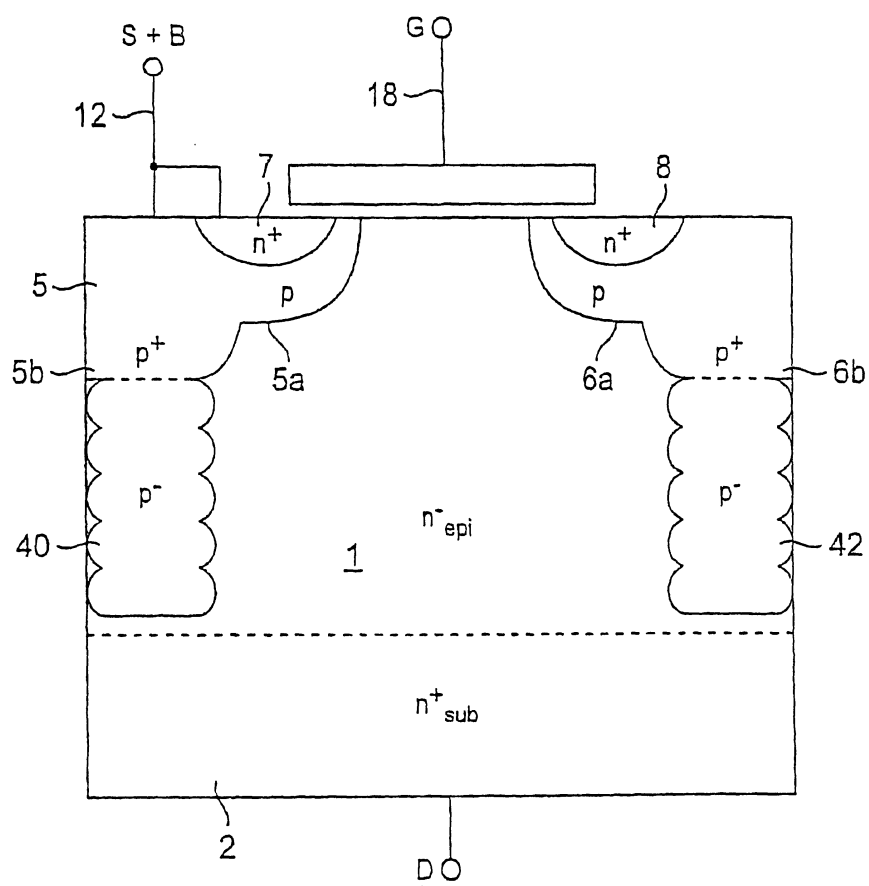


圖 2

3/5



具有相當低的開啟電阻之高壓
垂直 DMOS 電晶體的摻雜劑分佈

圖 3

4/5

1. 生長／沈積溝槽蝕刻一步階層
2. 掩罩及蝕刻溝槽蝕刻一步階層
3. 蝕刻溝槽

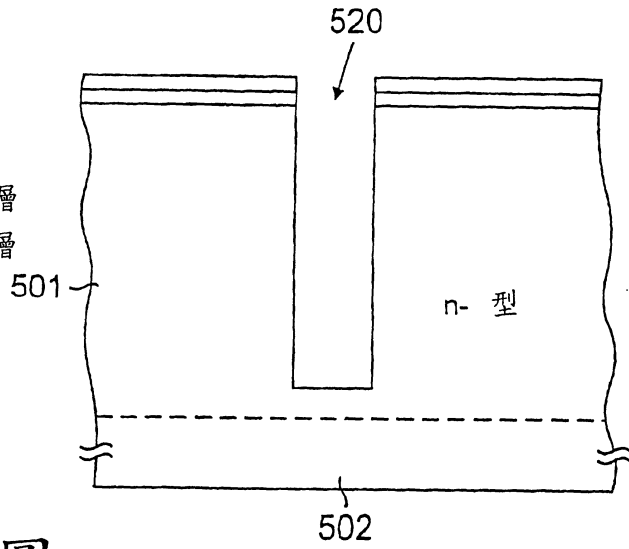


圖 4A

4. 沈積摻雜 p 型的多晶矽層
5. 將 p 型摻雜劑擴散至單晶矽

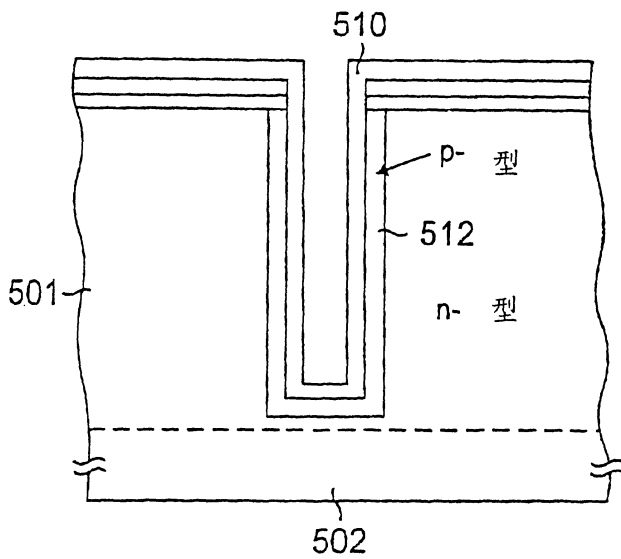


圖 4B

5/5

- 6. 沈積摻雜 n 型之多晶矽層以填充構槽
- 7. 在多晶矽層中擴散 n 型及 p 型摻雜劑以彼此電補償

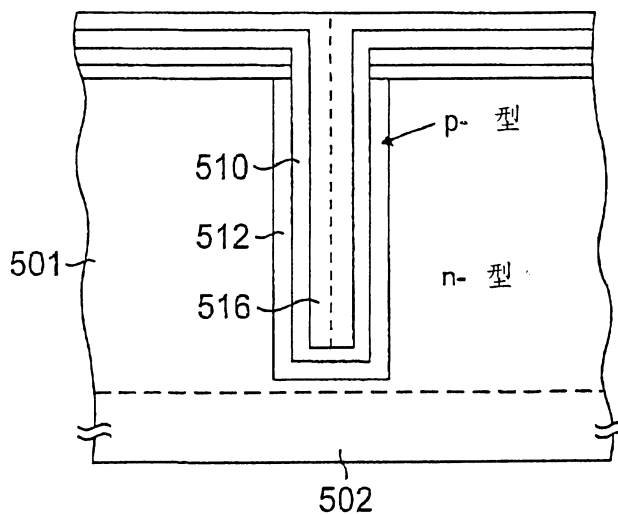


圖 4C

- 8. 平坦化結構

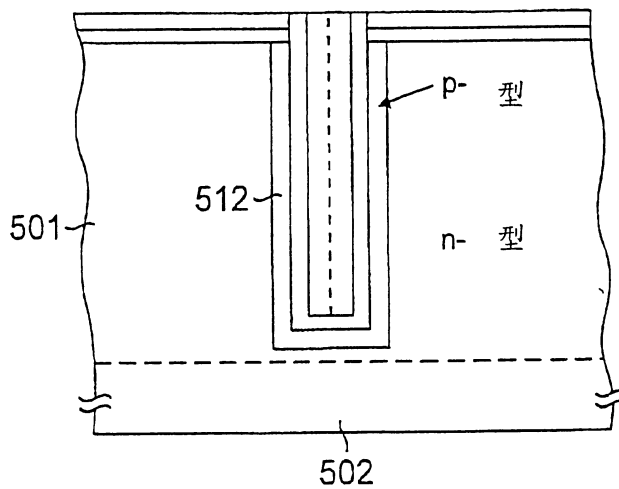


圖 4D

伍、(一)、本案指定代表圖爲：第 4C 圖

(二)、本代表圖之元件代表符號簡單說明：

501 N 型摻雜矽磊晶層

502 N + 摻雜基底

510 p 型摻雜多晶矽層

512 摻雜柱

516 n 型摻雜多晶矽層