

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4286541号
(P4286541)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 C
 HO2M 3/155 S

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2002-563602 (P2002-563602)	(73) 特許権者	306043703
(86) (22) 出願日	平成14年1月29日 (2002.1.29)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2004-519188 (P2004-519188A)		NXP B. V.
(43) 公表日	平成16年6月24日 (2004.6.24)		オランダ国 5656 エイジー アイ
(86) 国際出願番号	PCT/IB2002/000289		ドーフエン ハイ テク キャンパス 6
(87) 国際公開番号	W02002/063770		O
(87) 国際公開日	平成14年8月15日 (2002.8.15)	(74) 代理人	100075812
審査請求日	平成17年1月28日 (2005.1.28)		弁理士 吉武 賢次
(31) 優先権主張番号	0102912.3	(74) 代理人	100088889
(32) 優先日	平成13年2月6日 (2001.2.6)		弁理士 橋谷 英俊
(33) 優先権主張国	英国 (GB)	(74) 代理人	100107582
(31) 優先権主張番号	0112583.0		弁理士 関根 毅
(32) 優先日	平成13年5月24日 (2001.5.24)	(74) 代理人	100112793
(33) 優先権主張国	英国 (GB)		弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 切替え型 F E T 回路

(57) 【特許請求の範囲】

【請求項 1】

正極性又は負極性の所定の極性の入力 D C 電圧を受ける複数の入力電圧端子と、
論理入力端子と、複数の切替え出力端子の間に接続されたソース及びドレインを有する
高電位側 F E T スイッチと、を備えた高電位側パッケージであって、当該高電位側パッ
ッケージの前記複数の切替え出力端子の 1 つが前記複数の入力電圧端子の 1 つに接続され、当
該高電位側パッケージの前記複数の切替え出力端子の他の 1 つが切替えノードに接続され
た、高電位側パッケージと、

論理入力端子と、複数の切替え出力端子の間に接続されたソース及びドレインを有する
低電位側 F E T スイッチと、備えた低電位側パッケージであって、当該低電位側パッ
ッケージの前記複数の切替え出力端子の 1 つが前記複数の入力電圧端子の他の 1 つに接続され、
前記複数の切替え出力端子の他の 1 つが前記切替えノードに接続された、低電位側パッ
ッケージと、

前記両パッケージの前記論理入力端子に接続され、交流制御信号を前記論理入力端子に供給して、前記高電位側及び低電位側 F E T スイッチを交互に切り替えるパルス幅変調器と、を備え、

前記高電位側パッケージは、前記高電位側 F E T スイッチのゲートに接続されて前記交流制御信号に基づき前記高電位側 F E T スイッチのオン及びオフを切り替える論理回路と、前記切替えノードに接続された前記高電位側パッケージの前記切替え出力端子の前記他の 1 つにおける前記所定の極性とは反対の極性の電圧エッジを検出し、前記高電位側パッ

ケージの前記論理入力端子及び前記切替え出力端子における電圧のみに基づいて前記高電位側パッケージの前記高電位側 F E T スイッチを制御するために、前記電圧エッジが検出された後にのみ前記高電位側 F E T スイッチのオンへの切り替えをトリガするように構成されているセンス回路とを含み、

前記低電位側パッケージは、前記低電位側 F E T スイッチのゲートに接続されて前記交流制御信号に基づき前記低電位側 F E T スイッチのオン及びオフを切り替える論理回路と、前記切替えノードに接続された前記低電位側パッケージの前記切替え出力端子の前記他の 1 つにおける前記所定の極性とは反対の極性の電圧エッジを検出し、前記低電位側パッケージの前記論理入力端子及び前記切替え出力端子における電圧のみに基づいて前記低電位側パッケージの前記低電位側 F E T スイッチを制御するために、前記電圧エッジが検出された後にのみ前記低電位側 F E T スイッチのオンへの切り替えをトリガし、前記高電位側パッケージの前記高電位側 F E T スイッチと前記低電位側パッケージの前記低電位側 F E T スイッチとが同時に導通状態になることを回避するように構成されているセンス回路とを含む、

ことを特徴とする切替え回路。

【請求項 2】

並列に接続された複数の前記高電位側パッケージと、
並列に接続された複数の前記低電位側パッケージと、
を備えることを特徴とする請求項 1 に記載の切替え回路。

【請求項 3】

前記低電位側パッケージにおいて、前記低電位側 F E T スイッチは、レベルシフトにより前記論理回路から分離されているドライバにより駆動され、前記ドライバは、前記低電位側 F E T スイッチに直接参照されることを特徴とする請求項 1 又は 2 に記載の切替え回路。

【請求項 4】

正極性又は負極性の所定の極性の入力 D C 電圧を受ける複数の入力電圧端子と、
論理入力端子と、複数の切替え出力端子の間に接続されたソース及びドレインを有する高電位側 F E T スイッチと、を備えた高電位側パッケージであって、当該高電位側パッケージの前記複数の切替え出力端子の 1 つが前記複数の入力電圧端子の 1 つに接続され、当該高電位側パッケージの前記複数の切替え出力端子の他の 1 つが切替えノードに接続された、高電位側パッケージと、

論理入力端子と、複数の切替え出力端子の間に接続されたソース及びドレインを有する低電位側 F E T スイッチと、備えた低電位側パッケージであって、当該低電位側パッケージの前記複数の切替え出力端子の 1 つが前記複数の入力電圧端子の他の 1 つに接続され、前記複数の切替え出力端子の他の 1 つが前記切替えノードに接続された、低電位側パッケージと、

前記両パッケージの前記論理入力端子に接続され、交流制御信号を前記論理入力端子に供給して、前記高電位側及び低電位側 F E T スイッチを交互に切り替えるパルス幅変調器と、

を有する同期式 D C / D C 変換器回路を動作させる方法であって、

第 1 極性と前記第 1 極性とは反対の第 2 極性との間で交番するパルス幅変調交流信号により交互に高電位側及び低電位側パッケージを駆動する過程と、

前記高電位側パッケージにおいて、前記第 1 極性から前記第 2 極性への前記パルス幅変調交流信号の極性の変化に応じて前記高電位側 F E T スイッチをオフに切り替える過程を実行し、前記第 2 極性から前記第 1 極性への前記パルス幅変調交流信号の極性の変化に応じて遅延過程を実行し且つ前記高電位側 F E T スイッチをオンに切り替える過程を実行し、

前記低電位側パッケージにおいて、前記第 2 極性から前記第 1 極性への前記パルス幅変調交流信号の極性の変化に応じて前記低電位側 F E T スイッチをオフに切り替える過程を実行し、前記第 1 極性から前記第 2 極性への前記パルス幅変調交流信号の極性の変化に

10

20

30

40

50

じて遅延過程を実行し且つ前記低電位側 F E T スイッチをオンに切り替える過程を実行することにより、

前記低電位側 F E T スイッチと前記高電位側 F E T スイッチとが同時にオンに切り替えられることを回避する過程と、
を含むことを特徴とする方法。

【請求項 5】

前記高電位側パッケージ及び前記低電位側パッケージの双方における前記遅延過程は、所定の時間の遅延を含むことを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記高電位側パッケージ及び前記低電位側パッケージの双方における前記遅延過程は、前記切替えノードの電圧の負エッジを待ってから前記各 F E T スイッチのオンへの切替えをトリガする過程を含むことを特徴とする請求項 4 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、切替え型 F E T (電界効果トランジスタ) 回路に関し、さらに、例えば同期式 D C / D C 電圧変換器において使用されるような回路の動作方法に関する。

【0002】

【従来の技術】

切替え型 F E T を備えている回路は周知である。例として、例えば 12 V の電源から 1.5 V の電圧線を供給するような、ある電圧レベルから他の電圧レベルに電圧を変換するのによく使用される D C (直流) / D C 変換器が挙げられる。

【0003】

変換器の一形態である同期式 D C / D C 変換器を概略的に図 1 に示す。入力電圧 V_{in} が入力端子 2 及び 4 の間に印加されている。一対のトランジスタ - - 本例では電界効果トランジスタ - - 6 及び 8 が入力端子 2 及び 4 の間に接続されている。入力端子 2 に接続されたトランジスタ 6 は、制御式 F E T 又は高電位側トランジスタと呼ばれ、接地側に接続されたトランジスタ 8 は、同期式 F E T 又は低電位側トランジスタと呼ばれる。高電位側が低電位側より比較的、より正であるが、但し、高電位側又は低電位側が特に接地される必要は必ずしもない。

【0004】

トランジスタ 6 及び 8 の間のノードは、切替えノード 10 と呼ばれる。切替えノードは、インダクタ 12 を通じて且つコンデンサ 14 を介して出力端子 16 に給電する。

【0005】

制御式及び同期式 F E T は、それぞれの対応するドライバ 30 及び 32 により駆動される。

【0006】

制御回路 18 には、入力制御端子 20 に至る入力端子と、帰還経路 22 を介して出力端子 16 から給電される他の入力端子とが備えられている。制御回路 18 は、制御信号を供給して、F E T 6 及び 8 を制御して、切替え型トランジスタ 6 及び 8 のオンとオフとを繰り返すことで出力端子で電圧を保持する。制御信号は、制御式及び同期式 F E T を交互に導通させる交流信号である。マークスペース比は可変であり、即ち、制御式 F E T が導通する時間と同期式 F E T が導通する時間との比率が調整されて、出力端子 16 での目標電圧が達成される。

【0007】

こうした D C / D C 変換器の例としては、インテル株式会社に譲渡された W O 98 / 49607 や L e e に譲渡された米国特許第 5479089 号が挙げられる。

【0008】

同期式 D C / D C 変換器の特色としては、高電位側トランジスタ 6 と低電位側トランジスタ 8 とを同時にオンにすることが、通常、望ましいとは限らないことである。どちらの

10

20

30

40

50

トランジスタもオンになると、制御式 F E T と同期式 F E T とを介して二つの入力端子 2 及び 4 の間を直接通る電流により入力電圧が短絡される。この現象は「シュートスルー (shoot-through)」と呼ばれる。従って、制御回路 18 は、通常、確実に二つのトランジスタ 6 及び 8 の一方だけしかオンにならないように構成されている。

【0009】

上記のことは、従来、二つの電圧をモニタすることによって実施される。切替えノード 10 の電圧は、高電位側トランジスタ 6 がオフになるまで低電位側トランジスタ 8 がオンに切り替わらないようにモニタされる。低電位側トランジスタ 8 のゲート 24 の電圧は、低電位側トランジスタ 8 がオフになるまで高電位側トランジスタがオンに切り替わらないようにモニタされる。例えば、特許文献 1 には、この型の回路が記載されている。また、10

【0010】

どちらの F E T も非導通状態にあるデッドタイムは、トランジスタのしきい電圧と同期式 F E T の容量に応じて決まる。これらのしきい電圧と F E T の容量は、おおまかには、選択された F E T のパラメータの製造スプレッド、及び、個々の選択された F E T に応じて変化するものである。このことは、シュートスルーを回避するデッドタイムを生成するようにこうしたパラメータを控えめに見積もらなければならないことを意味している。こうすれば通常、使用された特定の F E T に対して制御回路が最適化された場合に可能となるデッドタイムより長くなる。

【0011】

【特許文献 1】

WO 98 / 49607 号

【特許文献 2】

米国特許第 5479089 号明細書

【0012】

【発明が解決しようとする課題】

現在の趨勢は、切替え及びクロックの速度を増加させる方に向けられている。このことは、高電位側トランジスタ 6 及び低電位側トランジスタ 8 のどちらもオンになっていないデッドタイムの重要性が増すことを意味する。このデッドタイムを短くすることが有益となる。30

【0013】

並列に接続された複数の F E T が単一の高電位側及び低電位側トランジスタの代わりに使用されている場合には、他の欠点が発生することになる。ゲート抵抗のバラツキや、F E T が備えられた回路における製造上のバラツキにより再び引き起こされた他のパラメータに応じて並列接続 F E T は、正確に同じ時間には決して切り替わることはなくなる。従って、高電位側又は低電位側 F E T が総てオフに切り替わるとき、即ち、他の F E T がオンに切り替わるときを正確に判定するのが困難になる。通常は、解決法として回路にゲート抵抗器を備えることが採用される。しかし、こうすると F E T の切替えの速度が下がり、切替えに伴う損失が、特に高周波数において、増大することになる。従って、並列接続 F E T の使用が一層容易になる回路構成を提供することが有益になるであろう。40

【0014】

【課題を解決するための手段】

本発明によれば、複数の入力電圧端子に印加される所定の正極性又は負極性の入力 D C 電圧を使用するための切替え回路であって、上記入力電圧端子のうちの一つと切替えノードとに接続された複数の切替え出力端子の間に接続されたソース及びドレインを有する高電位側 F E T スイッチと、論理入力端子と、をそれぞれ備えた高電位側パッケージと、他の上記入力電圧端子と上記切替えノードとに接続された複数の切替え出力端子の間に接続されたソース及びドレインを有する低電位側 F E T スイッチと、論理入力端子と、をそれぞれ備えた低電位側パッケージと、上記両パッケージの上記論理入力端子に接続され、交流制御信号を上記論理入力端子に供給して、上記高電位側及び低電位側 F E T スイッチを50

交互に切り替えるパルス幅変調器と、を備え、上記高電位側パッケージは、上記高電位側 F E T スイッチのゲートに接続されて上記交流制御信号に基づき上記高電位側 F E T スイッチのオン及びオフを切り替える論理回路と、上記切替えノードに接続された上記切替え出力端子における所定の正極性又は負極性とは反対の極性の電圧エッジを検出し、上記高電位側パッケージの上記論理入力端子及び上記切替え出力端子における電圧のみに基づいて上記高電位側パッケージの上記高電位側 F E T スイッチを制御するために上記電圧エッジが検出された後にのみ上記高電位側 F E T スイッチのオンへの切り替えをトリガするように構成されているセンス回路とを含み、上記低電位側パッケージは、上記低電位側 F E T スイッチのゲートに接続されて上記交流制御信号に基づき上記低電位側 F E T スイッチのオン及びオフを切り替える論理回路と、上記切替えノードに接続された上記切替え出力端子における所定の正極性又は負極性とは反対の極性の電圧エッジを検出し、上記低電位側パッケージの上記論理入力端子及び上記切替え出力端子における電圧のみに基づいて上記低電位側パッケージの上記低電位側 F E T スイッチを制御するために上記電圧エッジが検出された後にのみ上記低電位側 F E T スイッチのオンへの切り替えをトリガし、上記高電位側パッケージの上記高電位側 F E T スイッチと上記低電位側パッケージの上記低電位側 F E T スイッチとが同時に導通状態になることを回避するように構成されているセンス回路とを含む、切替え回路が提供される。

10

【 0 0 1 5 】

従って、高電位側及び低電位側回路間で制御信号を通過させるために複雑な回路構成を備えなくてもシュートスルーを防止することができる。必要な唯一の制御信号は、論理レベルにある交流パルス幅変調 (P W M : Pulse Width Modulated) 制御信号である。

20

【 0 0 1 6 】

高電位側及び低電位側構成部中のドライバ回路が上記構成部中の他方からの信号には依存していないので、切替えの速度が速くなり、どちらのスイッチも非導通状態にあるデッドタイムが短縮される。

【 0 0 1 7 】

高電位側及び低電位側パッケージを接続するノードは切替えノードと呼ばれる。各パッケージにおける論理回路構成には、切替えノード及び電圧入力端子における電圧に基づいて、それぞれの対応するスイッチの切替えを制御するセンス回路が備えられている。

【 0 0 1 8 】

好適実施例では、センス回路には、所定の正極性又は負極性とは反対の極性の電圧エッジを検出して電圧エッジが検出された後にのみ、対応する F E T をオンに切り替えるエッジ検出器が備えられている。

30

【 0 0 1 9 】

代わりに、論理回路は、対応する F E T がオンに切り替わる前と制御信号が切り替わった後の間に、遅延を発生させる。

【 0 0 2 0 】

ドライバ回路は、制御回路から分離可能であり、ドライバ回路の低電圧側は、対応する F E T のソースに直接接続可能である。この方法で、ゲートを駆動する回路の領域を縮小することができる。これにより、ゲート - ソース・ループ・インダクタンスを縮小して、ゲート - ソース電圧の上昇及び下降をより迅速にする。さらに、ソース接続点における寄生インダクタンスは、ゲート - ソース電圧の低下、その結果としての F E T の切替えの低速化を引き起こすことがなくなる。

40

【 0 0 2 1 】

ドライバは、ドライバとゲートとの間に抵抗器を備えなくても、対応する F E T のゲートに直接接続可能である。こうした抵抗器は、同期式 F E T のゲート電圧をモニタすることにより制御式 F E T がオンに切り替わる従来の設計では必要であった。

【 0 0 2 2 】

高電位側及び低電位側構成部は、容易に並列構成可能である。というのは各構成部ともシュートスルーを回避するための回路構成を備えているからである。

50

【 0 0 2 3 】

対応するパッケージに各 F E T 及びドライバを統合することによって、広いスペースが切り詰められ、設計も広範囲に単純化することができる。各 F E T は、現在では、シュートスルーを防止してデッドタイムを縮小するように、適切な時間、確実に導通するようにデジタル入力を取り、自動的のそのゲート駆動を制御する装置とみなすことができる。

【 0 0 2 4 】

高電位側構成部には、内部にブートストラップダイオードを備え、制御回路から分離可能である。これにより、F E T で使用されている電圧は制御及びドライバ回路を駆動するのに使用されている電圧とは一致しなくなる。

【 0 0 2 5 】

内部調整器は、ゲート駆動用の安定した動作電圧を確保して、備えてあるレベルシフタに給電するように構成されている。

【 0 0 2 6 】

外部からのモニタを行わなくても、障害が発生すると、F E T が直接遮断されるように熱保護が備えられている。

【 0 0 2 7 】

電力は容易に増大可能である。例えば、面実装パッケージに敷設された多層 F R 4 P C B 上では、各デバイスの損失は約 3 W に制限される。電力を増加させるためには、より多くの位相が必要である。即ち、移相 P W M 信号を使用して様々な位相で追加 F E T を駆動することが必要である。というのは、シュートスルーや相互導通の虞があるためデバイスを並列化してパッケージを追加することは、危険だからである。各構成部の切替えノードでの感知動作により、並列化が可能になり、本発明の解法が容易に解決することができる。

【 0 0 2 8 】

本発明はさらに、高電位及び低電位側構成部自体にも関する。従って、他の態様では、本発明は、所定の正極性又は負極性の入力 D C 電圧を切り替える切替え回路において使用される高電位側構成部に関し、高電位側構成部は、ソース、ドレイン及びゲートを含む高電位側 F E T スイッチと、上記ゲートに接続されて上記ゲートを制御するドライバと、上記ドレインに接続されて上記入力 D C 電圧の高電圧側を入力する電圧入力端子と、上記ソースに接続された出力端子と、交流制御信号を受け取る論理入力端子と、上記論理入力端子及び上記ドライバに接続され、上記論理入力端子に印加される上記交流制御信号に基づき上記高電位側 F E T スイッチのオン及びオフを切り替えるために上記ドライバを制御する論理回路であって、上記出力端子と上記入力 D C 電圧の接地側との間に接続された低電位側 F E T スイッチと同時に上記高電位側 F E T スイッチが導通状態になることを回避するために上記高電位側 F E T スイッチの上記ソースにおける電圧を検出して上記高電位側 F E T スイッチの切り替えを制御するセンス回路を含む論理回路と、を備える高電位側パッケージを含み、上記論理回路は、切替えノードに接続された上記出力端子における所定の正極性又は負極性とは反対の極性の電圧エッジを検出し、上記高電位側パッケージの上記論理入力端子及び上記出力端子における電圧のみに基づいて上記高電位側パッケージの上記高電位側 F E T スイッチを制御するために上記電圧エッジが検出された後にのみ上記高電位側 F E T スイッチのオンへの切り替えをトリガするように構成されている上記センス回路を含む。

【 0 0 2 9 】

さらに他の態様では、本発明は、所定の正極性又は負極性の入力 D C 電圧を切り替える切替え回路において使用される低電位側構成部に関し、低電位側構成部は、ソース、ドレイン及びゲートを含む低電位側 F E T スイッチと、上記ゲートに接続されて上記ゲートを制御するドライバと、上記ソースに接続されて上記入力 D C 電圧の低電圧側を入力する電圧入力端子と、上記ドレインに接続された出力端子と、交流制御信号を受け取る論理入力端子と、上記論理入力端子及び上記ドライバに接続され、上記論理入力端子に印加される上記交流制御信号に基づき上記低電位側 F E T スイッチのオン及びオフを切り替えるため

10

20

30

40

50

に上記ドライバを制御する論理回路であって、上記低電位側 F E T スイッチの上記ドレインにおける電圧を検出して上記低電位側 F E T スイッチの切り替えを制御するセンス回路を含む論理回路と、を備える低電位側パッケージを含み、上記ドライバは、上記論理回路から分離され、かつ、上記ソースに直接参照され、上記センス回路は、切替えノードに接続された上記出力端子における所定の正極性又は負極性とは反対の極性の電圧エッジを検出し、上記低電位側パッケージの上記電圧入力端子及び上記出力端子における電圧のみに基づいて上記低電位側パッケージの上記低電位側 F E T スイッチを制御するために上記電圧エッジが検出された後にのみ上記低電位側 F E T スイッチのオンへの切り替えをトリガするように構成されている。

【 0 0 3 0 】

本発明はまた、入力 D C 端子と切替えノードとの間に接続された制御式 F E T を含む高電位側パッケージと、上記切替えノードと接地端子との間に接続された同期式 F E T を含む低電位側パッケージとを備えた同期式 D C / D C 変換器回路を動作させる方法に関し、上記方法は、第 1 極性と上記第 1 極性とは反対の第 2 極性との間で交番するパルス幅変調交流信号により交互に高電位側及び低電位側パッケージを駆動する過程と、上記高電位側パッケージにおいて、上記第 1 極性から上記第 2 極性への上記パルス幅変調交流信号の極性の変化に応じて上記制御式 F E T をオフに切り替える過程を実行し、上記第 2 極性から上記第 1 極性への上記パルス幅変調交流信号の極性の変化に応じて遅延過程を実行し且つ上記制御式 F E T をオンに切り替える過程を実行し、上記低電位側パッケージにおいて、上記第 2 極性から上記第 1 極性への上記パルス幅変調交流信号の極性の変化に応じて上記同期式 F E T をオフに切り替える過程を実行し、上記第 1 極性から上記第 2 極性への上記パルス幅変調交流信号の極性の変化に応じて遅延過程を実行し且つ上記同期式 F E T をオンに切り替える過程を実行することにより、上記同期式 F E T と上記制御式 F E T とが同時にオンに切り替えられることを回避する過程と、を含む。

【 0 0 3 1 】

上記高電位側パッケージ及び上記低電位側パッケージの双方における上記遅延過程は、所定の時間の遅延を含み得る。

【 0 0 3 2 】

代わりに、上記高電位側パッケージ及び上記低電位側パッケージの双方における上記遅延過程は、上記切替えノードの電圧の負エッジを待ってから上記各 F E T のオンへの切替

【 0 0 3 3 】

本発明をよりよく理解するために、特定の実施例を、添付図面を参照しながら、単に例として、以下に説明する。

【 0 0 3 4 】

【 発明の実施の形態 】

図 2 を参照すると、本発明の特定の実施の形態は、低電位側構成部 5 6 に関する。低電位側構成部には、ドレイン 1 0 6、ソース 1 0 8 及びゲート 1 1 0 を含む同期式 F E T 8 が備えられている。ドレイン 1 0 6 とソース 1 0 8 は、それぞれドレイン端子 8 4 とソース端子 8 6 に接続されている。ドライバ 3 2 はゲート 1 1 0 に接続されて、ゲート 1 1 0 を駆動する。論理回路 1 5 0 は、論理レベル入力端子 9 0 において受け取った信号に応じてドライバ 3 2 を駆動する。

【 0 0 3 5 】

論理回路には、同期式 F E T 8 のドレイン 1 0 6 で所定の電圧状態が発生するとドライバ 3 2 をトリガするセンス回路 1 5 3 が備えられている。センス回路 1 5 3 は、電圧が所定レベル、例えば、 -0.5V 以下に低下するときにトリガするように構成されている。代わりに、センス回路は、同期式 F E T のドレイン 1 0 6 の負方向エッジでトリガすることも可能である。論理回路構成 1 5 0 は、論理レベル入力端子 9 0 の信号が第 1 極性から第 2 極性に替わるときにドライバ 3 2 をオフにするように構成されている。交流信号が第 2 極性から第 1 極性に逆反転すると、ドライバ 3 2 は、センス回路 1 5 3 がトリガした後

にのみオンに切り替わる。この様にして、論理レベル入力端子 90 に供給された論理信号以外の外部論理接続部は不必要になる。

【0036】

論理回路 150 は接続線により給電されて、Vcc 及び接地にそれぞれ接続された入力端子 80、82 に給電する。ドライバ回路への接地帰還は接地端子 82 ではなく、直接ドライバ帰還線 138 に沿って FET のソース 108 に至る。従って、論理回路 150 には、ドレインの電圧を感知してドライバ 32 をトリガする、ドレイン 106 に接続されたセンス入力端子 152 が備えられている。

【0037】

低電位側構成部におけるドライバ 32 とソース 108 との間の直接接続線 138 は、ゲート 110 を駆動するために使用される電流用の低インダクタンス帰還経路である。即ち、ドライバ 32、ゲート 110 及び帰還経路 138 の面積は縮小される。これにより、寄生インダクタンスを通過する切替え電流により引き起こされる一過性の影響が抑制される。しかし、直接接続線は、必須ではない。

10

【0038】

レベルシフト回路 136 は、論理回路とドライバ 32 との間に示されている。同様にこれも必須ではないが、同期 FET ドライバ 32 を分離することにより、直接接続線 138 が半導体ダイの本体、従って、論理回路 150 における電圧を大幅に振幅させるといった悪影響を及ぼすことは確実に無くなる。

【0039】

対応する高電位側構成部 52 が図 3 に示されている。制御式 FET 6 は、ドレイン 100、ソース 102 及びゲート 104 を備えている。ドレイン 100 とソース 102 は、それぞれドレイン端子 84 とソース端子 86 に接続されている。ドライバ 30 は、ゲート 110 に接続されて、ゲート 110 を駆動する。論理回路 150 は、論理レベル入力端子 90 において受け取られた信号に応じてレベルシフト回路 136 を介してドライバ 30 を駆動する。

20

【0040】

論理回路 150 には、低電位側構成部 56 の場合のように、ドライバ 32 をトリガするセンス回路 153 が備えられている。しかし、この場合には、電圧は制御式 FET 6 のソース 102 において検出される。センス回路 153 は、電圧が所定レベル、例えば、-0.5V 以下に下がるときにトリガするように構成可能である。代わりに、センス回路は、負方向エッジでトリガ可能である。論理回路 150 は、論理レベル入力端子 90 の信号が第 2 極性から第 1 極性に替わるときにドライバ 32 をオフにする（同じ極性は低電位側構成部 56 において上記に使用されているように意図されている）。交流信号が第 1 極性から第 2 極性に逆に反転すると、ドライバ 32 はセンス回路 153 がトリガした後にのみオンになる。この様にして、論理レベル入力端子 90 に送られる論理信号とは別の外部論理接続部は制御式 FET を制御するのには不必要である。

30

【0041】

制御式 FET 6 及び同期式 FET 8 が交互にオンに切り替えられるのが望ましい。高電位側構成部 52 及び低電位側構成部 56 についての上記の記載では、高電位側構成部 52 及び低電位側構成部 56 の一方の論理入力端子 90 に印加された信号が他方の論理入力端子に印加された信号と同じであると仮定されているので、交流信号が一方の極性のときには、制御式 FET 6 及び同期式 FET 8 の一方がオンになり、他方の極性のときには、制御式 FET 6 及び同期式 FET 8 の他方がオンになる。

40

【0042】

当然のことながら、例えば入力端子 90 の一つに接続されたインバータを用いて本発明が外部で実行されるように制御式 FET 6 及び同期式 FET 8 における論理回路 150 を構成することも可能である。この場合には、制御式 FET 6 がオンに切り替わるのは、低電位側パッケージ 56 の論理入力端子 90 に印加されるときに同期式 FET 8 をオンにする信号の極性と同じ極性の、高電位側パッケージ 52 の論理入力端子 90 に印加される信

50

号によってである。

【 0 0 4 3 】

論理回路 1 5 0 は、V c c と接地にそれぞれ接続された入力端子 8 0 と 8 2 に給電するように接続線により給電される。ドライバ回路の接地帰還は、接地端子 8 2 ではなく直接ドライバ帰還 1 3 8 を介して F E T のソース 1 0 2 に至る。

【 0 0 4 4 】

ブートストラップダイオード 1 6 0 は、高電圧入力端子 8 0 とブースト端子 9 4 との間に接続され、ドライバ 3 0 に給電する。ブートストラップダイオードは、必須ではない。例えば、十分な入力 D C 電圧が利用可能なときには省略可能である。代わりに、ドライバは、V c c 入力端子 8 0 から直接に給電されることが可能である。

10

【 0 0 4 5 】

スイッチや代替手段は、pチャンネル F E T やバイポーラトランジスタさえ使用可能なので、例示のように、nチャンネル F E T の使用は必須ではない。低電位側構成部の nチャンネル F E T と共に高電位側構成部の pチャンネル F E T を使用すると特に有益である。こうした場合には、ブートストラップダイオード 1 6 0 を省略可能である。

【 0 0 4 6 】

高電位側構成部 5 2 と低電位側構成部 5 6 とは接続されて、図 4 に示すような回路を構成する。図示の実施例の高電位側構成部 5 2 及び低電位側構成部 5 6 のそれぞれには、一つのダイとして実施された F E T 6、8 と、対応する論理回路構成 1 5 0 と、ドライバ 3 0、3 2 と、各単一分離ダイ 5 0、5 4 として実施されたレベルシフタ 1 3 2、1 3 6 と

20

【 0 0 4 7 】

高電位側制御式 F E T 6 及び低電位側同期式 F E T 8 は、供給入力端子 4 と接地 2 との間に直列接続されている。所定の極性の D C 入力電圧は、こうした入力端子の間に接続されている。

【 0 0 4 8 】

制御式 F E T 6 のドレイン 1 0 0 は、電源入力端子 4 及びソース 1 0 2 に接続されて、ノード 1 0 を切り替える。同期式 F E T 8 のドレイン 1 0 6 は切替え (スイッチ) ノード 1 0 及びソース 1 0 8 に接続されて接地 2 に至る。

【 0 0 4 9 】

切替えノード 1 0 は、インダクタ 1 2 及びコンデンサ 1 4 を介して接地されている。回路の出力端子 1 6 が、インダクタ 1 2 とコンデンサ 1 4 との間で取られている。

30

【 0 0 5 0 】

制御回路 1 8 は、論理入力端子 9 0 を介して論理レベル交流パルス幅変調 (P W M) 切替え信号を供給する。制御回路は、論理回路 1 5 0 を駆動する。帰還経路 2 2 は、出力端子 1 6 から制御回路 1 8 への帰還を提供する。交流 P W M 切替え信号のマークスペース比率、即ち、切替え信号が高レベルである時間と低レベルである時間との比率が、出力端子 1 6 での出力電圧を制御するように変化する。制御回路 1 8 としては、様々な適切な回路が知られているので、これ以上は説明しない。適切な P W M 出力信号を供給する広範な制御回路と共に使用可能なのが本発明の特色である。

40

【 0 0 5 1 】

個別電圧入力端子 3 6 は、ドライバ 3 0、3 2、論理回路 1 5 0 及び制御回路 1 8 に給電する。

【 0 0 5 2 】

制御回路 1 8 は、出力端子 1 6 の電圧を必要な値に維持するように帰還経路 2 2 を使用して制御される一連の制御信号切替えパルスを供給する。

【 0 0 5 3 】

制御信号が低下すると、制御式 F E T 6 がオフに切り替わる。電流が制御式 F E T 6 を通過するよりむしろインダクタ 1 2 により引き出され続けているので、これは、切替えノード 1 0 の電圧低下の開始を引き起こし、電流は、同期式 F E T 8 の本体ダイオード 1 6

50

4を通過する。このプロセスは、同期式FET8の本体ダイオード164上の電圧低下により判定される切替えノード10の電圧で終了する。この電圧は約-0.8Vである。

【0054】

切替えノードの電圧が所定の基準値、例えば、-0.5Vよりも低下すると、低電位側構成部の論理回路150がトリガされて、低電位側ドライバ32、ひいては、同期式FET8をオンにする。切替えノード10の電圧は、制御式FET6がオフに切り替えられるまで負になることはないので、シュートスルーの発生の危険性は回避される。

【0055】

同期式FET8がオンに切り替わり、飽和状態になると、切替えノード10の電圧は、約-0.1Vに上昇する。

10

【0056】

制御信号が上昇すると、最初に、同期式FET8がオフに切り替わる。再び、電流が同期式FETの本体ダイオード164に送られて、切替えノード10の電圧は、負方向に変化する。電圧が所定の電圧よりも降下すると、高電位側構成部の論理回路150がトリガされ、この場合には、ドライバ30がオンになり、制御FET6がオンに切り替えられる。

【0057】

次いで、このサイクルが繰り返される。

【0058】

従って、制御FET8は、切替えノード10を介して、同期式FET8の本体ダイオード164が導通状態にあることを検出するときのみ、オンになる。この方式は、同期式FET8のゲート110の電圧を用いる従来の方式よりもより正確な方法で同期式FET8がオフに切り替わると考えられている。こうした精度がより高まった結果、デバイスを迅速に切り替える上での本質的な問題である、どちらのFETも非導通状態にあるときのデッドタイムが短くなる。

20

【0059】

高電位側構成部52及び低電位側構成部56のそれぞれの内部の単純なドライバ30又はドライバ32を、対応するFETのソース、ゲート及びドレインの一方の電圧に反応するセンス回路150に組み合わせることによって、高電位側及び低電位側回路間に流れる制御信号がなくても同期式DC/DC動作が確保可能になる。必要とされる唯一の制御信号は交流パルス幅変調(PWM)制御信号であり、この信号は論理レベルにある。高電位構成部52及び低電位側構成部56のドライバ回路30,32が上記両構成部52,56の他方からの信号に依存していないので、切替えはより迅速になり、FETのどちらも非導通状態にあるデッドタイムを短縮することができる。

30

【0060】

ドライバ30及びドライバ32は、ドライバ30及びドライバ32とゲート104及びゲート110との間に抵抗器を配置する必要なく、対応するFET6及びFET8のゲート104及びゲート110に直接接続されている。こうした抵抗器は、同期式FET8のゲート110の電圧をモニタすることによりトリガされて制御式FET6がオンに切り替わる従来の設計では必要になる場合がある。

40

【0061】

FET6、FET8及びドライバ30、ドライバ32を含む高電位側構成部52及び低電位側構成部56は、それぞれシュートスルーを回避する独自の回路構成を備えているので、容易に並列構成可能である。

【0062】

FET6又はFET8と共にドライバ30又はドライバ32を備えることにより、ボード上の面積を縮小することができ、ボードの設計を単純化することができる。各構成部52又は56は、デジタル入力を取ってそのゲートドライブを自動的に制御して、確実に適切な時点で導通状態になり、シュートスルーを防止してデッドタイムを短くすることができるデバイスと考えられる。

50

【 0 0 6 3 】

オプションのブートストラップコンデンサ 1 6 2 は、高電位側構成部のドライバ 3 0 上に電圧を保持する。コンデンサの電荷は、切替えノードの電圧が低いとき、即ち、同期式 F E T がオンの期間の最後の方で、サイクルの各時点において、ダイオード 1 6 0 に充電される。適切な代替電圧源が利用可能な場合には、コンデンサ 1 6 2 は省略することができる。

【 0 0 6 4 】

外部からモニタすることなく、障害が発生した場合には、直接 F E T を遮断することができるように熱保護が備えられている。

【 0 0 6 5 】

電力の増加がより一層容易になる。表面装備パッケージが敷設されたマザーボード上において、各デバイスの最高電力損失が、あるレベルに制限される。電力を増大させるためには、より多くの位相が必要である、即ち、移相式 P W M 信号を用いて様々な位相で追加 F E T を駆動する必要がある。とういのは、シュートスルー又は相互導通の虞があるので、デバイスの並列化は危険だからである。各構成部の切替えノードでの感知により、並列化が可能になり、本発明の解法は容易に解決することができる。

【 0 0 6 6 】

本発明は、パワー変換器、自動システム、パワーインターフェースの論理変換器、電源、モータドライブに適用することができる。

【 0 0 6 7 】

本発明は、図示の構成に制限されるものではない。例えば、ゲートドライブの確実な動作電圧を確保して、任意のレベルシフタに給電するように内部調整器を備えることも可能である。

【 0 0 6 8 】

高電位及び低電位側構成部 5 2 及び 5 6 はそれぞれ、図示の実施例の単一パッケージに集積されている。しかし、単一パッケージに回路全体を集積することも可能である。

【 図面の簡単な説明 】

【 図 1 】 従来の同期式 D C / D C 変換器の概略構成図である。

【 図 2 】 本発明の第 1 の実施の形態の概略構成図である。

【 図 3 】 本発明の第 2 の実施の形態の概略構成図である。

【 図 4 】 図 2 及び図 3 に示す構成を用いた同期式 D C / D C 電圧変換器の実施の一形態の構成を示す図である。

【 符号の説明 】

5 6 低電位側構成部

8 同期式 F E T

1 0 6 ドレイン

1 0 8 ソース

1 1 0 ゲート

1 5 0 論理回路

1 5 3 センス回路

1 3 6 レベル移相回路

10

20

30

40

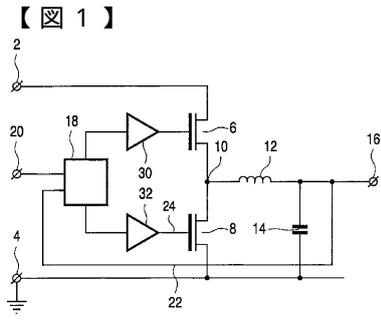


Fig.1

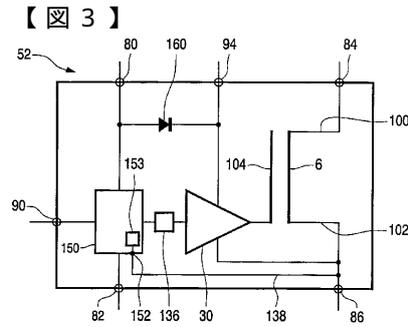


Fig.3

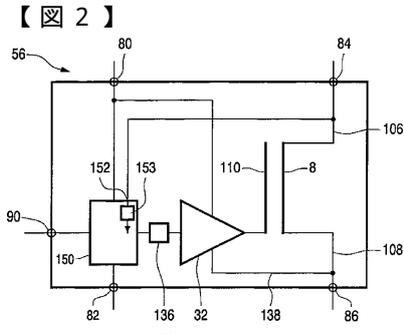


Fig.2

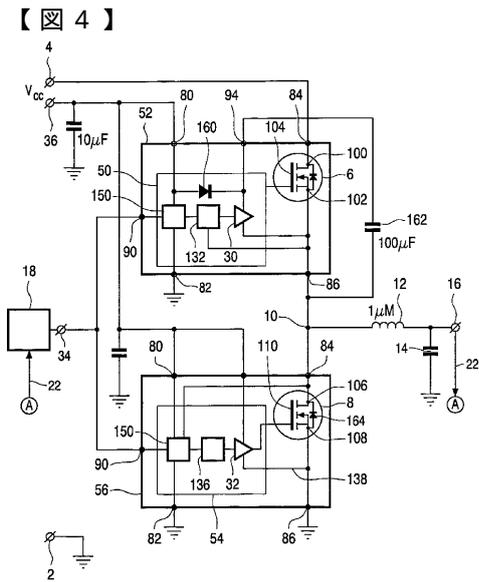


Fig.4

フロントページの続き

- (72)発明者 フィリップ、ルッター
オランダ国5 6 5 6、アーアー、アインドーフエン、プロフ・ホルストラーン、6
- (72)発明者 レオナルドゥス、エイ・ド、グロート
オランダ国5 6 5 6、アーアー、アインドーフエン、プロフ・ホルストラーン、6
- (72)発明者 ニコラス、ジェイ・ホイラー
オランダ国5 6 5 6、アーアー、アインドーフエン、プロフ・ホルストラーン、6

審査官 櫻田 正紀

- (56)参考文献 特開平09-261950(JP,A)

- (58)調査した分野(Int.Cl., DB名)

H02M 3/00