

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-252400  
(P2005-252400A)

(43) 公開日 平成17年9月15日(2005.9.15)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H03K 19/195	H03K 19/195 ZAA	4M113
H01L 39/22	H01L 39/22 K	5J042

審査請求 未請求 請求項の数 12 O L (全 18 頁)

<p>(21) 出願番号 特願2004-56731 (P2004-56731)</p> <p>(22) 出願日 平成16年3月1日(2004.3.1)</p> <p>(出願人による申告) 国等の委託研究の成果に係る特許出願(平成15年度新エネルギー・産業技術総合開発機構「低消費電力型超伝導ネットワークデバイスの開発」に関する委託研究、産業活力再生特別措置法30条の適用を受けるもの)</p>	<p>(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号</p> <p>(71) 出願人 391004481 財団法人国際超伝導産業技術研究センター 東京都港区新橋5丁目34番3号 栄進開発ビル6階</p> <p>(74) 代理人 100077838 弁理士 池田 憲保</p> <p>(72) 発明者 橋本 義仁 東京都江東区東雲一丁目14番3号 財団法人 国際超伝導産業技術研究センター 超伝導工学研究所内</p>
--	---

最終頁に続く

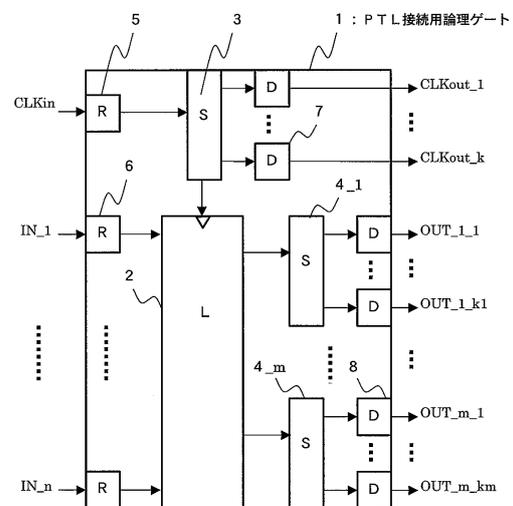
(54) 【発明の名称】 ゲートブロックおよびこれを用いた論理回路並びにその設計方法

(57) 【要約】

【課題】 マイクロストリップラインまたはストリップラインなどの受動的伝送線路(PTL)を回路配線に用いた超伝導論理回路の動作速度の向上と消費電力の削減とが可能な超伝導論理回路を実現する。

【解決手段】 PTLを入出力端子に接続するPTL接続用論理ゲート1がスプリッタ3, 4を内蔵し、スプリッタ3はレシーバ5から入力するクロック信号を分岐してドライバ7を介して出力する一方で論理ゲート2へ出力する。スプリッタ4は論理ゲート2から出力するデータ信号を分岐しドライバ8を介して出力する。従って、論理回路上からスプリッタを排除し、スプリッタを内蔵するPTL接続用ゲートブロック間をPTLで接続できる。論理ゲートにはフリップフロップなど、他のデジタル基本回路を適用させることができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

論理回路に用いられるゲートブロックにおいて、クロック信号およびデータ信号それぞれのうち、分岐を要する信号を所定必要数に分岐する手段を含むことを特徴とするゲートブロック。

## 【請求項 2】

論理回路に用いられるゲートブロックにおいて、クロック信号およびデータ信号それぞれのうち、いずれか一方または双方のそれぞれの信号に対応して接続する少なくとも一つの出力信号端子を備えることを特徴とするゲートブロック。

## 【請求項 3】

論理回路に用いられるゲートブロックにおいて、クロック信号およびデータ信号それぞれの入力を受けるレシーバと、レシーバから受けたデータ信号を処理して送出するデジタル基本回路と、前記レシーバからのクロック信号と前記デジタル基本回路からのデータ信号とのうち分岐を必要とする信号を受けて複数信号に分岐送出する分岐回路と、前記デジタル基本回路、および前記分岐回路から外部へ出力するクロック信号およびデータ信号それぞれを受けて外部へ送出するドライバとを備えることを特徴とするゲートブロック。

10

## 【請求項 4】

請求項 3 に記載の論理回路のゲートブロックにおいて、前記デジタル基本回路は論理ゲートであることを特徴とするゲートブロック。

20

## 【請求項 5】

請求項 3 に記載の論理回路のゲートブロックにおいて、前記デジタル基本回路はフリップフロップであることを特徴とするゲートブロック。

## 【請求項 6】

請求項 1 から 5 までのいずれかに記載の論理回路のゲートブロックにおいて、クロック信号およびデータ信号それぞれに単一磁束量子を用いることを特徴とするゲートブロック。

## 【請求項 7】

請求項 1 から 6 までのいずれかに記載の複数のゲートブロックと、当該ゲートブロックの入出力端子に接続する受動的伝送路とで構成することを特徴とする論理回路。

30

## 【請求項 8】

論理回路に用いられるゲートブロックの内部にクロック信号およびデータ信号のうち分岐を必要とする信号それぞれに分岐する手段を接続し、一つのクロック入力端子に対して少なくとも一つのクロック出力端子、もしくはデジタル基本回路の少なくとも一つの出力信号それぞれについて少なくとも一つの出力端子、のいずれか一方または双方を持たせることを特徴とするゲートブロックの設計方法。

## 【請求項 9】

請求項 8 に記載のゲートブロックの設計方法において、前記デジタル基本回路は論理ゲートであることを特徴とするゲートブロックの設計方法。

## 【請求項 10】

請求項 8 に記載のゲートブロックの設計方法において、前記デジタル基本回路はフリップフロップであることを特徴とするゲートブロックの設計方法。

40

## 【請求項 11】

請求項 1 から 6 までのいずれかに記載される複数のゲートブロックの入出力端子に受動的伝送路を接続して論理回路を構成することを特徴とする論理回路の設計方法。

## 【請求項 12】

請求項 11 に記載のゲートブロックを用いる論理回路の設計方法において、クロック信号およびデータ信号それぞれに単一磁束量子を用いることを特徴とする論理回路の設計方法。

## 【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、論理回路の設計技術、特に回路配線にマイクロストリップラインまたはストリップラインなどの受動的伝送線路を用いた超伝導論理回路の設計技術に関する。

## 【背景技術】

## 【0002】

超伝導デジタル技術は100GHzクロックで動作する論理回路の実現も可能と考えられているハイエンドデジタル技術である。超伝導論理回路では、単一磁束量子(Single Flux Quantum、SFQという略称で呼ばれる)をクロック信号およびデータ信号として用いる。このSFQは電気的には幅が数psという非常に狭い幅の電圧パルスであり、そのため、超伝導論理回路は高速で動作することが可能である。

10

## 【0003】

超伝導論理回路の配線には、二種類のデバイスを用いることができる。ひとつは半導体回路で一般に用いられているような、マイクロストリップラインまたはストリップラインなどの受動的伝送線路(Passive Transmission Line、以後、PTLという略称を用いる)であり、もうひとつは、超伝導デジタル技術に特有のジョセフソン伝送線路(Josephson Transmission Line、一般にJTLという略称で呼ばれる)である。JTLは、超伝導論理回路の基本素子であるジョセフソン接合とインダクタンスをはしご状に繰り返し接続した伝送線路である。JTLを伝播する信号はジョセフソン接合を次々にスイッチさせながら伝播していくため、JTLは受動的な線路ではなくアクティブな回路である。JTLにはその長さに比例した電源電流を供給する必要がある。

20

## 【0004】

これまでにさまざまな超伝導論理回路が開発され、現在の未成熟な素子作製技術で作製した超伝導論理回路でも40GHz~50GHz程度のクロック周波数での高速動作が実証されているが、そのほとんどすべての回路で、配線にはJTLが用いられている。その理由は、JTLは超伝導論理ゲートとのインピーダンス整合をとる必要がないため、論理ゲートと容易に接続でき、かつ、SFQパルスのような数psの幅の高速パルスを反射の発生なしに容易に長距離伝送できるからであり、その結果として安定動作する超伝導論理回路を容易に実現できるからであった。

## 【0005】

一方、PTLは、超伝導論理ゲートの基本素子であるジョセフソン接合との完全なインピーダンス整合をとることが容易ではなく、さらに、PTLが無損失の超伝導体で作製されるためにこのインピーダンス不整合により発生する反射波が長い時間に渡ってPTLの中に残留し、論理ゲートの安定動作を妨げるという問題を持っている。このため、長い間、PTLは超伝導論理回路の配線には用いられてこなかった。

30

## 【0006】

しかし、JTLはジョセフソン接合を用いたアクティブな配線回路であるため、信号の伝播遅延が非常に大きいという欠点を持つ。さらに、配線回路であるJTLそのものが消費する電力がJTLの長さに比例するという欠点を持つ。JTLのこれらの欠点により、超伝導論理回路の大規模化かつ高速化に伴って、配線による信号伝播遅延および消費電力増大が顕著となっている。この問題を低減するために、近年、PTLを超伝導論理回路の配線に使うための研究開発が進められている。

40

## 【0007】

PTLは無損失の超伝導体で作製されるため、基板上の光速での信号伝送が可能である。そのためPTLの信号伝播遅延時間はJTLの「1/10」オーダーと非常に小さい。PTLを用いてSFQパルスを安定に伝送するためには、ドライバ、レシーバという特別な回路をPTLの両端に接続しなければならないが、ドライバおよびレシーバ以外にはジョセフソン接合を用いないため、PTL配線の消費電力はPTLの長さに関係なくドライバとレシーバの消費電力だけであるという利点も持つ。したがって、論理回路の配線に従来用いられてきたJTLをPTLで置き換えることにより、超伝導論理回路の高速化・低

50

消費電力化が可能になると考えられる。

【0008】

このような利点を持つ P T L を超伝導論理回路の配線に用いるためには、J T L 配線用に用いられてきた従来の論理ゲートの入出力端子に P T L を接続できるようにしなければならない。そのために、すべての論理ゲートの入出力端子に P T L のためのドライバとレシーバとを付加しなければならない。本明細書では、ドライバとレシーバとを付加した論理ゲートを、従来の J T L 配線用の論理ゲートと区別するために、P T L 接続用論理ゲートと呼ぶ。

【0009】

また、超伝導論理回路では、D フリップフロップまたは T フリップフロップなどのフリップフロップも用いられる。したがって、フリップフロップについても、入出力端子にドライバとレシーバとを付加した P T L 接続用フリップフロップを作製しなければならない。

10

【0010】

また、超伝導論理回路では、クロック信号やデータ信号を分岐するために、ジョセフソン接合で構成された分岐回路（スプリッタ）が必要である。したがってスプリッタの入出力端子にドライバおよびレシーバを付加した P T L 接続用スプリッタも作製しなければならない。

【0011】

P T L 接続用論理ゲート、P T L 接続用フリップフロップ、P T L 接続用スプリッタを配置してそれらを P T L で結線することにより、回路配線に P T L を用いた超伝導論理回路を設計することができる。そのような論理回路の設計方法の例は、たとえば下記非特許文献 1 に見ることができる。この文献に報告されている例では、同文献の表 2、表 3 に示されているように、AND ゲート、NOT ゲートなど論理機能を持つ P T L 接続用論理ゲートや、P T L 接続用フリップフロップ、P T L 接続用スプリッタなどが用いられている。また、同文献の表 1 に示されているように、各論理ゲートまたはスプリッタに付加されたドライバおよびレシーバはそれぞれ 1 個のジョセフソン接合で構成されている。つまり、P T L 接続用論理ゲート、P T L 接続用フリップフロップ、または P T L 接続用スプリッタは、J T L 接続用の従来のものに比べてドライバとレシーバとの分だけ余計にジョセフソン接合が必要になる。しかし、従来回路の配線に用いられていた J T L を P T L に置き換えるため、J T L を用いた場合よりも配線に必要なジョセフソン接合数を削減することが可能になる。その結果、配線による信号伝播遅延および消費電力を低減でき、論理回路の動作速度向上および消費電力低減が可能になる。

20

30

【0012】

図 9 にこの従来の P T L 接続用論理ゲートの一例を示す。図では、n 個の入力 I N と m 個の出力 O U T を持つ P T L 接続用論理ゲート 1 1 0 の例が示されている。ここで、n 個の入力信号はそれぞれ論理的に異なる信号である。同様に、m 個の出力信号はそれぞれ論理的に異なる信号である。超伝導論理ゲートは、半導体の論理ゲートと異なり、クロックの入力を受けて論理動作を実行する。そのため、P T L 接続用論理ゲート 1 1 0 はクロック入力端子 C L K i n を持つ。P T L 接続用論理ゲート 1 1 0 は、論理ゲート ( L ) 1 1 2 のクロック入力端子にレシーバ ( R ) 1 1 1、データ入力端子にレシーバ ( R ) 1 1 3 それぞれを接続し、さらに、論理ゲート ( L ) 1 1 2 のデータ出力端子にドライバ ( D ) 1 1 4 を接続して構成する。このような構成により、P T L 接続用論理ゲート 1 1 0 のクロック入力端子 C L K i n、データ入力端子 I N \_ 1 ~ I N \_ n、データ出力端子 O U T \_ 1 ~ O U T \_ m に、P T L を接続することを可能としている。

40

【0013】

この P T L 接続用論理ゲート 1 1 0 の動作を説明する。データ入力端子 I N \_ 1 ~ I N \_ n から入力された入力信号はレシーバ ( R ) 1 1 3 で受信され、論理ゲート ( L ) 1 1 2 に入力される。次に、クロック入力端子 C L K i n から入力されたクロック信号は、レシーバ ( R ) 1 1 1 で受信され、論理ゲート ( L ) 1 1 2 に入力される。論理ゲート ( L )

50

) 112はクロックを受けて論理動作を行い、出力データを出力する。論理ゲート(L)112の出力信号は、ドライバ(D)114によってPTL接続用論理ゲート110の出力端子OUT\_1~OUT\_mから出力される。

【0014】

従来例のPTL接続用フリップフロップも図9のPTL接続用論理ゲートと同様の構成である。具体的には、図9における論理ゲート(L)112を任意のフリップフロップに置き換えることにより、任意のPTL接続用フリップフロップを実現できる。

【0015】

図10には従来例のPTL接続用スプリッタの一例を示す。PTL接続用スプリッタ120は、スプリッタ(S)122の入力端子にレシーバ(R)121を接続し、さらに、スプリッタ(S)122の二つの出力端子にドライバ(D)123、124を接続して構成する。この構成により、PTL接続用スプリッタ120の入力端子a、第一の出力端子b、第二の出力端子cにPTLを接続することを可能にしている。

10

【0016】

このPTL接続用スプリッタ120の動作を説明する。PTL接続用スプリッタ120の入力端子aから入力された信号は、レシーバ(R)121で受信されてスプリッタ(S)122に入力される。スプリッタ(S)122は入力信号を入力信号と同一の2個の信号に分岐する。分岐された2つの信号はドライバ(D)123、124によってPTL接続用スプリッタ120の第一の出力端子b、第二の出力端子cから出力される。

【0017】

20

図11に、上記図9のPTL接続用論理ゲート110と上記図10のPTL接続用スプリッタ120とを用いて構成した超伝導論理回路の一例を示す。この論理回路は、第一、第二、第三のPTL接続用論理ゲート110A、110B、110Cと、第一から第五のPTL接続用スプリッタ120A、120B、120C、120D、120Eを太線で示すPTLで接続して構成される。PTL接続用論理ゲート110A、110B、110Cは、いずれも1入力、1出力の論理ゲートである。この論理回路では、第一のPTL接続用論理ゲート110Aの出力信号を第五のPTL接続用スプリッタ120Eで分岐して第二および第三のPTL接続用論理ゲート110B、110Cに入力する。クロッキング形式は、下記非特許文献2で述べられているコンカレントフロックロッキング形式を用いる。コンカレントフロックロッキング形式は超伝導論理回路で広く用いられているクロッキング形式であり、データ信号とクロック信号とが対になって論理ゲートから次段の論理ゲートへと伝播していく。超伝導論理回路ではすべての論理ゲートがクロック入力を必要とするため、いたるところにクロック信号の分岐が必要になる。このクロック信号の分岐を実現するために、第一~第四のPTL接続用スプリッタ120A、120B、120C、120Dを用いる。

30

【0018】

次に、この論理回路の動作を説明する。まず、この論理回路のデータ入力端子INから入力された入力信号が第一のPTL接続用論理ゲート110Aに入力される。次に、この論理回路のクロック入力端子CLKinから入力されたクロック信号は、第一のPTL接続用スプリッタ120Aで2つに分岐される。分岐されたクロック信号のうち一つは、第一のPTL接続用論理ゲート110Aに入力され、第一のPTL接続用論理ゲート110Aは出力信号を出力する。

40

【0019】

一方、第一のPTL接続用スプリッタ120Aで分岐されたクロック信号のうち残りのひとつは、第二、第三、第四のPTL接続用スプリッタ120B、120C、120Dで分岐され、第二および第三のPTL接続用論理ゲート110B、110Cに入力される。第二および第三のPTL接続用論理ゲート110B、110Cはクロック信号を受けて出力信号を出力する。第二および第三のPTL接続用論理ゲート110B、110Cの出力信号は、それぞれこの論理回路の第一および第二のデータ出力端子OUT\_1およびOUT\_2から出力される。

50

## 【0020】

また、第三および第四の P T L 接続用スプリッタ 1 2 0 C、1 2 0 D で分岐されたクロック信号の残りは、この論理回路の第一および第二のクロック出力端子 C L K o u t \_ 1、C L K o u t \_ 2 からそれぞれ出力される。

## 【0021】

他方、第一の P T L 接続用論理ゲート 1 1 0 A の出力信号は、第五の P T L 接続用スプリッタ 1 2 0 E で 2 つに分岐される。分岐された信号は、第二および第三の P T L 接続用論理ゲート 1 1 0 B、1 1 0 C が出力信号を出力した後に、第二および第三の P T L 接続用論理ゲート 1 1 0 B、1 1 0 C に入力される。このようにコンカレントフロックロッキング形式では、論理ゲートがクロックを受けて出力した後にデータ信号が入力される。

10

## 【0022】

図 1 1 の論理回路の例では 3 個の P T L 接続用論理ゲート 1 1 0 A、1 1 0 B、1 1 0 C が用いられているが、P T L 接続用フリップフロップを用いた回路も同様に実現できる。

## 【0023】

このように、ドライバとレシーバとを付加した P T L 接続用論理ゲート、P T L 接続用フリップフロップ、および P T L 接続用スプリッタを P T L で結線することにより、任意の論理回路の配線に P T L を用いることを可能とし、その結果、J T L 配線を用いた超伝導論理回路に比べて回路の配線による伝送遅延または消費電力の低減を可能にしている。

## 【0024】

しかし、従来技術では、クロック信号またはデータ信号の分岐のたびに P T L 接続用スプリッタを用いなければならない。P T L 接続用スプリッタは図 1 0 に示されるように、レシーバ、スプリッタ、およびドライバから構成されるが、レシーバ、スプリッタ、およびドライバのいずれもがジョセフソン接合を用いたアクティブ回路であるため、P T L 接続用スプリッタによる信号伝播遅延時間は同程度の長さの P T L における遅延時間の 1 0 倍オーダーであり、非常に大きい。とりわけ、超伝導論理回路においてはすべての論理ゲートがクロック入力を必要とするため、クロック信号の分岐はいたるところで多く使用される。したがって、信号分岐に多くのジョセフソン接合を用いる場合、回路全体の信号伝播遅延時間または消費電力の増大につながる。ゆえに、信号分岐に必要なジョセフソン接合数を可能な限り削減することが必要である。

20

30

## 【0025】

【非特許文献 1】アイトリプルイー・トランザクションズ (IEEE Transactions on Applied Superconductivity, Vol. 13, No. 2, pp. 433-436, June 2003) 2 0 0 3 年 (表 1、表 2、表 3)

【非特許文献 2】アイトリプルイー・トランザクションズ (IEEE Transactions on Superconductivity, Vol. 1, No. 1, pp. 3-28, March 1991) 1 9 9 1 年

【非特許文献 3】フィジカ・シー (PHYSICA C, 392-396, pp. 1472-1477, 2003) 2 0 0 3 年

【非特許文献 4】ジャーナル・オブ・ブイエスアイ (Journal of VLSI Signal Processing Systems for Signal Image and Video Technology, Vol. 16, pp. 247-276, June 1997) 1 9 9 7 年

40

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0026】

解決しようとする課題は、超伝導論理回路においてクロック信号またはデータ信号の分岐に必要なジョセフソン接合数を削減して、論理回路の動作速度の向上と消費電力の低減とを実現することである。

## 【課題を解決するための手段】

## 【0027】

本発明は、超伝導論理回路においてクロック信号またはデータ信号の分岐に必要なジョセフソン接合数を削減して、論理回路の動作速度の向上と消費電力の低減とを実現するた

50

め、論理回路でゲートブロックを構成する P T L 接続用論理ゲートの内部に信号を分岐する手段を分岐回路またはスプリッタとして持たせることにより、一つのクロック入力端子に対して複数のクロック出力端子、および少なくとも一つの入力端子を有する論理ゲートの少なくとも一つの出力信号それぞれについて少なくとも一つの出力端子を持たせることを主要な特徴とする。

**【 0 0 2 8 】**

具体的には、図 1 を参照した場合、一つのクロック入力信号 C L K i n を k 個のクロック出力信号 C L K o u t および 1 個の論理ゲート ( 2 ) への出力信号に分岐するクロック信号分岐回路 ( 3 ) と、論理ゲート ( 2 ) の複数の出力信号それぞれを k i 個に分岐する出力信号分岐回路 ( 4 ) とを有する。これら分岐回路 ( 3 , 4 ) は必要に応じて挿入されるものであり、分岐が不要な信号に対しては挿入しない。

10

**【 0 0 2 9 】**

ここで、P T L 接続用論理ゲートについて記載したが、論理ゲートに代わりフリップフロップでもよく、いわゆるデジタル基本回路を有する P T L 接続用デジタル基本回路に適用可能である。

**【 発明の効果 】****【 0 0 3 0 】**

本発明による論理回路のゲートブロックおよびその設計方法は、P T L 接続用論理ゲートにおいて、クロック信号または出力データ信号を内部で分岐したのちにドライバを介して出力するため、レシーバとドライバとが付加された P T L 接続用スプリッタを用いなくても超伝導論理回路を実現できる。したがって、従来の例よりも、信号の分岐に必要なドライバとレシーバとの個数を削減できる。言い換えれば、より少ないジョセフソン接合数で信号の分岐が可能になり、結果として回路配線による信号伝播の遅延が低減できるので、回路全体の動作速度が向上できるという利点がある。さらに、回路の消費電力が低減できるという効果が得られる。

20

**【 発明を実施するための最良の形態 】****【 0 0 3 1 】**

超伝導論理回路においてクロック信号またはデータ信号の分岐に必要なジョセフソン接合数を削減して、論理回路の動作速度の向上と消費電力の低減とを実現するという目的を、論理回路が有する P T L 接続用論理ゲートの内部に信号の分岐手段を持たせることにより、実現した。すなわち、一つの P T L 接続用論理ゲートは、分岐手段により、一つのクロック入力端子に対して複数個のクロック出力端子を、また少なくとも 1 個のデータ入力端子を有する論理ゲートからの複数の出力信号それぞれに対して複数個のデータ出力端子を、それぞれ持っている。超伝導論理回路は、このような P T L 接続用論理ゲートを少なくとも入出力それぞれに備え、その相互間を分岐手段なしで直接 P T L 接続する。

30

**【 0 0 3 2 】**

この際、論理回路の入出力両側に P T L 接続用論理ゲートを備え、それぞれの入出力端子を機能の最適化数に設定して相互を P T L 接続することにより、最高の改善効果を得ることができる。

**【 0 0 3 3 】**

ここで、P T L 接続用論理ゲートを代表に説明したが、論理ゲートに代わる他のデジタル基本回路、例えばフリップフロップでもよく、P T L 接続用デジタル基本回路として応用可能である。

40

**【 実施例 1 】****【 0 0 3 4 】**

本発明の実施例 1 について図 1 を参照して説明する。

**【 0 0 3 5 】**

図 1 は、本発明による P T L 接続用論理ゲートにおける構成の実施の一形態を示す説明図である。

**【 0 0 3 6 】**

50

図1では、 $n$ 個の入力 $IN$ と $m$ 個の出力 $OUT$ を持つ論理ゲートの例が示されている。ここで、 $n$ 個の入力信号 $IN$ はそれぞれ論理的に異なる信号である。同様に、 $m$ 個の出力信号 $OUT$ はそれぞれ論理的に異なる信号である。PTL接続用論理ゲート1は、論理ゲート(L)2、クロック信号分岐回路(S)3、出力信号分岐回路(S)4、クロック信号レシーバ(R)5、データ信号レシーバ(R)6、クロック信号ドライバ(D)7、およびデータ信号ドライバ(D)8から構成される。

【0037】

PTL接続用論理ゲート1のクロック入力端子 $CLK_{in}$ にはクロック信号レシーバ(R)5が接続されており、クロック信号レシーバ(R)5の出力端子はクロック信号分岐回路(S)3の入力端子に接続されている。クロック信号分岐回路(S)3は入力されたクロック信号を「 $k+1$ 」個に分岐する。クロック信号分岐回路(S)3の出力端子のひとつは、論理ゲート(L)2のクロック入力端子に接続されている。クロック信号分岐回路3における残り $k$ 個の出力端子は、クロック信号ドライバ(D)7に接続されており、クロック信号ドライバ(D)7の出力端子はPTL接続用論理ゲート1のクロック出力端子 $CLK_{out\_1} \sim CLK_{out\_k}$ に接続されている。

10

【0038】

一方、PTL接続用論理ゲート1のデータ入力端子 $IN_{1} \sim IN_{n}$ にはデータ信号レシーバ(R)6が接続されており、データ信号レシーバ(R)6の出力端子は論理ゲート(L)2のデータ入力端子に接続されている。論理ゲート(L)2の $m$ 個のデータ出力端子にはそれぞれ出力信号分岐回路(S)4 $_{1} \sim 4_{m}$ が接続されている。論理ゲート(L)2の $i$ 番目の出力端子に接続された出力信号分岐回路(S)4は論理ゲート(L)2の $i$ 番目の出力信号を $k_i$ 個に分岐する。出力信号分岐回路(S)4の $k_i$ 個の出力端子はそれぞれ、データ信号ドライバ(D)8に接続されており、データ信号ドライバ(D)8の出力端子はそれぞれPTL接続用論理ゲート1のデータ出力端子 $OUT_{i\_1} \sim OUT_{i\_k_i}$ に接続されている。

20

【0039】

ここで、クロック信号分岐回路(S)3の分岐数「 $k+1$ 」および出力信号分岐回路の分岐数 $k_i$ は必要に応じて決められる。また、分岐が不要な信号については、クロック信号分岐回路(S)3または出力信号分岐回路(S)4を用いなくてよい。このような構成により、PTL接続用論理ゲート1のクロック入力端子 $CLK_{in}$ 、データ入力端子 $IN_{1} \sim IN_{n}$ 、クロック出力端子 $CLK_{out\_1} \sim CLK_{out\_k}$ 、およびデータ出力端子 $OUT_{1\_1} \sim OUT_{m\_k_m}$ に、PTLを接続することを可能としている。

30

【0040】

次に、このPTL接続用論理ゲート1の動作を説明する。データ入力端子 $IN_{1} \sim IN_{n}$ から入力された入力信号はデータ信号レシーバ(R)6で受信され、論理ゲート(L)2に入力される。次に、クロック入力端子 $CLK_{in}$ から入力されたクロック信号は、クロック信号レシーバ(R)5で受信され、クロック信号分岐回路(S)3により「 $k+1$ 」個のクロック信号に分岐される。分岐されたクロック信号のうちの一つは、論理ゲート(L)2に入力される。論理ゲート(L)2はクロック信号を受けて論理動作を行い、出力データを出力する。論理ゲート(L)2の $i$ 番目の出力信号は、出力信号分岐回路(S)4によって $k_i$ 個の同一な信号に分岐され、データ信号ドライバ(D)8によってPTL接続用論理ゲート1の出力端子 $OUT_{i\_1} \sim OUT_{i\_k_i}$ から出力される。一方、クロック信号分岐回路(S)3で分岐されたクロック信号のうち $k$ 個は、クロック信号ドライバ(D)7によってクロック出力端子 $CLK_{out\_1} \sim CLK_{out\_k}$ から出力される。

40

【0041】

PTL接続用フリップフロップも図1のPTL接続用論理ゲート1と同様の構成である。具体的には、図1において、論理ゲート(L)2を任意のフリップフロップに置き換えることにより、任意のPTL接続用フリップフロップを実現できる。

【0042】

このように、接続用論理ゲートに分岐回路を内蔵した形態を採用したので、入出力それ

50

それで、端子数に適合した接続用論理ゲートを備えて P T L により接続することにより、回路全体の動作速度が向上でき、かつ、回路の消費電力が低減できる効果がある。

【実施例 2】

【0043】

本発明の実施例 2 について図 2 を参照して説明する。

【0044】

図 2 ( A ) ~ ( C ) は、上記図 1 による P T L 接続用論理ゲート 1 のクロック信号分岐回路 ( S ) 3 または出力信号分岐回路 ( S ) 4 における構成の実施の一形態を示す説明図である。本実施の形態では、1 個の信号を 2 個の同一な信号に分岐する複数の 2 分岐スプリッタ ( S ) 1 0 を用いて任意の分岐数をもつクロック信号分岐回路 ( S ) 3 または出力信号分岐回路 ( S ) 4 を実現する。

10

【0045】

図 2 では一つの信号を 7 個の 2 分岐スプリッタ ( S ) 1 0 を用いて 8 個に分岐する 8 分岐出力構成回路の例が示されているが、任意の分岐数を実現することが可能である。また、実現方法は図 2 ( A ) ~ ( C ) のいずれの方法を用いてもよい。

【0046】

具体的には、図 2 ( A ) に示される 8 分岐出力構成回路 1 1 では 2 分岐スプリッタ 1 0 を直列に接続している。図 2 ( B ) に示される 8 分岐出力構成回路 1 2 では 2 分岐スプリッタ 1 0 をバイナリツリー状に接続して構成している。また、図 2 ( C ) に示される 8 分岐出力構成回路 1 3 では最初の 2 分岐スプリッタ 1 0 における一方の分岐先を直列に接続し、他方の分岐先ではバイナリツリー状に接続して構成している。これらの方法はいずれを採用してもよい。すなわち、2 分岐スプリッタ 7 の接続方法は、設計する論理回路に応じて適切なものを選択または組合せすればよい。

20

【0047】

例えば、図 2 ( A ) の方法を用いると、信号が入力されてから分岐されて出力されるまでの遅延時間は、O U T \_1 が最も大きくなり、O U T \_8 が最も小さくなる。一方、図 2 ( B ) の方法を用いれば、すべての出力の遅延時間を等しくできる。更に、図 2 ( C ) の方法のように混在させることにより、各出力にさまざまな遅延差をつけることができる。各出力信号の遅延時間の設計は、論理回路に応じて異なるため、図 2 ( A ) ~ ( C ) のうち適切な選択または組合せにより構成することになる。

30

【実施例 3】

【0048】

本発明の実施例 3 について図 3 を参照して説明する。

【0049】

上記図 2 で示される 2 分岐スプリッタ 1 0 を実現するには、最低 3 個のジョセフソン接合が必要である。図 3 は、2 分岐スプリッタ 1 0 における等価回路の実施の一形態を示す図である。

【0050】

図示される 2 分岐スプリッタ 1 0 は、ジョセフソン接合 J 1 1 ~ J 1 3、インダクタ L 1 1 ~ L 1 7、および抵抗器 R 1 1 で構成される。2 分岐スプリッタ 1 0 には、バイアス端子 B I A S から抵抗器 R 1 1 を介して電源電流を供給する。2 分岐スプリッタ 1 0 は入力端子 I N から入力された信号を、直列のインダクタ L 1 1 ~ L 1 3 を介して同一の 2 個の信号に分岐し、直列のインダクタ L 1 4 , L 1 5 およびインダクタ L 1 6 , L 1 7 それぞれを介して 2 個の出力端子 O U T \_1、O U T \_2 それぞれから出力する。

40

【0051】

抵抗器 R 1 1 はインダクタ L 1 1 , L 1 2 の結合点に接続される。ジョセフソン接合 J 1 1 はインダクタ L 1 2 , L 1 3 の結合点、ジョセフソン接合 J 1 2 はインダクタ L 1 4 , L 1 5 の結合点、ジョセフソン接合 J 1 3 はインダクタ L 1 6 , L 1 7 の結合点、それぞれに一方を接続し、他方を接地する。

【0052】

50

ちなみに、本回路のシミュレーションに適用されたジョセフソン接合の臨界電流値は、 $J_{11} = 0.20 \text{ mA}$ 、 $J_{12} = 0.18 \text{ mA}$ 、および  $J_{13} = 0.18 \text{ mA}$  である。インダクタのインダクタンス値は、 $L_{11} = 0.38 \text{ pH}$ 、 $L_{12} = 2.41 \text{ pH}$ 、 $L_{13} = 0.46 \text{ pH}$ 、 $L_{14} = 2.60 \text{ pH}$ 、 $L_{15} = 2.05 \text{ pH}$ 、 $L_{16} = 2.61 \text{ pH}$ 、および  $L_{17} = 2.01 \text{ pH}$  である。また、抵抗器の抵抗値は  $R_{11} = 8.4 \text{ オーム}$  である。

【実施例 4】

【0053】

本発明の実施例 4 について図 4 を参照して説明する。

【0054】

図 4 は、本発明による上記実施例 1 で説明した P T L 接続用論理ゲートをゲートブロックに応用して設計した論理回路の実施の一形態を示す説明図である。

10

【0055】

この論理回路は、第一の P T L 接続用論理ゲート 1\_a、第二の P T L 接続用論理ゲート 1\_b、第三の P T L 接続用論理ゲート 1\_c を太線で示す P T L で接続して構成される。P T L 接続用論理ゲート 1\_a、1\_b、1\_c は、いずれも 1 入力、1 出力の論理ゲートである。クロッキング形式は、コンカレントフロクロッキング形式を用いる。ドライバ (D)、レシーバ (R) は上記非特許文献 3 で報告されている回路構成を用いる。また、P T L は、超伝導体で作製されたマイクロストリップラインである。スプリッタ (S) は図 3 を参照して説明した 2 分岐スプリッタ (S) を用いる。

20

【0056】

次に、この論理回路の動作を説明する。まず、この論理回路のデータ入力端子 I N から入力されたデータ入力信号が第一の P T L 接続用論理ゲート 1\_a に入力される。次にこの論理回路のクロック入力端子 C L K i n から入力されたクロック信号が第一の P T L 接続用論理ゲート 1\_a に入力されると、第一の P T L 接続用論理ゲート 1\_a は 2 分岐されたデータ信号およびクロック信号それぞれを出力する。第一の P T L 接続用論理ゲート 1\_a から出力されたデータ信号とクロック信号との二組は第二および第三の P T L 接続用論理ゲート 1\_b、1\_c それぞれに入力される。クロック信号を受けた際に、第二および第三の P T L 接続用論理ゲート 1\_b、1\_c それぞれは出力データ信号とクロック信号を出力する。第二および第三の P T L 接続用論理ゲート 1\_b、1\_c が論理動作を終えた後に第二および第三の P T L 接続用論理ゲート 1\_b、1\_c にデータが入力される。第二および第三の P T L 接続用論理ゲート 1\_b、1\_c から出力されたデータ信号とクロック信号とのそれぞれは、この論理回路のデータ出力端子 O U T \_1、O U T \_2、およびクロック出力端子 C L K o u t \_1、C L K o u t \_2 それぞれの対応端子から出力される。この論理回路から出力されたクロック信号およびデータ信号は、次段に接続される論理回路の動作などに用いられる。

30

【0057】

図 4 の論理回路例では、3 個の P T L 接続用論理ゲートを用いたが、P T L 接続用フリップフロップを用いた論理回路も同様の方法で実現できる。

【0058】

このように、本発明においては、P T L 接続用論理ゲートまたは P T L 接続用フリップフロップを P T L で接続するだけで論理回路を構成でき、従来例のような P T L 接続用スプリッタを用いなくても論理回路を実現することができる。

40

【0059】

図 4 の論理回路は従来例の図 1 1 に示された論理回路例と同一の論理機能を有する。しかし、図から明らかなように、本発明においては、P T L 接続用スプリッタを用いないため、ドライバおよびレシーバの総数を従来例に比べてそれぞれ 5 個ずつ削減できる。これにより、回路全体に用いられるジョセフソン接合数を削減できるという効果を持つ。その結果、論理回路の動作速度が向上でき、消費電力を低減できる。

【実施例 5】

50

## 【0060】

本発明の実施例5について図4に図5および図6を併せ参照して説明する。

## 【0061】

すなわち、本発明による効果を具体的に説明するために、図4の第一および第二のPTL接続用論理ゲート1\_a、1\_bがPTL接続用Dフリップフロップであり、第三のPTL接続用論理ゲート1\_cがPTL接続用NOTゲートである場合について説明する。

## 【0062】

図5および図6は、図4の論理ゲート(L)に代わり配備されるDフリップフロップおよびNOTゲートそれぞれにおける等価回路の実施の一形態を示す説明図である。

## 【0063】

図5は、Dフリップフロップにおける等価回路の実施の一形態を示す説明図である。図示されるDフリップフロップ20は、ジョセフソン接合J21~J26、インダクタL21~L29およびL20、並びに抵抗器R21~R23で構成される。Dフリップフロップ20は、入力端子INから入力された信号を、直列のインダクタL24~L29およびL20を介してOUTから出力する。一方、クロック信号入力端子CLKinから入力されたクロック信号を、直列のインダクタL21~L23およびジョセフソン接合J22を介して上記インダクタL28, L29の結合点に接続する。

## 【0064】

バイアス端子BIASからの電源電流は、抵抗器R21を介してインダクタL21, L22の結合点、抵抗器R22を介してインダクタL24, L25の結合点、かつ、抵抗器R23を介してインダクタL27, L28の結合点、それぞれに供給される。ジョセフソン接合J21はインダクタL22, L23の結合点、ジョセフソン接合J23はインダクタL25, L26の結合点、ジョセフソン接合J24はインダクタL26, L27の結合点、ジョセフソン接合J25はインダクタL28, L29の結合点、およびジョセフソン接合J26はインダクタL29, L20の結合点、それぞれに一方を接続し、他方を接地する。

## 【0065】

ちなみに、本回路のシミュレーションに適用されたジョセフソン接合の臨界電流値は、 $J_{21} = 0.20 \text{ mA}$ 、 $J_{22} = 0.20 \text{ mA}$ 、 $J_{23} = 0.20 \text{ mA}$ 、 $J_{24} = 0.19 \text{ mA}$ 、 $J_{25} = 0.21 \text{ mA}$ 、および $J_{26} = 0.17 \text{ mA}$ である。インダクタのインダクタンス値は、 $L_{21} = 0.37 \text{ pH}$ 、 $L_{22} = 2.67 \text{ pH}$ 、 $L_{23} = 2.28 \text{ pH}$ 、 $L_{24} = 0.38 \text{ pH}$ 、 $L_{25} = 2.56 \text{ pH}$ 、 $L_{26} = 4.65 \text{ pH}$ 、 $L_{27} = 1.20 \text{ pH}$ 、 $L_{28} = 7.46 \text{ pH}$ 、 $L_{29} = 4.96 \text{ pH}$ 、および $L_{20} = 2.22 \text{ pH}$ である。また、抵抗器の抵抗値は $R_{21} = 8.4 \text{ オーム}$ 、 $R_{22} = 8.4 \text{ オーム}$ 、および $R_{23} = 11.7 \text{ オーム}$ である。

## 【0066】

図6は、NOTゲートにおける等価回路の実施の一形態を示す説明図である。図示されるNOTゲート30は、ジョセフソン接合J31~J40、インダクタL31~L46、および抵抗器R31~R35で構成される。

## 【0067】

NOTゲート30は、入力端子INから入力された信号を、直列のインダクタL43~L45、ジョセフソン接合J38、インダクタL42、ジョセフソン接合J37、およびインダクタL41, L35, L36を介してOUTから出力する。一方、クロック信号入力端子CLKinから入力されたクロック信号を、直列のインダクタL31, L32を介して2ルートに分離し、一方を直列のインダクタL33, L34およびジョセフソン接合J32を介して上記インダクタL41, L21の結合点、他方を直列のインダクタL37~L40を介してインダクタL42およびジョセフソン接合J37の結合点、それぞれに接続する。

## 【0068】

バイアス端子BIASからの電源電流は、抵抗器R31を介してインダクタL31, L

10

20

30

40

50

32の結合点、抵抗器R32を介してインダクタL33, L34の結合点、抵抗器R33を介してインダクタL39, L40の結合点、かつ、抵抗器R34を介してインダクタL43, L44の結合点、それぞれに供給される。

【0069】

また、ジョセフソン接合J31はインダクタL32, L33の結合点、ジョセフソン接合J33はインダクタL41, L35の結合点、ジョセフソン接合J34はインダクタL35, L36の結合点、ジョセフソン接合J35はインダクタL37, L38の結合点、ジョセフソン接合J36はインダクタL38, L39、ジョセフソン接合J39はインダクタL44, L45の結合点、およびジョセフソン接合J40はインダクタL45とジョセフソン接合J38との結合点、それぞれに一方を接続し、他方を接地する。更に、直列のインダクタL46と抵抗器R35とは一方をインダクタL45とジョセフソン接合J38との結合点、他方を接地する。

10

【0070】

ちなみに、本回路のシミュレーションに適用されたジョセフソン接合の臨界電流値はJ31 = 0.18 mA、J32 = 0.22 mA、J33 = 0.15 mA、J34 = 0.27 mA、J35 = 0.14 mA、J36 = 0.14 mA、J37 = 0.16 mA、J38 = 0.19 mA、J39 = 0.17 mA、およびJ40 = 0.20 mAである。インダクタのインダクタンス値は、L31 = 0.23 pH、L32 = 1.73 pH、L33 = 1.14 pH、L34 = 1.12 pH、L35 = 2.61 pH、L36 = 2.48 pH、L37 = 2.43 pH、L38 = 2.48 pH、L39 = 2.53 pH、L40 = 2.19 pH、L41 = 0.98 pH、L42 = 0.93 pH、L43 = 0.17 pH、L44 = 2.56 pH、L45 = 2.35 pH、およびL46 = 2.32 pHである。また、抵抗器の抵抗値はR31 = 8.4 オーム、R32 = 15, 8 オーム、R33 = 24.7 オーム、R34 = 8.4 オーム、およびR35 = 3.6 オームである。

20

【0071】

この場合、図4の論理回路の最大レイテンシはクロック入力端子CLKinにクロック信号が入力されてから、出力端子OUT\_2に出力信号が出力されるまでの時間である。最大レイテンシは、シミュレーションによると58 psである。一方、従来例の図11に示される論理回路で、同様に第一および第二のPTL接続用論理ゲート110A、110BがPTL接続用Dフリップフロップであり、第三のPTL接続用論理ゲート110CがPTL接続用NOTゲートである場合、回路の最大レイテンシはシミュレーションによれば72 psである。したがって、本発明による図4で示される論理回路は従来例の論理回路のレイテンシを約20%削減できる。同様に回路の消費電力を比較すると、約27%削減できる。このように、本発明によれば、論理回路の動作速度が向上でき、回路の消費電力の低減もできる効果があると実証できる。

30

【0072】

なお、図4に例示される本発明による論理回路における実施形態では、一つの入力、一つの出力での論理ゲートを用いたが、任意の数の入力、任意の数の出力を持つ論理ゲートを用いた場合でも、同様の効果が実現できる。

【0073】

また、図4に示した論理回路以外の一般の論理回路についても同様の効果が実現可能である。

40

【0074】

また、PTLとして超伝導体で作製されたマイクロストリップラインを用いたと説明したが、ストリップラインなどで、別構造の受動線路を用いても、同様の効果が得られる。

【0075】

また、本実施の形態ではコンカレントフロークロッキング形式を用いたが、クロッキング形式は上記非特許文献2もしくは非特許文献4に示されているようなカウンタフロークロッキング形式もしくはクロックフォロデータ形式、または半導体回路で用いられているようなゼロスキュークロッキング形式など任意のクロッキング方式を用いても同様の

50

効果が得られる。

【0076】

また、ドライバ、レシーバまたは2分岐スプリッタは本実施の形態で用いたもの以外の任意のものを用いても同様の効果が得られる。

【実施例6】

【0077】

本発明の実施例6について図7および図8を併せ参照して説明する。

【0078】

上記図2および図3では図1における任意の分岐数を持つクロック信号分岐回路または出力信号分岐回路を、2分岐スプリッタのみの組み合わせで説明したが「3」以上の分岐数を持つスプリッタを用いて実現する構成の一形態について説明する。

【0079】

図7は、上記図1によるPTL接続用論理ゲート1のクロック信号分岐回路(S)3または出力信号分岐回路(S)4における構成の実施の一形態を示す説明図である。本実施の形態では、1個の信号を2個の同一な信号に分岐する一つの2分岐スプリッタ(S)10と3個の同一な信号に分岐する二つの3分岐スプリッタ(S)50とを用いて6個の出力端子に分岐する例が示されている。

【0080】

具体的には、図示される分岐回路は、2分岐スプリッタ10の分岐先に3分岐スプリッタ50をバイナリツリー状に接続して構成されている。

【0081】

本実施例では、分岐数が6個の場合を示してあるが、他の任意の分岐数を持つものも実現できる。また図7では、分岐数が6の分岐回路を実現するために2分岐スプリッタ10と3分岐スプリッタ50を用いているが、ほかの任意の構成が可能である。たとえば6分岐スプリッタを一つの回路として最適化したものを用いてもよい。

【0082】

本実施の形態においても、クロック信号またはデータ信号の分岐のためにPTL接続用スプリッタを用いなくても論理回路を実現できるため、上述した実施の形態と同様の効果が得られる。

【0083】

さらに、本実施の形態では、上述した2分岐スプリッタのみを使用した形態と比べて分岐回路のジョセフソン接合数を削減できるという効果がある。

【0084】

次に、図8に3分岐スプリッタにおける等価回路構成の実施の一形態を示して説明する。

【0085】

図示される3分岐スプリッタ50は、ジョセフソン接合J51~J54、インダクタL51~L59、および抵抗器R51, R52で構成される。3分岐スプリッタ50は、入力端子INから入力された信号を、直列のインダクタL51~L53を介して同一の3個の信号に分岐し、直列のインダクタL54, L55、インダクタL56, L57、およびインダクタL58, L59それぞれを介して3個の出力端子OUT\_1~OUT\_3それぞれから出力する。

【0086】

電源電流は、バイアス端子BIASから抵抗器R51を介してジョセフソン接合J51, J52の結合点に、また抵抗器R52を介してジョセフソン接合J52, J53の結合点に、それぞれ供給される。ジョセフソン接合J51はインダクタL52, L53の結合点、ジョセフソン接合J52はインダクタL54, L55の結合点、ジョセフソン接合J53はインダクタL56, L57の結合点、およびジョセフソン接合J54はインダクタL58, L59の結合点、それぞれに一方を接続し、他方を接地する。

【0087】

10

20

30

40

50

ちなみに、本回路のシミュレーションに適用されたジョセフソン接合の臨界電流値は、 $J_{51} = 0.20 \text{ mA}$ 、 $J_{52} = 0.18 \text{ mA}$ 、 $J_{53} = 0.18 \text{ mA}$ 、および  $J_{54} = 0.18 \text{ mA}$  である。インダクタのインダクタンス値は、 $L_{51} = 0.40 \text{ pH}$ 、 $L_{52} = 1.78 \text{ pH}$ 、 $L_{53} = 0.49 \text{ pH}$ 、 $L_{54} = 2.55 \text{ pH}$ 、 $L_{55} = 2.06 \text{ pH}$ 、 $L_{56} = 2.56 \text{ pH}$ 、 $L_{57} = 2.07 \text{ pH}$ 、 $L_{58} = 2.54 \text{ pH}$ 、および  $L_{59} = 2.06 \text{ pH}$  である。また、抵抗器の抵抗値は  $R_{51} = 8.4 \text{ オーム}$  および  $R_{52} = 16.7 \text{ オーム}$  である。

#### 【0088】

この構成によれば、3分岐回路に必要なジョセフソン接合数は4個である。したがって図7の6分岐回路は11個のジョセフソン接合で実現できる。一方、上述した2分岐スプリッタの組み合わせで6分岐回路を構成する場合、最低でも5個の2分岐スプリッタが必要になるため、ジョセフソン接合数は最低でも15個必要である。したがって、本実施例では、クロック信号分岐回路や出力信号分岐回路のジョセフソン接合数を上述した実施例より少なくでき、結果として、論理回路の動作速度の更なる向上と消費電力の更なる削減が可能になるという効果が生じる。

#### 【産業上の利用可能性】

#### 【0089】

論理回路においてレシーバとドライバとが付加されたPTL接続用スプリッタを用いずに、PTL接続用論理ゲートの内部でクロック信号またはデータ信号を分岐したのちにドライバを介して出力するため、論理回路の動作速度の向上と消費電力の削減が可能な論理回路を超伝導論理回路と限定せずを実現することができる。また、本発明によるゲートブロックは、論理ゲート以外のフリップフロップなどを含むデジタル基本回路でも同様な効果が得られ、更に、PTL接続との限定なしでも接続用デジタル基本回路に適用可能である。

#### 【図面の簡単な説明】

#### 【0090】

【図1】本発明によるPTL接続用論理ゲートのブロック構成における実施の一形態を示した説明図である。(実施例1)

【図2】図1で示された分岐回路における8分岐出力を7個の2分岐スプリッタで構成する3種のブロック構成(A, B, C)それぞれにおける8分岐出力構成回路の実施の一形態を示した説明図である。(実施例2)

【図3】本発明のPTL接続用論理ゲートに用いられる2分岐スプリッタの等価回路における実施の一形態を示す説明図である。(実施例3)

【図4】本発明におけるPTL接続用論理ゲートに2分岐スプリッタを用いた論理回路における実施の一形態を示す説明図である。(実施例4)

【図5】本発明におけるDフリップフロップの等価回路における実施の一形態を示す説明図である。(実施例5)

【図6】本発明におけるNOTゲートの等価回路における実施の一形態を示す説明図である。(実施例5)

【図7】図1に示された分岐回路における6分岐出力を一つの2分岐スプリッタおよび二つの3分岐スプリッタで構成する実施の一形態を示す説明図である。(実施例6)

【図8】図7における3分岐スプリッタの等価回路における実施の一形態を示す説明図である。(実施例6)

【図9】従来のPTL接続用論理ゲートにおける構成の一例を示す説明図である。

【図10】従来のPTL接続用スプリッタにおける構成の一例を示す説明図である。

【図11】従来の論理回路における構成の一例を示す説明図である。

#### 【符号の説明】

#### 【0091】

- 1、1\_a、1\_b、1\_c PTL接続用論理ゲート
- 2 論理ゲート(L)

10

20

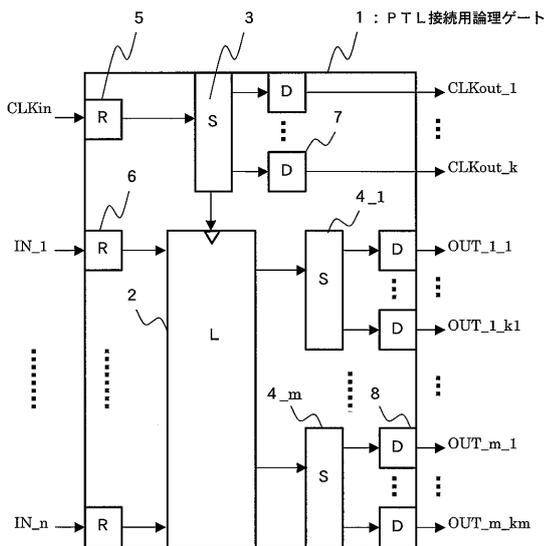
30

40

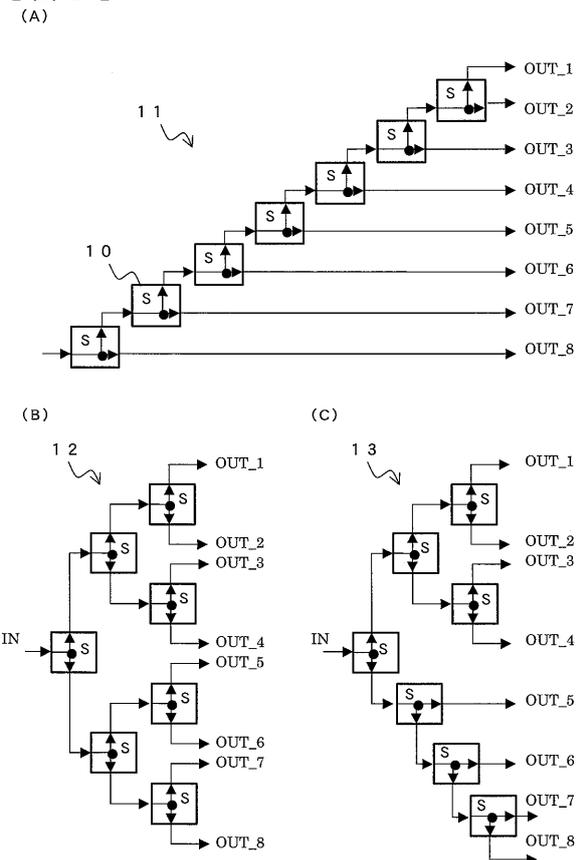
50

- 3 クロック信号分岐回路 ( S )
- 4、4\_1、4\_m 出力信号分岐回路 ( S )
- 5 クロック信号レシーバ ( R )
- 6 データ信号レシーバ ( R )
- 7 クロック信号ドライバ ( D )
- 8 データ信号ドライバ ( D )
- 1 0 2分岐スプリッタ
- 1 1、1 2、1 3 8分岐出力構成回路
- 2 0 Dフリップフロップ
- 3 0 NOTゲート
- 5 0 3分岐スプリッタ

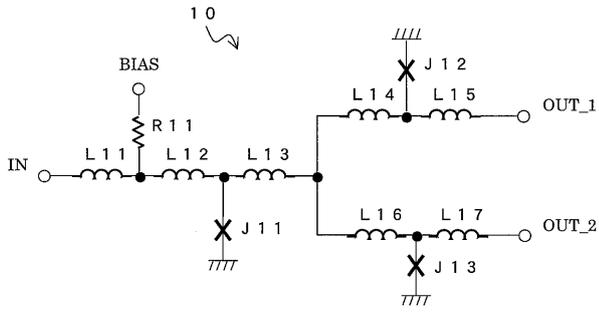
【 図 1 】



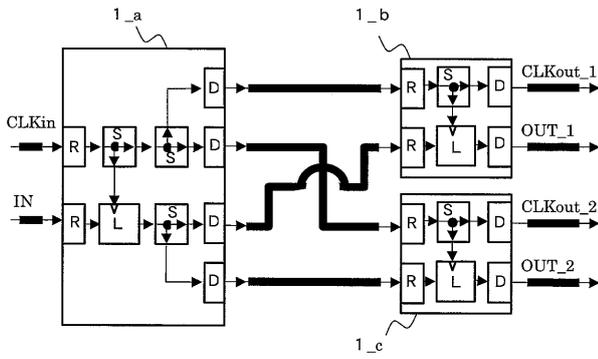
【 図 2 】



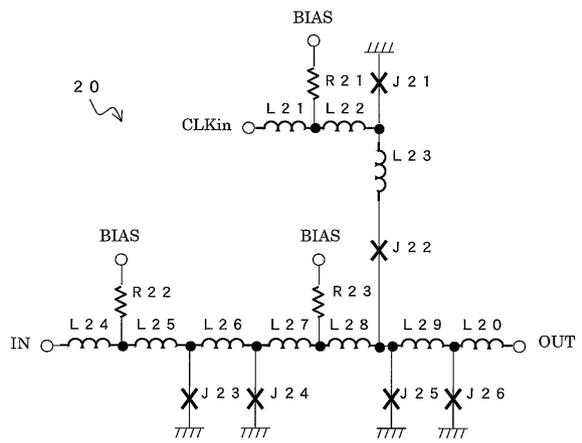
【 図 3 】



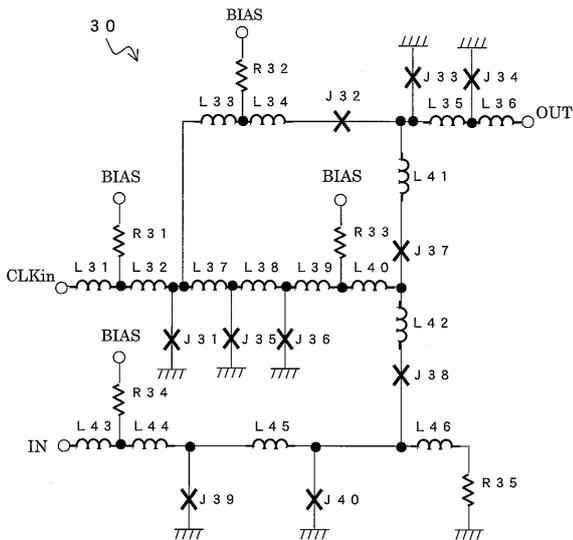
【 図 4 】



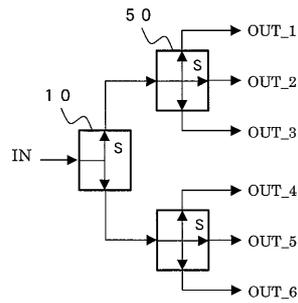
【 図 5 】



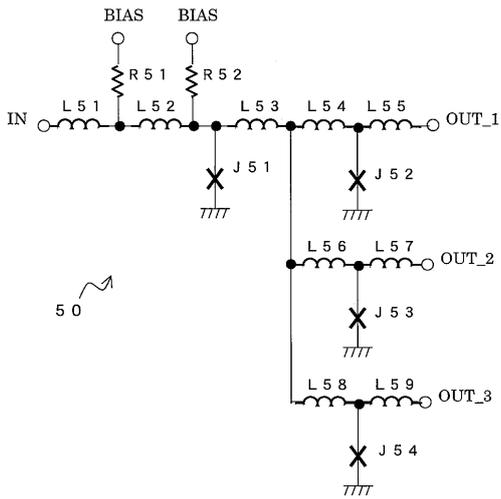
【 図 6 】



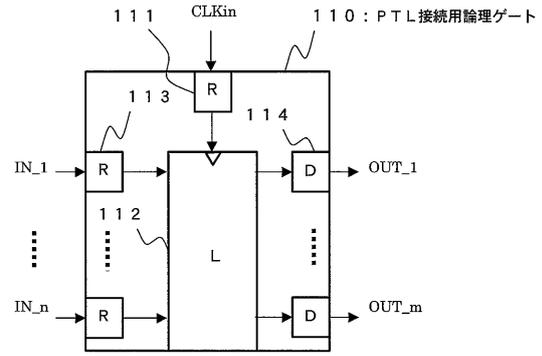
【 図 7 】



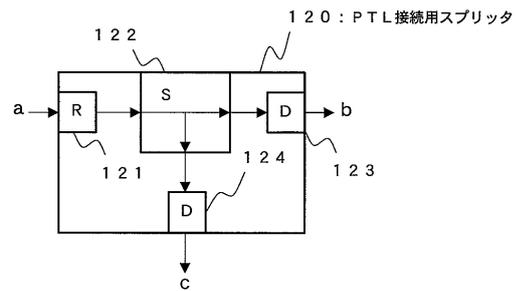
【 図 8 】



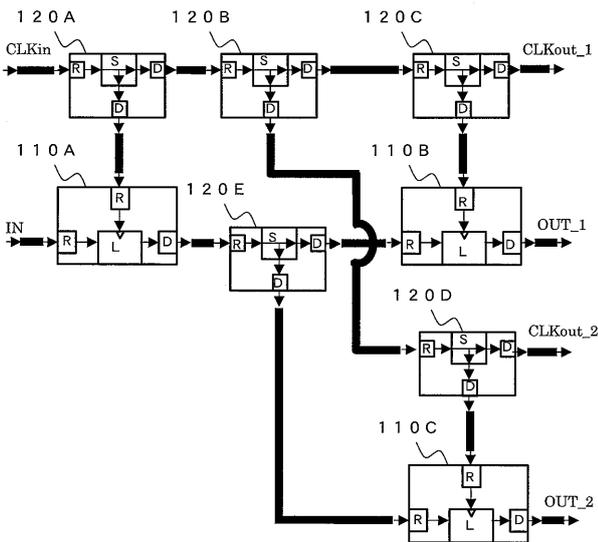
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

- (72)発明者 萬 伸一  
東京都江東区東雲一丁目14番3号 財団法人 国際超電導産業技術研究センター 超電導工学研  
究所内
- (72)発明者 亀田 義男  
東京都江東区東雲一丁目14番3号 財団法人 国際超電導産業技術研究センター 超電導工学研  
究所内
- (72)発明者 日高 睦夫  
東京都江東区東雲一丁目14番3号 財団法人 国際超電導産業技術研究センター 超電導工学研  
究所内
- (72)発明者 田辺 圭一  
東京都江東区東雲一丁目14番3号 財団法人 国際超電導産業技術研究センター 超電導工学研  
究所内

Fターム(参考) 4M113 AD11 AD21 AD23  
5J042 AA05