

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4632713号  
(P4632713)

(45) 発行日 平成23年2月16日(2011.2.16)

(24) 登録日 平成22年11月26日(2010.11.26)

(51) Int.Cl. F I  
**G 1 1 C 16/02 (2006.01)** G 1 1 C 17/00 6 1 1 G  
 G 1 1 C 17/00 6 4 1

請求項の数 1 (全 17 頁)

<p>(21) 出願番号 特願2004-220595 (P2004-220595)                  (22) 出願日 平成16年7月28日(2004.7.28)                  (65) 公開番号 特開2006-40442 (P2006-40442A)                  (43) 公開日 平成18年2月9日(2006.2.9)                  審査請求日 平成19年5月28日(2007.5.28)</p>	<p>(73) 特許権者 593102345                  イノテック株式会社                  神奈川県横浜市港北区新横浜 3-17-6                  (74) 代理人 100075281                  弁理士 小林 和憲                  (72) 発明者 三井田 高                  神奈川県横浜市港北区新横浜 3-17-6                  イノテック株式会社内                  審査官 高野 芳徳</p>
---	---

最終頁に続く

(54) 【発明の名称】 並列データ書き込み方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板に形成され、印加される電圧に応じてソース領域またはドレイン領域として機能する第1拡散領域及び第2拡散領域と、

前記一对の拡散領域の間に形成されるチャンネル領域の導通状態を電圧印加により制御するコントロールゲートと、

前記第1拡散領域をソース領域、前記第2拡散領域をドレイン領域とし、該ソース領域と該ドレイン領域との間に所定の電圧を印加するとともに、前記コントロールゲートにより前記チャンネル領域を導通させた場合に、該チャンネル領域に流れる電荷の一部が注入される第1電荷蓄積部と、

前記第2拡散領域をソース領域、前記第1拡散領域をドレイン領域とし、該ソース領域と該ドレイン領域との間に所定の電圧を印加するとともに、前記コントロールゲートにより前記チャンネル領域を導通させた場合に、該チャンネル領域に流れる電荷の一部が注入される第2電荷蓄積部とを有し、前記第1電荷蓄積部及び前記第2電荷蓄積部の電荷蓄積状態をそれぞれ独立に読み出すことが可能なメモリセルを備え、

前記メモリセルが、ロウ方向及びコラム方向にそれぞれ複数配列され、前記ロウ方向に配列された前記複数のメモリセルの前記コントロールゲートがワード線により共通に接続され、前記コラム方向に配列された前記複数のメモリセルの前記第1拡散領域及び前記第2拡散領域のそれぞれが一体化してビット線を構成したメモリセルアレイを、前記ロウ方向にブロック分割し、分割した各ブロックからそれぞれ1つのメモリセルを書き込み対象

として選択し、選択された書き込み対象の各メモリセルに対して、「00」、「10」、「01」、「11」(ここで、「0」は書き込み電荷注入状態、「1」は書き込み電荷非注入状態に対応し、左側のビットは前記第1電荷蓄積部の電荷状態、右側のビットは前記第2電荷蓄積部の電荷状態に対応する)からなる2ビットデータからいずれかを書き込みデータとしてそれぞれ並列に書き込む並列データ書き込み方法において、

前記書き込み対象の各メモリセルの初期データが「11」であることを前提とし、

前記書き込み対象のメモリセルのうち、書き込みデータが「00」であるメモリセル及び書き込みデータが「01」であるメモリセルについて、前記第1拡散領域をソース領域、前記第2拡散領域をドレイン領域とし、該ソース領域と該ドレイン領域との間に、第1の電圧を印加するとともに、前記コントロールゲートによりチャンネル領域を導通させること 10

で、当該メモリセルの第1電荷蓄積部に電荷を注入する第1ステップと、  
前記書き込み対象のメモリセルのうち、書き込みデータが「10」であるメモリセルについて、前記第2拡散領域をソース領域、前記第1拡散領域をドレイン領域とし、該ソース領域と該ドレイン領域との間に、前記第1の電圧を印加するとともに、前記コントロールゲートによりチャンネル領域を導通させること 20

で、当該メモリセルの第2電荷蓄積部に電荷を注入する第2ステップと、  
前記書き込み対象のメモリセルのうち、書き込みデータが「00」であるメモリセルについて、前記第2拡散領域をソース領域、前記第1拡散領域をドレイン領域とし、該ソース領域と該ドレイン領域との間に、前記第1の電圧より大きい所定の第2の電圧を印加するとともに、前記コントロールゲートによりチャンネル領域を導通させること 20

で、当該メモリセルの第2電荷蓄積部に電荷を注入する第3ステップと、を有し、  
第1ステップ、第2ステップ、第3ステップの順、又は、第1ステップ、第3ステップ、第2ステップの順に行われる

ことを特徴とする並列データ書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に用いられるデータ読出し回路に関するものである。

【背景技術】

【0002】

1つのメモリセル当たり2ビットのデータを記憶することが可能な不揮発性の半導体記憶装置として、NROM型と称されるものが知られている(例えば、特許文献1、非特許文献1参照)。図16に示すように、このNROM型の半導体記憶装置が有するメモリセル100は、コントロールゲート101(Metal)、シリコン酸化膜102(Oxide)、シリコン窒化膜103(Nitride)、シリコン酸化膜104(Oxide)、及びp型シリコン基板105(Semiconductor)で構成された、いわゆるMONOS(Metal Oxide Nitride Oxide Semiconductor)構造をしている。

【0003】

p型シリコン基板105には、一对のn型の拡散領域106a、106bが形成されている。データの書込み、読出し動作において、拡散領域106a、106bのうち、一方がソース、他方がドレインと設定されるが、拡散領域106a、106bは、ソース・ドレインのどちらか一方に固定的に設定されるのではなく、各動作時においてソース・ドレインの設定は切り替えられる。

【0004】

図17(A)に示すように、メモリセル100にデータを書込むには、例えば、拡散領域106aをソースとして接地し、拡散領域106bをドレインとして所定電圧(例えば3.5V)を印加し、また、コントロールゲート101に所定電圧(例えば9.5V)を印加する。これによって、ソースから流れ出した電子はソース・ドレイン間の電界で加速され、その一部はドレインの近傍で運動量の大きなホットエレクトロンとなる。ホットエレクトロンとなった電子は、フォノン等との衝突や、コントロールゲート101の正電圧に

10

20

30

40

50

より、シリコン酸化膜 104 のエネルギー障壁を越えてシリコン窒化膜 103 に注入される。シリコン窒化膜 103 には導電性がないので、注入された電子は、シリコン窒化膜 103 の右側に局在する。この状態を“(1, 0)”と表す。これ同じことを、拡散領域 106a をドレイン、拡散領域 106b をソースとして行くと、図 17 (B) に示すように、電子がシリコン窒化膜 103 の左側に局在する。この状態を“(0, 1)”と表す。

#### 【0005】

メモリセル 100 は、シリコン窒化膜 103 の左右に独立に電子を蓄積することを可能とし、“(1, 1)”、“(1, 0)”、“(0, 1)”、及び“(0, 0)”の4値(2ビット)をとることができる。“(1, 1)”は、シリコン窒化膜 103 の左右いずれにも電子が蓄積されていない状態(消去状態)を表し、“(0, 0)”は、シリコン窒化膜 103 の左右両側に電子が蓄積されている状態を表す。

10

#### 【0006】

また、本発明者らは、上記とは異なる構成のメモリセルにより、1つのメモリセル当たり2ビットのデータを記憶することを可能とした不揮発性半導体記憶装置を提案している(例えば、特許文献2~4参照)。特許文献4に開示されたメモリセルを示す図18において、メモリセル110は、p型シリコン基板111に形成された凸部112の左右に配置され、電氣的に孤立した一対のフローティングゲートF1, F2を備えている。メモリセル110は、フローティングゲートF1, F2の各々に、電子が蓄積されているか否かによって、上記と同様な4値をとることができる。

#### 【0007】

メモリセル110にデータを書込むには、例えば、拡散領域113aを接地してソースとし、拡散領域113bに所定電圧を印加してドレインとし、また、コントロールゲート114に所定電圧を印加する。これによって、凸部112の頂部112cに反転層が生じ、側部112a 頂部112c 側部112bの経路でソース・ドレイン間を電氣的に結ぶチャンネル領域が形成される。ソースから流れ出た電子の一部はチャンネル領域で加速され、その一部はホットエレクトロンとなる。ホットエレクトロンとなった電子は、絶縁膜115bの持つエネルギー障壁を乗り越えてフローティングゲートF2に注入される。これと同じことを、拡散領域113aをドレイン、拡散領域113bをソースとして行くと、フローティングゲートF1に電子が注入される。メモリセル110では、チャンネル領域で加速された電子は進行方向を変えずに絶縁膜115b(115a)を通過してフローティングゲートF2(F1)に進入するので、上記NROM型のメモリセル100より書込み効率が優れ、高速書込みを可能とする。

20

30

#### 【0008】

図19は、NROM型のメモリセル100に書込まれたデータを読み出す際に使用される、非特許文献1に記載されたデータ読み出し回路を示す。例えば、メモリセル100のシリコン窒化膜103の右側(右側ビット120)の電荷状態を検出するためには、拡散領域106aに所定電圧(例えば1.5V)を印加してドレインとし、拡散領域106bをソースとし、また、コントロールゲート101に所定電圧(例えば3.5V)を印加する。拡散領域106a, 106bはビット線として機能し、ソース側のビット線(拡散領域106b)は、金属配線を介して差動比較器121の一方の入力端子に接続されている。基準セル122も同様に、ソース側のビット線が金属配線を介して差動比較器121の他方の入力端子に接続されている。

40

#### 【0009】

同図中のC1, C2は、差動比較器121の入力端子(入力ノード)に生じる寄生容量を表す。寄生容量C1, C2はそれぞれ自己バイアス動作によって充電され、充電電位Vc, Vrを比較することにより右側ビット120の電荷状態(電子蓄積の有無)が判定される。充電電位Vc, Vrの比較は、電位がほぼ飽和した時点で行われ、その比較結果(出力データ)はラッチ回路123にラッチ(保持)される。右側ビット120のデータは、Vc > Vrの場合には“1”(電子蓄積なし)、Vc < Vrの場合には“0”(電子蓄積あり)となる。これと同じことを、拡散領域106aをソース、拡散領域106bをド

50

レインとして行くと、左側ビットのデータを判定することができる。

【0010】

メモリセル110の場合も同様なデータ読出し回路を用いることによって、フローティングゲートF1、F2の電荷状態を検出し、記憶されたデータを読出すことができる。

【0011】

【特許文献1】米国特許第6011725号明細書

【特許文献2】特開2003-204002号公報

【特許文献3】特開2003-224215号公報

【特許文献4】特願2003-001189号明細書

【非特許文献1】Eduardo Maayan, et al. "A 512Mb NROM Flash Data Storage Memory with 8MB/s Data Rate" 2002 IEEE International Solid State Conference, Session 6, SRAM AND NON-VOLATILE MEMORIES, 6.1

10

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、データ読出し回路においては、自己バイアス動作で差動比較器の入力端子に生じる寄生容量C1、C2を充電するようにしているので、寄生容量C1、C2の充電が完了するまでに要される時間は長い。従って、充電電位Vc、Vrが飽和するまでの時間が長く、読出しが開始してから差動比較器121の出力データがラッチ回路123にラッチされるまでの時間が長い。よって、データ読出し速度が低速となるといった問題がある。

20

【0013】

本発明は、上記課題を解決するためになされたものであり、データ読出し速度を高速化することを可能としたデータ読出し回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明のデータ読出し回路は、メモリセルのソースが一方の入力端子に第1配線を介して接続され、基準セルのソースが他方の入力端子に第2配線を介して接続された差動比較器と、この差動比較器の出力データを保持するラッチ回路を備えたデータ読出し回路において、前記第1配線及び前記第2配線には、ソースフォロア回路を形成するように、電流源が接続されていること特徴とするものである。

30

【0015】

前記電流源は、ゲートがバイアスされたMOSトランジスタからなることを特徴とするものである。

【発明の効果】

【0016】

本発明のデータ読出し回路によれば、メモリセルのソースが一方の入力端子に第1配線を介して接続され、基準セルのソースが他方の入力端子に第2配線を介して接続された差動比較器と、この差動比較器の比較結果を保持するラッチ回路を備えたデータ読出し回路において、第1配線及び第2配線には、ソースフォロア回路を形成するように、電流源が接続されているので、差動比較器の各入力端子に生じる寄生容量が早期に充電され、データ読出しが高速化する。

40

【発明を実施するための最良の形態】

【0017】

図1において、本発明の半導体記憶装置には、約512Mbitのデータ記憶容量を有するセルアレイ2がXデコーダ(ロウデコーダ)3の左右に設けられている。Xデコーダ3には、外部からロウアドレス信号が入力されており、Xデコーダ3は、ロウアドレス信号をデコードしてセルアレイ2内の複数のワード線から1つを選択する。Yセクタ4は、コラムアドレス信号及び制御信号によって駆動され、セルアレイ2の金属ビット線を、データ入出力(I/O)回路5に設けられた電圧ドライバ6、センス回路(読出し回路)

50

7、グランド8のいずれに接続するか、あるいはいずれにも接続せずにフローティングとするかの制御を行う(図2参照)。

【0018】

セルアレイ2は、さらに、約32Kbitのデータ記憶容量を有するブロック2aにより、X方向(コラム方向)及びY方向(ロウ方向)に各々128分割されており、図2に示すI/O回路は、Y方向に並んだ128個のブロック2aに対して1ずつ設けられている。セルアレイ2の1本のワード線がXデコーダ3によって選択された状態で、Yセクタ4は、各ブロック2aから1つのメモリセル(セルトランジスタ)を同時に選択することができる。すなわち、X方向に並んだ128個のブロック2aに対して並列にデータを入出力(書込み/読出し)することができる。

10

【0019】

バッファ9は、256bitのデータを一時的に記憶することができ、書込み時にはI/O回路5に対して書込みデータDinを与え、読出し時にはI/O回路5から読出しデータDoutを受ける。SRAM10は、書込みデータDinを一時的に記憶するためのメモリであり、約1KByteのデータ記憶容量を備える。

【0020】

図3は、ブロック2aの構成を示す。ブロック2aには、X方向に127個、Y方向に128個のメモリセル11が配列されている。X方向に隣接するブロック2aの間にはSTI(Shallow Trench Isolation)12が形成されており、書込み時に発生する廻り込み電流を阻止するための素子間分離が行われている。128本のワード線WL0~WL127は、X方向に並んだメモリセル11の各コントロールゲート28(図4参照)を共通に接続している。128本の拡散ビット線BL0~BL127は、Y方向に並んだメモリセル11の拡散領域22a, 22b(図4参照)が接続されて一体となったローカルビット線である。

20

【0021】

偶数位置の拡散ビット線BL0, BL2, ..., BL126は、2本一組となって金属ビット線GL0, GL2, ..., GL62に、nMOSトランジスタからなるスイッチS0, S1を介して接続されている。また、奇数位置の拡散ビット線BL1, BL3, ..., BL127は、2本一組となって金属ビット線GL1, GL3, ..., GL63に、nMOSトランジスタからなるスイッチS2, S3を介して接続されている。例えば、金属ビット線GL0は、スイッチS0を介して拡散ビット線BL0に、スイッチS1を介して拡散ビット線BL2に接続されており、金属ビット線GL1は、スイッチS2を介して拡散ビット線BL1に、スイッチS3を介して拡散ビット線BL3に接続されている。

30

【0022】

スイッチS0~S3は、各ゲートに接続された選択信号線SEL0~SEL3の電圧によってオン/オフされる。金属ビット線GL0~GL63は、アルミニウム等によって形成され、Y方向に並んだブロック2aの間では分離されず、セルアレイ2をY方向に通して一体となったグローバルビット線である。金属ビット線GL0~GL63の一端は、Yセクタ4に接続されている。

40

【0023】

図4は、ワード線に沿うメモリセル11の断面図を示す。p型のシリコン基板20には凸部21が形成されており、凸部21は、対向する一対の側部21a, 21bと頂部21cとを備える。この凸部21を挟むようにシリコン基板20(トレンチ底部)の表層には、一対のn型の拡散領域22a, 22bが形成されている。側部21a, 21bの表層には、浅くn型不純物が注入されてなるn型領域23a, 23bが形成されている。拡散領域22a, 22b及び側部21a, 21bの表面には、第1絶縁膜24a, 24bが積層されている。

【0024】

また、第1絶縁膜24a, 24bを介して、側部21a, 21bと拡散領域22a, 2

50

2 bとに対向するように一对のフローティングゲート（電荷蓄積部）F 1 , F 2 が形成されている。なお、n型領域2 3 a , 2 3 bは、p型基板に薄くn型不純物を注入して形成されるので、n型とはならず、中性のイントリンジック状態となる場合や、薄いp型となる場合がある。このような場合であっても領域2 3 a , 2 3 bにはチャネル領域の一部が形成される。

【0025】

フローティングゲートF 1 , F 2は、アモルファスシリコン（あるいはポリシリコン）によって形成されており、導電性を備えている。このフローティングゲートF 1 , F 2の断面形状はほぼ四角形であり、この底面は第1絶縁膜2 4 a , 2 4 bを介して拡散領域2 2 a , 2 2 bに対向している。フローティングゲートF 1 , F 2の上面は、第2絶縁膜2 5 a , 2 5 bを介してコントロールゲート2 8に対向しており、頂部2 1 cより上方に位置している。フローティングゲートF 1 , F 2の凸部2 1に対向する側面は、第1絶縁膜2 4 a , 2 4 bを介して側部2 1 a , 2 1 bに対向するとともに、第3絶縁膜2 7の一部に対向している。また、フローティングゲートF 1 , F 2の他方の側面は、X方向に隣接するメモリセル1 1が備えるフローティングゲートF 1 , F 2に絶縁体2 6を介して対向している。

10

【0026】

コントロールゲート2 8は、アモルファスシリコン（あるいはポリシリコン）で形成されており、フローティングゲートF 1 , F 2に対向するとともに、頂部2 1 cに第3絶縁膜2 7を介して対向している。なお、第3絶縁膜2 7は、3層の絶縁膜によって形成されており、最下層の酸化膜、中間の窒化膜、及びその上に第2絶縁膜2 5 a , 2 5 bと同層に形成された酸化膜から形成されている。フローティングゲートF 1 , F 2は、Y方向（同図の紙面に垂直な方向）に隣接するメモリセル1 1が備えるフローティングゲートF 1 , F 2にも絶縁体を介して対向している。フローティングゲートF 1 , F 2は、メモリセル1 1内で電氣的に孤立している。

20

【0027】

コントロールゲート2 8は、X方向に隣接するメモリセル1 1によって共有されており、図3に示したワード線W L 0 ~ W L 1 2 7を構成する。また、拡散領域2 2 a , 2 2 bは、Y方向に隣接するメモリセル1 1によって共有されており、図3に示した拡散ビット線B L 0 ~ B L 1 2 7を構成している。

30

【0028】

まず、1つのメモリセル1 1に注目して、データ書込み・読出し動作について説明する。例えば、図3中の円で囲んだ箇所に位置するメモリセル1 1のフローティングゲートF 2にデータを書込む場合、あるいは読出す場合には、Xデコーダ3がワード線W L 0を選択するとともに、Yセクタ4は、金属ビット線G L 0 , G L 1を選択し、さらに、選択信号線S E L 1 , S E L 2をHighレベル（例えば3 V）、選択信号線S E L 0 , S E L 3をLowレベル（例えば0 V）として、スイッチS 1 , S 2をオン、スイッチS 0 , S 3をオフとする。

【0029】

データ書込み時において、Yセクタ4は、拡散ビット線B L 1と導通する金属ビット線G L 1をグランド8に接続し、拡散ビット線B L 2と導通する金属ビット線G L 0を電圧ドライバ6に接続する。このとき、例えば図5（A）に示すように、ワード線W L 0に7 V、拡散ビット線B L 2に5 Vの電圧が印加されると、頂部2 1 cに反転層が生じ、凸部2 1の表層に電子の通り道となるチャネル領域C Hが形成される。ソース（拡散領域2 2 a）から流れ出た電子の一部はチャネル領域で加速され、その一部はホットエレクトロンとなる。ホットエレクトロンとなった電子は、第1絶縁膜2 4 bの持つエネルギー障壁を乗り越えてフローティングゲートF 2に注入される。

40

【0030】

データ読出し時において、Yセクタ4は、拡散ビット線B L 1と導通する金属ビット線G L 1を電圧ドライバ6に接続し、拡散ビット線B L 2と導通する金属ビット線G L 0

50

をセンス回路 7 に接続する。このとき、例えば図 5 ( B ) に示すように、ワード線  $W L 0$  に  $5 V$ 、拡散ビット線  $B L 1$  に  $1.5 V$  の電圧が印加されると、頂部  $2 1 c$  に反転層が生じ、凸部  $2 1$  の表層に電子の通り道となるチャネル領域  $C H$  が形成される。書込み時と比べて印加電圧が低いいため、チャネル領域  $C H$  を流れる電子はホットエレクトロンとなることはない。このチャネル領域  $C H$  に流れる電流  $I c$  は、ソース ( 拡散領域  $2 2 b$  ) 側のフローティングゲート  $F 2$  の電荷量によって強く変調されるが、ドレイン ( 拡散領域  $2 2 a$  ) 側のフローティングゲート  $F 1$  の電荷量によっては殆ど変調されない。これは、フローティングゲート  $F 1$  ,  $F 2$  とソース、ドレインとの結合容量がそれぞれ大きいことに起因している。

#### 【 0 0 3 1 】

図 6 において、センス回路 7 には差動比較器 3 0 が設けられている。差動比較器 3 0 の反転入力端子には、 $Y$  セレクタ 4 に接続された配線 ( 第 1 配線 )  $3 1 a$  の一端が接続されており、差動比較器 3 0 の非反転入力端子には、基準セル 3 2 に接続された配線 ( 第 2 配線 )  $3 1 b$  の一端が接続されている。差動比較器 3 0 の出力端子には、所定のタイミングで、出力データ  $D o u t$  ( “ 0 ” 又は “ 1 ” ) をラッチ ( 保持 ) するラッチ回路 3 3 が接続されている。

#### 【 0 0 3 2 】

基準セル 3 2 は、基準電流  $I r$  を配線  $3 1 b$  に流し、差動比較器 3 0 の非反転入力端子に基準電位  $V r$  を生成する。基準セル 3 2 は、メモリセル 1 1 と同様な構成のトランジスタであり、そのフローティングゲートの電荷状態が基準電流  $I r$  及び基準電位  $V r$  に反映される。読出し時にメモリセル 1 1 のチャネル領域  $C H$  に生じた電流  $I c$  は、ソース側の拡散ビット線  $B L 2$  から金属ビット線  $G L 0$  と  $Y$  セレクタ 4 とを介して配線  $3 1 a$  に流れ出て、差動比較器 3 0 の反転入力端子に電位  $V c$  を生成する。

#### 【 0 0 3 3 】

差動比較器 3 0 は、電位  $V c$  を基準電位  $V r$  と比較し、比較結果に応じた出力データ  $D o u t$  を出力端子から出力する。 $V c < V r$  の場合には  $D o u t = “ 0 ”$ 、 $V c > V r$  の場合には  $D o u t = “ 1 ”$  となる。電位  $V c$  は、ソース側のフローティングゲート  $F 2$  の蓄積電子数に強く依存する。すなわち、前述のデータ書込みによって、フローティングゲート  $F 2$  に数多くの電子が注入された場合には、電位  $V c$  は基準電位  $V r$  より低くなり、 $D o u t = “ 0 ”$  となる。データ書込みがなされず、フローティングゲート  $F 2$  に電子が注入されていない場合には、電位  $V c$  は基準電位  $V r$  より高くなり、 $D o u t = “ 1 ”$  となる。

#### 【 0 0 3 4 】

また、センス回路 7 には  $n M O S$  トランジスタ  $3 4 a$  ,  $3 4 b$  が設けられており、 $n M O S$  トランジスタ  $3 4 a$  ,  $3 4 b$  のドレインは配線  $3 1 a$  ,  $3 1 b$  にそれぞれ接続され、ソースは接地されている。 $n M O S$  トランジスタ  $3 4 a$  ,  $3 4 b$  のゲートは配線  $3 5$  によって互いに接続されており、配線  $3 5$  にはゲートバイアス電圧  $V c g s$  が印加されている。ゲートがバイアスされた  $n M O S$  トランジスタ  $3 4 a$  ,  $3 4 b$  は、ソース・ドレイン間に電流  $I s$  を流し、電流源として機能する。

#### 【 0 0 3 5 】

同図中の  $C 1$  ,  $C 2$  は、差動比較器 3 0 の入力端子 ( 入力ノード ) に生じる寄生容量を表す。さらに詳しく、寄生容量  $C 1$  は、1 つの金属ビット線の配線 ( 線間 ) 容量と、ブロック  $2 a$  内の全拡散ビット線の拡散容量との和 (  $0.4 p F$  程度 ) である。同様に、寄生容量  $C 2$  は、配線容量と拡散容量との和である。このように、読出し対象のメモリセル 1 1 は、ソースに電流源が接続されており、差動比較器 3 0 に接続される端子を出力端子とするソースフォロア回路が形成されている。同様に、基準セル 3 2 のソースにも電流源が接続されており、ソースフォロア回路が形成されている。

#### 【 0 0 3 6 】

図 7 に示すように、電位  $V c$  及び基準電位  $V r$  は、読出しが開始し (  $t 0$  )、寄生容量  $C 1$  ,  $C 2$  が充電されるとともに上昇し、飽和レベルに近づく。電位  $V c$  及び基準電位  $V$

10

20

30

40

50

r がほぼ飽和レベルに達したとき ( $t_1$ )、差動比較器 30 の出力データ (比較結果) がラッチ回路 33 にラッチされる。このとき、電流  $I_s$  によって、寄生容量  $C_1$ ,  $C_2$  が早期に充電されるので、電位  $V_c$  及び基準電位  $V_r$  は短時間で飽和レベルに達する。この結果、ラッチ回路 33 がデータ  $D_{out}$  のラッチを行う時間  $t_1$  を早めて、読出しを高速化することができる。

【0037】

図 8 は、ゲートバイアス電圧  $V_{cgs}$  を変化させて電位  $V_c$  (ソースフォロア回路の出力電位) を測定した測定結果の一例である。同図中には、メモリセル 11 のフローティングゲート  $F_1$ ,  $F_2$  に格納されたデータを各々 “1” 又は “0” として得られた 4 種類の測定結果が示されている。ゲートバイアス電圧  $V_{cgs}$  を約 1.05 V として、電流  $I_s$  を約 4.8  $\mu$ A としたとき、約 580 mV の電圧ウィンドウが確保される。

10

【0038】

電位  $V_c$  は、ソース側に位置するフローティングゲート  $F_2$  のデータに強く依存するが、ドレイン側に位置するフローティングゲート  $F_1$  のデータにもある程度の依存性を有する。フローティングゲート  $F_1$  が “0” の場合には、“1” の場合と比べて電位  $V_c$  は低下する。上記電圧ウィンドウとは、“(0, 1)” 状態と“(1, 0)” 状態との差を指し、基準電位  $V_r$  は、この電圧ウィンドウ内の電位に設定されている。

【0039】

なお、メモリセル 11 は、図 4 に示したような構造であるので、チャンネル領域  $CH$  の形成 / 非形成をコントロールゲート 28 の印加電圧によって直接制御することができ、フローティングゲート  $F_1$ ,  $F_2$  を過消去 (ホールが注入された状態) することが許容される。これは、コントロールゲート 28 に電圧が印加されていない場合に、過消去されたフローティングゲート  $F_1$ ,  $F_2$  の正電荷によってチャンネル領域  $CH$  が形成され、ソース・ドレイン間に不要なリーク電流が流れることがないためである。また、従来の  $NR0M$  型メモリセルで電荷蓄積部として用いられるシリコン窒化膜と比べ、フローティングゲート  $F_1$ ,  $F_2$  は、書込み時に多数の電子を蓄積することができる。このように、フローティングゲート  $F_1$ ,  $F_2$  は、書込み状態 “0” と消去状態 “1” とで電荷量を大きく変化させることができるため、上記のような大きな電圧ウィンドウが確保される。

20

【0040】

以上説明したように、図 3 中の円で囲んだ箇所に位置するメモリセル 11 のフローティングゲート  $F_2$  にデータを書込む際には、ワード線  $WL_0$  を 7 V (High レベル) とした状態で、拡散ビット線  $BL_1$  は 0 V (Low レベル)、拡散ビット線  $BL_2$  は 5 V (High レベル) に設定される。拡散ビット線  $BL_1$ ,  $BL_2$  は、X 方向に隣接するメモリセル 11 に共有されているので、拡散ビット線  $BL_0$ ,  $BL_3$  の設定電圧が不適切 (例えば、拡散ビット線  $BL_0$  が 5 V、拡散ビット線  $BL_3$  が 0 V) であると、その隣接するメモリセル 11 に誤書込みが発生してしまう。従って、書込み対象外のメモリセル 11 に誤書込みが発生しないように、この場合は、拡散ビット線  $BL_0 \sim BL_1$  を 0 V、拡散ビット線  $BL_2 \sim BL_{127}$  を 5 V と設定して書込みを行う必要がある。

30

【0041】

しかし、拡散ビット線  $BL_0$ ,  $BL_2$  はスイッチ  $S_0$ ,  $S_1$  を介して共通の金属ビット線  $GL_0$  に接続されており、一度のステップで拡散ビット線  $BL_0$ ,  $BL_2$  に異なる電圧を与えることはできない。このため、図 9 (A) に示すプリチャージ工程を行った後、図 9 (B) に示す書込み工程を行うことで、拡散ビット線  $BL_0 \sim BL_1$  を 0 V、拡散ビット線  $BL_2 \sim BL_{127}$  を 5 V とすることができる。

40

【0042】

図 9 (A) のプリチャージ工程では、ワード線  $WL_0$  を 0 V、金属ビット線  $GL_0$  を 0 V、金属ビット線  $GL_1 \sim GL_3$  を 5 V とした状態において、選択信号線  $SEL_0$ ,  $SEL_3$  を 3 V、選択信号線  $SEL_1$ ,  $SEL_2$  を 0 V とする。これにより、スイッチ  $S_0$ ,  $S_3$  はオン、スイッチ  $S_1$ ,  $S_2$  はオフとなるので、拡散ビット線  $BL_0$  は 0 V、拡散ビット線  $BL_3$  は 5 V に設定される。

50



## 【 0 0 4 3 】

続いて、図 9 ( B ) の書込み工程では、ワード線 W L 0 を 7 V、金属ビット線 G L 1 を 0 V、金属ビット線 G L 0 , G L 2 , G L 3 を 5 V とした状態において、選択信号線 S E L 0 , S E L 3 を 0 V、選択信号線 S E L 1 , S E L 2 を 3 V とする。これにより、スイッチ S 0 , S 3 はオフとなり、フローティング状態となった拡散ビット線 B L 0 , B L 3 はプリチャージ工程で与えられた電圧 ( プリチャージ電圧 ) を保持する。また、スイッチ S 1 , S 2 はオンとなるので、拡散ビット線 B L 1 が 0 V、拡散ビット線 B L 2 が 5 V に設定され、図中円で囲んだメモリセル 1 1 のフローティングゲート F 2 に書込みが行われる。なお、このプリチャージ工程及び書込み工程において、ブロック 2 a 内の他のワード線 W L 1 ~ W L 1 2 7 は 0 V、ブロック 2 a 内の他の金属ビット線 G L 4 ~ G L 6 3 は 5 V に設定されている。

10

## 【 0 0 4 4 】

図 1 0 に示すように、フローティングゲート F 1 , F 2 を、拡散ビット線 B L 0 , B L 1 に接続されたメモリセル 1 1 から順に、ビット 0 , 1 , 2 , 3 , . . . , 2 5 5 と称することにする。図 9 ( A ) , ( B ) では、このビット 3 に書込みを行う際のプリチャージ工程及び書込み工程について説明した。

## 【 0 0 4 5 】

ビット 0 ~ 7 に書込みを行う際には、プリチャージ工程及び書込み工程において選択信号線 S E L 0 ~ 3、金属ビット線 G L 0 ~ G L 6 3、及びワード線 W L 0 ~ W L 1 2 7 の電圧 ( L o w レベル / H i g h レベル ) を、図 1 1 の表に示すように設定すればよい。なお、選択信号線 S E L 0 ~ 3 に設定される L o w レベルとは、スイッチ S 0 ~ S 3 をオフとする電圧であり、H i g h レベルとはスイッチ S 0 ~ S 3 をオンとする電圧である。また、金属ビット線 G L 0 ~ G L 6 3 に設定される L o w レベルとは、グランド電位 ( ソース電圧 ) であり、H i g h レベルとは書込みに印加されるドレイン電圧である。また、ワード線 W L 0 ~ W L 1 2 7 に対する L o w レベルとは、ワード線を非選択にする電圧、H i g h レベルとは書込み時に印加されるゲート電圧である。これらの電圧は、適宜変更可能である。

20

## 【 0 0 4 6 】

この表に示すように、ビット 6 , 7 についてはプリチャージ工程を行うことなく書込みを行うことができる。これは、拡散ビット線 B L 0 ~ B L 3 と、拡散ビット線 B L 4 ~ B L 1 2 7 とをそれぞれ一度のステップで同一電圧に設定することができるためである。なお、ビット 8 ~ 2 5 5 への書込みについては、ビット 0 ~ 7 と同様であるので説明を省略する。また、他のワード線 W L 1 ~ 1 2 7 を選択した場合も同様であることは言うまでもない。

30

## 【 0 0 4 7 】

次に、X 方向に並んだブロック 2 a に対する並列データ書込みについて説明する。図 1 2 は、簡単のため 4 つのブロック 2 a の各メモリセル 1 1 に対して 2 ビットずつ、計 8 ビットのデータ D i n を並列に書込む際のシーケンスを示す。書込み前において、全ビット ( フローティングゲート F 1 , F 2 ) は、“ 1 1 1 1 1 1 1 1 ” と消去状態である ( ステップ S T 1 )。書込みデータ D i n を “ 0 1 1 0 1 1 0 0 ” とし、これをバッファ 9 から I / O 回路 5 に入力すると、書込み対象のビットのうち、まず、左側ビット ( フローティングゲート F 1 ) のみに書込みが行われ、データのベリファイ ( 読出し確認 ) が行われる ( ステップ S T 2 )。続いて、ステップ S T 2 において左側ビットに書込みが行われなかったメモリセル 1 1 に対して、その右側ビット ( フローティングゲート F 2 ) に書込みが行われ、データのベリファイが行われる ( ステップ S T 3 )。そして、ステップ S T 2 で左側ビットに書込みが行われたメモリセル 1 1 に対して、その右側ビットに書込みが行われる ( ステップ S T 4 )。

40

## 【 0 0 4 8 】

なお、ステップ S T 2 , S T 3 では、メモリセル 1 1 の有する右側ビット及び左側ビットのうち、書込み対象外のビットの状態が “ 1 ” であるので、書込み条件を同一とし、同

50

一のドレイン電圧（例えば3.5V）が用いられる。一方、ステップST4では、書込み対象外のビットの状態が“0”であるので、ステップST2、ST3と比べて書込み時にチャンネル領域CHに流れる電流が低下する。これを補正するために、ステップST4ではステップST2、ST3より高いドレイン電圧（例えば4.5V）を用いることが好ましい。これにより、右側ビット及び左側ビットに注入される電子数がほぼ一定となる。なお、上記シーケンスでは、ステップST2で左側ビットの書込みを行い、ステップST3、ST4では右側ビットの書込みを行うようにしたが、逆に、ステップST2で右側ビットの書込みを行い、ステップST3、ST4では左側ビットの書込みを行うようにすることも可能である。

【0049】

上記実施形態では、図3で示したように、金属で形成された1本の金属ビット線に拡散領域で形成された2本の拡散ビット線をスイッチを介して選択的に接続するようにしたが、これに限られず、1つの金属ビット線に接続する拡散ビット線の本数を3本以上にすることも可能であり、これにより金属配線数を減らしてコストを削減することができる。図13は、1つの金属ビット線に4本の拡散ビット線を接続した例であり、金属ビット線GL0には偶数位置の拡散ビット線BL0、BL2、BL4、BL6がスイッチS0～S3を介して接続されており、金属ビット線GL1には奇数位置の拡散ビット線BL1、BL3、BL5、BL7がスイッチS4～S7を介して接続されている。なお、図示されていない金属ビット線及び拡散ビット線の接続に関しても同様である。

【0050】

1つの金属ビット線に複数の拡散ビット線が接続されている場合には、書込み時において、上記と同様なプリチャージ工程を行う必要がある。プリチャージ工程は、一般に、共通の金属ビット線に（スイッチを介して）接続された複数の拡散ビット線の間位置するメモリセルに対して書込みを行う際に行う必要があり、これらの複数の拡散ビット線のうち、書込み対象のメモリセルに接続された拡散ビット線を基準に該メモリセルを挟んで反対側に位置する拡散ビット線がプリチャージの対象となる。

【0051】

また、図14に示すように、1つの金属ビット線に複数の拡散ビット線を接続するのではなく、1つの金属ビット線に1つの拡散ビット線のみを接続するようにしてもよい。この場合、拡散ビット線は金属ビット線によってそれぞれ独立して電圧が与えられるため、プリチャージ工程を行う必要がなく、書込み、読出し動作が単純化され、制御回路の複雑化が避けられる。

【0052】

また、上記実施形態において図4に示したメモリセル11の構造を、図15に示すメモリセル40のように変形することも好適である。メモリセル40では、頂部21cの上に積層された第3絶縁膜41は、酸化物のみで形成されており、窒化物は排除されている。また、コントロールゲート42は、第2絶縁膜43a、43bを介してフローティングゲートF1、F2の上面に、第3絶縁膜41を介して頂部21cに対向するとともに、第4絶縁膜44a、44bを介してフローティングゲートF1、F2の一方の側面に対向するように形成されている。なお、メモリセル11とほぼ同一の構造を有する部分については、メモリセル11と同一の符号を付している。

【0053】

メモリセル40において、第4絶縁膜44a、44bの膜厚は、第2絶縁膜43a、43bの膜厚より薄く形成されており、フローティングゲートF1、F2に蓄積された電子をコントロールゲート42に放出してデータの消去を行う際に、電子の大部分は第4絶縁膜44a、44bを通過する。フローティングゲートF1、F2がコントロールゲート42とシリコン基板20（拡散領域22a、22b及び側部21a、21b）とに結合する割合を示す結合比CRは、コントロールゲート42との対向容量をシリコン基板20との対向容量で割った値として表わされ、この結合比CRが小さいほどデータの消去特性及び読出し特性が良好となる。第1～第4絶縁膜の膜厚は、結合比CRができるだけ小さくな

10

20

30

40

50

るように設定される。

【0054】

また、上記実施形態では、2つのフローティングゲートF1, F2によって2ビットのデータを記憶することを可能としたメモリセル11, 40を例示したが、本発明はこれに限られず、図16に示した従来のNROM型のメモリセルを用いることも可能である。また、1ビットのデータを記憶する周知のスタックゲート型のメモリセルを用いることも可能である。

【図面の簡単な説明】

【0055】

- 【図1】半導体記憶装置の構成を示すブロック図である。 10
- 【図2】データ入出力回路の構成を示すブロック図である。
- 【図3】セルアレイ内のブロックの構成を示す回路図である。
- 【図4】メモリセルのワード線に沿った断面図である。
- 【図5】(A)は、メモリセルの書込み動作を説明する図であり、(B)は、メモリセルの読出し動作を説明する図である。
- 【図6】センス回路の構成を示すブロック図である。
- 【図7】読出し動作時における電位 $V_c$ 及び基準電位 $V_r$ の変化を示すグラフである。
- 【図8】電位 $V_c$ のゲートバイアス電圧 $V_{cgs}$ に対する測定値を示すグラフである。
- 【図9】(A)は、プリチャージ工程における電圧設定を例示する図であり、(B)は、書込み工程における電圧設定を例示する図である。 20
- 【図10】各フローティングゲートとビットとの対応を示す図である。
- 【図11】各ビットに対するプリチャージ工程及び書込み工程における電圧設定を説明する図である。
- 【図12】並列データ書込みを説明する図である。
- 【図13】1つの金属ビット線に4本の拡散ビット線を接続した例を示す回路図である。
- 【図14】1つの金属ビット線に1本の拡散ビット線を接続した例を示す回路図である。
- 【図15】メモリセルの変形例を示す断面図である。
- 【図16】NROM型メモリセルの構造を示す断面図である。
- 【図17】右側ビットへ書込みを行った“(1, 0)”状態を示す図であり、左側ビットへ書込みを行った“(0, 1)”状態を示す図である。 30
- 【図18】2つのフローティングゲートを有するメモリセルの構造を示す断面図である。
- 【図19】従来のデータ読出し回路を示す回路図である。

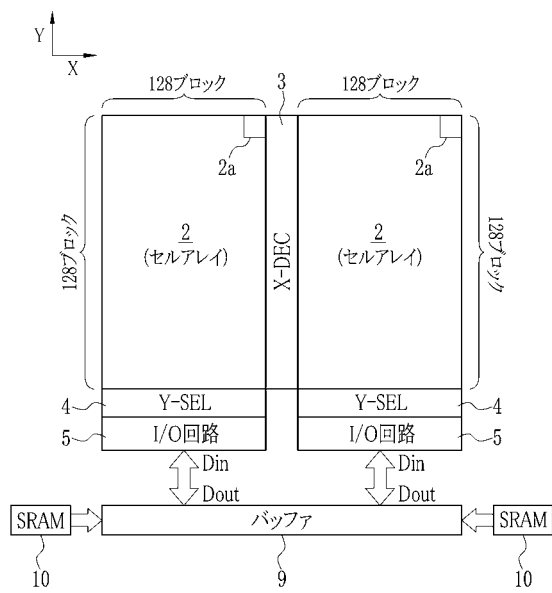
【符号の説明】

【0056】

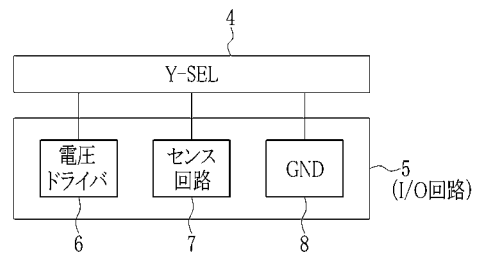
- 2 セルアレイ
- 2 a ブロック
- 3 Xデコーダ
- 4 Yセレクタ
- 5 データ入出力回路
- 6 電圧ドライバ 40
- 7 センス回路
- 8 グランド
- 11 メモリセル
- 22 a, 22 b 拡散領域
- 30 差動比較器
- 32 基準セル
- 33 ラッチ回路
- 34 a, 34 b nMOSトランジスタ
- F1, F2 フローティングゲート
- BL0 ~ BL127 拡散ビット線 50

GL0 ~ GL63 金属ビット線  
SEL0 ~ SEL3 選択信号線  
S0 ~ S3 スイッチ  
WL0 ~ WL127 ワード線

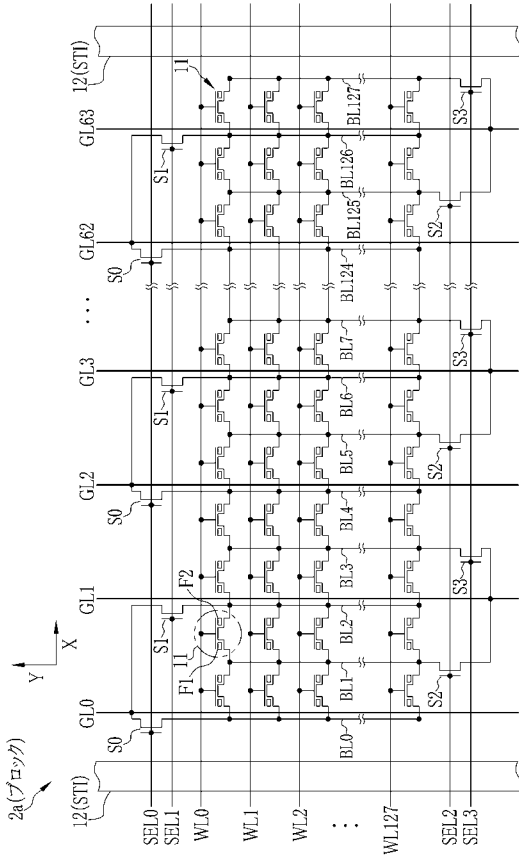
【図1】



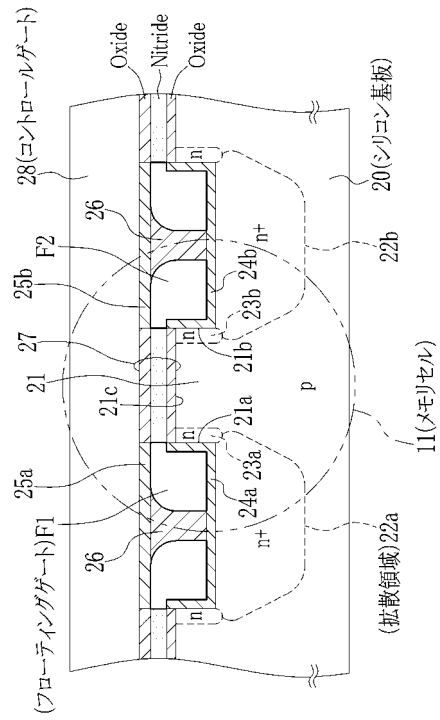
【図2】



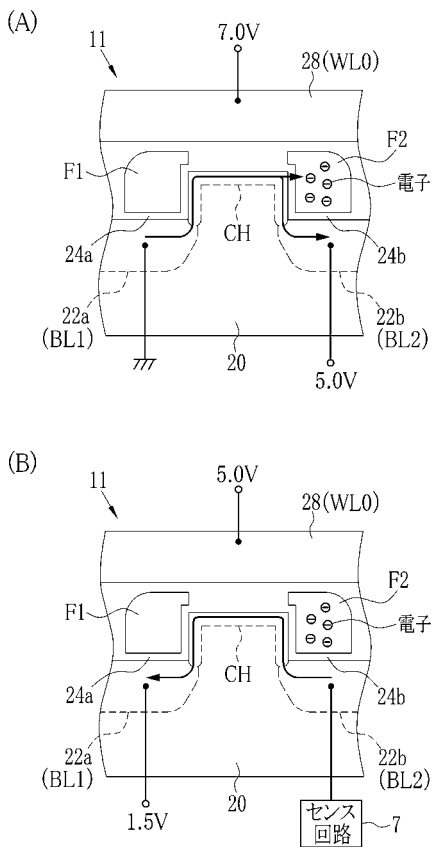
【 図 3 】



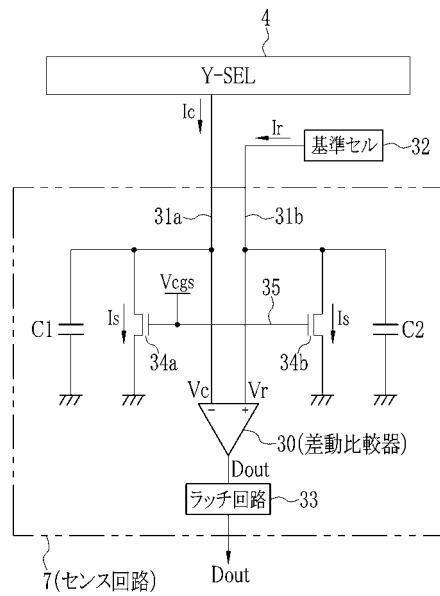
【 図 4 】



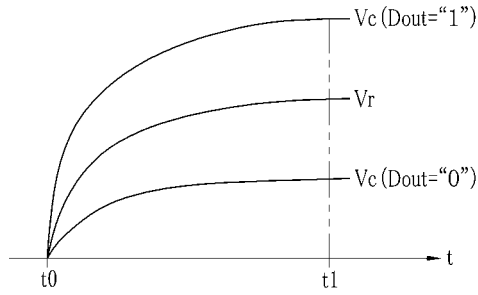
【 図 5 】



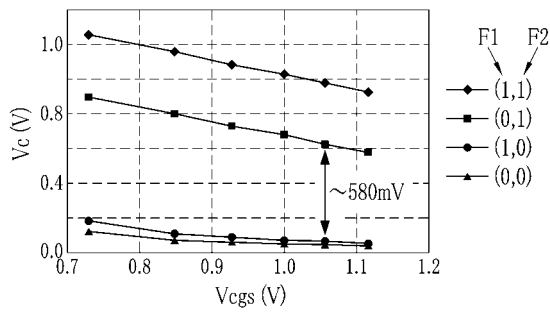
【 図 6 】



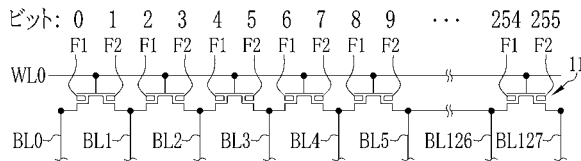
【図7】



【図8】

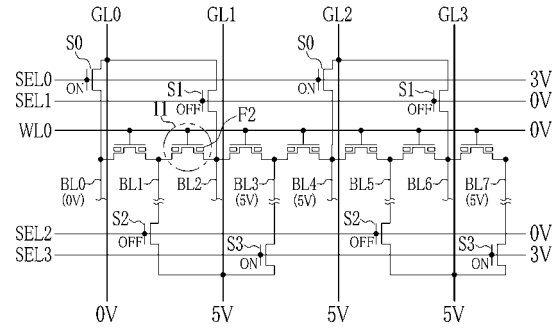


【図10】

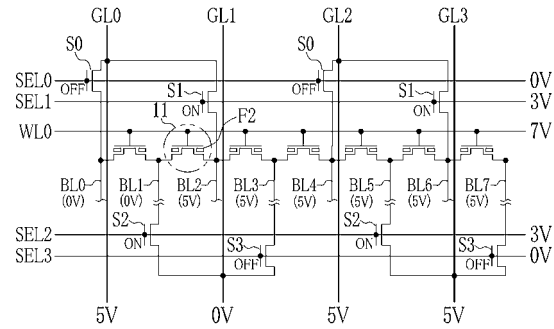


【図9】

(A) プリチャージ工程



(B) 書込み工程

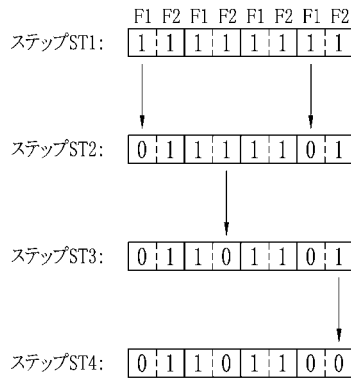


【図11】

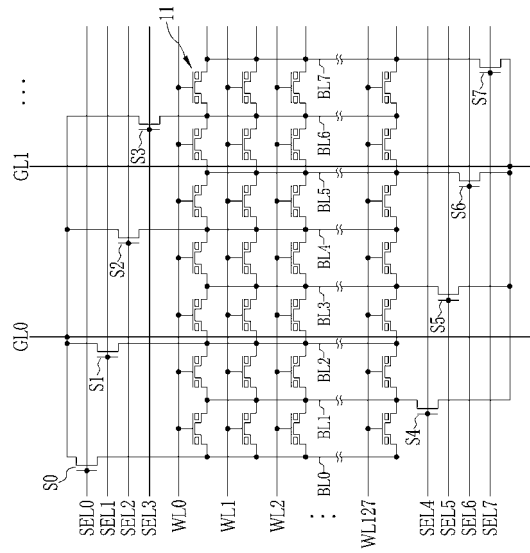
L: Lowレベル, H: Highレベル

ビット	工程	SEL0	SEL1	SEL2	SEL3	GL0	GL1	GL2	GL3	WL0	WL1	WL127
0	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
0	書込み	H	L	H	H	L	L	L	L	L	H	L
1	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
1	書込み	H	L	H	H	L	L	L	L	L	L	H
2	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
2	書込み	H	L	H	H	L	L	L	L	L	L	H
3	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
3	書込み	H	L	H	H	L	L	L	L	L	L	H
4	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
4	書込み	H	L	H	H	L	L	L	L	L	L	H
5	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
5	書込み	H	L	H	H	L	L	L	L	L	L	H
6	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
6	書込み	H	L	H	H	L	L	L	L	L	L	H
7	プリチャージ	L	H	H	H	L	L	L	L	L	L	L
7	書込み	H	L	H	H	L	L	L	L	L	L	H

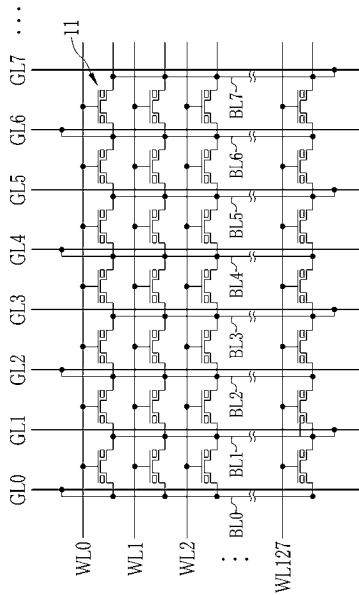
【図 1 2】



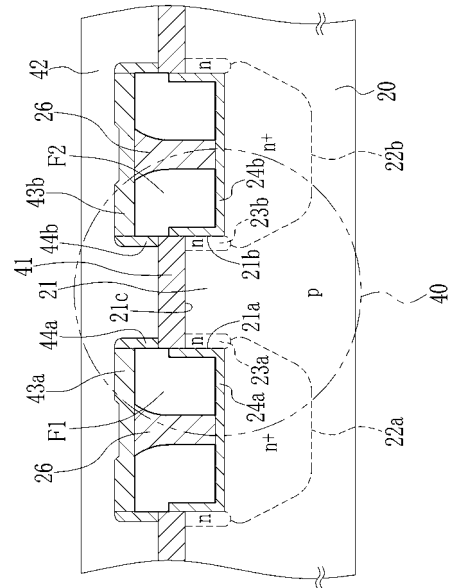
【図 1 3】



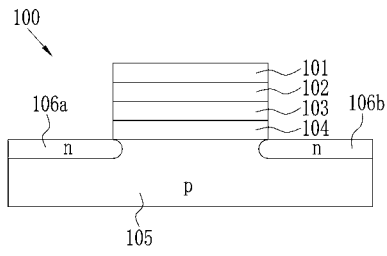
【図 1 4】



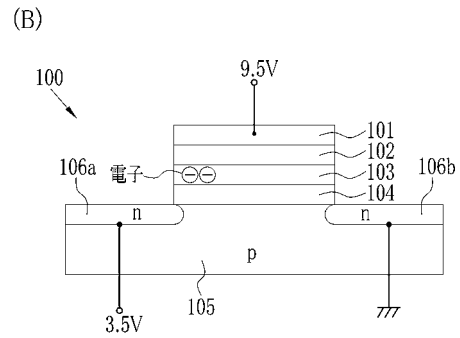
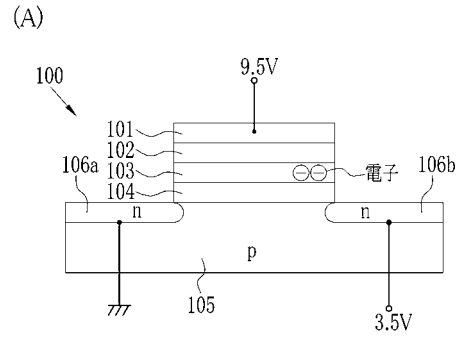
【図 1 5】



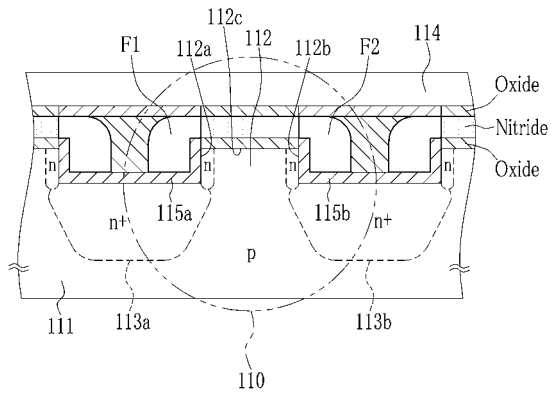
【図16】



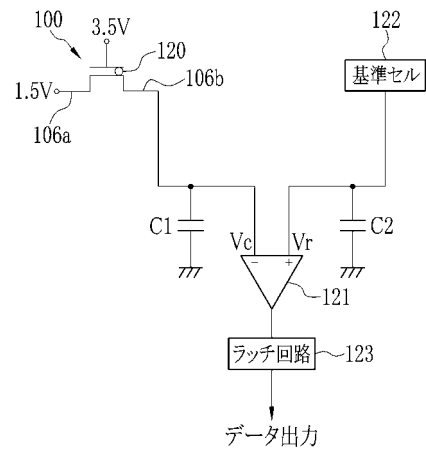
【図17】



【図18】



【図19】





---

フロントページの続き

(56)参考文献 特開2004-072060(JP,A)  
特開2003-152117(JP,A)  
国際公開第2002/097821(WO,A1)

(58)調査した分野(Int.Cl., DB名)  
G11C 16/00