



(12) 发明专利

(10) 授权公告号 CN 112042115 B

(45) 授权公告日 2024. 04. 30

(21) 申请号 201980027841.2

(22) 申请日 2019.04.18

(65) 同一申请的已公布的文献号
申请公布号 CN 112042115 A

(43) 申请公布日 2020.12.04

(30) 优先权数据
2018-085841 2018.04.26 JP

(85) PCT国际申请进入国家阶段日
2020.10.23

(86) PCT国际申请的申请数据
PCT/JP2019/016573 2019.04.18

(87) PCT国际申请的公布数据
W02019/208371 JA 2019.10.31

(73) 专利权人 株式会社村田制作所
地址 日本京都府

(72) 发明人 田部井慎 若木谦 德田胜利
渡边大介

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021
专利代理师 赵琳琳

(51) Int.Cl.
H03F 1/52 (2006.01)

(56) 对比文件
US 4835485 A, 1989.05.30
JP 2013110645 A, 2013.06.06
CN 104701311 A, 2015.06.10
US 2012268205 A1, 2012.10.25
JP 2009055438 A, 2009.03.12
US 2011068860 A1, 2011.03.24

审查员 宫玉龙

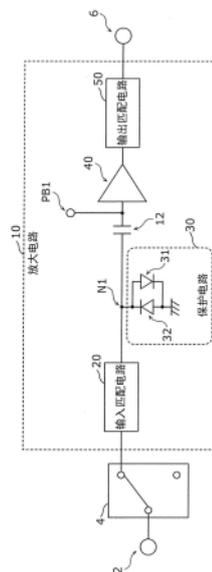
权利要求书2页 说明书9页 附图5页

(54) 发明名称

放大电路

(57) 摘要

放大电路(10)是将作为高频信号的输入信号进行放大的放大电路(10),具备:放大器(40),被施加输入信号和偏置电压;输入匹配电路(20),连接于放大器(40)的输入侧,将阻抗进行匹配;和保护电路(30),连接于输入匹配电路(20)和放大器(40)之间的路径中的不被施加偏置电压的路径上的节点(N1),保护电路(30)具有:第一二极管(31),连接在节点(N1)和接地之间;和第二二极管(32),与第一二极管(31)并联地且与第一二极管(31)反向地连接在节点(N1)和接地之间,第一二极管(31)以及第二二极管(32)的阈值电压大于节点(N1)处的输入信号的最大电压振幅,并且小于放大器(40)的耐电压与偏置电压之差。



1. 一种放大电路, 将作为高频信号的输入信号进行放大, 其中, 所述放大电路具备:
放大器, 被施加所述输入信号和偏置电压;
输入匹配电路, 连接于所述放大器的输入侧, 将阻抗进行匹配; 和
保护电路, 连接于所述输入匹配电路和所述放大器之间的路径中的不被施加所述偏置电压的路径上的节点,
所述保护电路具有:
第一二极管, 连接在所述节点和接地之间; 和
第二二极管, 与所述第一二极管并联地且与所述第一二极管反向地连接在所述节点和所述接地之间,
所述第一二极管以及所述第二二极管的阈值电压大于所述节点处的所述输入信号的最大电压振幅, 并且小于所述放大器的耐电压与所述偏置电压之差。
2. 根据权利要求1所述的放大电路, 其中,
所述第一二极管以及所述第二二极管的至少一者包括多个二极管。
3. 根据权利要求2所述的放大电路, 其中,
所述第一二极管包括串联连接在所述节点和接地之间的第三二极管以及第四二极管,
所述第三二极管与所述接地连接,
所述第四二极管连接在所述节点和所述第三二极管之间,
所述放大器具有一个以上的放大用晶体管,
所述第三二极管是与所述一个以上的放大用晶体管为同一材料且形成在同一晶片上, 并且被二极管连接的晶体管。
4. 根据权利要求3所述的放大电路, 其中,
所述第三二极管的阈值电压等于所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管的阈值电压。
5. 根据权利要求3所述的放大电路, 其中,
所述第三二极管是被二极管连接的场效应晶体管FET,
所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管为FET,
被二极管连接的所述FET的栅极长度等于所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的FET的栅极长度。
6. 根据权利要求1或2所述的放大电路, 其中,
所述第一二极管以及所述第二二极管是包含硅的二端子的二极管,
所述放大器具有一个以上的放大用晶体管,
所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管是包含硅的FET。
7. 根据权利要求3~5的任一项所述的放大电路, 其中,
所述第二二极管以及所述第四二极管是包含硅的二端子的二极管,
所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管是包含硅的FET。
8. 一种放大电路, 将作为高频信号的输入信号进行放大, 其中, 所述放大电路具备:

放大器,被施加所述输入信号和偏置电压;
输入匹配电路,连接于所述放大器的输入侧,将阻抗进行匹配;和
保护电路,连接于所述输入匹配电路和所述放大器之间的路径中的被施加所述偏置电压的路径上的节点,

所述保护电路具有:

第一二极管,连接在所述节点和接地之间,从所述节点朝着所述接地的朝向为正向;和
第二二极管,与所述第一二极管并联地且与所述第一二极管反向地连接在所述节点和所述接地之间,

所述第一二极管的阈值电压大于所述节点处的所述输入信号的最大电压振幅与所述偏置电压之和,并且小于所述放大器的耐电压。

9. 根据权利要求8所述的放大电路,其中,
所述第一二极管以及所述第二二极管的至少一者包括多个二极管。

10. 根据权利要求9所述的放大电路,其中,
所述第一二极管包括串联连接在所述节点和接地之间的第三二极管以及第四二极管,
所述第三二极管与所述接地连接,
所述第四二极管连接在所述节点和所述第三二极管之间,
所述放大器具有一个以上的放大用晶体管,
所述第三二极管是与所述一个以上的放大用晶体管为同一材料且形成在同一晶片上,并且被二极管连接的晶体管。

11. 根据权利要求10所述的放大电路,其中,
所述第三二极管的阈值电压等于所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管的阈值电压。

12. 根据权利要求10所述的放大电路,其中,
所述第三二极管是被二极管连接的场效应晶体管FET,
所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管为FET,

被二极管连接的所述FET的栅极长度等于所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的FET的栅极长度。

13. 根据权利要求8或9所述的放大电路,其中,
所述第一二极管以及所述第二二极管是包含硅的二端子的二极管,
所述放大器具有一个以上的放大用晶体管,
所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管是包含硅的FET。

14. 根据权利要求10~12的任一项所述的放大电路,其中,
所述第二二极管以及所述第四二极管是包含硅的二端子的二极管,
所述一个以上的放大用晶体管中的最靠近所述放大器的输入端子的放大用晶体管是包含硅的FET。

放大电路

技术领域

[0001] 本发明涉及将高频信号进行放大的放大电路。

背景技术

[0002] 以往,已知将高频信号进行放大的放大电路(例如,参照专利文献1)。专利文献1所记载的放大电路具备:包括晶体管等的放大器、和将被二极管连接的两个晶体管双向地并联连接的保护电路。在专利文献1所记载的放大电路中,在过电压施加于放大电路的情况下,两个晶体管的任一个的阈值电压以上的电压施加于保护电路。由此,想要通过使两个晶体管的任一个导通来避免过电压施加于放大器。即,在专利文献1所记载的放大电路中,在被施加了超过构成放大器的晶体管的耐电压的过电压的情况下,通过使用保护电路来减小输入电压,从而抑制了该晶体管破损。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2003-243512号公报

发明内容

[0006] 发明要解决的课题

[0007] 在专利文献1所记载的放大电路中,保护电路具有的两个晶体管通过与构成放大器的晶体管相同的生产工艺来形成。因此,保护电路具有的两个晶体管虽然被形成为具有比构成放大器的晶体管还高的阈值电压,但是保护电路具有的两个晶体管与构成放大器的晶体管的阈值电压之差比较小。

[0008] 在此,如专利文献1所记载的那样,在施加了被施加于放大器的偏置电压的路径连接有保护电路的情况下,即使在被施加于放大器的信号的电压充分地低于构成放大器的晶体管的耐电压的情况下,保护电路也会动作,有可能在输入到放大器的高频信号的波形中产生失真,在放大器的输出信号中也产生失真。这是因为,由于偏置电压被设定为构成放大器的晶体管的阈值电压以上,因而成为接近于构成保护电路的晶体管的阈值电压的电压。在放大电路的动作时,这样的偏置电压与由放大电路放大的高频信号的电压之和被施加于保护电路的两个晶体管,因而即使在放大电路不被施加过电压的情况下,保护电路具有的晶体管的阈值电压以上的电压也可能被施加于保护电路。因此,即使在被施加于放大电路的偏置电压与高频信号的最大电压之和(即,输入到放大器的信号的电压)充分地低于构成放大器的晶体管的耐电压的情况下,保护电路也会动作,从而高频信号的最大电压有可能被减小。

[0009] 此外,即使在将保护电路连接至不施加被施加于放大器的偏置电压的路径的情况下,只要构成保护电路的晶体管的阈值电压低于输入到放大器的信号的最大电压,则保护电路也会以较低的电压动作,有可能在放大器的输出信号中产生失真。

[0010] 因此,本发明的目的在于,提供一种能够保护放大器免受过电压的影响,并且减小

输入信号的失真的放大电路。

[0011] 用于解决课题的手段

[0012] 为了达到上述目的,本发明的一个方式涉及的放大电路是将作为高频信号的输入信号进行放大的放大电路,具备:放大器,被施加所述输入信号和偏置电压;输入匹配电路,连接于所述放大器的输入侧,将阻抗进行匹配;和保护电路,连接于所述输入匹配电路和所述放大器之间的路径中的不被施加所述偏置电压的路径上的节点,所述保护电路具有:第一二极管,连接在所述节点和接地之间;和第二二极管,与所述第一二极管并联地且与所述第一二极管反向地连接在所述节点和所述接地之间,所述第一二极管以及所述第二二极管的阈值电压大于所述节点处的所述输入信号的最大电压振幅,并且小于所述放大器的耐电压与所述偏置电压之差。

[0013] 此外,为了达到上述目的,本发明的另一个方式涉及的放大电路是将作为高频信号的输入信号进行放大的放大电路,具备:放大器,被施加所述输入信号和偏置电压;输入匹配电路,连接于所述放大器的输入侧,将阻抗进行匹配;和保护电路,连接于所述输入匹配电路和所述放大器之间的路径中的被施加所述偏置电压的路径上的节点,所述保护电路具有:第一二极管,连接在所述节点和接地之间,从所述节点朝着所述接地的朝向为正向;和第二二极管,与所述第一二极管并联地且与所述第一二极管反向地连接在所述节点和所述接地之间,所述第一二极管的阈值电压大于所述节点处的所述输入信号的最大电压振幅与所述偏置电压之和,并且小于所述放大器的耐电压。

[0014] 发明效果

[0015] 根据本发明,能够提供一种能够保护放大器免受过电压的影响,并且减小输入信号的失真的放大电路。

附图说明

[0016] 图1是示出实施方式1涉及的放大电路的结构的概念性的电路图。

[0017] 图2是示出实施方式1涉及的放大器的结构的一个例子的电路图。

[0018] 图3是示出比较例涉及的放大电路的结构的概念性的电路图。

[0019] 图4是示出实施方式1涉及的放大电路以及比较例涉及的放大电路的每一个的放大器所施加的输入信号的电压波形的曲线图。

[0020] 图5是示出实施方式2涉及的放大电路的结构的概念性的电路图。

具体实施方式

[0021] 以下,使用实施例以及附图对本发明的实施方式详细地进行说明。另外,以下说明的实施方式均示出总括性的或具体的例子。以下的实施方式中示出的数值、形状、材料、构成要素、构成要素的配置以及连接方式等是一个例子,并不旨在限定本发明。对于以下的实施方式中的构成要素之中未记载于独立权利要求的构成要素,作为任意的构成要素进行说明。此外,附图所示的构成要素的大小或大小之比未必严谨。此外,在各图中,对于实质上相同的结构,标注了相同的附图标记,存在省略或简化重复的说明的情况。此外,在以下所示的电气电路中,对于由“被连接”这样的记载示出的状态,不仅包括被直接连接的状态,还包括经由其他元件等而被间接地连接的状态。

[0022] (实施方式1)

[0023] [1-1.整体结构]

[0024] 使用图1对实施方式1涉及的放大电路的结构进行说明。图1是示出本实施方式涉及的放大电路10的结构的概念性的电路图。另外,在图1中,与放大电路10一同示出了被施加向放大电路10的输入信号的输入端子2、对输入信号的施加对象进行切换的开关4以及输出放大电路10的输出信号的输出端子6。在输入端子2,例如连接天线,并被施加天线接收到的高频信号。

[0025] 放大电路10是将作为高频信号的输入信号进行放大的电路。如图1所示,放大电路10具备输入匹配电路20、保护电路30、放大器40和输出匹配电路50。放大电路10还具备电容器12。

[0026] 放大器40是被施加输入信号和偏置电压,并将输入信号进行放大的电路。在本实施方式中,放大器40是包括一个以上的放大用晶体管的低噪声放大器。对于放大器40的结构例,在之后详述。

[0027] 输入匹配电路20是连接于放大器40的输入侧,并将阻抗进行匹配的电路。在本实施方式中,输入匹配电路20连接在开关4的一个选择端子和连接保护电路30的节点N1之间。输入匹配电路20是将设置输入匹配电路20的路径中的输入端子2侧的路径的阻抗、和放大器40的输入侧的路径的阻抗即放大器40的输入阻抗进行匹配的电路。

[0028] 保护电路30是连接于输入匹配电路20和放大器40之间的路径上的节点N1的电路,抑制过电压施加于放大器40。在本实施方式中,保护电路30连接于输入匹配电路20和放大器40之间的路径中的不被施加偏置电压的路径上的节点N1。保护电路30具有:第一二极管31,阳极与节点N1连接;和第二二极管32,阴极与节点N1连接,且与第一二极管31并联连接。在本实施方式中,第一二极管31的阴极以及第二二极管32的阳极与接地连接。换言之,第一二极管31是连接在节点N1和接地之间,且从节点N1朝着接地的朝向为正向的二极管。此外,第二二极管32是与第一二极管并联地并且与第一二极管反向地连接在节点N1和接地之间的二极管。即,在放大电路10中,第一二极管31是被连接为流过从节点N1侧朝向接地侧的电流的二极管,第二二极管32是被连接为流过从接地侧朝向节点N1侧的电流的二极管。

[0029] 第一二极管31以及第二二极管32是整流元件。在本实施方式中,第一二极管31以及第二二极管32分别是二极管元件,即具有阳极以及阴极这两个端子的二端子的二极管,但也可以不是二端子的二极管而是被二极管连接的晶体管。即,第一二极管31以及第二二极管32分别也可以是具有栅极、漏极以及源极(或基极、集电极以及发射极)这三个端子的三端子的二极管。另外,在第一二极管31以及第二二极管32分别是被二极管连接的晶体管的情况下,将被二极管连接的晶体管的各端子中的对应于二极管的阳极以及阴极的端子分别称为阳极以及阴极。例如,在使用n型的场效应型的晶体管(Field Effect Transistor,场效应晶体管;FET)作为第一二极管31或第二二极管32的情况下,将被二极管连接的晶体管的漏极端子以及栅极端子称为阳极,将源极端子称为阴极。

[0030] 第一二极管31以及第二二极管32的阈值电压大于节点N1处的输入信号的最大电压振幅。在此,所谓阈值电压,是指在二极管的正向上施加电压的情况下用于使二极管导通的最小施加电压。二端子的二极管中的阈值电压相当于所谓的正向电压。此外,所谓输入信号的最大电压振幅,意味着在放大电路10的通常动作的范围内作为输入信号的电压振幅而

被设想的最大值。在放大电路10的通常动作的范围内的输入信号中,不包括包含浪涌电压等噪声分量的输入信号、未设想放大电路10中的放大的输入信号等。

[0031] 也可以决定第一二极管31以及第二二极管32的阈值电压,使得能够抑制比放大器40的耐电压还大的电压施加于放大器40。例如,第一二极管31以及第二二极管32的阈值电压也可以设为比从放大器40的耐电压减去偏置电压而得到的电压还小的电压。放大器40的耐电压例如也可以由放大器40具有的一个以上的放大用晶体管中的最靠近放大器40的输入端子的放大用晶体管的耐电压来规定。

[0032] 在本实施方式中,第一二极管31以及第二二极管32是作为半导体材料而包含硅的二端子的二极管,阈值电压均为0.7V。

[0033] 输出匹配电路50是连接于放大器40的输出侧,并将阻抗进行匹配的电路。在本实施方式中,输出匹配电路50连接在放大器40和输出端子6之间。输出匹配电路50是将设置输出匹配电路50的路径中的放大器40的输出侧的路径的阻抗和输出端子6侧的路径的阻抗进行匹配的电路。另外,输出匹配电路50也可以设置在放大电路10之外。

[0034] 电容器12是在放大电路10中使施加于设置电容器12的路径上的电压的交流分量传导,并阻断直流分量的电容元件。在本实施方式中,电容器12阻断施加于放大器40的偏置电压向输入端子2侧的施加。另一方面,电容器12使施加于输入端子2的输入信号的高频分量向放大器40传导。在本实施方式中,偏置电压施加于连接在电容器12和放大器40之间的端子PB1。由此,能够将偏置电压输入到放大器40,并且能够抑制偏置电压施加于比电容器12更靠输入端子2侧的路径。

[0035] [1-2.放大器结构]

[0036] 使用图2对本实施方式涉及的放大器40的结构例进行说明。图2是示出本实施方式涉及的放大器40的结构的一个例子的电路图。如图2所示,放大器40具有放大器输入端子PIN和放大器输出端子POUT。放大器输入端子PIN是被施加输入信号的输入端子。在放大器40中,不仅是输入信号,而且施加于图1所示的端子PB1的偏置电压也被施加于放大器输入端子PIN。放大器输出端子POUT是输出由放大器40放大后的输入信号的输出端子。此外,放大器40具有被施加偏置电压的端子PB2。放大器40具有一个以上的放大用晶体管。在本实施方式中,放大器40具有放大用晶体管41以及42。放大器40还具备电阻43、电容器44和电感器45以及46。

[0037] 放大用晶体管41是放大器40具有的一个以上的放大用晶体管中的最靠近放大器输入端子PIN的放大用晶体管。放大用晶体管41是具有源极端子、漏极端子以及栅极端子的晶体管,例如是n型的FET。在本实施方式中,放大用晶体管41是MOSFET (Metal-Oxide Semiconductor Field-Effect Transistor,金属氧化物半导体场效应晶体管)。

[0038] 放大用晶体管41的栅极端子以及漏极端子分别与放大器输入端子PIN以及放大用晶体管42的源极端子连接。放大用晶体管41的源极端子经由电感器46而与接地连接。

[0039] 放大用晶体管42是具有源极端子、漏极端子以及栅极端子的晶体管,例如是n型的FET。在本实施方式中,放大用晶体管42是MOSFET。

[0040] 另外,放大用晶体管41以及42不限定于n型的FET,也可以是p型的FET,还可以是双极晶体管。

[0041] 放大用晶体管42的栅极端子经由电容器44而高频地接地,并且经由电阻43而与端

子PB2连接。放大用晶体管42的漏极端子与放大器输出端子POUT连接,并且与电感器45连接。

[0042] 也可以是,放大用晶体管41以及42均通过同一生产工艺来生产。由此,能够简化放大器40的生产。也可以是,放大用晶体管41以及42例如作为半导体材料而包含硅。在该情况下,放大用晶体管41以及42的阈值电压例如是0.3V程度。

[0043] 电阻43是端子PB2和放大用晶体管42的栅极端子之间的路径的电阻分量。

[0044] 电感器45是与放大用晶体管42连接的电感元件。电感器45是用于取得放大用晶体管41以及42和外部连接电路的阻抗匹配的匹配用元件,也是阻止高频信号流向直流电源侧(即,直流电压VDD供给电路侧)的扼流用元件。电感器45的一个端子与放大用晶体管42的漏极端子连接,另一个端子与直流电源连接,并被施加直流电压VDD。

[0045] 电感器46是串联配置在将放大用晶体管41的源极端子和接地连结的路径上的电感元件,是源极退化电感器。另外,电感器45也可以与电阻等扼流用的其他元件置换。此外,电阻43以及电感器46不是本实施方式涉及的放大器40的必需构成要素。

[0046] [1-3.作用以及效果]

[0047] 以下,对本实施方式涉及的放大电路10的作用以及效果进行说明。

[0048] 在本实施方式中,保护电路30连接于不被施加偏置电压的路径上的节点N1、即被施加输入信号而不被施加偏置电压的节点N1,并且,第一二极管31以及第二二极管32的阈值电压大于节点N1处的输入信号的最大电压振幅。由此,在输入信号的最大电压振幅以下的电压施加于保护电路30的情况下,保护电路30具有的第一二极管31以及第二二极管32不导通。因此,在不被施加过电压的情况下,输入信号的电压不会被保护电路30减小。即,根据本实施方式涉及的放大电路,例如与专利文献1所记载的放大电路相比,能够抑制输入信号的失真。另一方面,在第一二极管31以及第二二极管32的阈值电压以上的过电压施加于放大电路的情况下,第一二极管31或第二二极管32导通,从而能够减小施加于放大器40的过电压。

[0049] 此外,第一二极管31以及第二二极管32的阈值电压小于放大器40的耐电压与偏置电压之差。由此,能够将保护电路30减小的过电压与偏置电压之和始终设为小于放大器40的耐压。因此,能够可靠地保护放大器免受过电压的影响。

[0050] 此外,在本实施方式涉及的放大电路10中,将保护电路30连接于输入匹配电路20和放大器40之间的路径的节点N1。对于该保护电路30的连接位置所带来的效果,一边与比较例进行比较一边使用附图进行说明。图3是示出比较例涉及的放大电路1010的结构的概念性的电路图。如图3所示,本比较例涉及的放大电路1010与本实施方式涉及的放大电路10同样地,具备输入匹配电路20、保护电路30、放大器40和输出匹配电路50。另外,在图3中与图1同样地,与放大电路1010一同示出了输入端子2、开关4以及输出端子6。

[0051] 如图3所示,比较例涉及的放大电路1010与本实施方式涉及的放大电路10的不同点在于,保护电路30连接于比输入匹配电路20更靠输入端子2侧的节点N2,在其他点上一致。

[0052] 以下,使用图4对本实施方式涉及的放大电路10以及比较例涉及的放大电路1010的动作的模拟结果进行说明。图4是示出本实施方式涉及的放大电路10以及比较例涉及的放大电路1010的每一个的放大器40所施加的输入信号的电压波形的曲线图。图4示出在将

输入信号施加于图1或图3所示的电路的输入端子2的情况下施加于放大器40的放大器输入端子PIN的电压波形。另外,该电压波形通过模拟而求出。在图4中利用实线示出的曲线C表示在本实施方式涉及的放大电路10的情况下施加于放大器40的电压波形。此外,在图4中利用点线示出的曲线A表示在从本实施方式涉及的放大电路10除去了保护电路30的情况下施加于放大器40的电压波形,利用单点划线示出的曲线B表示在比较例涉及的放大电路1010的情况下施加于放大器40的电压波形。

[0053] 如图4的曲线A所示,在无保护电路30的情况下,超过最大5V的电压施加于放大器40。另一方面,如图4的曲线C所示,在本实施方式涉及的放大电路10中,通过保护电路30而向放大器40的输入电压被抑制为最大2V程度。像这样,根据本实施方式涉及的放大电路10,能够保护放大器40免受过电压的影响。另外,如图4的曲线B所示,即使在具备保护电路30的情况下,当将保护电路30连接于比输入匹配电路20更靠输入端子2侧时,对放大器40来说也几乎不能抑制输入电压。以下,对该模拟结果详细地进行说明。在输入匹配电路20的输入侧的路径和输出侧的路径中,阻抗大不相同。在比输入匹配电路20更靠输入端子2侧的路径中,阻抗为约 $50\ \Omega$,但在比输入匹配电路20更靠放大器40侧的路径中,阻抗变得高于 $50\ \Omega$ 。因此,比输入匹配电路20更靠放大器40侧的输入信号的电压变得大于比输入匹配电路20更靠输入端子2侧的输入信号的电压。因此,即使将具有阈值电压为0.7V程度的第一二极管31以及第二二极管32的保护电路30连接在比输入匹配电路20更靠输入端子2侧,施加于放大器40的电压也可能超过5V。即,在比较例涉及的放大电路1010中,不能充分地保护放大器40免受过电压的影响。像这样,输入信号的电压可能根据路径上的位置而变化。因此,通过将保护电路30连接于输入匹配电路20和放大器40之间的路径的节点N1,从而能够更可靠地保护放大器40免受过电压的影响。

[0054] 此外,在本实施方式涉及的放大电路10中,保护电路30连接于输入匹配电路20和放大器40之间的路径中的不被施加偏置电压的路径上的节点。在本实施方式中,保护电路30连接于偏置电压阻断用的电容器12和放大器40之间的路径上的节点N1。由于在节点N1不被施加偏置电压,因而施加于节点N1的输入信号的电压的正以及负均变为相同程度的振幅。因此,能够将保护电路30的第一二极管31以及第二二极管32的各阈值电压设为相同程度。因此,能够将第一二极管31以及第二二极管32的结构设为相同,因而能够简化保护电路30的结构。由此,能够将放大电路10的制造工序简化,并且能够实现低成本化。

[0055] 此外,在本实施方式中,第一二极管31以及第二二极管32是作为半导体材料而包含硅的二端子的二极管,最靠近放大器40的输入端子(即,放大器输入端子PIN)的放大用晶体管41是包含硅的FET。在此,在高频信号用的放大器中使用的晶体管中,为了使特性提高,具有构造被精细化的倾向。与之相伴,放大用晶体管的阈值电压变低。因此,在通过将具有与这样的晶体管相同的构造的晶体管进行二极管连接、即通过将晶体管的栅极端子(基极端子)和漏极端子或源极端子(发射极端子或集电极端子)进行连接,从而作为二极管使用的情况下,大多情况是阈值电压变得低于使用相同的半导体材料的二端子的二极管。因此,根据该结构,能够使保护电路30具有的第一二极管31以及第二二极管32的阈值电压大于放大用晶体管41的阈值电压。因此,与作为第一二极管31以及第二二极管32而使用与放大用晶体管41同样的晶体管的情况相比,能够增大第一二极管31以及第二二极管32的阈值电压,因而变得容易减小输入信号的失真。具体地,能够将第一二极管31以及第二二极管32的

阈值电压设为0.7V程度,将放大用晶体管41的阈值电压设为0.3V程度。通过具有这样的第一二极管31以及第二二极管32的保护电路30,能够抑制过电压向具有放大用晶体管41的放大器40的输入,并且减小输入信号的失真。

[0056] 另外,在本实施方式中,第一二极管31以及第二二极管32均由单一的二极管元件构成,但第一二极管31以及第二二极管32的至少一者也可以包括多个二极管元件。在像这样使用多个二极管元件的情况下,能够通过调整二极管元件的个数来调整第一二极管31以及第二二极管32的阈值电压。即,能够提高阈值电压的自由度,因而能够匹配放大器40以及输入信号而实现更合适的保护电路30。

[0057] (实施方式2)

[0058] 对实施方式2涉及的放大电路进行说明。本实施方式涉及的放大电路在保护电路的连接位置以及保护电路的电路结构上,与实施方式1涉及的放大电路10不同,在其他点上一致。以下,对于本实施方式涉及的放大电路,以与实施方式1涉及的放大电路10的不同点为中心,使用图5进行说明。图5是示出本实施方式涉及的放大电路110的结构的概略性的电路图。在图5中,与图1同样地,与放大电路110一同示出了输入端子2、开关4以及输出端子6。

[0059] 如图5所示,放大电路110具备输入匹配电路20、保护电路130、放大器40和输出匹配电路50。与实施方式1涉及的放大电路10同样地,输出匹配电路50也可以设置在放大电路110之外。放大电路110还具备电容器12。另外,在图5中,还示出了被施加偏置电压的端子PB1和放大器40之间的电路。

[0060] 施加于端子PB1的偏置电压被施加于电容器12和放大器40之间的路径上的节点N4。在端子PB1和节点N4之间,连接电感器18、电阻14和电容器16。电感器18是用于提高相对于供给偏置电压的电路的高频信号的阻抗的元件。由此,能够在抑制高频信号流向供给偏置电压的电路侧的同时,抑制相对于作为直流电压的偏置电压的电阻分量。电感器18的一个端子与节点N4连接,另一个端子与电容器16的一个端子连接。电容器16的一个端子与电感器18连接,另一个端子与接地连接。另外,这些电容器16以及电感器18也是构成使从输入端子2侧观察的放大电路110的阻抗匹配的匹配电路的一部分的元件。电阻14的一个端子与电感器18和电容器16的连接点连接,另一个端子与端子PB1连接。电阻14是用于阻止高频信号流向端子PB1侧的扼流用的元件。在本实施方式中,在端子PB1被施加约0.5V的偏置电压。

[0061] 如图5所示,在本实施方式中,保护电路130连接于输入匹配电路20和放大器40之间的路径中的偏置电压阻断用的电容器12和放大器40之间的路径上的节点N3。即,保护电路130连接于输入匹配电路20和放大器40之间的路径中的被施加偏置电压的路径上的节点N3。在节点N3被施加输入信号与施加于端子PB1的偏置电压之和的电压。

[0062] 在本实施方式中,保护电路130具有:第一二极管131,连接在节点N3和接地之间,从节点N3朝着接地的朝向为正向;和第二二极管132,与第一二极管131并联地且与第一二极管131反向地连接在节点N3和接地之间。即,第一二极管131的阳极以及第二二极管132的阴极与节点N3连接,第二二极管132的阳极以及第一二极管的阴极与接地连接。在此,第一二极管131包括串联连接在节点N3和接地之间的第三二极管133以及第四二极管134。第三二极管133与接地连接,第四二极管134连接在节点N3和第三二极管133之间。如以上那样,包含包括第三二极管133以及第四二极管134的串联电路在内的第一二极管131与第二二极管132并联连接。

[0063] 第一二极管131以及第二二极管132是整流元件。在本实施方式中,第一二极管131中包含的第四二极管134以及第二二极管132是二端子的二极管,第三二极管133是三端子的二极管、即被二极管连接的晶体管。在本实施方式中,第二二极管132以及第四二极管134是包括硅的二端子的二极管。

[0064] 在本实施方式中,保护电路30连接于被施加偏置电压的路径上的节点N3、即被施加输入信号和偏置电压这两者的节点N3,并且,第一二极管131的阈值电压大于节点N3处的输入信号的最大电压振幅和施加于端子PB1的偏置电压之和。由此,在输入信号的最大电压振幅以下的电压施加于保护电路130的情况下,保护电路130具有的第一二极管131不导通。因此,在不被施加过电压的情况下,输入信号的电压不会被保护电路130减小。即,根据本实施方式涉及的放大电路110,例如与专利文献1所记载的放大电路相比,能够抑制输入信号的失真。另一方面,在第一二极管131的阈值电压以上的过电压施加于放大电路110的情况下,第一二极管131导通,从而能够减小施加于放大器40的过电压。

[0065] 此外,第一二极管131的阈值电压小于放大器40的耐电压。由此,能够将被保护电路30减小的过电压始终设为小于放大器40的耐压。因此,能够可靠地保护放大器40免受过电压的影响。

[0066] 此外,在本实施方式中,第三二极管133包括通过与放大器40具有的一个以上的放大用晶体管相同的工艺而生产的被二极管连接的晶体管。第三二极管例如是被二极管连接的FET。这样的第三二极管133与放大器40具有的一个以上的放大用晶体管为同一材料并且形成在同一晶片上。在本实施方式中,作为晶片而使用硅晶片。由此,能够将第三二极管的阈值电压设为与放大器40具有的一个以上的放大用晶体管中的最靠近放大器40的输入端子的放大用晶体管41的阈值电压相同程度。在此,偏置电压是与放大用晶体管41的阈值电压相同程度的电压,因而根据本结构,能够将第三二极管133的阈值电压设为与偏置电压相同程度。如果使用这样的第三二极管133,则只是通过与放大器40具有的晶体管相同的工艺来生产等而进行追加,就能够容易地使第一二极管131的阈值电压仅上升与偏置电压相同程度的数值量。该保护电路动作的阈值越低则保护电路的保护能力变得越高,因而根据该结构,可获得在减小输入信号的失真的同时,保护能力也优良的保护电路130。

[0067] 此外,也可以是,第三二极管133包括被二极管连接的晶体管,被二极管连接的晶体管的栅极长度等于放大用晶体管41的栅极长度。由此,能够使第三二极管133的阈值电压更加接近于放大用晶体管41的阈值电压。因此,变得更容易提高保护电路130的保护能力。

[0068] 另外,在本实施方式中,第四二极管134以及第二二极管132均由单一的二极管元件构成,但第四二极管134以及第二二极管132的至少一者也可以包括多个二极管。由此,能够提高第四二极管134以及第二二极管132的阈值电压的自由度,因而能够匹配放大器40以及输入信号而实现更合适的保护电路130。此外,也可以是,第三二极管133也包括多个二极管。

[0069] (其他实施方式)

[0070] 以上,举出各实施方式对本发明涉及的放大电路进行了说明,但本发明不限于上述各实施方式。组合上述各实施方式中的任意的构成要素而实现的另外的实施方式、在不脱离本发明的主旨的范围内对上述各实施方式实施本领域技术人员想到的各种变形而得到的变形例、内置了本发明涉及的放大电路的各种设备也包括于本发明。

[0071] 例如,在上述各实施方式中,用于施加偏置电压的电源电路不包括于放大电路,但本发明的放大电路也可以具备用于施加偏置电压的电源电路。

[0072] 此外,在上述各实施方式中,作为晶体管以及二极管包括的半导体材料而例示了硅,但也可以使用其他公知的半导体材料。

[0073] 工业实用性

[0074] 本发明涉及的放大电路作为能够保护放大器免受过电压的影响并且能够抑制输入信号的失真的放大电路,能够利用于智能手机、平板型终端等的通信装置。

[0075] 附图标记说明

[0076] 2:输入端子;

[0077] 4:开关;

[0078] 6:输出端子;

[0079] 10、110、1010:放大电路;

[0080] 12、16、44:电容器;

[0081] 14、43:电阻;

[0082] 18、45、46:电感器;

[0083] 20:输入匹配电路;

[0084] 30、130:保护电路;

[0085] 31、131:第一二极管;

[0086] 32、132:第二二极管;

[0087] 40:放大器;

[0088] 41、42:放大用晶体管;

[0089] 50:输出匹配电路;

[0090] 133:第三二极管;

[0091] N1:节点;

[0092] PB1、PB2:端子;

[0093] PIN:放大器输入端子;

[0094] POUT:放大器输出端子。

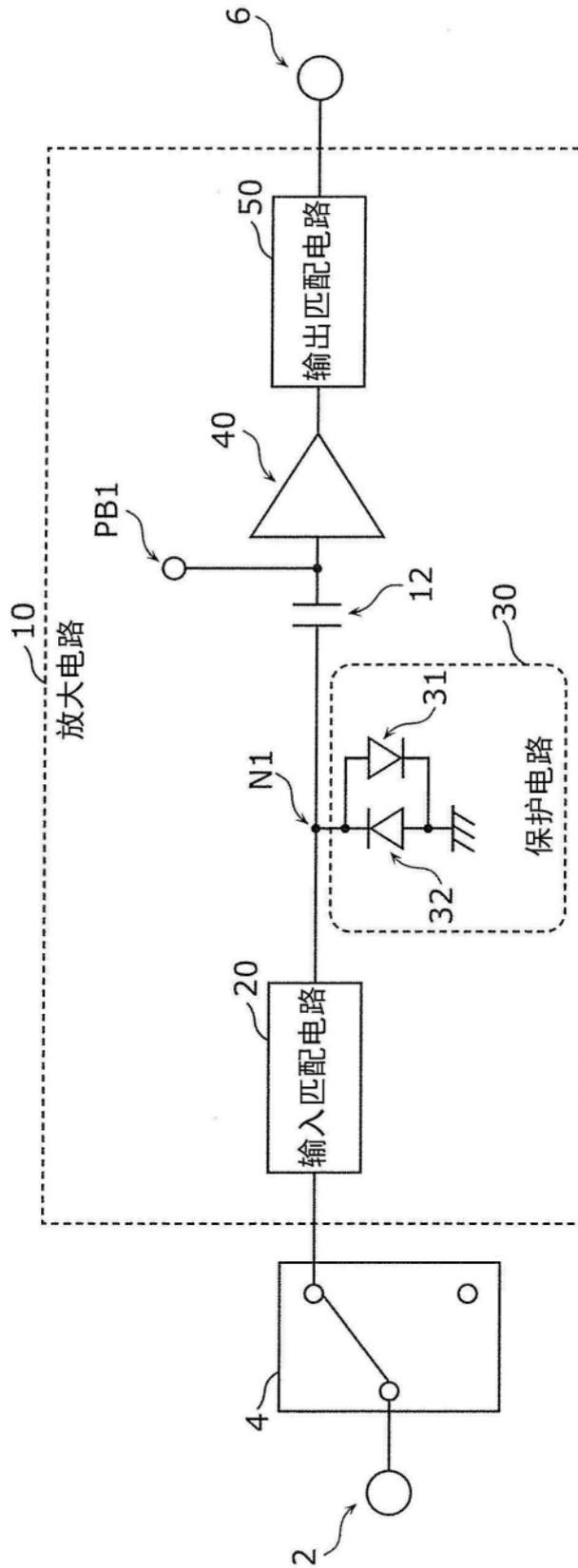


图1

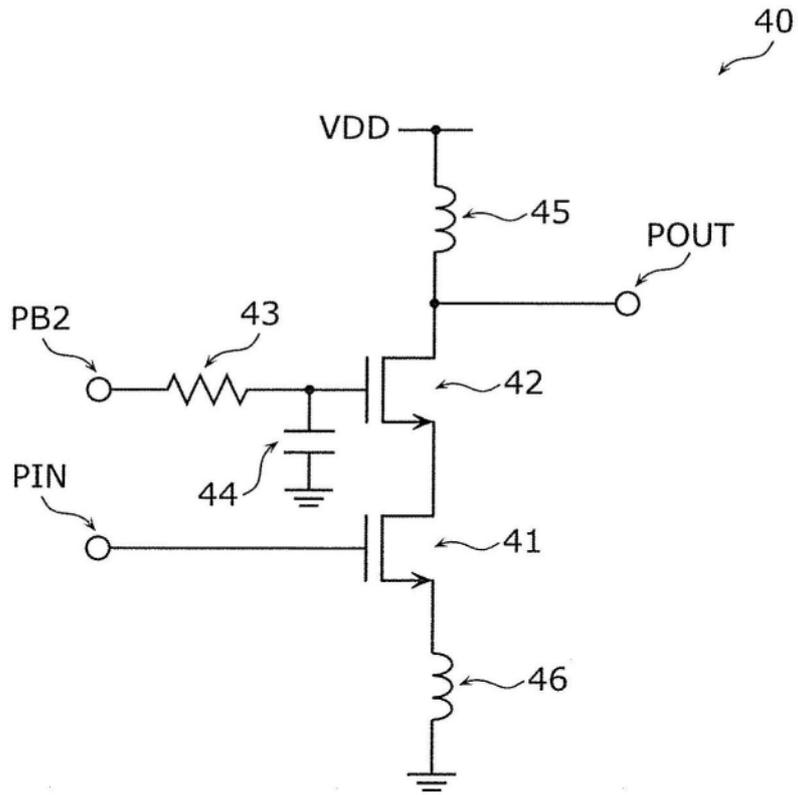


图2

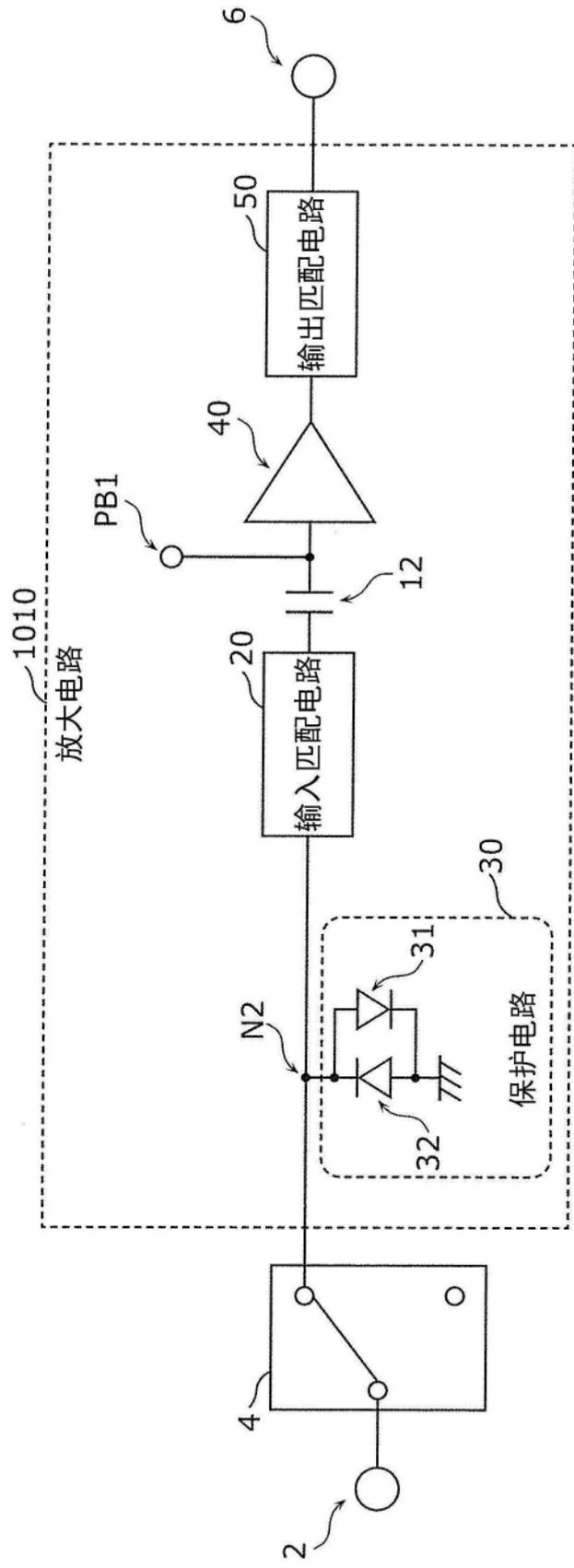


图3

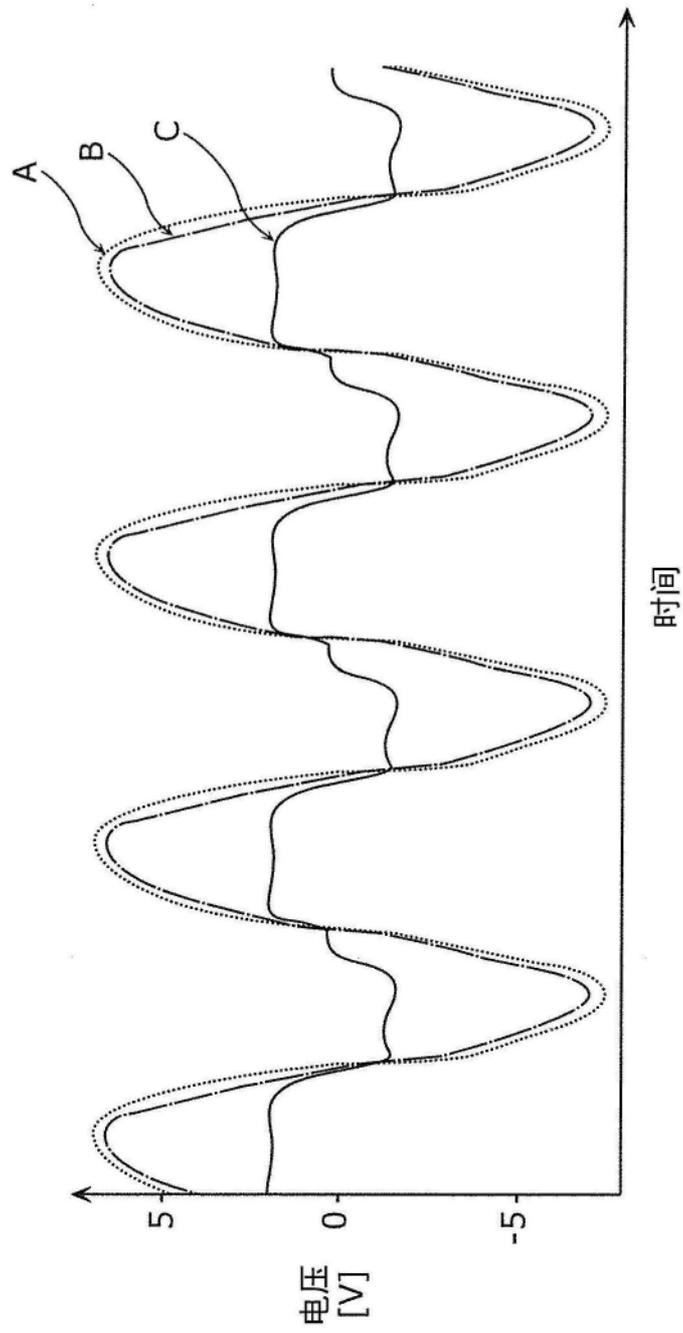


图4

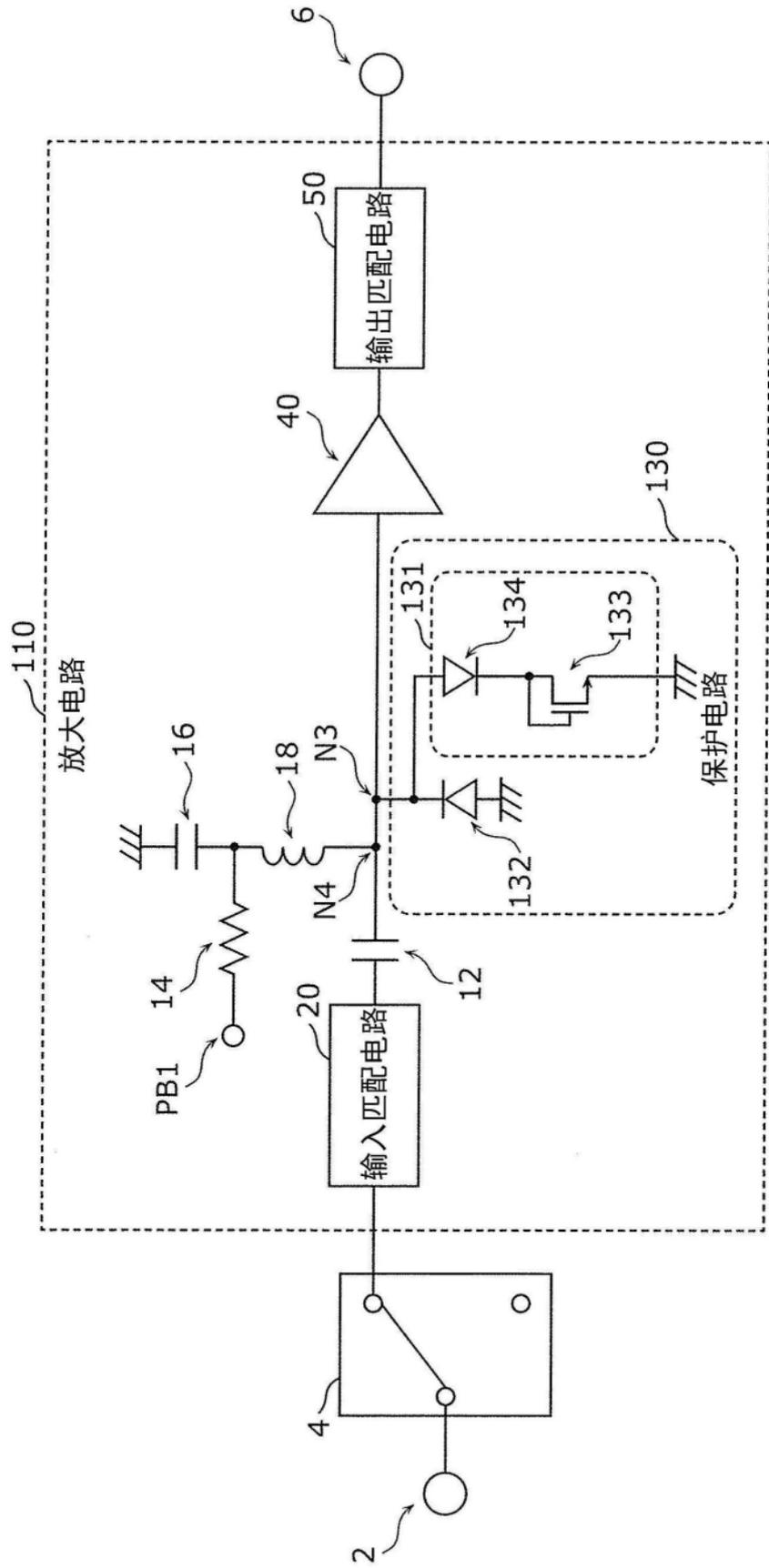


图5