



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월19일
(11) 등록번호 10-2180511
(24) 등록일자 2020년11월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2014-0014926
(22) 출원일자 2014년02월10일
심사청구일자 2019년01월03일
(65) 공개번호 10-2015-0094828
(43) 공개일자 2015년08월20일
(56) 선행기술조사문헌
KR100999501 B1*
KR1020100051550 A*
KR1020140014546 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
문연건
서울특별시 광진구 동일로44길 17-3 (군자동)
손상우
경기도 용인시 수지구 신봉2로 26, 119동 303호
(신봉동, LG신봉자이1차아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 12 항

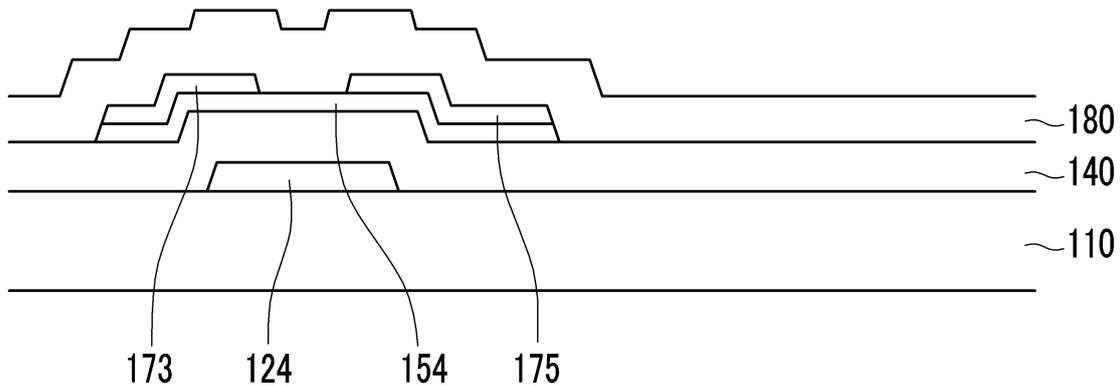
심사관 : 장영주

(54) 발명의 명칭 박막 트랜지스터 표시판 및 이의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 위치하는 게이트 절연막, 상기 게이트 절연막 위에 위치하며 상기 게이트 전극과 중첩하는 산화물 반도체층, 상기 산화물 반도체층 위에 위치하며 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하는 드레인 전극을 포함하고, 상기 산화물 반도체층은 텅스텐(W), 및 인듐, 아연, 및 주석 중 적어도 하나를 포함하며, 이상과 같은 산화물 반도체에 따르면 소량으로 도핑된 텅스텐(W)을 통해 박막 트랜지스터 표시판의 안정성을 향상시킬 수 있다.

대표도 - 도1



(72) 발명자

키시모토 카츠시

경기 화성시 메타폴리스로 22, 301동 804호 (반송동, 시범다운마을다숲캐슬아파트)

후카사와 타카유키

서울특별시 서초구 강남대로 224, 양재한신휴플러스아파트 1301호 (양재동)

신상원

경기도 용인시 수지구 진산로 108, 609동 602호 (풍덕천동, 진산마을삼성래미안6차아파트)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 위치하는 게이트 전극,

상기 게이트 전극 위에 위치하는 게이트 절연막,

상기 게이트 절연막 위에 위치하며 상기 게이트 전극과 중첩하는 산화물 반도체층, 그리고

상기 산화물 반도체층 위에 위치하는 소스 전극 및 드레인 전극을 포함하고,

상기 산화물 반도체층은 인듐, 아연, 및 주석 중 적어도 하나를 포함하고,

상기 산화물 반도체층은 텅스텐을 더 포함하고, 상기 산화물 반도체층에서 상기 텅스텐의 함량이 0.1 내지 1.5 at%인 박막 트랜지스터 표시판.

청구항 2

삭제

청구항 3

제1항에서,

상기 산화물 반도체층은 상기 아연을 포함하며,

상기 산화물 반도체층에서 상기 아연의 함량은 20 내지 45 at% 인 박막 트랜지스터 표시판.

청구항 4

제3항에서,

상기 산화물 반도체층은 상기 인듐을 포함하며,

상기 산화물 반도체층에서 상기 인듐의 함량은 5 내지 20 at% 인 박막 트랜지스터 표시판.

청구항 5

제4항에서,

상기 산화물 반도체층은 상기 주석을 포함하며,

상기 산화물 반도체층에서 상기 주석의 함량은 3 내지 10 at% 인 박막 트랜지스터 표시판.

청구항 6

기관 위에 게이트 전극을 형성하는 단계,

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계,

상기 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계, 그리고

상기 소스 전극 및 상기 드레인 전극 위에 보호막을 형성하는 단계를 포함하고,

상기 산화물 반도체층은 인듐, 아연 및 주석 중 적어도 하나를 포함하고,

상기 산화물 반도체층은 텅스텐을 더 포함하고, 상기 산화물 반도체층에서 상기 텅스텐의 함량이 0.1 내지 1.5

at%인 박막 트랜지스터 표시판의 제조 방법.

청구항 7

제6항에서,

상기 산화물 반도체층은,

상기 텅스텐이 도핑된 산화아연을 포함하는 제1 스퍼터링 타겟, 및

상기 인듐, 상기 아연 및 상기 주석을 포함하는 제2 스퍼터링 타겟을 이용하여 형성하는 박막 트랜지스터 표시판의 제조 방법.

청구항 8

제7항에서,

상기 제1 스퍼터링 타겟에 인가되는 전압을 조절하여 상기 산화물 반도체층이 포함하는 상기 텅스텐의 함량을 조절하는 박막 트랜지스터 표시판의 제조 방법.

청구항 9

제8항에서,

상기 전압은 80 내지 250 W인 박막 트랜지스터 표시판의 제조 방법.

청구항 10

제8항에서,

상기 산화물 반도체층은 200 내지 400 °C에서 열처리하여 형성되는 박막 트랜지스터 표시판의 제조 방법.

청구항 11

삭제

청구항 12

제6항에서,

상기 산화물 반도체층은 상기 아연을 포함하며,

상기 산화물 반도체층에서 상기 아연의 함량은 20 내지 45 at%인 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제12항에서,

상기 산화물 반도체층은 상기 인듐을 포함하며,

상기 산화물 반도체층에서 상기 인듐의 함량은 5 내지 20 at%인 박막 트랜지스터 표시판의 제조 방법.

청구항 14

제13항에서,

상기 산화물 반도체층은 상기 주석을 포함하며,

상기 산화물 반도체층에서 상기 주석의 함량은 3 내지 10 at%인 박막 트랜지스터 표시판의 제조 방법.

발명의 설명

기술 분야

본 발명은 박막 트랜지스터 표시판 및 이의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 현재 박막 트랜지스터(Thin film transistor)는 디스플레이 분야에서 스위칭 및 구동 소자로 이용되고 있으며, 다양한 응용 분야에 이용되고 있다.
- [0003] 특히, 디스플레이의 구동 및 스위칭 소자로서 사용되는 것으로, 비정질 실리콘 박막 트랜지스터(a-Si TFT)가 있다. 이는 저가의 비용으로 대형 기관상에 균일하게 형성될 수 있는 소자로서 현재 가장 널리 쓰이는 소자이다.
- [0004] 현재 박막 트랜지스터에는 비정질 실리콘(amorphous silicon)이 많이 사용되고 있으나, 전하 이동도가 낮은 특성 때문에, 고성능 박막 트랜지스터를 제조하는데 한계가 있다.
- [0005] 또한, 반도체로서 다결정 실리콘(polysilicon)을 사용하는 경우, 전하 이동도가 높아 고성능 박막 트랜지스터의 제조가 용이하지만, 원가가 비싸고 균일도가 낮아 이러한 박막 트랜지스터를 사용하여 대형의 박막 트랜지스터 표시판을 제조하는데 한계가 있다.
- [0006] 이에 따라, 비정질 실리콘보다 전자 이동도가 높고 전류의 온-오프 비율이 높으면서, 다결정 실리콘보다 원가가 저렴하고 균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 박막 트랜지스터에 대한 연구가 진행되고 있다.
- [0007] 산화물 반도체 소자로 최근 각광을 받는 것으로는 ZnO, IZO(InZnO), GIZO(GaInZnO), IZTO(InZnSnO) 등이 있다. 산화물 반도체 소자는 저온 공정으로 제작이 가능하고 비정질 상이기 때문에 대면적화가 용이한 장점을 가진다.
- [0008] 현재, 이동도(mobility)가 높은 산화물 반도체 물질층, 즉 산화물계 물질층을 박막 트랜지스터의 채널 영역에 사용하기 위한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명이 해결하고자 하는 과제는 적은 도핑량으로도 외기(특히 산소)에 강하며 열적 안정성이 향상된 산화물 반도체를 포함하는 박막 트랜지스터 표시판 및 이의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0010] 상기와 같은 과제를 해결하기 위해 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은, 기관, 상기 기관 위에 위치하며 게이트 전극을 포함하는 게이트선, 상기 게이트선 위에 위치하는 게이트 절연막, 상기 게이트 절연막 위에 위치하며 상기 게이트 전극과 중첩하는 산화물 반도체층, 상기 산화물 반도체층 위에 위치하며 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하는 드레인 전극을 포함하고, 상기 산화물 반도체층은 텅스텐(W), 및 인듐, 아연, 및 주석 중 적어도 하나를 포함한다.
- [0011] 상기 텅스텐의 함량이 약 0.1 내지 약 1.5 at% 인 상기 산화물 반도체층을 포함할 수 있다.
- [0012] 상기 산화물 반도체층은 상기 아연을 포함하며, 상기 아연의 함량은 약 20 내지 45 at%일 수 있다.
- [0013] 상기 산화물 반도체층은 상기 인듐을 포함하며, 상기 인듐의 함량은 약 5 내지 20 at%일 수 있다.
- [0014] 상기 산화물 반도체층은 상기 주석을 포함하며, 상기 주석의 함량은 약 3 내지 10 at%일 수 있다.
- [0015] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기관 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층 위에 소스 전극을 포함하는 데이터선 및 상기 소스 전극과 마주하는 드레인 전극을 형성하는 단계 그리고 상기 소스 전극 및 상기 드레인 전극 위에 보호막을 형성하는 단계를 포함하고, 상기 산화물 반도체층은 텅스텐(W), 및 인듐, 아연 및 주석 중 적어도 하나를 포함한다.
- [0016] 상기 산화물 반도체층은, 상기 텅스텐이 도핑된 산화아연을 포함하는 제1 스퍼터링 타겟, 및 상기 인듐, 상기 아연 및 상기 주석을 포함하는 제2 스퍼터링 타겟을 이용하여 형성할 수 있다.
- [0017] 상기 제1 스퍼터링 타겟에 인가되는 전압을 조절하여 상기 산화물 반도체층이 포함하는 상기 텅스텐의 함량을 조절할 수 있다.

- [0018] 상기 전압은 약 80 내지 250 W일 수 있다.
- [0019] 상기 산화물 반도체층은 약 200 내지 400 °C에서 열처리하여 형성될 수 있다.
- [0020] 상기 텅스텐의 함량이 약 0.1 내지 약 1.5 at%인 상기 산화물 반도체층을 포함할 수 있다.
- [0021] 상기 산화물 반도체층은 상기 아연을 포함하며, 상기 아연의 함량은 약 20 내지 45 at%일 수 있다.
- [0022] 상기 산화물 반도체층은 상기 인듐을 포함하며, 상기 인듐의 함량은 약 5 내지 20 at%일 수 있다.
- [0023] 상기 산화물 반도체층은 상기 주석을 포함하며, 상기 주석의 함량은 약 3 내지 10 at%일 수 있다.

발명의 효과

- [0024] 이상과 같이 소량으로 도핑된 텅스텐(W)을 포함하는 산화물 반도체는 외기 또는 열에 대한 안정성이 향상되는바, 이를 포함하는 박막 트랜지스터 표시판의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판을 나타내는 단면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판을 나타내는 단면도이다.
- 도 3 내지 도 6은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 나타내는 단면도이다.
- 도 7 내지 도 10은 본 발명의 일 실시예에 따른 산화물 반도체의 물성 평가 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0027] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0028] 이하에서는 도 1을 참조하여 본 발명의 일 실시예에 따른 산화물 반도체를 포함하는 박막 트랜지스터 표시판에 대해 설명한다. 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판을 나타내는 단면도이다.
- [0029] 우선, 기판(110) 위에 게이트 전극(124)을 포함하는 게이트선(미도시)이 위치한다. 기판(110)은 절연 기판일 수 있으며, 플라스틱 또는 유리 등을 포함할 수 있다.
- [0030] 게이트선은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선은 게이트선으로부터 돌출한 복수의 게이트 전극(124)을 포함한다.
- [0031] 게이트 전극(124)은 알루미늄(Al)이나 알루미늄 합금 등을 포함하는 알루미늄 계열 금속, 은(Ag)이나 은 합금 등을 포함하는 은 계열 금속, 구리(Cu), 구리망간(CuMn)과 같은 구리 합금을 포함하는 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금을 포함하는 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등을 포함할 수 있다. 또는 게이트 전극(124)은 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(aluminium doped ZnO) 등의 투명성 도전 물질을 포함할 수도 있다.
- [0032] 본 실시예에서는 게이트 전극(124)이 단일막으로 형성되는 것으로 설명하였으나, 이에 한정되지 않고 이중막 또는 삼중막 형태 등으로 형성될 수 있다.
- [0033] 이중막 구조를 갖는 경우, 게이트 전극(124)은 하부막 및 상부막으로 형성될 수 있고, 하부막은 몰리브덴(Mo)과 몰리브덴 합금을 포함하는 몰리브덴 계열의 금속, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 탄탈륨 합금, 망간(Mn), 망간 합금 중에서 선택된 하나로 이루어질 수 있다. 상부막은 알루미늄(Al)과 알루미늄 합금 등을 포함하는 알루미늄 계열의 금속, 은(Ag)과 은 합금 등을 포함하는 은 계열의 금속, 구리(Cu)와 구리 합금 등을 포함하는 구리 계열의 금속 중 선택된 하나로 이루어질 수 있다. 삼중막 구조의 경우, 서로 물리적

성질이 다른 막들이 조합되어 형성될 수 있다

- [0034] 게이트 전극(124)을 포함하는 게이트선 위에 게이트 절연막(140)이 위치한다. 게이트 절연막(140)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드(SiON), 유기 절연 물질 등을 포함할 수 있다. 게이트 절연막(140)은 두 개 이상의 절연막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 예를 들어, 게이트 절연막(140)의 상층부는 실리콘 옥사이드, 하층부는 실리콘 나이트라이드일 수 있으며, 또는 상층부는 실리콘 옥사이드, 하층부는 실리콘 옥시나이트라이드(SiON)일 수 있다. 산화물 반도체(154)와 접촉하는 게이트 절연막(140)이 산화물을 포함하는 경우, 채널층의 열화를 방지할 수 있다.
- [0035] 게이트 절연막(140) 위에 산화물 반도체층(154)이 위치한다.
- [0036] 본 실시예에 따른 산화물 반도체층(154)은 텅스텐(W)을 포함할 수 있다. 또한 산화물 반도체층(154)은 인듐(In), 아연(Zn) 및 주석(Sn) 중 적어도 하나를 더 포함할 수 있으며, 일례로써 인듐, 아연, 및 주석을 모두 포함하는 ITZO(InSnZnO)일 수 있다.
- [0037] 본 발명의 일 실시예에 따른 산화물 반도체층(154)은 텅스텐(W)의 함량이 약 0.1 내지 1.5 at%일 수 있으며, 아연(Zn)의 함량이 약 20 내지 45 at%일 수 있으며, 인듐(In)의 함량이 약 5 내지 20 at%일 수 있으며, 주석(Sn)의 함량이 약 3 내지 10 at%일 수 있다.
- [0038] 본 실시예에 따른 산화물 반도체층(154)은 텅스텐(W)을 포함함에 따라 장치의 신뢰성과 열적 또는 외부 안정성이 향상되는바, 텅스텐의 함량을 조절하여 산화물 반도체층의 물성을 제어할 수 있다.
- [0039] 또한, 여기서 산화물 반도체층(154)은 절연 특성을 가진 상태에서 반도체 특성을 확보하기 위해 열처리될 수 있다. 열처리 온도는 약 200℃ 이상 400℃ 이하일 수 있으며, 일례로써 약 350℃ 일 수 있다. 열처리 온도가 400℃를 넘게 되면 비정질 특성을 상실할 수 있고, 200℃ 보다 낮으면 반도체 특성 발현이 어려울 수 있기 때문이다.
- [0040] 또한, 본 실시예에서 산화물 반도체층(154)은 스퍼터링 방법으로 형성할 수 있다. 구체적으로 스퍼터링 방법은 텅스텐을 포함하는 제1 스퍼터링 타겟과 인듐, 아연 및 주석 중 적어도 하나를 포함하는 제2 스퍼터링 타겟을 이용할 수 있다. 일례로써 제1 스퍼터링 타겟은 텅스텐(W)이 도핑되기 용이한 산화아연(ZnO)을 포함할 수 있으며, 특히 제1 스퍼터링 타겟은 텅스텐(W)이 약 1 at% 이하로 도핑된 산화아연(ZnO)을 스퍼터링할 수 있다.
- [0041] 정리하면, 텅스텐(W)이 약 1 at% 이하로 도핑된 산화아연(ZnO)과 ITZO(InSnZnO)를 동시에 스퍼터링하여, 텅스텐(W)이 소량으로 도핑된 W-ITZO를 포함하는 반도체층(154)을 형성할 수 있다. 이와 같이 형성된 반도체층(154)은 열처리 공정을 통해 반도체 특성이 발현될 수 있다.
- [0042] 다음, 산화물 반도체층(154) 위에는 데이터선에 포함되는 소스 전극(173) 및 드레인 전극(175)이 산화물 반도체층(154)의 채널 부분을 노출하면서 서로 마주보고 있다.
- [0043] 데이터선(미도시)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(미도시)과 교차한다. 각 데이터선은 게이트 전극(124)을 향하여 뻗어 U자 형상을 가지는 복수의 소스 전극(173)과 연결되어 있을 수 있다.
- [0044] 드레인 전극(175)은 데이터선과 분리되어 있고 소스 전극(173)의 U자 형상의 가운데에서 상부를 향하여 연장될 수 있다. 이러한 소스 전극(173) 및 드레인 전극(175)의 형상은 하나의 예시이며 다양하게 변형될 수 있다.
- [0045] 데이터선에 포함되는 소스 전극(173) 및 드레인 전극(175)은 알루미늄(Al)과 알루미늄 합금 등을 포함하는 알루미늄 계열의 금속, 은(Ag)과 은 합금 등을 포함하는 은 계열의 금속, 구리(Cu)와 구리 합금 등을 포함하는 구리 계열의 금속 중에서 선택된 하나로 이루어질 수 있다.
- [0046] 본 실시예에서 소스 전극(173) 및 드레인 전극(175)이 단일막으로 형성되는 것으로 설명하였으나, 이에 한정되지 않고, 이중막 또는 삼중막 형태 등으로 형성될 수 있다.
- [0047] 이중막 구조를 갖는 경우, 소스 전극(173) 및 드레인 전극(175)은 하부막 및 상부막으로 형성될 수 있고, 하부막은 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 탄탈륨(Ta), 탄탈륨 합금, 망간(Mn), 망간 합금 중에서 선택된 하나로 이루어질 수 있고, 상부막은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등을 포함하는 은 계열의 금속, 구리(Cu)와 구리 합금 등을 포함하는 구리 계열의 금속 중에서 선택된 하나로 이루어질 수 있다. 삼중막 구조의 경우, 서로 물리적 성질이 다른 막들이 조합되어 형성될 수 있다.

- [0048] 소스 전극(173) 및 드레인 전극(175) 위에는 산화물 반도체층(154)의 채널 부분을 덮으면서 보호막(180)이 위치한다. 보호막(180)은 질화 규소 또는 산화 규소로 형성할 수 있다.
- [0049] 본 명세서는 도시하지 않았으나, 드레인 전극(175)의 일부를 노출하도록 보호막(180)에 접촉 구멍이 형성될 수 있으며, 드레인 전극(175)은 이러한 접촉 구멍을 통해 화소 전극과 같은 전기장 생성 전극 등과 연결될 수 있다.
- [0050] 도 2는 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판을 나타내는 단면도이다. 도 2를 참고하면, 도 1의 실시예와 달리 에치 스톱퍼(Etch Stopper) 구조를 나타낸다.
- [0051] 구체적으로, 기판(110) 위에 박막 트랜지스터 표시판에서 제어 전극에 해당하는 게이트 전극(124)이 위치하고, 게이트 전극(124)을 덮도록 기판(110) 위에 게이트 절연막(140)이 위치한다.
- [0052] 다음, 게이트 절연막(140) 위에 산화물 반도체층(154)이 위치한다.
- [0053] 본 실시예에 따른 산화물 반도체층(154)은 텅스텐(W)을 포함할 수 있다. 또한 산화물 반도체층(154)은 인듐(In), 아연(Zn) 및 주석(Sn) 중 적어도 하나를 더 포함할 수 있으며, 일례로써 인듐, 아연, 및 주석을 모두 포함하는 ITZO(InSnZnO)일 수 있다.
- [0054] 본 발명의 일 실시예에 따른 산화물 반도체층(154)은 텅스텐(W)의 함량이 약 0.1 내지 1.5 at%일 수 있으며, 아연(Zn)의 함량이 약 20 내지 45 at%일 수 있으며, 인듐(In)의 함량이 약 5 내지 20 at%일 수 있으며, 주석(Sn)의 함량이 약 3 내지 10 at%일 수 있다.
- [0055] 본 실시예에 따른 산화물 반도체층(154)은 텅스텐(W)을 포함함에 따라 장치의 신뢰성과 열적 또는 외부 안정성이 향상되는바, 텅스텐의 함량을 조절하여 산화물 반도체층의 물성을 제어할 수 있다.
- [0056] 또한, 여기서 산화물 반도체층(154)은 절연 특성을 가진 상태에서 반도체 특성을 확보하기 위해 열처리될 수 있다. 열처리 온도는 약 200℃ 이상 400℃ 이하일 수 있으며, 일례로써 약 350℃ 일 수 있다. 열처리 온도가 400℃를 넘게 되면 비정질 특성을 상실할 수 있고, 200℃ 보다 낮으면 반도체 특성 발현이 어려울 수 있기 때문이다.
- [0057] 또한, 본 실시예에서 산화물 반도체층(154)은 스퍼터링 방법으로 형성할 수 있다. 구체적으로 스퍼터링 방법은 텅스텐을 포함하는 제1 스퍼터링 타겟과 인듐, 아연 및 주석 중 적어도 하나를 포함하는 제2 스퍼터링 타겟을 이용할 수 있다. 일례로써 제1 스퍼터링 타겟은 텅스텐(W)이 도핑되기 용이한 산화아연(ZnO)을 포함할 수 있으며, 특히 제1 스퍼터링 타겟은 텅스텐(W)이 약 1 at% 이하로 도핑된 산화아연(ZnO)을 스퍼터링할 수 있다.
- [0058] 정리하면, 텅스텐(W)이 약 1 at% 이하로 도핑된 산화아연(ZnO)과 ITZO(InSnZnO)를 동시에 스퍼터링하여, 텅스텐(W)이 소량으로 도핑된 W-ITZO를 포함하는 반도체층(154)을 형성할 수 있다. 이와 같이 형성된 반도체층(154)은 열처리 공정을 통해 반도체 특성이 발현될 수 있다.
- [0059] 한편, 산화물 반도체층(154)의 채널 영역에 대응하는 위치에 식각 방지막(165)이 위치한다.
- [0060] 식각 방지막(165)의 가장자리와 중첩하도록 데이터선에 포함되는 소스 전극(173) 및 드레인 전극(175)이 산화물 반도체층(154) 위에 서로 이격되어 위치한다. 소스 전극(173) 및 드레인 전극(175)이 이격된 위치에서 식각 방지막(165)이 부분적으로 노출될 수 있다. 식각 방지막(165)은 실리콘 계열의 산화물 또는 질화물로 형성될 수 있다.
- [0061] 소스 전극(173) 및 드레인 전극(175) 위에 보호막(180)이 위치한다. 보호막(180)은 소스 전극(173)과 드레인 전극(175)이 서로 이격된 공간을 채우며 형성되고, 상기 이격된 공간에 의해 노출되어 있는 식각 방지막(165)을 덮도록 형성된다.
- [0062] 또한 본 명세서는 도시하지 않았으나, 드레인 전극(175)의 일부를 노출하도록 보호막(180)에 접촉 구멍이 형성될 수 있으며, 드레인 전극(175)은 이러한 접촉 구멍을 통해 화소 전극과 같은 전기장 생성 전극 등과 연결될 수 있다.
- [0063] 전술한 차이점을 제외하고 도 1에서 설명한 내용은 도 2의 도시된 실시예에 대부분 적용할 수 있다.
- [0064] 이하에서는 도 3 내지 도 6을 참고하여 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 대해 설명한다. 도 3 내지 도 6은 본 발명의 일 실시예에 따른 도 2의 박막 트랜지스터 표시판의 제조 방법을 나타내는 단면도이며, 식각 방지막(165)을 제외하고는 도 1의 박막 트랜지스터 표시판의 제조 방법과 대체로 동일

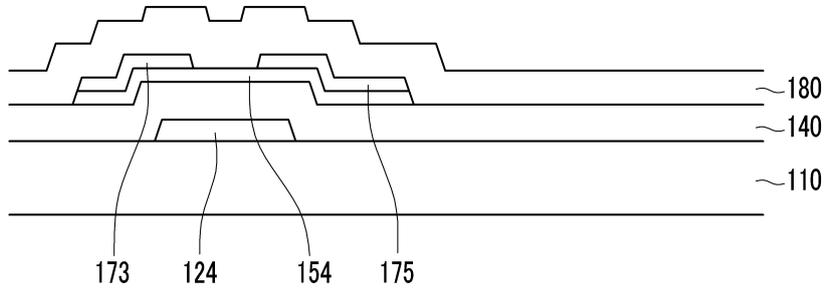
하다.

- [0065] 우선, 도 3을 참고하면, 게이트선에 포함되는 게이트 전극(124)을 덮도록 기판(110) 위에 게이트 절연막(140)을 형성한다. 게이트 절연막(140)은 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드(SiON)로 형성할 수 있고, 스퍼터링 방법 등으로 형성할 수 있다.
- [0066] 여기서도 단일막 형태로 설명하였으나, 게이트 절연막(140)은 실리콘 옥사이드, 실리콘 나이트라이드 또는 실리콘 옥사이드와 실리콘 옥시나이트라이드(SiON)의 이중막으로 형성될 수 있다. 이 때, 실리콘 옥사이드로 형성되는 막은 하기 설명할 반도체층(154)에 인접한 층이 될 수 있다.
- [0067] 다음, 도 4를 참고하면, 게이트 절연막(140) 위에 반도체 물질층을 도포한 후 패터닝하여 반도체층(154)을 형성한다. 본 발명의 실시예에 따른 반도체층(154)은 산화물 반도체로 형성할 수 있다.
- [0068] 본 실시예에 따른 산화물 반도체층(154)은 전술한 텅스텐(W)을 포함할 수 있다. 또한 산화물 반도체층(154)은 인듐(In), 아연(Zn) 및 주석(Sn) 중 적어도 하나를 더 포함할 수 있으며, 일례로써 인듐, 아연, 및 주석을 모두 포함하는 ITZO(InSnZnO)일 수 있다.
- [0069] 또한 본 발명의 일 실시예에 따른 산화물 반도체층은 텅스텐의 함량이 약 0.1 내지 1.5 at%일 수 있으며, 아연의 함량이 약 20 내지 45 at%일 수 있으며, 인듐의 함량이 약 5 내지 20 at%일 수 있으며, 주석의 함량이 약 3 내지 10 at%일 수 있다.
- [0070] 본 실시예에서 반도체 물질층을 형성할 때 화학 기상 증착법, 스퍼터링 방법, 펄스 레이저 증착법(Pulsed laser deposition), 원자층 증착법(Atomic layer deposition), 스핀 코팅법, 잉크젯 프린팅, 롤투롤 방법, 나노 임프린팅 방법 등을 사용하여 형성할 수 있으나, 스퍼터링 방법을 사용하는 것이 바람직하다.
- [0071] 구체적으로 스퍼터링 방법은 텅스텐을 포함하는 제1 스퍼터링 타겟과 인듐, 아연 및 주석 중 적어도 하나를 포함하는 제2 스퍼터링 타겟을 이용할 수 있다. 일례로써 제1 스퍼터링 타겟은 텅스텐(W)이 도핑되기 용이한 산화아연(ZnO)을 포함할 수 있는바, 특히 제1 스퍼터링 타겟은 텅스텐(W)이 약 1 at% 이하로 도핑된 산화아연(ZnO)을 스퍼터링할 수 있다.
- [0072] 또한, 상기 제1 스퍼터링 타겟은 약 80 내지 200W의 전압을 인가 받을 수 있다. 본 실시예에 따른 산화물 반도체층(154)은 텅스텐을 포함함에 따라 신뢰성 및 안정성이 향상되는바, 텅스텐의 함량을 조절하여 산화물 반도체층의 물성을 제어할 수 있는데, 텅스텐의 함량은 전술한 전압의 조절에 의한다. 따라서 텅스텐의 함량을 증가시키고 싶은 경우에는 제1 스퍼터링 타겟에 인가되는 전압을 증가시킬 수 있다.
- [0073] 정리하면, 텅스텐(W)이 약 1 at% 이하로 도핑된 산화아연(ZnO)과 ITZO(InSnZnO)를 동시에 스퍼터링하여, 텅스텐(W)이 소량으로 도핑된 W-ITZO를 포함하는 반도체층(154)을 형성할 수 있으며, 텅스텐의 함량은 스퍼터링 타겟의 인가 전압에 의해 제어될 수 있다.
- [0074] 여기서 산화물 반도체층(154)은 절연 특성을 가진 상태에서 반도체 특성을 확보하기 위해 열처리될 수 있다. 열처리 온도는 약 200℃ 이상 400℃ 이하일 수 있으며, 일례로써 약 350℃ 일 수 있다. 열처리 온도가 400℃를 넘게 되면 비정질 특성을 상실할 수 있고, 200℃ 보다 낮으면 반도체 특성 발현이 어려울 수 있기 때문이다.
- [0075] 도 5를 참고하면, 산화물 반도체층(154)의 채널 영역에 대응하는 위치에 식각 방지막(ES)을 형성한다. 식각 방지막(ES)은 실리콘 계열의 산화물 또는 질화물로 형성될 수 있다. 식각 방지막(ES)은 이후 공정에서 발생할 수 있는 산화 규소(SiO₂)나 수증기가 반도체층(154)의 채널부를 침투하는 것을 방지하는 역할을 할 수 있다.
- [0076] 도 6을 참고하면, 식각 방지막(ES)의 가장자리와 중첩하도록 소스 전극(173) 및 드레인 전극(175)을 형성한다. 소스 전극(173) 및 드레인 전극(175)은 게이트 전극(124)을 중심으로 서로 마주본다. 소스 전극(173) 및 드레인 전극(175)이 이격된 위치에서 식각 방지막(ES)은 부분적으로 노출되어 있다.
- [0077] 소스 전극(173) 및 드레인 전극(175)은 알루미늄이나 알루미늄 합금 등을 포함하는 알루미늄 계열 금속, 은이나 은 합금 등을 포함하는 은 계열 금속, 구리나 구리망간과 같은 구리 합금 등을 포함하는 구리 계열 금속, 몰리브덴이나 몰리브덴 합금 등을 포함하는 몰리브덴 계열 금속, 크롬, 탄탈륨 및 티타늄 따위로 만들어질 수 있다. 예를 들어, 몰리브덴 합금으로는 Mo-Nb, Mo-Ti가 있다. 또는 소스 전극(173) 및 드레인 전극(175)은 ITO, IZO, AZO 등의 투명성 도전 물질로 만들어질 수도 있다.
- [0078] 또한, 소스 전극(173) 및 드레인 전극(175)은 두 개 이상의 도전막(도시하지 않음)을 포함하는 다중막 구조를

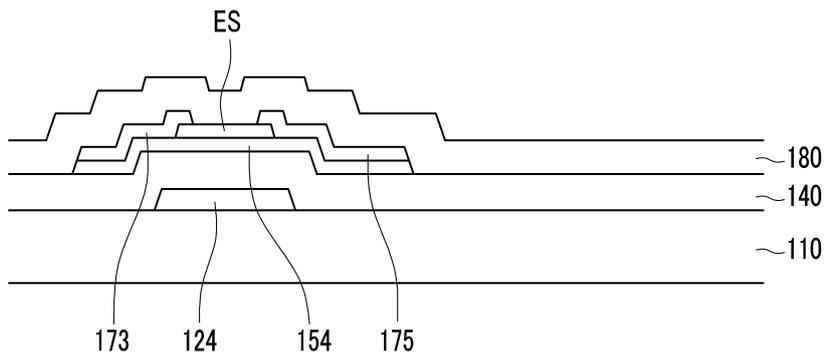
ES : 식각 방지막

도면

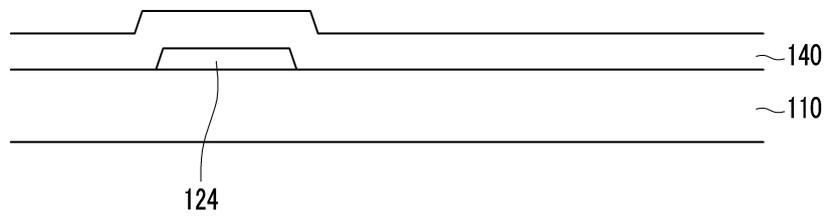
도면1



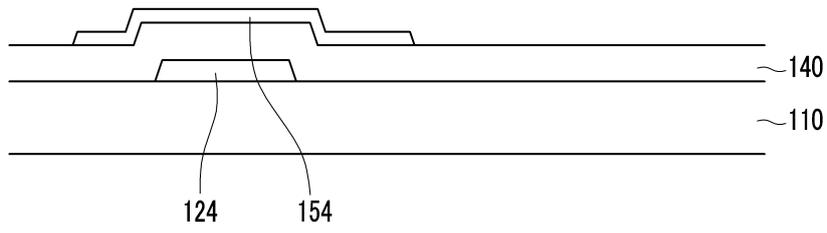
도면2



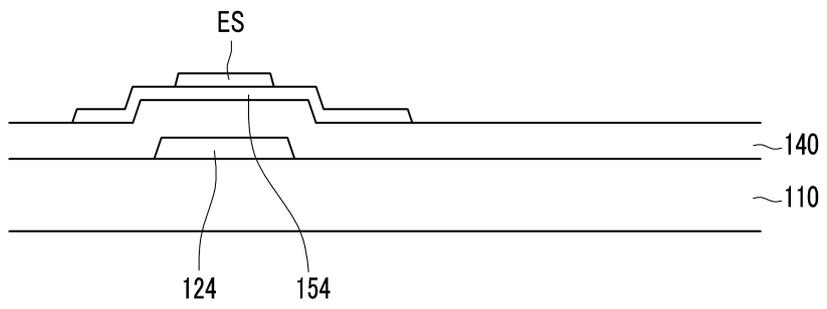
도면3



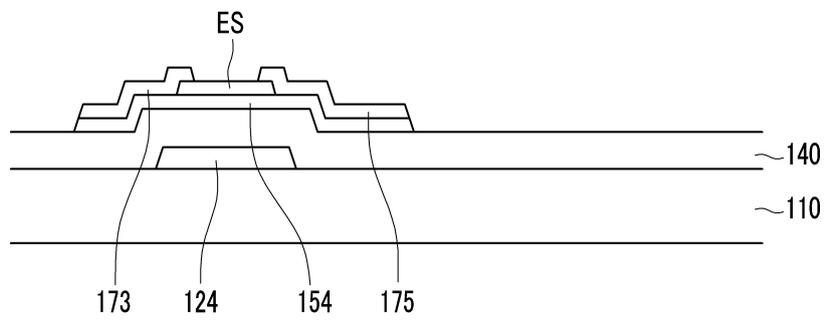
도면4



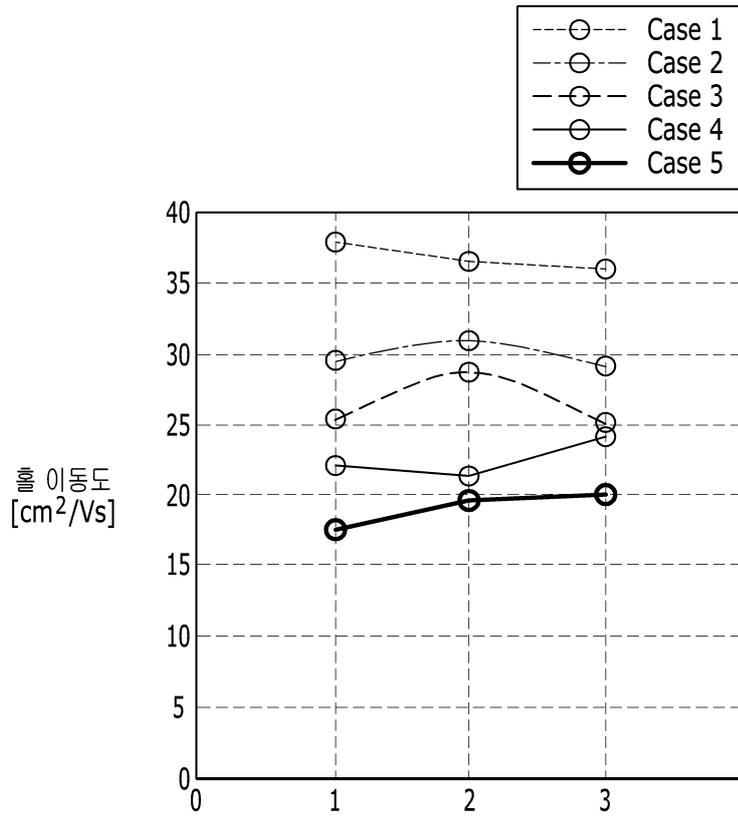
도면5



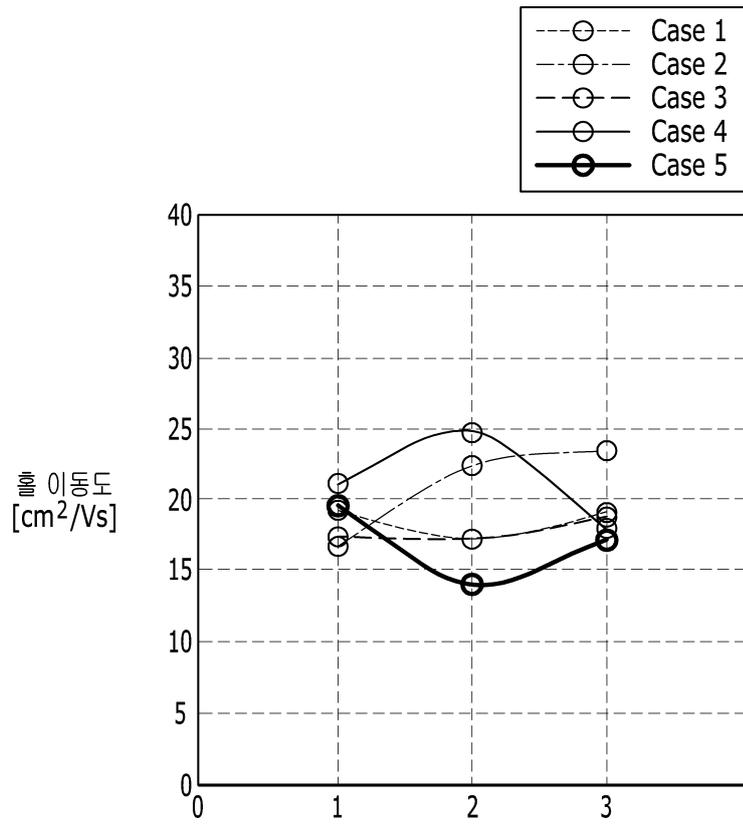
도면6



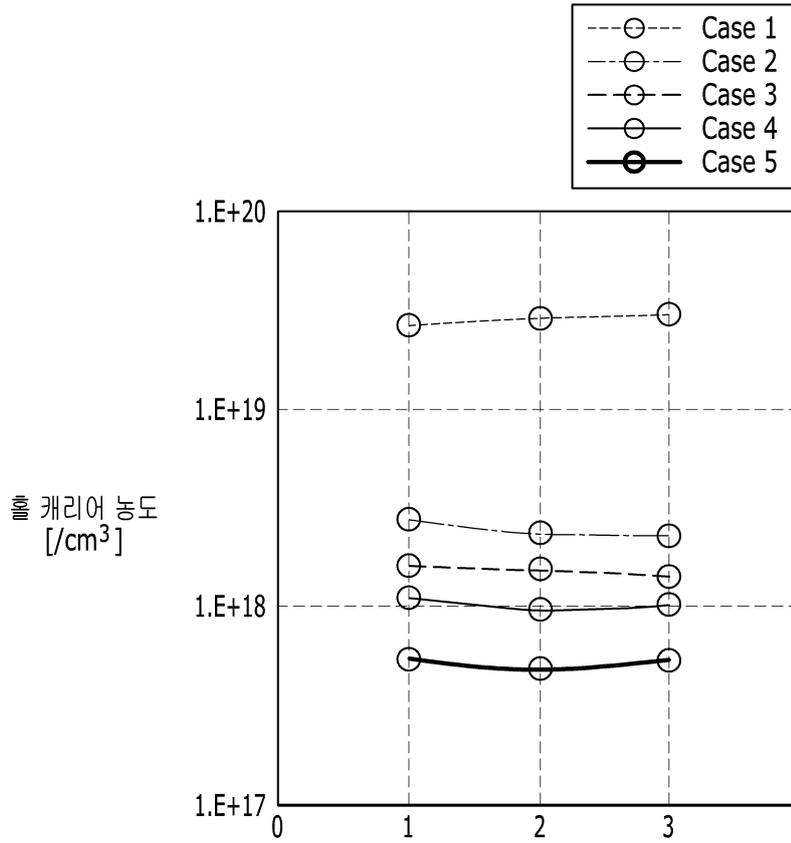
도면7



도면8



도면9



도면10

