

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 23/48 H01G 4/10	(45) 공고일자 2001년01월 15일 (11) 등록번호 10-0277314 (24) 등록일자 2000년 10월 09일
(21) 출원번호 10-1997-0048433	(65) 공개번호 특 1998-0041895
(22) 출원일자 1997년 09월 24일	(43) 공개일자 1998년 08월 17일
(30) 우선권주장 96-296436 1996년 11월 08일 일본(JP)	
(73) 특허권자	신꼬오덴기 고교 가부시카가이샤 모기 준이찌 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711
(72) 발명자	후지사와 아끼라 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711 신꼬오덴기고오교 오 가부시카가이샤 내 쇼지 와타나베 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711 신꼬오덴기고오교 오 가부시카가이샤 내 시바모토 쓰요시 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711 신꼬오덴기고오교 오 가부시카가이샤 내 교바야시 쓰요시 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711 신꼬오덴기고오교 오 가부시카가이샤 내 이하라 요시히로 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711 신꼬오덴기고오교 오 가부시카가이샤 내
(74) 대리인	문두현, 문기상, 조기호

심사관 : 양희용

(54) 박막콘덴서 및 이를 탑재한 반도체장치

요약

본 발명은 취급이 용이하고 쉽게 장착할 수 있으며, 또한 전원계 노이즈의 저감을 보다 효과적으로 할 수 있는 박막 콘덴서 및 이를 사용한 반도체장치를 제공한다.

기체(12)상에 제1의 전극막(18)이 형성되고, 이 제1의 전극막(18)상에 고 유전체 피막(20)이 형성되며, 이 고 유전체 피막(20)상에 제2의 전극막(22)이 형성되고, 상기 기체(12)의 상기 제1의 전극막(18)이 형성된 면과 반대측 면에 상기 제1의 전극막(18)과 전기적으로 접속하는 외부 접속단자(28)가 형성되어 있는 것을 특징으로 한다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 박막 콘덴서의 제1실시예를 나타낸 단면도.
- 도 2는 스퍼터링막의 결함을 나타낸 설명도.
- 도 3은 기체 표면에 도금 피막을 형성한 경우의 설명도.
- 도 4는 리드 프레임의 리드 선단에 박막 콘덴서를 탑재한 상태의 설명도.
- 도 5는 리드 프레임의 리드 선단에 박막 콘덴서를 탑재한 상태의 설명도.
- 도 6은 박막 콘덴서의 제2실시예를 나타낸 단면도.
- 도 7은 박막 콘덴서의 제3실시예를 나타낸 단면도.
- 도 8은 박막 콘덴서의 제4실시예를 나타낸 단면도.

도 9는 박막 콘덴서를 리드 프레임에 탑재한 상태를 나타낸 평면도.

도 10은 박막 콘덴서를 리드 프레임에 탑재한 상태를 나타낸 정면도.

도 11은 패키지 본체에 박막 콘덴서를 탑재한 상태의 설명도.

도 12는 패키지 본체에 박막 콘덴서를 탑재한 상태의 설명도.

도 13은 패키지 본체에 박막 콘덴서를 탑재한 상태의 설명도.

도 14는 박막 콘덴서를 반도체 칩상에 탑재한 평면도.

도 15는 반도체 칩의 표면측에 박막 콘덴서를 탑재하고, 반도체 칩을 플립 칩 접속한 예를 나타낸 설명도.

도 16은 반도체 칩과 패키지 본체 사이에 박막 콘덴서를 배치한 설명도.

도 17은 반도체 칩의 이면측에 박막 콘덴서를 탑재한 예를 나타낸 설명도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 박막 콘덴서 및 이것을 탑재한 반도체장치에 관한 것이다.

반도체 칩의 고속화, 고집적화에 수반하여 노이즈 대책이 중요하게 되고 있다. 특히 전원계 노이즈를 저감하기 위해서는 전원과 접지간에 콘덴서를 배치할 필요가 있다. 종래에는 일반적으로 칩 콘덴서를 반도체 장치의 외부에 배치하였으나, 반도체 칩과의 사이에 거리가 있으므로 충분한 노이즈의 저감을 도모할 수가 없었다.

이 때문에, 예를 들어 리드 프레임의 리드 선단에 칩 콘덴서를 탑재하는 경우도 있다.

발명이 이루고자 하는 기술적 과제

리드 프레임의 선단에 칩 콘덴서를 탑재하면, 반도체 칩과의 사이의 거리를 짧게 할 수 있으므로 노이즈의 저감에 효과가 있다.

그러나 가는 리드 프레임의 선단에 도전성 접촉제를 사용하여 칩 콘덴서를 탑재하기가 번거로우며, 코스트가 증대한다.

따라서 본 발명은 상기 문제점을 해결하고자 이루어진 것으로서, 그 목적하는 바는 취급이 용이하고 쉽게 장착할 수 있으며, 또한 전원계 노이즈의 저감을 보다 효과적으로 할 수 있는 박막 콘덴서 및 이를 사용한 반도체장치를 제공하는 데 있다.

발명의 구성 및 작용

본 발명은 상기 목적을 달성하기 위하여 다음의 구성을 갖춘다.

즉 본 발명에 의한 박막 콘덴서는 기체상에 제1의 전극막이 형성되고, 이 제1의 전극막상에 고 유전체 피막이 형성되며, 이 고 유전체 피막상에 제2의 전극막이 형성되고, 상기 기체의 제1의 전극막이 형성된 면과 반대측 면에 상기 제1의 전극막과 전기적으로 접속하는 외부 접속단자가 형성되어 있는 것을 특징으로 한다.

상기 외부 접속단자를 볼 범프로 형성할 수 있다.

볼 범프 등의 외부 접속단자에 의해 리드 프레임의 리드 선단에 용이하게 탑재할 수 있다.

상기 기체 표면에 도금 피막을 형성하여 평활화하고, 이 도금 피막상에 상기 제1의 전극막을 형성함으로써, 제1의 전극막의 핀 홀을 없애고 내압을 높힐 수가 있다.

상기 기체에 철계 합금, 또는 동 혹은 동합금을 사용하고, 상기 도금 피막에 니켈도금 피막을 형성할 수가 있다.

또 상기 기체로 폴리이미드 필름을 사용하고, 상기 도금 피막을 크롬도금 피막을 하지로 하는 니켈도금 피막으로 함으로써, 니켈도금의 폴리이미드 필름으로의 확산 방지와, 제1의 전극막의 핀 홀을 없앨 수가 있다.

또 본 발명에 의한 반도체장치용 패키지는 반도체 칩을 탑재하는 반도체장치용 패키지에 있어서, 패키지 본체의 전원선 또는 접지선상에 상기 박막 콘덴서를 상기 외부 접속단자에 의해 전기적으로 접속하여 탑재한 것을 특징으로 한다.

또한 본 발명에 의한 반도체장치는 리드 프레임을 사용한 수지밀봉형 반도체장치에 있어서, 상기 리드 프레임의 전원선 또는 접지선상에 상기 박막 콘덴서를 상기 외부 접속단자에 의해 전기적으로 접속하여 탑재하고, 이 박막 콘덴서의 제2의 전극막측을 반도체 칩의 접지용 패드 또는 전원용 패드에 전기적으로 접속한 것을 특징으로 한다.

또 본 발명에 의한 박막 콘덴서는 기체상에 제1의 전극막이 형성되고, 이 제1의 전극막상에 고 유전체 피

막이 형성되며, 이 고 유전체 피막상에 제2의 전극막이 형성되고, 상기 기체의 제1의 전극막이 형성된 면과 반대측 면에 상기 제1의 전극막과 전기적으로 접속하는 외부 접속단자와, 상기 제2의 전극막과 전기적으로 접속하는 외부 접속단자가 형성되어 있는 것을 특징으로 한다.

상기 기체와 제1의 전극막, 고 유전체 피막을 관통하여 형성되고, 내벽면에 고 유전체 피막이 형성된 투과구멍에 의해 상기 제2의 전극막과 외부 접속단자를 접속할 수가 있다.

상기 양 외부 접속단자를 볼 범프로 형성할 수 있다.

이 볼 범프 등의 외부 접속단자에 의해 리드 프레임의 전원선, 접지선에, 또는 반도체 칩의 전원용 패드, 접지용 패드에 접속하여 용이하게 탑재할 수 있다.

상기 기체 표면에 도금 피막을 형성하여 평활화하고, 이 도금 피막상에 상기 제1의 전극막을 형성함으로써 제1의 전극막의 핀 홀을 없애고 내압을 높일 수가 있다.

상기 기체로 철계 합금, 또는 동 혹은 동합금을 사용하고, 상기 도금 피막에 니켈도금 피막을 형성할 수가 있다.

또 상기 기체에 폴리이미드 필름을 사용하고, 상기 도금 피막을 크롬도금 피막을 하지로 하는 니켈도금 피막으로 함으로써, 니켈도금의 폴리이미드 필름으로의 확산방지와, 제1의 전극막의 핀 홀을 없앨 수가 있다.

또한 본 발명에 의한 반도체장치용 패키지는 반도체 칩을 탑재하는 반도체장치용 패키지에 있어서, 패키지 본체의 전원선 또는 접지선상에 상기 박막 콘덴서를 상기 외부 접속단자의 각각에 의해 전기적으로 접속하여 탑재한 것을 특징으로 한다.

또한 본 발명에 의한 반도체장치는 상기 반도체장치용 패키지에 반도체 칩을 탑재하고, 이 반도체 칩을 밀봉한 것을 특징으로 한다.

이 경우에 반도체 칩을 패키지 본체에 플립 칩 접속하여 탑재하고, 박막 콘덴서를 이 반도체 칩과 패키지 본체 사이의 간격내에 위치하도록 배치하면 공간효율이 좋아진다.

또한 본 발명에 의한 반도체장치에서는 반도체장치용 패키지에 반도체 칩이 탑재되고, 이 반도체 칩이 밀봉된 반도체장치에 있어서, 상기 반도체 칩의 전원용 패드와 접지용 패드상에 청구항 9, 10, 11, 12, 13 또는 14 기재의 박막 콘덴서를 상기 외부 접속단자의 각각에 의해 전기적으로 접속하여 반도체 칩상에 직접 탑재한 것을 특징으로 한다.

이 경우에도 반도체 칩을 패키지 본체에 플립 칩 접속하여 탑재하고, 박막 콘덴서를 반도체 칩과 패키지 본체 사이의 간격내에 위치하도록 반도체 칩상에 탑재하면 공간효율이 좋아진다.

또한 본 발명에 의한 반도체 칩에서는 전원용 패드 또는 접지용 패드에 청구항 1, 2, 3, 4 또는 5 기재의 박막 콘덴서를 상기 외부 접속단자에 의해 전기적으로 접속하여 탑재한 것을 특징으로 한다.

또는 전원용 패드와 접지용 패드에 청구항 9, 10, 11, 12, 13 또는 14 기재의 박막 콘덴서를 상기 외부 접속단자의 각각에 의해 전기적으로 접속하여 탑재한 것을 특징으로 한다.

[실시예]

이하 본 발명의 바람직한 실시예를 첨부 도면에 의거해서 상세히 설명한다.

도 1은 박막 콘덴서(10)의 제1실시예를 나타낸다.

12는 기체의 일레인 두께 10 μm 정도의 폴리이미드 필름이다. 또한 기체는 폴리이미드 필름 이외에 에폭시수지 필름, 폴리에스테르수지 필름 등을 사용할 수도 있다.

이 폴리이미드 필름(12)상에 수 μm 의 크롬도금 피막(14)이 형성되고, 이 크롬도금 피막(14)상에 수 μm 의 니켈도금 피막(16)이 형성되어 있다.

18은 파라듐 피막 또는 백금 피막으로 된 제1의 전극막이며, 니켈도금 피막(16)상에 스퍼터링에 의해 5000 \AA 정도의 두께로 형성되어 있다.

20은 티탄산 스트론튬 또는 티탄산 바륨으로 된 고 유전체 피막이며, 제1의 전극막(18)상에 스퍼터링에 의해 1 μm 정도의 두께로 형성되어 있다.

22는 파라듐 피막 또는 백금 피막으로 된 제2의 전극막이며, 고 유전체 피막(20)상에 스퍼터링에 의해 5000 \AA 정도의 두께로 형성되어 있다. 이 제2의 전극막(22)상에 와이어 등을 접속 가능하도록 동도금 피막(24)이 3 μm 정도의 두께로 형성되어 있다.

상기 폴리이미드 필름(12)의 적당한 곳에 레이저광에 의해 투과구멍(26)이 뚫리고, 크롬도금 피막(14)이 노출되며, 이 노출한 크롬도금 피막(14)상에 외부 접속단자의 일레인 볼 범프(28)가 형성되어 박막 콘덴서(10)가 완성된다. 볼 범프(28)는 땀납을 충전하거나, 땀납도금에 의해 돌우거나 또는 니켈도금에 의해 돌운 후에 금도금 등을 하여 형성한다.

상기 제1의 전극막(18)은 폴리이미드 필름(12)에 직접 스퍼터링하여 형성하여도 좋다.

그러나 폴리이미드 필름(12)의 표면에는 미세한 오철이 있다. 예를 들어 도 2에 나타난 바와 같은 언더컷적인 오목부가 존재하면, 스퍼터링으로는 이 오목부내에 까지 피막을 형성할 수가 없으므로 필요한 내압을 얻을 수 없음이 판명되었다.

그래서 폴리이미드 필름(12)상에 도금 피막을 형성하면 도금 피막(14, 16)은 오목부내에도 돌아 들어감으로, 이 도금 피막(14, 16)상에 스퍼터링을 하면 핀 홀이 없는 제1의 전극막(18)을 형성할 수 있어서, 내

압을 향상시킬 수가 있다(도 3).

박막 콘덴서(10)의 제조방법의 일례로서는, 소요 크기의 폴리이미드 필름(12)상에 크롬도금 피막(14), 니켈도금 피막(16), 제1의 전극막(18), 고 유전체 피막(20), 제2의 전극막(22), 동도금 피막(24)을 상기한 바와 같이 형성하고, 또 폴리이미드 필름(12)에 소요의 패턴으로 투과구멍(26)을 형성하여 각 투과구멍에 볼 범프(28)를 형성한 후, 예를 들어 격자형으로 절단(slicing)함으로써 일시에 다수의 박막 콘덴서(10)를 형성할 수가 있다(도시하지 않음).

하기에 설명하는 다른 예의 박막 콘덴서도 마찬가지이다.

상기한 박막 콘덴서(10)는 폴리이미드 필름(12)측의 바깥쪽으로 돌출하는 볼 범프(28)를 가지므로, 도 4, 도 5에 나타낸 바와 같이 리드 프레임(38)의 리드 선단에 위치를 결정하여 올려 놓고 가열하면, 볼 범프(28)의 자기정렬작용(self alignment function)에 의해 가는 리드 선단상에 용이하게 탑재할 수 있다.

또한 박막 콘덴서(10)를 보다 확실히 리드상에 접합하기 위해서 도 4에 나타낸 바와 같이 볼 범프(28)를 복수장소에 형성하여도 좋다. 리드 프레임(38)은 반도체장치용 패키지의 일례이지만, 다른 패키지, 예를 들어 세라믹 패키지나 플라스틱 PGA, BGA 등과 같은 패키지의 배선패턴상에도 마찬가지로 박막 콘덴서(10)를 용이하게 탑재할 수 있다(도시하지 않음).

박막 콘덴서(10)는 리드 프레임(38)의 전원선 또는 접지선상에 볼 범프(28)에 의해 전기적으로 접속하여 탑재하고, 리드 프레임(38)에 탑재되어 있는 반도체 칩(40)의 접지용 패드 또는 전원용 패드에 와이어로 접속한다. 그리고 반도체 칩(40)을 수지밀봉함으로써 수지밀봉형의 반도체장치를 완성한다.

물론 상기 세라믹 패키지, 플라스틱 PGA, BGA 등의 패키지의 경우에도 마찬가지로, 전원선 또는 접지선상에 상기 박막 콘덴서를 탑재함으로써 박막 콘덴서 부착의 반도체장치용 패키지를 형성할 수가 있다(도시하지 않음). 또한 이들 반도체장치용 패키지에 반도체 칩을 탑재하여 필요한 전기적 접속을 한 후에, 반도체 칩을 밀봉하여 반도체장치를 완성할 수 있다(도시하지 않음).

도 6은 박막 콘덴서(10)의 제2실시예를 나타낸다. 상기 실시예와 동일한 부재는 동일 부호를 붙이고, 설명을 생략한다.

본 예에서는 폴리이미드 필름(12)에 형성한 투과구멍(26) 및 폴리이미드 필름(12)면에 스퍼터링 및 도금에 의해 피막을 형성하고, 이 피막을 에칭 가공하여 배선패턴(27)을 형성하고, 이 배선패턴(27)에 볼 범프(28)를 형성하도록 하고 있다.

본 실시예에서도 상기와 마찬가지로 작용효과를 발휘하며, 또 상기와 마찬가지로 반도체장치용 패키지나 반도체장치를 형성할 수 있다(도시하지 않음).

또한 배선패턴(27)의 적당한 곳에 볼 범프(28)를 형성할 수 있으므로 볼 범프(28)의 형성 장소의 자유도가 증대한다.

도 7은 박막 콘덴서(10)의 제3실시예를 나타낸다. 상기 실시예와 동일한 부재는 동일 부호를 붙이고, 설명을 생략한다.

본 예에서는 기체(29)로 폴리이미드 필름이 아니고, 42알로이(철-니켈 합금) 등의 철계 합금, 또는 동 혹은 동합금을 사용하고 있다.

이들 금 속의 기체(29) 표면에도 요철이 존재하므로 니켈도금 피막(16)을 형성하고, 그 위에 제1의 전극막(18)을 스퍼터링에 의해 형성하도록 하고 있다.

또 기체(29)의 하면측에 솔더 레지스트막(30)을 형성하고, 포토리소그래피에 의해 솔더 레지스트막(30)의 적당한 곳에 투과구멍을 형성하고, 이 투과구멍에 외부 접촉단자인 볼 범프(28)를 형성하도록 하고 있다.

본 실시예에서도 상기와 마찬가지로 작용효과를 발휘하며, 또 마찬가지로 반도체장치용 패키지나 반도체장치를 형성할 수 있다(도시하지 않음).

도 8은 박막 콘덴서(10)의 제4실시예를 나타낸다. 상기 실시예와 동일한 부재는 동일 부호를 붙이고, 설명을 생략한다.

본 예에서는 제1실시예에서 제2의 전극막(22)에 전기적으로 접속하는 볼 범프(32)를 볼 범프(28)와 마찬가지로 폴리이미드 필름(12)의 하면측에 형성하고 있다.

이 볼 범프(32)를 형성하기 위해서는 폴리이미드 필름(12)에 크롬도금 피막(14), 니켈도금 피막(16)을 형성한 단계에서, 레이저광에 의해 폴리이미드 필름(12), 크롬도금 피막(14), 니켈도금 피막(16)에 투과구멍(34)을 형성하고, 이 투과구멍(34)을 마스크로 하여 니켈도금 피막(16)상에 스퍼터링에 의해 제1의 전극막(18)을 형성하고, 그 후에 스퍼터링에 의해 고 유전체 피막(20)을 형성한다. 이렇게 하면 고 유전체 피막(20)은 상기 투과구멍(34) 내벽에 까지 형성되어, 절연막으로서 기능한다. 또한 폴리이미드 필름(12), 크롬도금 피막(14), 니켈도금 피막(16)은 상기와 같이 실제로는 극히 얇으며, 투과구멍(34)도 얇으므로, 스퍼터링에 의해 이 투과구멍(34) 내벽에도 피막이 형성되는 것이다.

이어서 고 유전체 피막(20)상에 제2의 전극막(22)을 형성하고, 이 제2의 전극막(22)상에 동도금 피막(24)을 형성한다.

그리고 투과구멍(34)내에 폴리이미드 필름(12) 하면측으로 돌출하는 볼 범프(32)를 형성하는 것이다. 볼 범프(28)는 상기와 마찬가지로 형성한다.

본 예의 박막 콘덴서(10)는 도 9, 도 10에 나타낸 바와 같이, 예를 들어 리드 프레임(38)의 전원선(38a)과 접지선(38b)상에 볼 범프(28)와 볼 범프(32)를 사용하여 탑재하며, 용이하게 반도체장치용 패키지를 형성할 수 있다.

이 경우에 리드 선단측은 도시한 바와 같이 인접하는 것끼리 점점 간격이 좁아지는 것이 통례이므로, 볼

범프(28)와 볼 범프(32)간의 간격에 일치하는 곳에 정렬하여 가열하면 탑재할 수 있다. 따라서 어느 리드 프레임에도 용이하게 탑재가 가능하다.

이와 같이 하여 반도체 칩을 수지밀봉하여 반도체장치를 완성할 수 있다.

도 11, 도 12는 세라믹 또는 플라스틱으로 된 패키지 본체(39)의 전원선(39a)과 접지선(39b)에 박막 콘덴서(10)를 탑재하여 패키지로 형성한 예를 나타낸다. 또 이 패키지에 반도체 칩(40)을 탑재하고, 와이어 등에 의해 배선패턴과 전기적으로 접속하고, 캡(41)에 의해 반도체 칩(40)을 밀봉하여 반도체장치를 완성할 수 있다. 또 도 13은 PBGA형의 패키지 본체(43)의 전원선(43a), 접지선(43b)에 박막 콘덴서(10)를 탑재하여 반도체장치용 패키지를 완성한 예를 나타낸다. 또한 반도체 칩(40)을 탑재하여 필요한 전기적 접속을 한 후에, 밀봉수지(44)로 반도체 칩(40)을 밀봉하여 반도체장치를 완성할 수 있다.

또 도 14는 반도체 칩(40)상에 박막 콘덴서(10)를 탑재한 예를 나타낸다.

반도체 칩(40)상에는 소요 배열로 패드(42)가 형성되어 있다. 그리고 그 중에서 소요되는 2개의 전원용 패드(42a)와 접지용 패드(42b)가 박막 콘덴서(10)의 상기 볼 범프(28)와 볼 범프(32)의 간격과 동일하게 되도록 형성되어 있다.

따라서 박막 콘덴서(10)를 볼 범프(28)와 볼 범프(32)에 의해 전원용 패드(42a), 접지용 패드(42b)에 전기적으로 접속하여 탑재할 수가 있다.

본 예에서는 박막 콘덴서(10)를 반도체 칩(40)상에 직접 탑재하므로, 전원계 노이즈를 극히 효과적으로 저감할 수 있다. 또 반도체 칩(40)에 박막 콘덴서(10)를 탑재하는 것도 용이하다.

이 박막 콘덴서(10)를 탑재한 반도체 칩(40)을 소요의 패키지에 탑재하여 밀봉함으로써 여러 가지 반도체장치를 완성할 수 있다. 물론 수지밀봉형 반도체장치에 국한하지 않고, 세라믹 패키지 등을 사용한 반도체장치에 적용하여도 좋다.

도 15는 상기 박막 콘덴서(10) 부착의 반도체 칩(40)을 패키지 본체(43)에 플립 칩 접속한 예를 나타낸다. 이 경우에 박막 콘덴서(10)는 반도체 칩(40)과 패키지 본체(43) 사이의 간격내에 배치되므로 공간효율이 좋아진다.

또 도 16은 마찬가지로 반도체 칩(40)을 패키지 본체(43)에 플립 칩 접속하여 탑재한 것이지만, 본 예에서는 박막 콘덴서(10)를 반도체 칩(40)과 패키지 본체(43) 사이의 틈새에 위치하게 하여 패키지 본체(43)측의 전원선과 접지선에 걸치도록 하여 탑재하고 있다. 본 예에서도 공간효율을 좋게 할 수가 있다. 이 경우에 패키지 본체(43)에 탑재하는 박막 콘덴서(10)는 상기 제1실시에~제3실시에의 것이어도 좋다. 제2의 전극막에는 반도체 칩(40)에 형성한 전원용 패드 또는 접지용 패드를 범프를 통해서 접속하면 된다(도시하지 않음).

반도체 칩(40)상에 직접 박막 콘덴서(10)를 탑재한 상기 각 예에서는 어느 것이나 배선패턴을 형성한 반도체 칩(40)의 표면측에 박막 콘덴서(10)를 탑재한 예를 나타내었다.

도 17은 반도체 칩(40)의 이면측에 박막 콘덴서(10)를 탑재한 반도체 칩(40)을 나타낸다. 이 경우에는 반도체 칩(40)의 이면측에 전원 패드 및 접지 패드를 인출하고, 이 전원 패드 및 접지 패드에 걸치어 박막 콘덴서(10)를 그 외부 접촉단자에 의해 전기적으로 접속하여 탑재하고 있다. 전원 패드로부터 인출된 배선패턴(45)에는 와이어(46)에 의해 패키지 본체(43)측의 전원선과 접속하도록 하면 좋다. 본 예에서도 반도체 칩(40)상에 직접 박막 콘덴서(10)를 탑재하므로 전원 노이즈를 경감할 수 있다. 또 반도체 칩(40)의 이면측을 유효하게 이용할 수 있으므로, 반도체 칩(40) 표면측의 배선패턴을 조밀하게 할 수가 있다.

또 경우에 따라서는 반도체 칩(40)의 이면측에 인출한 접지용 패드 또는 전원용 패드에 상기 제1실시에~제3실시에의 박막 콘덴서(10)를 탑재하여 박막 부착의 반도체 칩을 형성하여도 좋다(도시하지 않음). 이 경우에는 박막 콘덴서(10)의 제2의 전극을 와이어를 통해서 패키지 본체(43)측의 전원선 또는 접지선과 전기적으로 접속하도록 한다. 본 예에서도 전원 노이즈를 경감할 있으며, 또한 반도체 칩 표면측의 배선패턴을 조밀하게 할 수가 있다.

이상 본 발명에 대한 바람직한 실시예를 들어 여러 가지를 설명하였으나, 본 발명은 이들 실시예에 한정되는 것은 아니며, 발명의 정신을 이탈하지 않는 범위내에서 많은 변화와 변형을 가할 수 있음은 물론이다.

발명의 효과

본 발명에 의한 박막 콘덴서에 따르면 기체의 제1의 전극막이 형성된 면과 반대측 면에 제1의 전극막과 전기적으로 접속하는 외부 접촉단자를 형성하였으므로, 리드 프레임의 리드 선단 등의 반도체장치용 패키지의 배선패턴에 탑재가 용이하게 이루어진다. 또 전원 노이즈를 저감한 반도체장치를 제공할 수 있다.

또한 기체의 제1의 전극막이 형성된 면과 반대측 면에 제1의 전극막과 전기적으로 접속하는 외부 접촉단자와, 제2의 전극막과 전기적으로 접속하는 외부 접촉단자를 형성하였으므로, 리드 프레임 등의 반도체장치용 패키지의 전원선, 접지선상, 또는 반도체 칩의 전원용 패드, 접지용 패드에 용이하게 탑재할 수가 있다. 그리고 전원 노이즈를 저감한 반도체장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

제1면 및 제2면을 갖는 기체(substrate)와;

상기 기체의 제1면상에 형성된 도금 피막과;

상기 도금 피막상에 형성된 제1의 전극막과;

상기 제1의 전극막상에 형성된 고 유전체 피막과;

상기 고 유전체 피막상에 형성된 제2의 전극막과;

상기 제1의 전극막이 형성된 상기 제1면에 대항하는 상기 기체의 제2면상에 형성되어, 상기 제1의 전극막에 전기적으로 접속되는 적어도 하나의 외부 접속단자를 구비하며,

상기 기체는 폴리이미드 필름으로 되고, 상기 도금 피막은 니켈도금 피막과 이 니켈도금 피막의 하지로 되는 크롬도금 피막으로 구성된 것을 특징으로 하는 박막 콘덴서.

청구항 2

제1항에 있어서,

상기 외부 접속단자는 볼 범프인 것을 특징으로 하는 박막 콘덴서.

청구항 3

제1항에 있어서,

상기 기체는 철계 합금, 동 및 동합금중 적어도 하나로 되고, 상기 도금피막은 니켈도금 피막인 것을 특징으로 하는 박막 콘덴서.

청구항 4

반도체장치용 패키지와;

적어도 전원용 패드와 접지용 패드를 갖는 반도체 칩과;

상기 반도체장치용 패키지상에 상기 반도체 칩을 밀봉하는 밀봉재를 구비하며,

상기 반도체장치용 패키지는

적어도 전원선과 접지선이 형성된 패키지 본체와;

제1면 및 제2면을 갖는 기체와, 상기 기체의 제1면상에 형성된 제1의 전극막과, 상기 제1의 전극막상에 형성된 고 유전체 피막과, 상기 고 유전체 피막상에 형성된 제2의 전극막과, 상기 제1의 전극막이 형성된 상기 제1면에 대항하는 상기 기체의 제2면상에 형성되어, 상기 제1의 전극막에 전기적으로 접속되는 적어도 하나의 외부 접속단자를 구비한 박막 콘덴서를 포함하고,

상기 박막 콘덴서는, 그 외부 접속단자가 상기 전원선 또는 접지선에 전기적으로 접속됨으로써 상기 패키지 본체상에 탑재되며,

상기 반도체 칩은, 상기 박막 콘덴서의 제2의 전극막이 상기 전원용 패드 또는 접지용 패드에 와이어 본딩에 의해 전기적으로 접속됨으로써 상기 반도체장치용 패키지상에 탑재되는 것을 특징으로 하는 반도체 장치.

청구항 5

제1면 및 제2면을 갖는 기체와;

상기 기체의 제1면상에 형성된 도금 피막과;

상기 도금 피막상에 형성된 제1의 전극막과;

상기 제1의 전극막상에 형성된 고 유전체 피막과;

상기 고 유전체 피막상에 형성된 제2의 전극막과;

상기 제1의 전극막이 형성된 상기 제1면에 대항하는 상기 기체의 제2면상에 형성되어, 상기 제1의 전극막과 제2의 전극막에 각각 전기적으로 접속되는 제1 및 제2의 외부 접속단자를 구비하며,

상기 기체는 폴리이미드 필름으로 되고, 상기 도금 피막은 니켈도금 피막과 이 니켈도금 피막의 하지로 되는 크롬도금 피막으로 구성된 것을 특징으로 하는 박막 콘덴서.

청구항 6

제5항에 있어서,

상기 제2의 외부 접속단자는, 상기 기체, 상기 제1의 전극막 및 상기 고 유전체 피막을 관통하고 또한 내벽면에 상기 고 유전체 피막이 형성된 투과구멍을 통하여 상기 제2의 전극막에 전기적으로 접속되어 있는 것을 특징으로 하는 박막 콘덴서.

청구항 7

제5항에 있어서,

상기 제1 및 제2의 외부 접속단자는 볼 범프인 것을 특징으로 하는 박막 콘덴서.

청구항 8

제5항에 있어서,

상기 기체는 철계 합금, 동 및 동합금중 적어도 하나로 되고, 상기 도금 피막은 니켈도금 피막인 것을 특징으로 하는 박막 콘덴서.

청구항 9

반도체장치용 패키지와;

적어도 전원용 패드와 접지용 패드를 갖는 반도체 칩과;

상기 반도체장치용 패키지상에 상기 반도체 칩을 밀봉하는 밀봉재를 구비하며,

상기 반도체장치용 패키지는

적어도 전원선과 접지선이 형성된 패키지 본체와;

제1면 및 제2면을 갖는 기체와, 상기 기체의 제1면상에 형성된 제1의 전극막과, 상기 제1의 전극막상에 형성된 고 유전체 피막과, 상기 고 유전체 피막상에 형성된 제2의 전극막과, 상기 제1의 전극막이 형성된 상기 제1면에 대향하는 상기 기체의 제2면상에 형성되어, 상기 제1의 전극막과 제2의 전극막에 각각 전기적으로 접속되는 제1 및 제2의 외부 접속단자를 구비한 박막 콘덴서를 포함하고,

상기 박막 콘덴서는, 상기 패키지 본체와 상기 반도체 칩 사이의 간격내에 위치하여, 그 제1 및 제2의 외부 접속단자가 상기 전원선과 접지선에 각각 전기적으로 접속됨으로써 상기 패키지 본체상에 탑재되며,

상기 반도체 칩은, 상기 박막 콘덴서의 제2의 전극막이 상기 전원용 패드 또는 접지용 패드에 플립 칩 접속에 의해 전기적으로 접속됨으로써 상기 반도체 장치용 패키지에 탑재되는 것을 특징으로 하는 반도체 장치.

청구항 10

반도체장치용 패키지와;

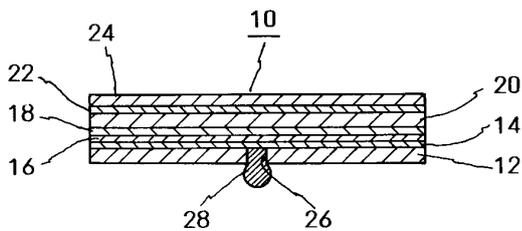
상기 반도체장치용 패키지상에 플립 칩 접속에 의 해 탑재되며, 적어도 전원용 패드와 접지용 피드를 갖는 반도체 칩과;

제1면 및 제2면을 갖는 기체와, 상기 기체의 제1면상에 형성된 제1의 전극막과, 상기 제1의 전극막상에 형성되고 유전체 피막과, 상기 고 유전체 피막상에 형성된 제2의 전극막과, 상기 제1의 전극막이 형성된 상기 제1면에 대향하는 상기 기체의 제2면상에 형성되어, 상기 제1의 전극막과 제2의 전극막에 각각 전기적으로 접속되는 제1 및 제2의 외부 접속단자를 구비한 박막 콘덴서를 구비하고,

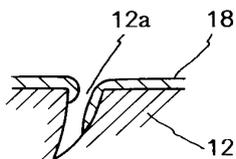
상기 박막 콘덴서는, 상기 반도체장치용 패키지와 상기 반도체 칩 사이의 간격내에 위치하여, 그 제1 및 제2의 외부 접속단자가 상기 전원용 패드와 접지용 패드에 각각 전기적으로 접속됨으로써 상기 반도체장치용 패키지에 탑재되는 것을 특징으로 하는 반도체 장치.

도면

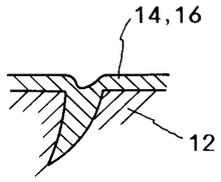
도면1



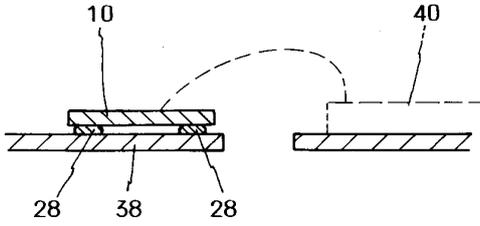
도면2



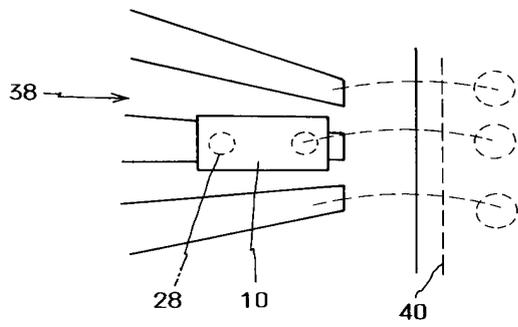
도면3



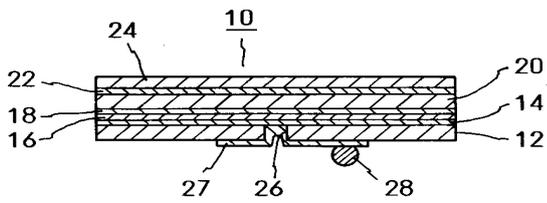
도면4



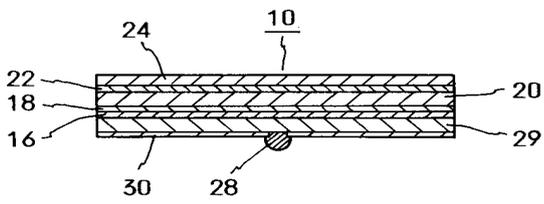
도면5



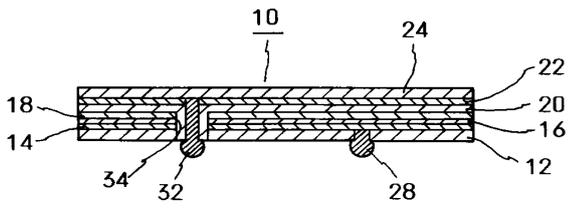
도면6



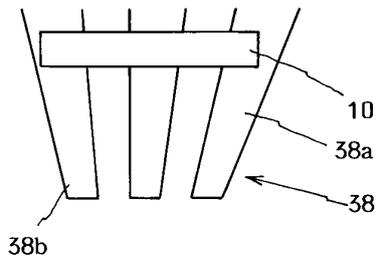
도면7



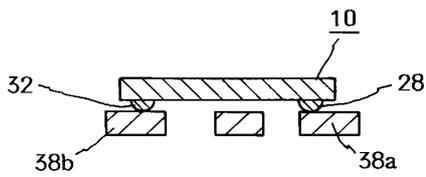
도면8



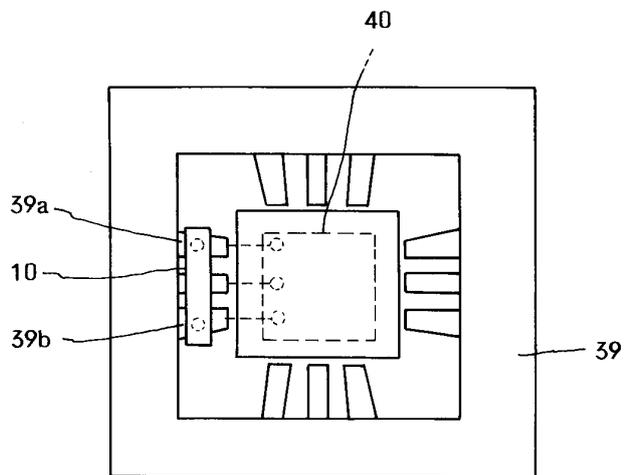
도면9



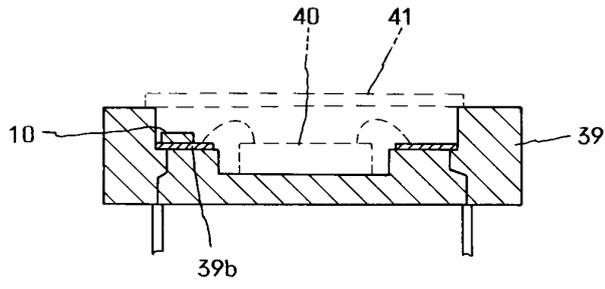
도면10



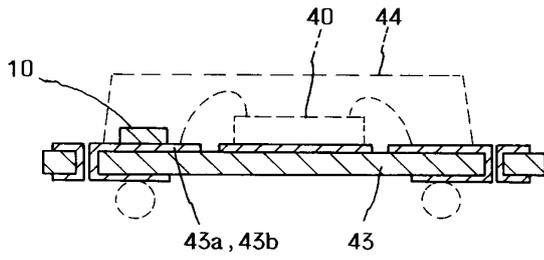
도면11



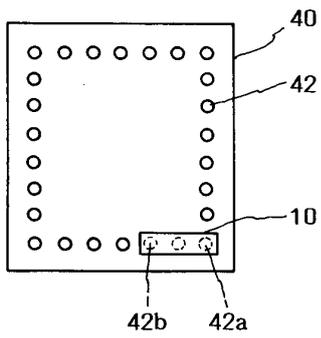
도면12



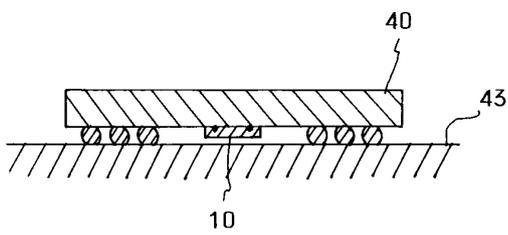
도면13



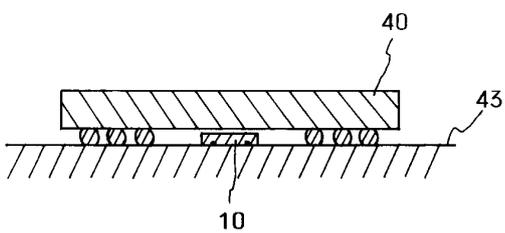
도면14



도면15



도면16



도면17

