

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-33492  
(P2019-33492A)

(43) 公開日 平成31年2月28日(2019.2.28)

(5) Int.Cl.	F I	テーマコード (参考)
HO4L 27/26 (2006.01)	HO4L 27/26 410	5C164
HO4N 21/438 (2011.01)	HO4N 21/438	
HO4H 20/28 (2008.01)	HO4H 20/28	
HO4H 40/18 (2008.01)	HO4H 40/18	
HO4H 60/13 (2008.01)	HO4H 60/13	

審査請求 有 請求項の数 20 O L (全 120 頁)

(21) 出願番号	特願2018-171495 (P2018-171495)	(71) 出願人	502032105 エルジー エレクトロニクス インコーポ レイティド
(22) 出願日	平成30年9月13日 (2018. 9. 13)		大韓民国ソウル、ヨンドンポーク、ヨイ ーデロ、128
(62) 分割の表示	特願2017-535743 (P2017-535743) の分割	(74) 代理人	100099759 弁理士 青木 篤
原出願日	平成27年7月7日 (2015. 7. 7)	(74) 代理人	100123582 弁理士 三橋 真二
(31) 優先権主張番号	62/099, 594	(74) 代理人	100165191 弁理士 河合 章
(32) 優先日	平成27年1月5日 (2015. 1. 5)	(74) 代理人	100114018 弁理士 南山 知広
(33) 優先権主張国	米国 (US)	(74) 代理人	100159259 弁理士 竹本 実

最終頁に続く

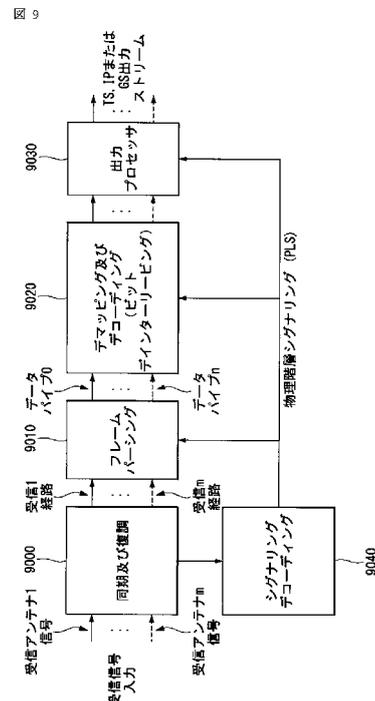
(54) 【発明の名称】 放送信号送信装置、放送信号受信装置、放送信号送信方法、及び放送信号受信方法

(57) 【要約】 (修正有)

【課題】 放送信号を受信するための方法を提供する。

【解決手段】 放送信号受信方法は、放送信号を受信するステップと、受信した放送信号をOFDM方式により復調するステップ9000と、サービスデータ、又はサービスコンポーネントデータを抽出するために、復調された放送信号で少なくとも1つの信号フレームをパージングするステップ9010と、サービスデータ、又はサービスコンポーネントデータをビットに変換するステップ9020と、変換されたビットをデコードするステップ9020と、デコードされたビットを有するデータストリームを出力するステップ9030と、を有する。

【選択図】 図9



## 【特許請求の範囲】

## 【請求項 1】

放送信号を受信するための方法であって、前記方法は、  
 信号フレームを有する放送信号を受信するステップであって、前記信号フレームは、プリアンブルを有し、前記プリアンブルは、周波数インターリーブが行われたか否かを指示する制御情報を有する、ステップと、

前記受信した放送信号を直交周波数分割多重（OFDM）方式により復調するステップと、

前記制御情報に基づいて前記信号フレーム内のデータに対する周波数デインターリーブを選択的に行うステップと、

前記信号フレーム内の物理層パイプ（PLP）データをデマッピングするステップと、

前記 PLP データをデコーディングするステップと、

前記データストリームを出力するステップと、を有し、

前記制御情報が第 1 の値を有する場合、前記周波数デインターリーブが行われ、前記制御情報が第 2 の値を有する場合、前記周波数デインターリーブが行われない、方法。

## 【請求項 2】

前記周波数デインターリーブは、シンボルペア別に互いに異なるインターリーブシーケンスを使用して行われる、請求項 1 に記載の方法。

## 【請求項 3】

前記インターリーブシーケンスは、第 1 のジェネレータにより生成されたメインシーケンス及び第 2 のジェネレータにより生成されたシンボルオフセットに基づいて生成される、請求項 2 に記載の方法。

## 【請求項 4】

前記第 1 のジェネレータにより生成されたメインシーケンスは、FFT サイズに基づいて可変である、請求項 3 に記載の方法。

## 【請求項 5】

前記第 2 のジェネレータは、シンボルペア別に新たなシンボルオフセットを生成し、前記シンボルペアは、2 個の連続したシンボルを有する、請求項 4 に記載の方法。

## 【請求項 6】

放送信号を受信するための受信装置であって、

信号フレームを有する放送信号を受信するための受信器であって、前記信号フレームは、プリアンブルを有し、前記プリアンブルは、周波数インターリーブが行われたか否かを指示する制御情報を有する、受信器と、

前記受信した放送信号を直交周波数分割多重（OFDM）方式により復調するための復調器と、

前記信号フレーム内の物理層パイプ（PLP）データをデマッピングするためのデマッパと、

前記 PLP データをデコーディングするためのデコーダと、

前記データストリームを出力するための出力プロセッサと、を備え、

前記制御情報が第 1 の値を有する場合、前記周波数デインターリーブが作動され（enabled）、前記制御情報が第 2 の値を有する場合、前記周波数デインターリーブが作動されない、放送受信装置。

## 【請求項 7】

前記周波数デインターリーブは、シンボルペア別に互いに異なるインターリーブシーケンスを使用して行われる、請求項 6 に記載の放送受信装置。

## 【請求項 8】

前記インターリーブシーケンスは、第 1 のジェネレータにより生成されたメインシーケンス及び第 2 のジェネレータにより生成されたシンボルオフセットに基づいて生成される、請求項 7 に記載の放送受信装置。

## 【請求項 9】

前記インターリーブシーケンスは、第 1 のジェネレータにより生成されたメインシーケンス及び第 2 のジェネレータにより生成されたシンボルオフセットに基づいて生成される、請求項 7 に記載の放送受信装置。

10

20

30

40

50

前記第 1 のジェネレータにより生成されたメインシーケンスは、FFT サイズに基づいて可変である、請求項 8 に記載の放送受信装置。

【請求項 10】

前記第 2 のジェネレータは、シンボルペア別に新たなシンボルオフセットを生成し、前記シンボルペアは、2 個の連続したシンボルを有する、請求項 9 に記載の放送受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、放送信号送信装置、放送信号受信装置、及び放送信号送受信方法に関するものである。

10

【背景技術】

【0002】

アナログ放送信号の送信が終了するにつれて、デジタル放送信号を送受信するための様々な技術が開発されている。デジタル放送信号は、アナログ放送信号に比べてより多い量のビデオ/オーディオデータを含むことができ、ビデオ/オーディオデータだけでなく、様々な種類の付加データをさらに含むことができる。

【発明の概要】

【発明が解決しようとする課題】

【0003】

即ち、デジタル放送システムは、HD (High Definition) イメージ、マルチチャネル (multichannel、多チャネル、マルチチャンネル) オーディオ、及び様々な付加サービスを提供することができる。

20

【0004】

しかしながら、デジタル放送のためには、多量のデータ送信に対するデータ送信効率、送受信ネットワークのロバスト (堅固) 性 (robustness)、及びモバイル受信装置を考慮したネットワークの柔軟性 (flexibility) が向上しなければならない。

【0005】

したがって、本明細書は、周波数インターリーバ (Frequency Interleaver: FI) で OFDM symbol pair 別に互いに異なるインターリービングシード (interleaving-seed) を使用することにより、周波数ダイバーシチ効果を極大化するための方法を提供することに目的がある。

30

【0006】

また、本明細書は、周波数インターリーバを含む放送送信装置において周波数インターリーバの使用が可能か否かを表す情報を提供することに目的がある。

【0007】

本明細書においてなそうとする技術的課題は、以上で言及した技術的課題に制限されず、言及していないさらに他の技術的課題は、下記の記載から本発明の属する技術分野における通常の知識を有する者に明確に理解され得るであろう。

【課題を解決するための手段】

【0008】

本明細書は、放送信号を受信するための方法であって、この方法は、放送信号を受信するステップと、受信した放送信号を直交周波数分割多重 (Orthogonal Frequency Division Multiplexing: OFDM) 方式により復調するステップと、サービスデータ (service data) 又はサービスコンポーネントデータ (service component data) を抽出するために、復調された放送信号で少なくとも 1 つの信号フレームをパージング (Parsing) するステップと、サービスデータ (service data) 又はサービスコンポーネントデータ (service component data) をビットに変換するステップと、変換されたビットをデコード (デコーディング) (decoding) するステップと、デコードされたビットを有するデータストリームを出力するステップと、を有してなることを特徴とする。

40

【0009】

50

また、本明細書において信号フレームは、周波数インターリーバ (Frequency Interleaver: FI) が使用されるか又は使用されないかを表す制御情報を有することを特徴とする。

【0010】

また、本明細書において信号フレームは、物理層シグナリングデータを伝達するプリアンブル (preamble) をさらに備え、制御情報は、プリアンブルに有されることを特徴とする。

【0011】

また、本明細書において少なくとも1つの信号フレームをパーズング (parsing) するステップは、復調された放送信号を周波数デインターリーブ (frequency deinterleaving) するステップをさらに有し、周波数デインターリーブ (frequency deinterleaving) は、互いに異なるインターリーブングシード (interleaving-seed) を使用し、1つのメモリを使用して行われることを特徴とする。

10

【0012】

また、本明細書において制御情報は、周波数インターリーバモード (FI\_MODE) 情報であることを特徴とする。

【0013】

また、本明細書は、放送信号を受信するための受信装置であって、放送信号を受信するための受信器 (receiver) と、受信した放送信号を直交周波数分割多重 (Orthogonal Frequency Division Multiplexing; OFDM) 方式により復調するための復調器 (demodulator) と、サービスデータ (service data) 又はサービスコンポーネントデータ (service component data) を抽出するために、復調された放送信号で少なくとも1つの信号フレームをパーズング (Parsing) するためのフレームパーサ (frame parser) と、サービスデータ (service data) 又はサービスコンポーネントデータ (service component data) をビットに変換するための変換器 (converter) と、変換されたビットをデコード (デコーディング) (decoding) するためのデコーダ (decoder) と、デコードされたビットを有するデータストリームを出力するための出力 (アウトプット) プロセッサ (output processor) と、を備えることを特徴とする。

20

【0014】

また、本明細書においてフレームパーサ (frame parser) は、復調された放送信号を周波数デインターリーブ (frequency deinterleaving) するための周波数デインターリーバ (Frequency deinterleaver) をさらに備え、周波数デインターリーバ (Frequency deinterleaver) は、互いに異なるインターリーブングシード (interleaving-seed) を使用し、1つのメモリを使用することを特徴とする。

30

【発明の効果】

【0015】

本発明は、サービス特性によってデータを処理し、各サービス又はサービスコンポーネントに対する QoS (Quality of Service) を制御することにより、様々な放送サービスを提供できる。

【0016】

また、本発明は、同じ RF (Radio Frequency) 信号帯域幅を介して様々な放送サービスを送信することにより、送信の柔軟性 (flexibility) を達成できる。

40

【0017】

また、本発明は、MIMO (Multiple-Input Multiple-Output) システムを利用してデータ送信効率及び放送信号の送受信ロバスト性 (Robustness) を向上させることができる。

【0018】

また、本発明によれば、モバイル受信装置を使用するか、室内環境にあっても、エラー無しでデジタル放送信号を受信できる放送信号送信及び受信方法及び装置を提供できる。

【0019】

50

また、本明細書は、周波数インターリーバ (Frequency Interleaver : F I ) で O F D M s y m b o l p a i r 別に互いに異なるインターリービングシード (interleaving -seed) を使用することにより、周波数ダイバーシチ効果を極大化 (最大に) できるという効果がある。

【 0 0 2 0 】

また、本明細書は、周波数インターリーバの使用が可能か否かを表す情報をプリアンブルを介して送信することにより、放送受信装置でデータデコーディングの前に受信した信号に周波数インターリーブが行われたかを予め分かることができるようにして、データ復元速度を高めることができるという効果がある。

【 0 0 2 1 】

また、本明細書は、F I 動作を O n 又は O f f させる F I m o d e 情報の運営 (運用) を介して F I 動作を o f f させることにより、F D M を支援 (サポート) できるという効果がある。

【 0 0 2 2 】

本明細書において得ることができる効果は、以上で言及した効果に制限されず、言及していないさらに他の効果は、下記の記載から本発明の属する技術分野における通常の知識を有する者に明確に理解され得るであろう。

【 0 0 2 3 】

本発明についてさらに理解するために含まれ、本出願に含まれ、その一部を構成する添付の図面は、本発明の原理を説明する詳細な説明と共に本発明の実施形態を示す。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置の構造を示す図である。

【図 2】本発明の一実施形態に係る入力 (インプット) フォーマット (Input formatting : 入力フォーマット) ブロックを示す図である。

【図 3】本発明の他の一実施形態に係る入力フォーマット (Input formatting : 入力フォーマット) ブロックを示す図である。

【図 4】本発明の他の一実施形態に係る入力フォーマット (Input formatting : 入力フォーマット) ブロックを示す図である。

【図 5】本発明の一実施形態に係る B I C M (Bit Interleaved Coding & Modulation) ブロックを示す図である。

【図 6】本発明の他の一実施形態に係る B I C M ブロックを示す図である。

【図 7】本発明の一実施形態に係るフレーム構築 (ビルディング、作成) (Frame Building : フレーム生成) ブロックを示す図である。

【図 8】本発明の一実施形態に係る O F D M (Orthogonal Frequency Division Multiplexing) 生成 (generation : ジェネレーション) ブロックを示す図である。

【図 9】本発明の一実施形態に係る次世代放送サービスに対する放送信号受信装置の構造を示す図である。

【図 10】本発明の一実施形態に係るフレーム構造を示す図である。

【図 11】本発明の一実施形態に係るフレームのシグナリング階層構造を示す図である。

【図 12】本発明の一実施形態に係るプリアンブルシグナリングデータを示す図である。

【図 13】本発明の一実施形態に係る P L S 1 データを示す図である。

【図 14】本発明の一実施形態に係る P L S 2 データを示す図である。

【図 15】本発明の他の一実施形態に係る P L S 2 データを示す図である。

【図 16】本発明の一実施形態に係るフレームの論理 (logical : ロジカル) 構造を示す図である。

【図 17】本発明の一実施形態に係る P L S (Physical Layer Signaling) マッピングを示す図である。

【図 18】本発明の一実施形態に係る E A C (Emergency Alert Channel) マッピングを

10

20

30

40

50

示す図である。

【図 19】本発明の一実施形態に係る F I C (Fast Information Channel) マッピングを示す図である。

【図 20】本発明の一実施形態に係る D P (Data Pipe : データパイプ) のタイプを示す図である。

【図 21】本発明の一実施形態に係る D P (Data Pipe : データパイプ) マッピングを示す図である。

【図 22】本発明の一実施形態に係る F E C (Forward Error Correction) 構造を示す図である。

【図 23】本発明の一実施形態に係るビットインターリーブを示す図である。

10

【図 24】本発明の一実施形態に係るセル・ワード逆多重化 (デマルチプレキシング) を示す図である。

【図 25】本発明の一実施形態に係る時間インターリーブ (インターリーブング) を示す図である。

【図 26】本発明の一実施形態に係るツイストされた行・列ブロックインターリーブの基本動作を示す図である。

【図 27】本発明の他の一実施形態に係るツイストされた行・列ブロックインターリーブの動作を示す図である。

【図 28】本発明の一実施形態に係るツイストされた行・列ブロックインターリーブの対角線方向リードパターンを示す図である。

20

【図 29】本発明の一実施形態に係る各インターリーブ配列 (アレイ) (array) からインターリーブされた X F E C B L O C K を示す図である。

【図 30】図 9 の同期及び復調 (synchronization & demodulation) モジュールの一例を示す図である。

【図 31】図 9 のフレームパーズングモジュールの一例を示す図である。

【図 32 A】図 9 のデマッピング及びデコーディング (demapping & decoding) モジュールの一例を示す図である。

【図 32 B】図 9 のデマッピング及びデコーディング (demapping & decoding) モジュールの一例を示す図である。

【図 32 C】図 9 のデマッピング及びデコーディング (demapping & decoding) モジュールの一例を示す図である。

30

【図 32 D】図 9 のデマッピング及びデコーディング (demapping & decoding) モジュールの一例を示す図である。

【図 33】図 9 の出力 (アウトプット) プロセッサ (output processor) の一例を示す図である。

【図 34 A】図 9 の出力プロセッサの更に他の一例を示す図である。

【図 34 B】図 9 の出力プロセッサの更に他の一例を示す図である。

【図 35 A】本発明の他の実施形態に係る符号化及び変調 (コーディングアンドモジュレーション) モジュールを示す図である。

【図 35 B】本発明の他の実施形態に係る符号化及び変調 (コーディングアンドモジュレーション) モジュールを示す図である。

40

【図 35 C】本発明の他の実施形態に係る符号化及び変調 (コーディングアンドモジュレーション) モジュールを示す図である。

【図 35 D】本発明の他の実施形態に係る符号化及び変調 (コーディングアンドモジュレーション) モジュールを示す図である。

【図 36 A】本発明の他の実施形態に係るデマッピング及びデコーディングモジュールを示す図である。

【図 36 B】本発明の他の実施形態に係るデマッピング及びデコーディングモジュールを示す図である。

【図 36 C】本発明の他の実施形態に係るデマッピング及びデコーディングモジュールを

50

示す図である。

【図36D】本発明の他の実施形態に係るデマッピング及びデコーディングモジュールを示す図である。

【図37】本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置のさらに他の構造を示した図である。

【図38】本発明の一実施形態に係る簡略化されたTDM放送送信システム及びLDM放送送信システムを示した図である。

【図39】本発明の一実施形態に係るフレーミング及びインターリーブ(Framing & Interleaving)ブロックを示す図である。

【図40】本発明の一実施形態が適用され得るATSC 3.0フレーム(frame)構造の一例を示した図である。

10

【図41】図7のフレーム構築ブロックのさらに他の一例を示した図である。

【図42】本発明の一実施形態が適用され得るプリアンプル(Preamble)フォーマットの一例を示した図である。

【図43】図31のフレームパーシング(Frame Parsing)ブロックのさらに他の内部ブロック図を示した図である。

【図44】本発明の一実施形態に係る周波数インターリーブの動作を示した図である。

【図45】本発明の一実施形態に係るMUX及びDEMUX方法に対する基本的なスイッチモデル(basic switch model)を示す図である。

【図46】本発明の一実施形態に係るメモリバンクの動作を示す図である。

20

【図47】本発明の一実施形態に係る周波数(フリケンシ)デインターリーブ過程を示した図である。

【図48】本発明の一実施形態に係る1つのスーパーフレームに適用される周波数インターリーブの概念図である。

【図49】本明細書において提案する1つのスーパーフレームに適用される周波数インターリーブのlogical operation mechanismを示した図である。

【図50】本発明の一実施形態に係る1つの(single)スーパーフレームに適用される周波数インターリーブのlogical operation mechanismの数式を示す図である。

30

【図51】本発明の一実施形態に係る1つの信号フレームに適用される周波数インターリーブのlogical operation mechanismを示した図である。

【図52】本発明の一実施形態に係るsingle signalフレームに適用される周波数インターリーブのlogical operation mechanismの数式を示す図である。

【図53】本明細書において提案する入力シーケンシャル(順次、連続)OFDM symbols(連続的な入力OFDM symbols)(input sequential OFDM symbols)に対するsingle-memory deinterleavingを示した図である。

【図54】本明細書において提案する放送信号の送信方法の一例を示した順序図(フローチャート)である。

40

【図55】本明細書において提案する放送信号の受信方法の一例を示した順序図である。

【発明を実施するための形態】

【0025】

本発明の好ましい実施形態について具体的に説明し、その例は添付した図面に示す。添付した図面を参照した以下の詳細な説明は、本発明の実施形態によって実現できる実施形態のみを示すというよりは、本発明の好ましい実施形態を説明するためのものである。次の詳細な説明は、本発明に対する徹底した理解を提供するために細部事項を含む。しかしながら、本発明がこのような細部事項無しで実行できるということは当業者にとって自明である。

50

## 【 0 0 2 6 】

本発明で使用される大部分の用語は該当分野で広く使用される一般的なものから選択されるが、一部の用語は出願人により任意に選択され、その意味は必要によって次の説明で詳細に叙述する。したがって、本発明は、用語の単純な名称や意味でない用語の意図した意味に基づいて理解されなければならない。

## 【 0 0 2 7 】

本発明は、次世代放送サービスに対する放送信号送信及び受信装置、及び方法を提供する。本発明の一実施形態に係る次世代放送サービスは、地上波放送サービス、モバイル放送サービス、UHD TVサービスなどを含む。本発明は、一実施形態に従って非MIMO (non-Multiple Input Multiple Output) 又はMIMO方式により次世代放送サービスに関する放送信号を処理することができる。本発明の一実施形態に係る非MIMO方式は、MISO (Multiple Input Single Output) 方式、SISO (Single Input Single Output) 方式などを含むことができる。

10

## 【 0 0 2 8 】

以下、説明の都合上MISO又はMIMO方式は2つのアンテナを使用するが、本発明は2つ以上のアンテナを使用するシステムに適用できる。本発明は、特定用途で要求される性能を達成し、かつ受信器の複雑度を最小にするために最適化された3個の物理(フィジカル)プロファイル(PHY profile) (ベース(base)、ハンドヘルド(handheld)、アドバンスド(アドバンス)(advanced)プロファイル)を定義することができる。物理プロファイルは、該当する受信器が実現しなければならない全ての構造のサブセットである。

20

## 【 0 0 2 9 】

3個の物理プロファイルは大部分の機能ブロックを共有するが、特定ブロック及び/又はパラメータにおいて若干異なる。今後追加で物理プロファイルを定義することができる。システムの発展のために、フューチャプロファイルはFEF (Future Extension Frame) を通じて単一RF (Radio Frequency) チャンネルに存在するプロファイルと多重化(マルチプレキシング)されることもできる。各物理プロファイルに関する詳細な内容については後述する。

## 【 0 0 3 0 】

## 1. ベースプロファイル

ベースプロファイルは、主にルーフトップ(roof-top)アンテナと接続される固定された受信装置の主な用途を示す。ベースプロファイルはある場所に移動できるが、比較的(相対的に)停止した受信範囲に属する携帯用装置も含むことができる。ベースプロファイルの用途は若干の改善された実行によりハンドヘルド装置又は車両用に拡張できるが、このような使用用途はベースプロファイル受信器の動作では期待されない。

30

## 【 0 0 3 1 】

受信のターゲット信号対雑音比の範囲は略10乃至20dBであるが、これは既存(従来)の放送システム(例えば、ATSC A/53)の15dB信号対雑音比の受信能力を含む。受信器の複雑度及び消費電力はハンドヘルドプロファイルを使用するバッテリーで駆動されるハンドヘルド装置ほど重要でない。ベースプロファイルに関する重要システムパラメータが以下の<表1>に記載されている。

40

## 【 0 0 3 2 】

&lt; 表 1 &gt;

【表 1】

L D P Cコードワードの長さ	1 6 K、6 4 Kビット
コンステレーションサイズ	4 ~ 1 0 b p c u (bits per channel use)
時間インターリーブメモリサイズ	$\leq 2^{19}$ データセル
パイロットパターン	固定受信に対するパイロットパターン
F E Tサイズ	1 6 K、3 2 K points

## 【 0 0 3 3 】

10

## 2 . ハンドヘルドプロファイル

ハンドヘルドプロファイルは、バッテリー電源で駆動されるハンドヘルド及び車両用装置における使用のために設計される。該当装置は歩行者又は車両速度で移動することができる。受信器の複雑度だけでなく、消費電力はハンドヘルドプロファイルの装置の実現のために非常に重要である。ハンドヘルドプロファイルのターゲット信号対雑音比の範囲は略 0 乃至 1 0 d B であるが、より低い室内受信のために意図された場合、0 d B 以下に達するように設定できる。

## 【 0 0 3 4 】

低信号対雑音比の能力だけでなく、受信器の移動性（モビリティ）により表れたドップラ効果に対する復原力はハンドヘルドプロファイルの最も重要な性能属性である。ハンドヘルドプロファイルに対する重要システムパラメータが以下の<表 2 >に記載されている。

20

## 【 0 0 3 5 】

&lt; 表 2 &gt;

## 【表 2】

L D P Cコードワードの長さ	1 6 Kビット
コンステレーションサイズ	2 ~ 8 b p c u
時間インターリーブメモリサイズ	$\leq 2^{18}$ データセル
パイロットパターン	移動及び室内受信に対するパイロットパターン
F E Tサイズ	8 K、1 6 K points

30

## 【 0 0 3 6 】

## 3 . アドバンスドプロファイル

アドバンスドプロファイルは、より大きい実行複雑度に対する代価としてより高いチャネル能力を提供する。該当プロファイルは M I M O 送信及び受信を使用することを要求し、U H D T V サービスはターゲット（対象となる）用途であり、このために該当プロファイルが特別に設計される。向上した能力は与えられた帯域幅でサービス数の増加、例えば、複数の S D T V 又は H D T V サービスを許容する（可能にする）ことにも使用できる。

40

## 【 0 0 3 7 】

アドバンスドプロファイルのターゲット信号対雑音比の範囲は略 2 0 乃至 3 0 d B である。M I M O 送信は初期には既存の楕円分極送信装備（機器）を使用し、その後で全出力交差分極送信に拡張できる。アドバンスドプロファイルに対する重要システムパラメータが以下の<表 3 >に記載されている。

## 【 0 0 3 8 】

&lt; 表 3 &gt;

【表 3】

<b>L D P Cコードワードの長さ</b>	<b>1 6 K、6 4 Kビット</b>
<b>コンステレーションサイズ</b>	<b>8 ~ 1 2 b p c u</b>
<b>時間インターリーブメモリサイズ</b>	<b>≤ 2<sup>19</sup>データセル</b>
<b>パイロットパターン</b>	<b>固定受信に対するパイロットパターン</b>
<b>F E Tサイズ</b>	<b>1 6 K、3 2 K points</b>

## 【 0 0 3 9 】

この場合、ベースプロファイルは地上波放送サービス及びモバイル放送サービスの全てに対するプロファイルに使用できる。即ち、ベースプロファイルはモバイルプロファイルを含むプロファイルの概念を定義するために使用できる。また、アドバンスドプロファイルは、M I M Oを有するベースプロファイルに対するアドバンスドプロファイルとM I M Oを有するハンドヘルドプロファイルに対するアドバンスドプロファイルとに区分できる。そし、該当の3個のプロファイルは設計者の意図によって変更できる。

10

## 【 0 0 4 0 】

次の用語及び定義は本発明に適用できる。次の用語及び定義は設計によって変更できる。

## 【 0 0 4 1 】

補助ストリーム：フューチャエクステンション（future extension：今後（将来）の拡張）又は放送社やネットワーク運営者により要求されるにつれて、使用できる未だ定義されていない変調及びコーディング（符号化）のデータを伝達するセルのシーケンス

20

## 【 0 0 4 2 】

ベースデータパイプ（base data pipe）：サービスシグナリングデータを伝達するデータパイプ

## 【 0 0 4 3 】

ベースバンドフレーム（又は、B B F R A M E）：1つのF E Cエンコーディング過程（B C H及びL D P Cエンコーディング）に対する入力を形成するK b c hビットの集合（セット）

## 【 0 0 4 4 】

セル（cell）：O F D M送信の1つのキャリアにより伝達される変調値

30

## 【 0 0 4 5 】

コーディングブロック（coded block）：P L S 1データのL D P Cエンコードされたブロック又はP L S 2データのL D P Cエンコードされたブロックのうちの1つ

## 【 0 0 4 6 】

データパイプ（data pipe）：1つ又は複数のサービス又はサービスコンポーネントを伝達することができるサービスデータ、又は関連するメタデータを伝達する物理層（physical layer）における論理チャネル

## 【 0 0 4 7 】

また、データパイプは、データ送信チャネルで表現されることができる。

40

## 【 0 0 4 8 】

データパイプユニット（D P U：Data Pipe Unit）：データセルをフレームにおけるデータパイプに割り当てることができる基本ユニット

## 【 0 0 4 9 】

データシンボル（data symbol）：プリアンブルシンボルでないフレームにおけるO F D Mシンボル（フレームシグナリングシンボル及びフレームエッジ（edge）シンボルはデータシンボルに含まれる。）

## 【 0 0 5 0 】

D P \_ I D：該当8ビットフィールドはS Y S T E M \_ I Dにより識別されたシステム内でデータパイプを一意に（唯一に）識別する。

50

- 【 0 0 5 1 】  
 ダミーセル (dummy cell) : P L S (Physical Layer Signaling : 物理層 (物理階層) シグナリング) シグナリング、データパイプ、又は補助ストリームのために使われないで残っている容量を詰めるのに使用される疑似ランダム値を伝達するセル
- 【 0 0 5 2 】  
 F A C (Emergency Alert Channel : 非常警報チャンネル) : E A S 情報データを伝達するフレームのうちの一部
- 【 0 0 5 3 】  
 フレーム (frame) : プリアンブルで始まりフレームエッジシンボルで終了する物理層 (physical layer) タイムスロット 10
- 【 0 0 5 4 】  
 フレーム反復 (レピティション) ユニット (Frame Repetition Unit : フレーム反復単位) : スーパーフレーム (super-frame) で 8 回反復される F E F を含む同一又は異なる物理プロファイルに属するフレームの集合
- 【 0 0 5 5 】  
 F I C (Fast Information Channel : 高速情報チャンネル) : サービスと該当 (対応する) ベースデータパイプとの間でのマッピング情報を伝達するフレームにおける論理チャンネル
- 【 0 0 5 6 】  
 F E C B L O C K : データパイプデータの L D P C エンコードされたビットの集合 20
- 【 0 0 5 7 】  
 F F T サイズ : 基本周期 T のサイクルで表現されたアクティブシンボル周期  $T_s$  と同一の特定モードに使用される名目上の F F T サイズ
- 【 0 0 5 8 】  
 フレームシグナリングシンボル (frame signaling symbol) : P L S データの一部を伝達する、F F T サイズ、ガードインターバル (guard interval)、及びスキタード (scattered) パイロットパターンの特定の組合せにおけるフレームの開始で使用されるより高いパイロット密度を有する O F D M シンボル
- 【 0 0 5 9 】  
 フレームエッジシンボル (frame edge symbol) : F F T サイズ、ガードインターバル、及びスキタードパイロットパターンの特定の組合せにおけるフレームの端で使用される、より高いパイロット密度を有する O F D M シンボル 30
- 【 0 0 6 0 】  
 フレームグループ (frame-group) : スーパーフレームで同一の物理プロファイルタイプを有する全てのフレームの集合
- 【 0 0 6 1 】  
 フューチャエクステンションフレーム (future extension frame : 今後の拡張フレーム) : プリアンブルで始める、今後の拡張に使用できるスーパーフレーム内における物理層 (physical layer) タイムスロット
- 【 0 0 6 2 】  
 フューチャキャスト (future cast) U T B システム : 入力が 1 つ又は複数の M P E G 2 - T S 又は I P (Internet Protocol) 又は一般ストリームであり、出力が R F シグナルである提案された物理層 (physical layer) 放送システム 40
- 【 0 0 6 3 】  
 入力ストリーム (input stream : 入力ストリーム) : システムにより最終ユーザに伝達されるサービスの集合体 (調和) (ensemble) のためのデータストリーム
- 【 0 0 6 4 】  
 ノーマル (normal) データシンボル : フレームシグナリングシンボル及びフレームエッジシンボルを除外したデータシンボル
- 【 0 0 6 5 】  
 50

物理プロファイル (PHY profile) : 該当する受信器が実現しなければならない全ての構造のサブセット

【 0 0 6 6 】

P L S : P L S 1 及び P L S 2 で構成された物理層 (physical layer) シグナリングデータ

【 0 0 6 7 】

P L S 1 : P L S 2 のデコーディングに必要なパラメータだけでなく、システムに関する基本情報を伝達する固定されたサイズ、コーディング、変調を有する F S S (Frame Signaling Symbol) で伝達される P L S データの第 1 の集合

【 0 0 6 8 】

N O T E : P L S 1 データはフレームグループの期間 (デュレーション) (duration) の間一定である。

【 0 0 6 9 】

P L S 2 : データパイプ及びシステムに関するより詳細な P L S データを伝達する F S S で送信される P L S データの第 2 の集合

【 0 0 7 0 】

P L S 2 ダイナミック (dynamic : 動的) データ : フレーム毎にダイナミック (dynamic : 動的) に変化する P L S 2 データ

【 0 0 7 1 】

P L S 2 スタティック (static : 静的) データ : フレームグループの間スタティック (static : 静的) な P L S 2 データ

【 0 0 7 2 】

プリアンブルシグナリングデータ (preamble signaling data) : プリアンブルシンボルにより伝達され、システムの基本モードを確認するのに使用されるシグナリングデータ

【 0 0 7 3 】

プリアンブルシンボル (preamble symbol) : 基本 P L S データを伝達し、フレームの開始に位置する固定長 (固定された長さ) のパイロットシンボル

【 0 0 7 4 】

N O T E : プリアンブルシンボルは、システム信号、そのタイミング、周波数オフセット、及び F F T サイズを検出するために高速初期バンドスキャンに主に使用される。

【 0 0 7 5 】

今後の使用 (future use) のためにリザーブ (reserved) : 現在の文書で定義されないが、今後定義できる。

【 0 0 7 6 】

スーパーフレーム (superframe) : 8 個のフレーム反復単位の集合

【 0 0 7 7 】

時間インターリーブ (タイムインターリーブ) ブロック (time interleaving block : TI block) : 時間 (タイム) インターリーブメモリの 1 つの用途に該当する、時間インターリーブが実行されるセルの集合

【 0 0 7 8 】

時間インターリーブグループ (time interleaving group : TI group) : 整数、ダイナミック (dynamic : 動的) に変化する X F E C B L O C K の数からなる、特定データパイプに対するダイナミック (dynamic : 動的) 容量割当が実行される単位

【 0 0 7 9 】

N O T E : 時間インターリーブグループは 1 つのフレームに直接マッピングされるか、又は複数のフレームにマッピングできる。時間インターリーブグループは 1 つ又は複数の時間インターリーブブロックを含むことができる。

【 0 0 8 0 】

タイプ 1 のデータパイプ (Type 1 DP) : 全てのデータパイプがフレームに T D M (Time Division Multiplexing) 方式によりマッピングされるフレームのデータパイプ

10

20

30

40

50

## 【0081】

タイプ2のデータパイプ (Type 2 DP) : 全てのデータパイプがフレームにFDM方式によりマッピングされるフレームのデータパイプ

## 【0082】

X F E C B L O C K : 1つのLDPC F E C B L O C Kの全てのビットを伝達するN<sub>cells</sub>セルの集合

## 【0083】

ブロックインターリーバ (Block interleaver) : i n p u t d a t aが行列 (マトリックス) (matrix)として構成されるメモリの行 (row)に沿って書き込まれ、列 (column)に沿って読み出されるインターリーバ (interleaver)をいう。

10

## 【0084】

セルインターリーバ (Cell interleaver) : c e l lレベル (level)で動作する i n t e r l e a v e rをいう。

## 【0085】

インターリーバ (Interleaver) : b u r s t e r r o r sの効果に対応するために、エラー訂正コード (Error Correction Code : F E C)と結合して使用されるデバイスをいう。

## 【0086】

物理層パイプ (Physical Layer Pipe、P L P) : B r o a d c a s t e rの必要に応じて割り当てられる c a p a c i t y及びr o b u s t n e s sが具体化された構造をいう。

20

## 【0087】

上記P L Pは、データパイプ (data pipe)又はデータ送信チャネルで表現されることもできる。

## 【0088】

図1は、本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置の構造を示す。

## 【0089】

本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置は、入力 (インプット)フォーマットブロック (Input Format block) 1000、B I C M (Bit Interleaved Coding & Modulation)ブロック1010、フレーム構築 (ビルディング)ブロック (Frame building block) 1020、O F D M (Orthogonal Frequency Division Multiplexing)生成 (ジェネレーション)ブロック (OFDM generation block) 1030、及びシグナリング生成ブロック1040を含むことができる。放送信号送信装置の各ブロックの動作について説明する。

30

## 【0090】

上記フレーム構築ブロック (Frame building block)は、フレーミング&インターリーブ (Framing & Interleaving)ブロックとして表現されることもできる。

## 【0091】

I Pストリーム/パケット及びM P E G 2 - T Sは主要入力フォーマットであり、他のストリームタイプは一般ストリームとして扱われる。これらのデータ入力に追加して、管理情報が入力されて各入力ストリームに対する該当帯域幅のスケジューリング及び割当を制御する。1つ又は複数のT Sストリーム、I Pストリーム、及び/又は一般ストリームの入力が同時に許容される。

40

## 【0092】

入力 (インプット)フォーマットブロック1000は、各々の入力ストリームを独立したコーディング及び変調が適用される1つ又は複数のデータパイプに逆多重化することができる。データパイプはロバスト性 (robustness)の制御のための基本単位であり、これはQ o S (Quality of Service)に影響を及ぼす。1つ又は複数のサービス又はサービスコンポーネントが1つのデータパイプにより伝達できる。入力フォーマットブロック10

50

00の詳細な動作は後述する。

【0093】

データパイプは1つ若しくは複数のサービス若しくはサービスコンポーネントを伝達することができるサービスデータ、又は関連メタデータを伝達する物理層 (physical layer) における論理チャネルである。

【0094】

上記データパイプは、データ送信チャネル (Data Transport Channel) 又は物理層パイプ (Physical Layer Pipe: PLP) として表現されることもできる。

【0095】

また、データパイプユニットは1つのフレームでデータセルをデータパイプに割り当てるための基本ユニットである。

【0096】

入力フォーマットブロック1000で、パリティ (parity) データはエラー訂正のために追加され、エンコードされたビットストリームは複素数値コンステレーションシンボルにマッピングされる。該当シンボルは該当データパイプで使用される特定インターリーブの深さに亘ってインターリーブされる。アドバンスドプロファイルにおいて、BICMブロック1010でMIMOエンコーディングが実行され、追加のデータパス (経路) がMIMO送信のために出力に追加される。BICMブロック1010の詳細な動作は後述する。

【0097】

フレーム構築 (ビルディング) ブロック1020は、1つのフレーム内で入力データパイプのデータセルをOFDMシンボルにマッピングすることができる。マッピング後、周波数領域ダイバーシチのために、特に周波数選択的フェージングチャネルを防止するために、周波数インターリーブが用いられる。フレーム構築ブロック1020の詳細な動作は後述する。

【0098】

上記フレーム構築ブロック (Frame building block) は、フレーミング & インターリーブ (Framing & Interleaving) ブロックとして表現されることもできる。

【0099】

プリアンブルを各フレームの開始に挿入した後、OFDM生成ブロック1030はサイクリックプレフィックス (cyclic prefix) をガードインターバルとして有する既存のOFDM変調を適用することができる。アンテナスペースダイバーシチのために、分散された (distributed) MISO方式が送信器に亘って適用される。また、PAPR (Peak-to-Average Power Ratio) 方式が時間領域で実行される。柔軟なネットワーク方式のために、該当の提案は様々なFFTサイズ、ガードインターバルの長さ、該当パイロットパターンの集合を提供する。OFDM生成ブロック1030の詳細な動作は後述する。

【0100】

シグナリング生成ブロック1040は、各機能ブロックの動作に使用される物理層 (physical layer) シグナリング情報を生成することができる。また、該当シグナリング情報は関心ある (対象とする) サービスが受信器側で適切に復旧されるように送信される。シグナリング生成ブロック1040の詳細な動作は後述する。

【0101】

図2、図3、及び図4は、本発明の実施形態に係る入力 (インプット) フォーマットブロック1000を示す。各図面について説明する。

【0102】

図2は、本発明の一実施形態に係る入力フォーマットブロックを示す。図2は、入力信号が単一入力ストリーム (single input stream) のときの入力フォーマットブロックを示す。

【0103】

図2に図示された入力フォーマットブロックは、図1を参照して説明した入力フォーマ

10

20

30

40

50

ットブロック 1 0 0 0 の一実施形態に該当する。

【 0 1 0 4 】

物理層 (physical layer) への入力は 1 つ又は複数のデータストリームで構成できる。各々のデータストリームは 1 つのデータパイプにより伝達される。モードアダプテーション (mode adaptation: モード適応) モジュールは入力されるデータストリームを B B F (BaseBand Frame) のデータフィールドにスライスする。該当システムは 3 種類の入力データストリーム、即ち M P E G 2 - T S、I P、G S (Generic Stream) をサポートする。M P E G 2 - T S は第 1 のバイトが同期バイト (0 x 4 7) である固定長 (1 8 8 バイト) のパケットを特徴とする。I P ストリームは I P パケットヘッダ内でシグナリングされる可変長 I P データ (グラム) パケットで構成される。該当システムは I P ストリーム 10  
に対して I P v 4 及び I P v 6 を全てサポートする。G S はカプセル化パケットヘッダ内でシグナリングされる可変長パケット又は固定長 (一定長さ) パケットで構成できる。

【 0 1 0 5 】

( a ) は信号データパイプに対するモードアダプテーション (mode adaptation: モード適応) ブロック 2 0 0 0、及びストリームアダプテーション (stream adaptation: ストリーム適応) 2 0 1 0 を示し、( b ) は P L S データを生成及び処理するための P L S 生成ブロック 2 0 2 0 及び P L S スクランプラ 2 0 3 0 を示す。各ブロックの動作について説明する。

【 0 1 0 6 】

入力ストリームスプリッタは、入力された T S、I P、G S ストリームを複数のサービス又はサービスコンポーネント (オーディオ、ビデオなど) ストリームに分割する。モードアダプテーション (mode adaptation: モード適応) モジュール 2 0 1 0 は、C R C エンコーダ、B B (BaseBand) フレームスライサ、及び B B フレームヘッダ挿入ブロックで構成される。 20

【 0 1 0 7 】

C R C エンコーダは、ユーザパケット (user packet: U P) レベルでのエラー検出のための 3 種類の C R C エンコーディング、即ち C R C - 8、C R C - 1 6、C R C - 3 2 を提供する。算出された C R C バイトは U P の後に添付される。C R C - 8 は T S ストリームに使われ、C R C - 3 2 は I P ストリームに使用される。G S ストリームが C R C エンコーディングを提供しなければ、提案された C R C エンコーディングが適用されなければならない。 30

【 0 1 0 8 】

B B フレームスライサは、入力を内部論理ビットフォーマットにマッピングする。第 1 の受信ビットは M S B として定義する。B B フレームスライサは、使用可能データフィールド容量と同一の数の入力ビットを割り当てる。B B F ペイロードと同一の数の入力ビットを割り当てるために、U P ストリームが B B F のデータフィールドに合うようにスライスされる。

【 0 1 0 9 】

B B フレームヘッダ挿入ブロックは、2 バイトの固定長の B B F ヘッダを B B フレームの前に挿入することができる。B B F ヘッダは、S T U F F I (1 ビット)、S Y N C D (1 3 ビット)、及び R F U (2 ビット) で構成される。固定された (固定長の) 2 バイト B B F ヘッダだけでなく、B B F は 2 バイト B B F ヘッダの端に拡張フィールド (1 又は 3 バイト) を有することができる。 40

【 0 1 1 0 】

ストリームアダプテーション (stream adaptation: ストリーム適応) 2 0 1 0 は、スタッフィング (stuffing) 挿入ブロック及び B B スクランプラで構成される。スタッフィング挿入ブロックは、スタッフィングフィールドを B B フレームのペイロードに挿入することができる。ストリームアダプテーション (stream adaptation: ストリーム適応) に対する入力データが B B フレームを詰めるのに充分であれば、S T U F F I は 0 に設定され、B B F はスタッフィングフィールドを有しない。そうでなければ、S T U F F I は 1 50

に設定され、スタッフィングフィールドはBBFヘッダの直後に挿入される。スタッフィングフィールドは、2バイトのスタッフィングフィールドヘッダ及び可変サイズのスタッフィングデータを含む。

【0111】

BBスクランブラは、エネルギー分散のために完全なBBFをスクランブルする。スクランブルシーケンスは、BBFと同期化される。スクランブルシーケンスは、フィードバックシフトレジスタにより生成される。

【0112】

PLS生成ブロック2020は、PLSデータを生成することができる。PLSは、受信器で物理レイヤ (physical layer) データパイプに接続できる手段を提供する。PLSデータは、PLS1データ及びPLS2データで構成される。

10

【0113】

PLS1データは、PLS2データのデコーディングに必要とするパラメータだけでなく、システムに関する基本情報を伝達する固定されたサイズ、コーディング、変調を有するフレームからFSSに伝達されるPLSデータの第1の集合である。PLS1データは、PLS2データの受信及びデコーディングを可能にするのに要求されるパラメータを含む基本送信パラメータを提供する。また、PLS1データはフレームグループの期間の間一定である。

【0114】

PLS2データは、データパイプ及びシステムに関するより詳しいPLSデータを伝達するFSSに送信されるPLSデータの第2の集合である。PLS2は、受信器が所望のデータパイプをデコードするのに十分な情報を提供するパラメータを含む。PLS2シグナリングは、PLS2スタティック (static: 静的) データ (PLS2 - STATデータ) 及びPLS2ダイナミック (dynamic: 動的) データ (PLS2 - DYNデータ) の2種類のパラメータでさらに構成される。PLS2スタティック (static: 静的) データは、フレームグループの期間の間スタティック (static: 静的) なPLS2データであり、PLS2ダイナミック (dynamic: 動的) データはフレーム毎にダイナミック (dynamic: 動的) に変化するPLS2データである。

20

【0115】

PLSデータに関する詳細な内容は後述する。

30

【0116】

PLSスクランブラ2030は、エネルギー分散のために生成されたPLSデータをスクランブルすることができる。

【0117】

前述したブロックは省略されることもでき、類似又は同一機能を有するブロックにより置き換え (取り替え) することもできる。

【0118】

図3は、本発明の他の一実施形態に係る入力フォーマットブロックを示す。

【0119】

図3に図示された入力フォーマットブロックは、図1を参照して説明した入力フォーマットブロック1000の一実施形態に該当する。

40

【0120】

図3は、入力信号がマルチ入力 (インプット) ストリーム (multi input stream: 複数の (多数) 入力ストリーム) に該当する場合の入力フォーマットブロックのモードアダプテーション (mode adaptation: モード適応) ブロックを示す。

【0121】

マルチ入力ストリーム (multi input stream: 複数の入力ストリーム) を処理するための入力フォーマットブロックのモードアダプテーション (mode adaptation: モード適応) ブロックは、複数の入力ストリームを独立して処理することができる。

【0122】

50

図3を参照すると、マルチ入力ストリーム (multi input stream: 複数の (多数) 入力ストリーム) を各々処理するためのモードアダプテーション (mode adaptation: モード適応) ブロックは、入力 (インプット) ストリームスプリッタ (input stream splitter) 3000、入力 (インプット) ストリーム同調器 (シンクロナイザ) (input stream synchronizer) 3010、補償遅延 (compensation delay: コンペンセーティングディレイ) ブロック3020、ヌルパケット削除 (ディリジョン) ブロック (null packet deletion block) 3030、ヘッダ圧縮 (コンプレッション) ブロック (header compression block) 3040、CRCエンコーダ (CRC encoder) 3050、BBフレームスライサ (BB frame slicer) 3060、及びBBヘッダ挿入ブロック (BB header insertion block) 3070を含むことができる。モードアダプテーション (mode adaptation: モード適応) ブロックの各ブロックについて説明する。

10

【0123】

CRCエンコーダ3050、BBフレームスライサ3060、及びBBヘッダ挿入ブロック3070の動作は、図2を参照して説明したCRCエンコーダ、BBフレームスライサ、及びBBヘッダ挿入ブロックの動作に該当するので、その説明は省略する。

【0124】

入力 (インプット) ストリームスプリッタ3000は、入力されたTS、IP、GSストリームを複数のサービス又はサービスコンポーネント (オーディオ、ビデオなど) ストリームに分割する。

【0125】

入力 (インプット) ストリーム同調器 (シンクロナイザ) 3010は、ISSYと呼ばれることができる。ISSYは如何なる入力データフォーマットに対してもCBR (Constant Bit Rate) 及び一定のエンドツーエンド (終端間) 送信 (end-to-end transmission) 遅延を保証するのに適した手段を提供することができる。ISSYはTSを伝達する複数のデータパイプの場合に常に用いられ、GSストリームを伝達する複数のデータパイプに選択的に用いられる。

20

【0126】

補償遅延 (compensation delay: コンペンセーティングディレイ) ブロック3020は、受信器で追加のメモリを必要とせず、TSパケット再結合メカニズムを許容するためにISSY情報の挿入に後続する分割されたTSパケットストリームを遅延させることができる。

30

【0127】

ヌルパケット削除 (ディリジョン) ブロック3030は、TS入力ストリームの場合のみに使用される。一部のTS入力ストリーム又は分割されたTSストリームはVBR (Variable Bit-Rate) サービスをCBR TSストリームに収容するために存在する複数のヌルパケットを有することができる。この場合、不要な送信オーバーヘッドを避けるために、ヌルパケットは確認されて送信されないことがある。受信器で、除去されたヌルパケットは送信に挿入されたDNP (Deleted Null-Packet: 除去されたヌルパケット) カウンタを参照して元の存在していた正確な場所に再挿入できるので、CBRが保証され、タイムスタンプ (PCR) 更新の必要がなくなる。

40

【0128】

ヘッダ圧縮 (コンプレッション) ブロック3040は、TS又はIP入力ストリームに対する送信効率を増加させるためにパケットヘッダ圧縮を提供することができる。受信器はヘッダの特定部分に対する先験的な (a priori) 情報を有することができるので、この知られた情報 (known information) は送信器から削除できる。

【0129】

TSに対し、受信器は同期バイト構成 ( $0 \times 47$ ) 及びパケット長 (188バイト) に関する先験的な情報を有することができる。入力されたTSが1つのPIDのみを有するコンテンツを伝達すれば、即ち、1つのサービスコンポーネント (ビデオ、オーディオなど)、又はサービスサブコンポーネント (SVCベースレイヤ、SVCインヘンズメント

50

(エンハンスメント)レイヤ、MVCベースビュー、又はMVC依存ビュー)に対してのみ、TSパケットヘッダ圧縮をTSに(選択的に)適用できる。TSパケットヘッダ圧縮は入力ストリームがIPストリームの場合、選択的に使用される。上記ブロックは省略されるか、類似又は同一機能を有するブロックに置き換えることができる。

【0130】

図4は、本発明の他の実施形態に係る入力フォーマットブロックを示す。

【0131】

図4に図示された入力フォーマットブロックは、図1を参照して説明した入力(インプット)フォーマットブロック1000の一実施形態に該当する。

【0132】

図4は、入力信号がマルチ入力ストリーム(multi input stream:複数の入力ストリーム)に該当する場合の入力フォーマットブロックのストリームアダプテーション(stream adaptation:ストリーム適応)ブロックを示す。

【0133】

図4を参照すると、マルチ入力ストリーム(multi input stream:複数の入力ストリーム)を各々処理するためのモードアダプテーション(mode adaptation:モード適応)ブロックは、スケジューラ4000、1フレームディレイ(delay)ブロック4010、スタッフィング挿入ブロック4020、帯域内(In-band)シグナリングブロック4030、BBフレームスクランブラ4040、PLS生成ブロック4050、及びPLSスクランブラ4060を含むことができる。ストリームアダプテーション(stream adaptation:ストリーム適応)ブロックの各ブロックについて説明する。

【0134】

スタッフィング挿入ブロック4020、BBフレームスクランブラ4040、PLS生成ブロック4050、PLSスクランブラ4060の動作は、図2を参照して説明したスタッフィング挿入ブロック、BBスクランブラ、PLS生成ブロック、PLSスクランブラ4060の動作に該当するので、その説明は省略する。

【0135】

スケジューラ4000は各データパイプのFECBLOCKの量から全体のフレームに亘って全体のセル割当を決定することができる。PLS、EAC、及びFICに対する割当を含み、スケジューラはフレームのFSSのPLSセル又は帯域内(In-band)シグナリングで送信されるPLS2-DYNデータの値を生成する。FECBLOCK、EAC、FICに関する詳細な内容は後述する。

【0136】

1フレームディレイ(delay)ブロック4010は、次のフレームに関するスケジューリング情報がデータパイプに挿入される帯域内(In-band)シグナリング情報に関する現フレームを通じて送信できるように入力データを1つの送信フレームだけ遅延させることができる。

【0137】

帯域内(In-band)シグナリングブロック4030は、PLS2データの遅延されない部分をフレームのデータパイプに挿入することができる。

【0138】

前述したブロックは省略されるか、類似又は同一機能を有するブロックに置き換えることができる。

【0139】

図5は、本発明の一実施形態に係るBICMブロックを示す。

【0140】

図5に図示されたBICMブロックは、図1を参照して説明したBICMブロック1010の一実施形態に該当する。

【0141】

前述したように、本発明の一実施形態に係る次世代放送サービスに対する放送信号送信

10

20

30

40

50

装置は、地上波放送サービス、モバイル放送サービス、UHD TVサービスなどを提供することができる。

【0142】

QoSが本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置により提供されるサービスの特性に依存するので、各々のサービスに該当するデータは互いに異なる方式により処理されなければならない。したがって、本発明の一実施形態に係るBICMブロックは、SISO、MISO、MIMO方式を各々のデータパスに該当するデータパイプに独立して適用することによって、各データパイプを独立して処理することができる。結果的に、本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置は、各々のデータパイプを介して送信される各サービス又はサービスコンポーネントに対するQoSを調節することができる。

10

【0143】

(a)はベースプロファイル及びハンドヘルドプロファイルにより共有されるBICMブロックを示し、(b)はアドバンスドプロファイルのBICMブロックを示す。

【0144】

ベースプロファイル及びハンドヘルドプロファイルにより共有されるBICMブロック及びアドバンスドプロファイルのBICMブロックは、各々のデータパイプを処理するための複数の処理ブロックを含むことができる。

【0145】

ベースプロファイル及びハンドヘルドプロファイルに対するBICMブロック及びアドバンスドプロファイルに対するBICMブロックの各々の処理ブロックについて説明する。

20

【0146】

ベースプロファイル及びハンドヘルドプロファイルに対するBICMブロックの処理ブロック5000は、データFECエンコーダ5010、ビットインターリーブ5020、コンステレーションマップ(mapper)5030、SSD(Signal Space Diversity)エンコーディング(符号化)ブロック5040、及び時間(タイム)インターリーブ5050を含むことができる。

【0147】

データFECエンコーダ5010は、外部コーディング(BCH)及び内部コーディング(LDPC)を用いてFECブロック手順を生成するために入力BBFにFECエンコーディングを実行する。外部コーディング(BCH)は選択的なコーディング方法である。データFECエンコーダ5010の具体的な動作に関しては、後述する。

30

【0148】

ビットインターリーブ5020は、効率的に実現可能な構造を提供しながらデータFECエンコーダ5010の出力をインターリーブしてLDPCコードと変調方式との組合せにより最適化された性能を達成することができる。ビットインターリーブ5020の具体的な動作に関しては、後述する。

【0149】

コンステレーションマップ5030は、QPSK、QAM-16、不均一QAM(NUQ-64、NUQ-256、NUQ-1024)、又は不均一コンステレーション(NUC-16、NUC-64、NUC-256、NUC-1024)を用いてベース及びハンドヘルドプロファイルでビットインターリーブ5020からの各々のセルワードを変調するか、又はアドバンスドプロファイルでセルワードデマルチプレクサ5010-1からのセルワードを変調してパワー(電力)が正規化されたコンステレーションポイントを提供することができる。該当コンステレーションマッピングは、データパイプに対してのみ適用される。NUQが任意の形態を有する一方、QAM-16及びNUQは正四角形の形態を有することが観察される。各々のコンステレーションが90度の倍数だけ回転されれば、回転されたコンステレーションは元のものと同様に重なる。回転対称特性によって実数及び虚数コンポーネント(成分)の容量及び平均パワーが互いに同一になる。NUQ及び

40

50

NUCは全て各コードレート (code rate) について特別に定義され、使用される特定の1つはPLS2データに保管されたパラメータDP\_MODによりシグナリングされる。

【0150】

SSDエンコーディングブロック5040は、2次元、3次元、4次元でセルをフリーコーディングし、難しいフェージング条件で受信ロバスト性 (robustness) を増加させることができる。

【0151】

時間インターリーブ (タイムインターリーブ) 5050は、データパイプレベルで動作することができる。時間インターリーブのパラメータは、各々のデータパイプに対して異なるように設定できる。時間インターリーブ5050の具体的な動作に関しては後述する。

10

【0152】

アドバンスドプロファイルに対するBICMブロックの処理ブロック5000-1は、データFECエンコーダ、ビットインターリーブ、コンステレーションマップ、及び時間 (タイム) インターリーブを含むことができる。

【0153】

但し、処理ブロック5000-1はセルワードデマルチプレクサ5010-1及びMIMOエンコーディングブロック5020-1をさらに含むという点で処理ブロック5000と区別される。

【0154】

また、処理ブロック5000-1におけるデータFECエンコーダ、ビットインターリーブ、コンステレーションマップ、時間インターリーブの動作は、前述したデータFECエンコーダ5010、ビットインターリーブ5020、コンステレーションマップ5030、時間インターリーブ5050の動作に該当するので、その説明は省略する。

20

【0155】

セルワードデマルチプレクサ5010-1は、アドバンスドプロファイルのデータパイプがMIMO処理のために単一セルワードストリームを二重セルワードストリームに分離するのに使用される。セルワードデマルチプレクサ5010-1の具体的な動作に関しては後述する。

【0156】

MIMOエンコーディングブロック5020-1は、MIMOエンコーディング方式を用いてセルワードデマルチプレクサ5010-1の出力を処理することができる。MIMOエンコーディング方式は、放送信号送信のために最適化された。MIMO技術は、容量増加を得るための有望な方式であるが、チャネル特性に依存する。特別に放送に対して、互いに異なる信号伝搬特性による2つのアンテナ間の受信信号パワーの差、又はチャネルの強いLOSコンポーネントはMIMOから容量利得を得ることを難しくする。提案されたMIMOエンコーディング方式は、MIMO出力信号のうちの1つの位相ランダム化及び回転基盤 (に基づく) プリコーディングを用いてこの問題を克服する。

30

【0157】

MIMOエンコーディングは、送信器及び受信器の全てで少なくとも2つのアンテナを必要とする2x2MIMOシステムのために意図される。2つのMIMOエンコーディングモードは本提案であるFR-SM (Full-Rate Spatial Multiplexing) 及びFRFD-SM (Full-Rate Full-Diversity Spatial Multiplexing) で定義される。FR-SMエンコーディングは受信器側における比較的小さい複雑度の増加により容量の増加を提供する一方、FRFD-SMエンコーディングは受信器側における大きい複雑度の増加で容量の増加及び追加的なダイバーシチ利得を提供する。提案されたMIMOエンコーディング方式はアンテナ極性配置を制限しない。

40

【0158】

MIMO処理はアドバンスドプロファイルフレームにおいて要求されるが、これはアドバンスドプロファイルフレームにおける全てのデータパイプがMIMOエンコーダにより

50

処理されることを意味する。MIMO処理はデータパイプレベルで適用される。コンステレーションマップ出力のペア (pair: 対) であるNUQ ( $e_{1,i}$  及び  $e_{2,i}$ ) はMIMOエンコーダの入力により供給される。MIMOエンコーダ出力ペア (pair: 対) ( $g_{1,i}$  及び  $g_{2,i}$ ) は各々の送信アンテナの同一のキャリア  $k$  及びOFDMシンボル  $l$  により送信される。

【0159】

前述したブロックは省略されるか、類似又は同一機能を有するブロックに置き換えることができる。

【0160】

図6は、本発明の他の実施形態に係るBICMブロックを示す。

10

【0161】

図6に図示されたBICMブロックは、図1を参照して説明したBICMブロック1010の一実施形態に該当する。

【0162】

図6は、PLS、EAC、及びFICの保護のためのBICMブロックを示す。EACはEAS情報データを伝達するフレームの一部であり、FICはサービスと該当するベースデータパイプとの間でのマッピング情報を伝達するフレームにおける論理チャネルである。EAC及びFICに関する詳細な説明は後述する。

【0163】

図6を参照すると、PLS、EAC、及びFICの保護のためのBICMブロックは、PLS FECエンコーダ6000、ビットインターリーバ6010、及びコンステレーションマップ6020を含むことができる。

20

【0164】

また、PLS FECエンコーダ6000は、スクランブラ、BCHエンコーディング/ゼロ挿入ブロック、LDPCエンコーディングブロック、及びLDPCパリティパンクチャリング (puncturing) ブロックを含むことができる。BICMブロックの各ブロックについて説明する。

【0165】

PLS FECエンコーダ6000は、スクランブルされたPLS 1/2データ、EAC及びFICセクションをエンコードすることができる。

30

【0166】

スクランブラは、BCHエンコーディング及び短縮 (ショートニング) (shortening) 及びパンクチャリングされたLDPCエンコーディングの前にPLS 1データ及びPLS 2データをスクランブルすることができる。

【0167】

BCHエンコーディング/ゼロ挿入ブロックは、PLS保護のための短縮されたBCHコードを用いてスクランブルされたPLS 1/2データに外部エンコーディングを実行 (遂行) し、BCHエンコーディングの後にゼロビットを挿入することができる。PLS 1データに対してのみゼロ挿入の出力ビットがLDPCエンコーディングの前に並べ替え (permutation) できる。

40

【0168】

LDPCエンコーディングブロックは、LDPCコードを用いてBCHエンコーディング/ゼロ挿入ブロックの出力をエンコードすることができる。完全なコーディングブロックを生成するために、 $C_{ldpc}$  及びパリティビット  $P_{ldpc}$  は各々のゼロが挿入されたPLS情報ブロック  $I_{ldpc}$  からシステマティック (組織的) にエンコードされ、その後に添付される。

【0169】

< 数式 1 >

【数 1】

$$C_{ldpc} = [I_{ldpc} \ P_{ldpc}] = [i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$$

【0170】

PLS1及びPLS2に対するLDPCコードパラメータは、次の<表4>の通りである。

【0171】

<表4>

【表4】

シグナリングタイプ	K <sub>sig</sub>	K <sub>bch</sub>	N <sub>bch_parity</sub>	K <sub>ldpc</sub> (=N <sub>bch</sub> )	N <sub>ldpc</sub>	N <sub>ldpc_parity</sub>	コードレート (code rate)	Q <sub>ldpc</sub>
PLS1	342	1020	60	1080	4320	3240	1/4	36
PLS2	<1021			2160				
	>1020	2100		7200	5040	3/10	56	

10

【0172】

LDPCパリティパンクチャリングブロックは、PLS1データ及びPLS2データに対してパンクチャリングを実行することができる。

20

【0173】

短縮がPLS1データ保護に適用されれば、一部のLDPCパリティビットはLDPCエンコーディングの後でパンクチャリングされる。また、PLS2データ保護のために、PLS2のLDPCパリティビットがLDPCエンコーディングの後でパンクチャリングされる。これらのパンクチャリングされたビットは送信されない。

【0174】

ビットインターリーブ6010は、各々の短縮及びパンクチャリングされたPLS1データ及びPLS2データをインターリーブすることができる。

【0175】

コンステレーションマップ6020は、ビットインターリーブされたPLS1データ及びPLS2データをコンステレーションにマッピングすることができる。

30

【0176】

前述したブロックは省略されるか、類似又は同一機能を有するブロックに置き換えることができる。

【0177】

図7は、本発明の一実施形態に係るフレーム構築(ビルディング)ブロック(frame building block)を示す。

【0178】

図7に図示したフレーム構築ブロックは、図1を参照して説明したフレーム構築(ビルディング)ブロック1020の一実施形態に該当する。

40

【0179】

上記フレーム構築ブロック(Frame building block)は、フレーミング&インターリーブ(Framing & Interleaving)ブロックで表現されることもできる。

【0180】

図7を参照すると、フレーム構築ブロックは、遅延補償(delay compensation: デイレイコンペンセーション)ブロック7000、セルマップ(cell mapper)7010、及び周波数(フリークエンシ、フリケンシ)インターリーブ(frequency interleaver)7020を含むことができる。フレーム構築ブロックの各ブロックに関して説明する。

【0181】

遅延補償(delay compensation: デイレイコンペンセーション)ブロック7000は、

50

データパイプと該当する P L S データとの間のタイミングを調節して送信器側でデータパイプと該当する P L S データとの間の同時性 (co-time) を保証することができる。入力フォーマットブロック及び B I C M ブロックによるデータパイプの遅延を扱うことによって P L S データはデータパイプだけ遅延される。B I C M ブロックの遅延は主に時間インターリーブ 5 0 5 0 によるものである。帯域内 (In-band) シグナリングデータは、次の時間インターリーブグループの情報をシグナリングされるデータパイプより 1 つのフレームの前に伝達されるようにすることができる。遅延補償 (delay compensation: ディレイコンペンセーション) ブロックは、それに合わせて帯域内 (In-band) シグナリングデータを遅延させる。

#### 【 0 1 8 2 】

セルマップ 7 0 1 0 は、P L S、E A C、F I C、データパイプ、補助ストリーム、及びダミーセルをフレーム内で O F D M シンボルのアクティブ (active) キャリアにマッピングすることができる。セルマップ 7 0 1 0 の基本機能は、各々のデータパイプ、P L S セル、及び E A C / F I C セルに対する時間インターリーブにより生成されたデータセルを、存在していれば、1 つのフレーム内で各々の O F D M シンボルに該当するアクティブ (active) O F D M セルの配列にマッピングするものである。( P S I (Program Specific Information) / S I などの) サービスシグナリングデータは個別に収集されてデータパイプにより送られることができる。セルマップはフレーム構造の構成及びスケジューラにより生成された動的情報 (dynamic information: ダイナミックインフォメーション) に従って動作する。フレームに関する詳細な内容は後述する。

#### 【 0 1 8 3 】

周波数 (フリークエンシ) インターリーブ 7 0 2 0 は、セルマップ 7 0 1 0 から受信したデータセルをランダムにインターリーブして周波数ダイバーシチを提供することができる。また、周波数インターリーブ 7 0 2 0 は単一フレームで最大のインターリーブ利得を得るために他のインターリーブシード (seed) の順序を用いて 2 つの順次的な (連続する、シーケンシャル) O F D M シンボルで構成された O F D M シンボルペア (pair: 対) で動作することができる。

#### 【 0 1 8 4 】

前述したブロックは省略されるか、類似又は同一機能を有するブロックに置き換えることができる。

#### 【 0 1 8 5 】

図 8 は、本発明の一実施形態に係る O F D M 生成ブロックを示す。

#### 【 0 1 8 6 】

図 8 に図示された O F D M 生成ブロックは、図 1 を参照して説明した O F D M 生成 (ジェネレーション) ブロック 1 0 3 0 の一実施形態に該当する。

#### 【 0 1 8 7 】

O F D M 生成ブロックは、フレーム構築ブロックにより生成されたセルにより O F D M キャリアを変調し、パイロットを挿入し、送信のための時間領域信号を生成する。また、該当ブロックは順次ガードインターバルを挿入し、P A P R 減少処理を適用して最終的な R F 信号を生成する。

#### 【 0 1 8 8 】

上記フレーム構築ブロック (Frame building block) は、フレーミング & インターリーブ (Framing & Interleaving) ブロックで表現されることもできる。

#### 【 0 1 8 9 】

図 8 を参照すると、O F D M 生成ブロックは、パイロット及びリザーブ (リザーブド) トーン挿入ブロック (pilot and reserved tone insertion block) 8 0 0 0、2 D - e S F N (Single Frequency Network) エンコーディングブロック 8 0 1 0、I F F T (Inverse Fast Fourier Transform) ブロック 8 0 2 0、P A P R 減少ブロック 8 0 3 0、ガードインターバル挿入ブロック (guard interval insertion block) 8 0 4 0、プリアンブル挿入ブロック (preamble insertion block) 8 0 5 0、その他のシステム挿入ブロッ

10

20

30

40

50

ク 8 0 6 0、及び D A C ブロック 8 0 7 0 を含むことができる。O F D M 生成ブロックの各ブロックについて説明する。

【 0 1 9 0 】

パイロット及びリザーブトーン挿入ブロック 8 0 0 0 は、パイロット及びリザーブトーンを挿入することができる。

【 0 1 9 1 】

O F D M シンボル内の様々なセルは受信器から先験的に知られた送信された値を有するパイロットとして知られた参照情報に変調される。パイロットセルの情報は、分散パイロット、連続パイロット、エッジパイロット、F S S (Frame Signaling Symbol) パイロット、及び F E S (Frame Edge Symbol) パイロットで構成される。各パイロットは、パイ  
10  
ロットタイプ及びパイロットパターンに従って特定増加パワーレベルで送信される。パイロット情報の値は与えられたシンボルで 1 つが各々の送信キャリアに対するものである一連の値に該当する参照シーケンスで誘導(導出)される。パイロットは、フレーム同期化、周波数同期化、時間同期化、チャンネル推定、送信モード識別のために使用されることができ、また位相雑音を追跡するために使用できる。

【 0 1 9 2 】

参照シーケンスから取った参照情報は、フレームのプリアンブル、F S S 及び F E S を除外した全てのシンボルにおける分散パイロットセルで送信される。連続パイロットは、フレームの全てのシンボルに挿入される。連続パイロットの数及び位置は F F T サイズ及び分散パイロットパターンに全て依存する。エッジキャリアは、プリアンブルシンボルを  
20  
除外した全てのシンボル内のエッジパイロットと同一である。エッジキャリアは、スペクトルのエッジまで周波数補間(interpolation: インターポレーション)を許容するために挿入される。F S S パイロットは F S S に挿入され、F E S パイロットは F E S に挿入される。F S S パイロット及び F E S パイロットはフレームのエッジまで時間補間(inte  
rpolation: インターポレーション)を許容するために挿入される。

【 0 1 9 3 】

本発明の一実施形態に係るシステムは、非常に堅い送信モードをサポートするために分散 M I S O 方式が選択的に使用される S F N (Single Frequency Network) をサポートする。2 D - e S F N は複数の送信アンテナを使用する分散 M I S O 方式であって、各アン  
30  
テナは S F N ネットワークで各々異なる送信器に位置することができる。

【 0 1 9 4 】

2 D - e S F N エンコーディングブロック 8 0 1 0 は、S F N 構成で時間及び周波数ダイバ  
40  
ーシチを生成するために 2 D - e S F N 処理を行って複数の送信器から送信された信号の位相を歪曲させることがある。したがって、長時間の間の低い平面フェージング又は深いフェージングによるバースト誤りが軽減できる。

【 0 1 9 5 】

I F F T ブロック 8 0 2 0 は、O F D M 変調方式を用いて 2 D - e S F N エンコーディ  
50  
ングブロック 8 0 1 0 からの出力を変調することができる。パイロット(又は、リザーブ(予約)トーン)に指定されないデータシンボルでの全てのセルは、周波数インターリーバからのデータセルのうちの 1 つを伝達する。セルは O F D M キャリアにマッピングされる。

【 0 1 9 6 】

P A P R 減少ブロック 8 0 3 0 は、時間領域で様々な P A P R 減少アルゴリズムを用いて入力信号に P A P R 減少を実行する。

【 0 1 9 7 】

ガードインターバル挿入ブロック 8 0 4 0 はガードインターバルを挿入することができ、プリアンブル挿入ブロック 8 0 5 0 は信号の前にプリアンブルを挿入することができる。プリアンブルの構造に関する詳細な内容は後述する。

【 0 1 9 8 】

その他のシステム挿入ブロック 8 0 6 0 は、放送サービスを提供する 2 つ以上の互いに

10

20

30

40

50

異なる放送送信 / 受信システムのデータが、同一のRF信号帯域で同時に送信できるように時間領域で複数の放送送信 / 受信システムの信号を多重化することができる。この場合、2つ以上の互いに異なる放送送信 / 受信システムは、互いに異なる放送サービスを提供するシステムをいう。互いに異なる放送サービスは、地上波放送サービス、モバイル放送サービスなどを意味することができる。各々の放送サービスに関連したデータは互いに異なるフレームを通じて送信できる。

【0199】

DACブロック8070は、入力されたデジタル信号をアナログ信号に変換して出力することができる。DACブロック8070から出力された信号は物理層プロファイルによって複数の出力アンテナを介して送信できる。本発明の一実施形態に係る送信アンテナは垂直又は水平極性を有することができる。

10

【0200】

前述したブロックは設計によって省略されるか、類似又は同一機能を有するブロックに置き換えできる。

【0201】

図9は、本発明の一実施形態に係る次世代放送サービスに対する放送信号受信装置の構造を示す。

【0202】

本発明の一実施形態に係る次世代放送サービスに対する放送信号受信装置は、図1を参照して説明した次世代放送サービスに対する放送信号送信装置に対応することができる。

20

【0203】

本発明の一実施形態に係る次世代放送サービスに対する放送信号受信装置は、同期及び復調モジュール (synchronization & demodulation module) 9000、フレームパージングモジュール (frame parsing module) 9010、デマッピング及びデコーディングモジュール (demapping & decoding module) 9020、出力プロセッサ (output processor) 9030、及びシグナリングデコーディングモジュール (signaling decoding module) 9040を含むことができる。放送信号受信装置の各モジュールの動作について説明する。

【0204】

同期及び復調モジュール9000は、m個の受信アンテナを介して入力信号を受信し、放送信号受信装置に該当するシステムに対して信号検出及び同期化を実行し、放送信号送信装置により実行される手続の逆過程に該当する復調を実行することができる。

30

【0205】

フレームパージングモジュール9010は、入力信号フレームをパージングし、ユーザにより選択されたサービスが送信されるデータを抽出することができる。放送信号送信装置がインターリーブを実行すれば、フレームパージングモジュール9010はインターリーブの逆過程に該当するデインターリーブを実行することができる。この場合、抽出されなければならない信号及びデータの位置がシグナリングデコーディングモジュール9040から出力されたデータをデコードすることにより取得され、放送信号送信装置により生成されたスケジューリング情報が復元できる。

40

【0206】

上記フレームパージングモジュール (又は、ブロック) は、デフレーミング & デインターリーブ (Deframing & Deinterleaving) モジュールとして表現されることもできる。

【0207】

デマッピング及びデコーディングモジュール9020は、入力信号をビット領域データに変換した後、必要によってビット領域データをデインターリーブすることができる。デマッピング及びデコーディングモジュール9020は、送信効率のために適用されたマッピングに対するデマッピングを実行し、デコーディングを通じて送信チャネルで発生したエラーを訂正することができる。この場合、デマッピング及びデコーディングモジュール9020はシグナリングデコーディングモジュール9040から出力されたデータをデコ

50

ードすることによって、デマッピング及びデコーディングのために必要な送信パラメータを取得することができる。

【0208】

出力プロセッサ9030は、送信効率を向上させるために放送信号送信装置により適用される様々な圧縮/信号処理手続の逆過程を実行することができる。この場合、出力プロセッサ9030はシグナリングデコーディングモジュール9040から出力されたデータで必要とする制御情報を取得することができる。出力プロセッサ8300の出力は、放送信号送信装置に入力される信号に該当し、MPEG-TS、IPストリーム(v4又はv6)及びGSでありうる。

【0209】

シグナリングデコーディングモジュール9040は、同期及び復調モジュール9000により復調された信号からPLS情報を取得することができる。前述したように、フレームパージングモジュール9010、デマッピング及びデコーディングモジュール9200、及び出力プロセッサ9300は、シグナリングデコーディングモジュール9040から出力されたデータを用いてその機能を実行することができる。

【0210】

図10は、本発明の一実施形態に係るフレーム構造を示す。

【0211】

図10は、フレーム時間(タイム)の構成例及びスーパーフレームにおけるFRU(Frame Repetition Unit: フレーム反復単位)を示す。(a)は本発明の一実施形態に係るスーパーフレームを示し、(b)は本発明の一実施形態に係るFRUを示し、(c)はFRUでの様々な物理プロファイル(PHY profile)のフレームを示し、(d)はフレームの構造を示す。

【0212】

スーパーフレームは8個のFRUで構成できる。FRUはフレームのTDMに対する基本多重化単位であり、スーパーフレームで8回反復される。

【0213】

FRUで各フレームは物理プロファイル(ベース、ハンドヘルド、アドバンスドプロファイル)のうちの1つ又はFEFに属する。FRUで、フレームの最大許容数は4であり、与えられた物理プロファイルはFRUで0回乃至4回のうちのいずれかの回数だけ表れることができる(例えば、ベース、ハンドヘルド、アドバンス)。物理プロファイルの定義は、必要なとき、プリアンブルにおけるPHY\_PROFILEのリザーブ値を用いて拡張できる。

【0214】

FEF部分は、含まれれば、FRUの端に挿入される。FEFがFRUに含まれる場合、FEFの最大数はスーパーフレームで8である。FEF部分が互いに隣接することは推奨されない。

【0215】

1つのフレームは複数のOFDMシンボルとプリアンブルとにさらに分離される。(d)に図示したように、フレームは、プリアンブル、1つ又は複数のFSS、ノーマルデータシンボル、及びFESを含む。

【0216】

プリアンブルは高速フューチャキャストUTBシステム信号検出を可能にし、信号の効率的な送信及び受信のための基本送信パラメータの集合を提供する特別なシンボルである。プリアンブルに関する詳細な内容は後述する。

【0217】

FSSの主な目的はPLSデータを伝達するものである。高速同期化及びチャネル推定のために、これに従うPLSデータの高速度コーディングのために、FSSはノーマルデータシンボルより高密度のパイロットパターンを有する。FESはFSSと完全に同一のパイロットを有するが、これはFESの直前のシンボルに対して外挿(extrapolation)

10

20

30

40

50

無しで F E S 内での周波数のみの補間 ( interpolation : インターポレーション ) 及び時間補間 ( temporal interpolation ) を可能にする。

【 0 2 1 8 】

図 1 1 は、本発明の一実施形態に係るフレームのシグナリング階層構造 ( signaling hierarchy structure ) を示す。

【 0 2 1 9 】

図 1 1 はシグナリング階層構造を示すが、これは 3 個の主要部分であるプリアンブルシグナリングデータ 1 1 0 0 0、 P L S 1 データ 1 1 0 1 0、及び P L S 2 データ 1 1 0 2 0 に分割される。フレーム毎にプリアンブル信号により伝達されるプリアンブルの目的は、フレームの基本送信パラメータ及び送信タイプを示すものである。 P L S 1 は、受信器が関心あるデータパイプに接続するためのパラメータを含む P L S 2 データに接続してデコードできるようにする。 P L S 2 はフレーム毎に伝達され、 2 つの主要部分である P L S 2 - S T A T データと P L S 2 - D Y N データとに分割される。 P L S 2 データのスタティック ( static : 静的 ) 及びダイナミック ( dynamic : 動的 ) 部分には、必要なとき、パディングが後続する。

10

【 0 2 2 0 】

図 1 2 は、本発明の一実施形態に係るプリアンブルシグナリングデータを示す。

【 0 2 2 1 】

プリアンブルシグナリングデータは、受信器がフレーム構造内で P L S データに接続し、データパイプを追跡できるようにするために必要とする 2 1 ビットの情報を伝達する。プリアンブルシグナリングデータに関する詳細な内容は、次の通りである。

20

【 0 2 2 2 】

PHY \_ P R O F I L E : 該当 3 ビットフィールドは現フレームの物理プロファイルタイプを示す。互いに異なる物理プロファイルタイプのマッピングは、以下の < 表 5 > に与えられる。

【 0 2 2 3 】

< 表 5 >

【 表 5 】

値	物理プロファイル
0 0 0	ベースプロファイル
0 0 1	ハンドヘルドプロファイル
0 1 0	アドバンスドプロファイル
0 1 1 ~ 1 1 0	リザーブ
1 1 1	F E F

30

【 0 2 2 4 】

F F T \_ S I Z E : 該当 2 ビットフィールドは以下の < 表 6 > で説明した通り、フレームグループ内で現フレームの F F T サイズを示す。

【 0 2 2 5 】

40

< 表 6 >

【 表 6 】

Value	F F T サイズ
0 0	8 K F F T
0 1	1 6 K F F T
1 0	3 2 K F F T
1 1	リザーブ

【 0 2 2 6 】

50

**GI\_FRACTION** : 該当3ビットフィールドは以下の<表7>で説明した通り、現スーパーフレームにおけるガードインターバル比(の一部)(fraction)の値を示す。

【0227】

<表7>

【表7】

値	GI_FRACTION
000	1/5
001	1/10
010	1/20
011	1/40
100	1/80
101	1/160
110~111	リザーブ

10

【0228】

**EAC\_FLAG** : 該当1ビットフィールドはEACが現フレームに提供されるか否かを示す。該当フィールドが1に設定されれば、EASが現フレームに提供される。該当フィールドが0に設定されれば、EASが現フレームで伝達されない。該当フィールドはスーパーフレーム内でダイナミック(dynamic:動的)に転換できる。

20

【0229】

**PILOT\_MODE** : 該当1ビットフィールドは現フレームグループで現フレームに対してパイロットモードがモバイルモードであるか、又は固定モードであるか否かを示す。該当フィールドが0に設定されれば、モバイルパイロットモードが使用される。該当フィールドが1に設定されれば、固定パイロットモードが使用される。

【0230】

**PAPR\_FLAG** : 該当1ビットフィールドは現フレームグループで現フレームに対してPAPR減少が使用されるか否かを示す。該当フィールドが1に設定されれば、トーン予約(tone reservation)がPAPR減少のために使用される。該当フィールドが0に設定されれば、PAPR減少が使われない。

30

【0231】

**FRU\_CONFIGURE** : 該当3ビットフィールドは現スーパーフレームに存在するFRUの物理プロファイルタイプ構成を示す。現スーパーフレームで全てのプリアンプルにおける該当フィールドにおいて、現スーパーフレームで伝達される全てのプロファイルタイプが識別される。該当3ビットフィールドは以下の<表8>に示した通り、各々のプロファイルに対して異なるように定義される。

【0232】

<表8>

【表 8】

	カレント (現) (current) P HY_PROFILE= '000' (ベース)	カレント (current) P HY_PROFILE= '001' (ハンドヘルド)	カレント (current) PHY_PROFILE= '010' (アドバンス)	カレント (current) PHY_PROFILE= '111' (FEF)
FRU_CONFIGURE=000	ベースプロファイルのみ存在	ハンドヘルドプロファイルのみ存在	アドバンスドプロファイルのみ存在	FEFのみ存在
FRU_CONFIGURE=1XX	ハンドヘルドプロファイル存在	ベースプロファイル存在	ベースプロファイル存在	ベースプロファイル存在
FRU_CONFIGURE=X1X	アドバンスドプロファイル存在	アドバンスドプロファイル存在	ハンドヘルドプロファイル存在	ハンドヘルドプロファイル存在
FRU_CONFIGURE=XX1	FEF存在	FEF存在	FEF存在	ハンドヘルドプロファイル存在

10

20

## 【0233】

RESERVED : 該当7ビットフィールドは今後の使用のためにリザーブ (reserved) される。

## 【0234】

図13は、本発明の一実施形態に係るPLS1データを示す。

## 【0235】

PLS1データはPLS2の受信及びデコーディングを可能にするために必要なパラメータを含んだ基本送信パラメータを提供する。前述したように、PLS1データは1つのフレームグループの全期間の間変化しない。PLS1データのシグナリングフィールドの具体的な定義は、次の通りである。

30

## 【0236】

PREAMBLE\_DATA : 該当20ビットフィールドはEAC\_FLAGを除外したプリアンブルシグナリングデータのコピーである。

## 【0237】

NUM\_FRAME\_FRU : 該当2ビットフィールドはFRU当たりのフレーム数を示す。

## 【0238】

PAYLOAD\_TYPE : 該当3ビットフィールドはフレームグループで伝達されるペイロードデータのフォーマットを示す。PAYLOAD\_TYPEは<表9>に示した通りシグナリングされる。

40

## 【0239】

<表9>

## 【表9】

値	ペイロードタイプ
1XX	TSが送信される
X1X	IPストリームが送信される
XX1	GSが送信される

50

## 【0240】

NUM\_\_FSS : 該当2ビットフィールドは現フレームにおけるFSSの数を示す。

## 【0241】

SYSTEM\_\_VERSION : 該当8ビットフィールドは送信される信号フォーマットのバージョンを示す。SYSTEM\_\_VERSIONは主バージョン及び副バージョンの2つの4ビットフィールドに分離される。

## 【0242】

主バージョン : SYSTEM\_\_VERSIONフィールドのMSBである4ビットは主バージョン情報を示す。主バージョンフィールドでの変化は互換が不可能な変化を示す。デフォルト値は0000である。該当標準で叙述されたバージョンに対し、値が0000に設定される。

10

## 【0243】

副バージョン : SYSTEM\_\_VERSIONフィールドのLSBである4ビットは副バージョン情報を示す。副バージョンフィールドでの変化は互換が可能である。

## 【0244】

CELL\_\_ID : これはATSCネットワークにおける地理的セルを一意に識別する16ビットフィールドである。ATSCセルカバレッジはフューチャキャストUTBシステム当たりで使用される周波数の数によって1つ又は複数の周波数で構成できる。CELL\_\_IDの値が知られていないか、特定されなければ、該当フィールドは0に設定される。

## 【0245】

NETWORK\_\_ID : これは現ATSCネットワークを一意に識別する16ビットフィールドである。

20

## 【0246】

SYSTEM\_\_ID : 該当16ビットフィールドはATSCネットワーク内でフューチャキャストUTBシステムを一意に識別する。フューチャキャストUTBシステムは入力1つ又は複数の入力ストリーム(TS、IP、GS)であり、出力がRF信号である地上波放送システムである。フューチャキャストUTBシステムは、存在していれば、FEF並びに1つ若しくは複数の物理プロファイルを伝達する。同一のフューチャキャストUTBシステムは互いに異なる入力ストリームを伝達し、互いに異なる地理的領域で互いに異なるRFを使用することができるので、ローカルサービス挿入を許容する。フレーム構造及びスケジューリングは一箇所(1つの場所)で制御され、フューチャキャストUTBシステム内で全ての送信に対して同一である。1つ又は複数のフューチャキャストUTBシステムは全て同一の物理構造及び構成を有する同一のSYSTEM\_\_IDの意味を有することができる。

30

## 【0247】

次のループ(loop)は、各フレームタイプの長さ及びFRU構成を示すFRU\_\_PHY\_\_PROFILE、FRU\_\_FRAME\_\_LENGTH、FRU\_\_GI\_\_FRACTION、及びRESERVEDで構成される。ループ(loop)サイズはFRU内で4個の物理プロファイル(FEF含み)がシグナリングされるように固定される。NUM\_\_FRAME\_\_FRUが4より小さければ、使われないフィールドはゼロで詰められる。

40

## 【0248】

FRU\_\_PHY\_\_PROFILE : 該当3ビットフィールドは関連するFRUの(i+1)番目のフレーム(iはループ(loop)インデックス)の物理プロファイルタイプを示す。該当フィールドは<表8>に示したものと同一のシグナリングフォーマットを使用する。

## 【0249】

FRU\_\_FRAME\_\_LENGTH : 該当2ビットフィールドは関連するFRUの(i+1)番目のフレームの長さを示す。FRU\_\_GI\_\_FRACTIONと共にFRU\_\_FRAME\_\_LENGTHを使用すれば、フレーム期間の正確な値が得られる。

## 【0250】

50

FRU\_\_GI\_\_FRACTION: 該当3ビットフィールドは関連するFRUの(i+1)番目のフレームのガードインターバル比の値を示す。FRU\_\_GI\_\_FRACTIONは<表7>に従ってシグナリングされる。

【0251】

RESERVED: 該当4ビットフィールドは今後の使用のためにリザーブ(reserved)される。

【0252】

次のフィールドは、PLS2データをデコードするためのパラメータを提供する。

【0253】

PLS2\_\_FEC\_\_TYPE: 該当2ビットフィールドはPLS2の保護により使用されるFECタイプを示す。FECタイプは<表10>に従ってシグナリングされる。LDPCコードに関する詳細な内容は後述する。

【0254】

<表10>

【表10】

コンテンツ (内容)	PLS2 FECタイプ
00	4K-1/4及び7K-3/10 LDPCコード
01~11	リザーブ(reserved)

10

20

【0255】

PLS2\_\_MOD: 該当3ビットフィールドはPLS2により使用される変調タイプを示す。変調タイプは<表11>に従ってシグナリングされる。

【0256】

<表11>

【表11】

値	PLS2__MODE
000	BPSK
001	QPSK
010	QAM-16
011	NUQ-64
100~111	リザーブ(reserved)

30

【0257】

PLS2\_\_SIZE\_\_CELL: 該当15ビットフィールドは現フレームグループで伝達されるPLS2に対する全てのコーディングブロックのサイズ(QAMセルの数に特定される)であるC<sub>total\_partial\_block</sub>を示す。該当値は現フレームグループの全期間の間一定である。

40

【0258】

PLS2\_\_STAT\_\_SIZE\_\_BIT: 該当14ビットフィールドは現フレームグループに対するPLS2-STATのサイズをビット数で示す。該当値は現フレームグループの全期間の間一定である。

【0259】

PLS2\_\_DYN\_\_SIZE\_\_BIT: 該当14ビットフィールドは現フレームグループに対するPLS2-DYNのサイズをビット数で示す。該当値は現フレームグループの全期間の間一定である。

【0260】

PLS2\_\_REP\_\_FLAG: 該当1ビットフラグはPLS2反復モードが現フレーム

50

グループで使用されるか否かを示す。該当フィールドの値が1に設定されれば、PLS2反復モードは活性化される。該当フィールドの値が0に設定されれば、PLS2反復モードは不活性化される。

【0261】

PLS2\_\_REP\_\_SIZE\_\_CELL：該当15ビットフィールドはPLS2反復が使用される場合、現フレームグループのフレーム毎に伝達されるPLS2に対する部分コーディングブロックのサイズ(QAMセルの数で特定される)である $C_{total\_partial\_block}$ を示す。反復が使われない場合、該当フィールドの値は0と同一である。該当値は現フレームグループの全期間の間一定である。

【0262】

PLS2\_\_NEXT\_\_FEC\_\_TYPE：該当2ビットフィールドは次のフレームグループの各フレームで伝達されるPLS2に使用されるFECタイプを示す。FECタイプは<表10>に従ってシグナリングされる。

【0263】

PLS2\_\_NEXT\_\_MOD：該当3ビットフィールドは次のフレームグループの各フレームで伝達されるPLS2に使用される変調タイプを示す。変調タイプは<表11>に従ってシグナリングされる。

【0264】

PLS2\_\_NEXT\_\_REP\_\_FLAG：該当1ビットフラグはPLS2反復モードが次のフレームグループで使用されるか否かを示す。該当フィールドの値が1に設定されれば、PLS2反復モードは活性化される。該当フィールドの値が0に設定されれば、PLS2反復モードは非活性化される。

【0265】

PLS2\_\_NEXT\_\_REP\_\_SIZE\_\_CELL：該当15ビットフィールドはPLS2反復が使用される場合、次のフレームグループのフレーム毎に伝達されるPLS2に対する全体のコーディングブロックのサイズ(QAMセルの数で特定される)である $C_{total\_full\_block}$ を示す。次のフレームグループで反復が使われない場合、該当フィールドの値は0と同一である。該当値は現フレームグループの全期間の間一定である。

【0266】

PLS2\_\_NEXT\_\_REP\_\_STAT\_\_SIZE\_\_BIT：該当14ビットフィールドは次のフレームグループに対するPLS2-STATのサイズをビット数で示す。該当値は現フレームグループで一定である。

【0267】

PLS2\_\_NEXT\_\_REP\_\_DYN\_\_SIZE\_\_BIT：該当14ビットフィールドは次のフレームグループに対するPLS2-DYNのサイズをビット数で示す。該当値は現フレームグループで一定である。

【0268】

PLS2\_\_AP\_\_MODE：該当2ビットフィールドは現フレームグループでPLS2に対して追加パリティが提供されるか否かを示す。該当値は現フレームグループの全期間の間一定である。以下の<表12>は該当フィールドの値を提供する。該当フィールドの値が00に設定されれば、現フレームグループで追加パリティがPLS2に対して使われない。

【0269】

<表12>

10

20

30

40

【表 1 2】

値	PLS2__APモード
00	追加パリティが提供されない
01	AP1モード
10~11	リザーブ (reserved)

## 【0270】

PLS2\_\_AP\_\_SIZE\_\_CELL : 該当15ビットフィールドはPLS2の追加パリティビットのサイズ(QAMセルの数で特定される)を示す。該当値は現フレームグループの全期間の間一定である。

10

## 【0271】

PLS2\_\_NEXT\_\_AP\_\_MODE : 該当2ビットフィールドは次のフレームグループのフレーム毎にPLS2シグナリングに対して追加パリティが提供されるか否かを示す。該当値は現フレームグループの全期間の間一定である。<表12>は該当フィールドの値を定義する。

## 【0272】

PLS2\_\_NEXT\_\_AP\_\_SIZE\_\_CELL : 該当15ビットフィールドは次のフレームグループのフレーム毎にPLS2の追加パリティビットのサイズ(QAMセルの数で特定される)を示す。該当値は現フレームグループの全期間の間一定である。

20

## 【0273】

RESERVED : 該当32ビットフィールドは今後の使用のためにリザーブ(reserved)される。

## 【0274】

CRC\_\_32 : PLS1シグナリング全体に適用される32ビットエラー検出コード

## 【0275】

図14は、本発明の一実施形態に係るPLS2データを示す。

## 【0276】

図14は、PLS2データのPLS2-STATデータを示す。PLS2-STATデータはフレームグループ内で同一である一方、PLS2-DYNデータは現フレームに対して特定の情報を提供する。

30

## 【0277】

PLS2-STATデータのフィールドについて、次に具体的に説明する。

## 【0278】

FIC\_\_FLAG : 該当1ビットフィールドはFICが現フレームグループで使用されるか否かを示す。該当フィールドの値が1に設定されれば、FICは現フレームで提供される。該当フィールドの値が0に設定されれば、FICは現フレームで伝達されない。該当値は現フレームグループの全期間の間一定である。

## 【0279】

AUX\_\_FLAG : 該当1ビットフィールドは補助ストリームが現フレームグループで使用されるか否かを示す。該当フィールドの値が1に設定されれば、補助ストリームは現フレームで提供される。該当フィールドの値が0に設定されれば、補助フレームは現フレームで伝達されない。該当値は現フレームグループの全期間の間一定である。

40

## 【0280】

NUM\_\_DP : 該当6ビットフィールドは現フレーム内で伝達されるデータパイプの数を示す。該当フィールドの値は1から64の間であり、データパイプの数はNUM\_\_DP+1である。

## 【0281】

DP\_\_ID : 該当6ビットフィールドは物理プロファイル内で一意に識別する。

## 【0282】

50

**DP\_\_TYPE** : 該当3ビットフィールドはデータパイプのタイプを示す。これは、以下の<表13>に従ってシグナリングされる。

【0283】

<表13>

【表13】

値	データパイプタイプ
000	タイプ1のデータパイプ
001	タイプ2のデータパイプ
010~111	リザーブ (reserved)

10

【0284】

**DP\_\_GROUP\_\_ID** : 該当8ビットフィールドは現データパイプが関連しているデータパイプグループを識別する。これは、受信器が同一の**DP\_\_GROUP\_\_ID**を有する(ようになる)特定サービスと関連するサービスコンポーネントのデータパイプに接続するのに使用できる。

【0285】

**BASE\_\_DP\_\_ID** : 該当6ビットフィールドは管理層で使用される(PSI/SIのような)サービスシグナリングデータを伝達するデータパイプを示す。**BASE\_\_DP\_\_ID**により示すデータパイプは、サービスデータと共にサービスシグナリングデータを伝達するノーマルデータパイプであるか、又はサービスシグナリングデータのみを伝達する専用データパイプでありうる。

20

【0286】

**DP\_\_FEC\_\_TYPE** : 該当2ビットフィールドは関連するデータパイプにより使用される**FEC**タイプを示す。**FEC**タイプは、以下の<表14>に従ってシグナリングされる。

【0287】

<表14>

【表14】

値	FEC__TYPE
00	16K LDPC
01	64K LDPC
10~11	リザーブ (reserved)

30

【0288】

**DP\_\_COD** : 該当4ビットフィールドは関連するデータパイプにより使用されるコードレート (code rate) を示す。コードレート (code rate) は以下の<表15>に従ってシグナリングされる。

【0289】

<表15>

40

【表 15】

値	コードレート
0000	5/15
0001	6/15
0010	7/15
0011	8/15
0100	9/15
0101	10/15
0110	11/15
0111	12/15
1000	13/15
1001~ 1111	リザーブ (reserved)

10

## 【0290】

DP\_MOD: 該当4ビットフィールドは関連するデータパイプにより使用される変調を示す。変調は以下の<表16>に従ってシグナリングされる。

## 【0291】

<表16>

20

## 【表16】

値	変調
0000	QPSK
0001	QAM-16
0010	NUQ-64
0011	NUQ-256
0100	NUQ-1024
0101	NUC-16
0110	NUC-64
0111	NUC-256
1000	NUC-1024
1001~1111	リザーブ (reserved)

30

## 【0292】

DP\_SSD\_FLAG: 該当1ビットフィールドはSSDモードが関連するデータパイプで使用されるか否かを示す。該当フィールドの値が1に設定されれば、SSDは使用される。該当フィールドの値が0に設定されれば、SSDは使われない。

## 【0293】

次のフィールドはPHY\_PROFILEがアドバンスドプロファイルを示す010と同じときのみ表れる。

40

## 【0294】

DP\_MIMO: 該当3ビットフィールドはどのようなタイプのMIMOエンコーディング処理が関連するデータパイプに適用されるかを示す。MIMOエンコーディング処理のタイプは、以下の<表17>に従ってシグナリングされる。

## 【0295】

<表17>

【表 17】

値	MIMOエンコーディング
000	FR-SM
001	FRED SM
010~011	リザーブ (reserved)

## 【0296】

DP\_TI\_TYPE : 該当1ビットフィールドは時間インターリーブのタイプを示す。0の値は1つの時間インターリーブグループが1つのフレームに該当し、1つ又は複数の時間インターリーブブロックを含むことを示す。1の値は1つの時間インターリーブグループが1つより多いフレームに伝達され、1つの時間インターリーブブロックのみを含むことを示す。

10

## 【0297】

DP\_TI\_LENGTH : 該当2ビットフィールド(許容された値は1、2、4、8のみである)の使用は、次のようなDP\_TI\_TYPEフィールド内で設定される値により決定される。

## 【0298】

DP\_TI\_TYPEの値が1に設定されれば、該当フィールドは各々の時間インターリーブグループがマッピングされるフレームの数である $P_I$ を示し、時間インターリーブグループ当たり1つの時間インターリーブブロックが存在する( $N_{TI} = 1$ )。該当2ビットフィールドに許容される $P_I$ の値は、以下の<表18>で定義される。

20

## 【0299】

DP\_TI\_TYPEの値が0に設定されれば、該当フィールドは時間インターリーブグループ当たりの時間インターリーブブロックの数 $N_{TI}$ を示し、フレーム当たり1つの時間インターリーブグループが存在する( $P_I = 1$ )。該当2ビットフィールドで許容される $P_I$ の値は以下の<表18>で定義される。

## 【0300】

<表18>

【表18】

2ビットフィールド	$P_I$	$N_{TI}$
00	1	1
01	2	2
10	4	3
11	8	4

30

## 【0301】

DP\_FRAME\_INTERVAL : 該当2ビットフィールドは関連するデータパイプに対するフレームグループ内におけるフレーム間隔( $I_{JUMP}$ )を示し、許容された値は1、2、4、8(該当する2ビットフィールドは各々00、01、10、11)である。フレームグループの全てのフレームに表れないデータパイプに対し、該当フィールドの値は順次的な(シーケンシャル)フレーム間の間隔と同一である。例えば、データパイプが1、5、9、13などのフレームに表れれば、該当フィールドの値は4に設定される。全てのフレームに表れるデータパイプに対し、該当フィールドの値は1に設定される。

40

## 【0302】

DP\_TI\_BYPASS : 該当1ビットフィールドは時間インターリーブ5050の使用可能性を決定する。データパイプに対して時間インターリーブが使われないと、該当フィールド値は1に設定される。一方、時間インターリーブが使われれば、該当フィールド値は0に設定される。

50

## 【0303】

**DP\_\_FIRST\_\_FRAME\_\_IDX** : 該当5ビットフィールドは現データパイプが発生するスーパーフレームの第1のフレームのインデックスを示す。**DP\_\_FIRST\_\_FRAME\_\_IDX**の値は0から31の間である。

## 【0304】

**DP\_\_NUM\_\_BLOCK\_\_MAX** : 該当10ビットフィールドは該当データパイプに対する**DP\_\_NUM\_\_BLOCKS**の最大値を示す。該当フィールドの値は**DP\_\_NUM\_\_BLOCKS**と同一の範囲を有する。

## 【0305】

**DP\_\_PAYLOAD\_\_TYPE** : 該当2ビットフィールドは与えられたデータパイプにより伝達されるペイロードデータのタイプを示す。**DP\_\_PAYLOAD\_\_TYPE**は、以下の<表19>に従ってシグナリングされる。

10

## 【0306】

<表19>

## 【表19】

値	ペイロードタイプ
00	TS
01	IP
10	GS
11	リザーブ (reserved)

20

## 【0307】

**DP\_\_INBAND\_\_MODE** : 該当2ビットフィールドは現データパイプが帯域内 (In-band) シグナリング情報を伝達するか否かを示す。帯域内 (In-band) シグナリングタイプは、以下の<表20>に従ってシグナリングされる。

## 【0308】

<表20>

## 【表20】

値	帯域内モード (In-band mode)
00	帯域内 (In-band) シグナリングが伝達されない
01	<b>INBAND__PLS</b> のみ伝達される
10	<b>INBAND__ISSY</b> のみ伝達される
11	<b>INBAND__PLS</b> 及び <b>INBAND__ISSY</b> が伝達される

30

## 【0309】

**DP\_\_PROTOCOL\_\_TYPE** : 該当2ビットフィールドは与えられたデータパイプにより伝達されるペイロードのプロトコルタイプを示す。ペイロードのプロトコルタイプは入力ペイロードタイプが選択されれば、以下の<表21>に従ってシグナリングされる。

40

## 【0310】

<表21>

【表 2 1】

値	DP_PAYLOAD_TYPEがTSの場合	DP_PAYLOAD_TYPEがIPの場合	DP_PAYLOAD_TYPEがGSの場合
00	MPEG2_TS	IPv4	(Note)
01	リザーブ (reserved)	IPv6	リザーブ (reserved)
10	リザーブ (reserved)	リザーブ (reserved)	リザーブ (reserved)
11	リザーブ (reserved)	リザーブ (reserved)	リザーブ (reserved)

10

## 【0311】

DP\_CRC\_MODE：該当2ビットフィールドはCRCエンコーディングが入力フォーマットブロックで使用されるか否かを示す。CRCモードは、以下の<表22>に従ってシグナリングされる。

## 【0312】

<表22>

【表22】

値	CRCモード
00	使用されない
01	CRC-8
10	CRC-16
11	CRC-32

20

## 【0313】

DNP\_MODE：該当2ビットフィールドはDP\_PAYLOAD\_TYPEがTS（‘00’）に設定される場合に関連するデータパイプにより使用されるヌルパケット削除モードを示す。DNP\_MODEは、以下の<表23>に従ってシグナリングされる。DP\_PAYLOAD\_TYPEがTS（‘00’）でなければ、DNP\_MODEは00の値に設定される。

30

## 【0314】

<表23>

【表23】

値	ヌルパケット削除モード
00	使用されない
01	DNP_NORMAL
10	DNP_OFFSET
11	リザーブ (reserved)

40

## 【0315】

ISSY\_MODE：該当2ビットフィールドはDP\_PAYLOAD\_TYPEがTS（‘00’）に設定される場合に関連するデータパイプにより使用されるISSYモードを示す。ISSY\_MODEは、以下の<表24>に従ってシグナリングされる。DP\_PAYLOAD\_TYPEがTS（‘00’）でなければ、ISSY\_MODEは00の値に設定される。

## 【0316】

<表24>

50

【表 2 4】

値	ISSYモード
00	使用されない
01	ISSY_UP
10	ISSY_BBF
11	リザーブ (reserved)

## 【0317】

HC\_MODE\_TS : 該当2ビットフィールドはDP\_PAYLOAD\_TYPEがTS ('00')に設定される場合に関連するデータパイプにより使用されるTSヘッダ圧縮モードを示す。HC\_MODE\_TSは、以下の<表25>に従ってシグナリングされる。

## 【0318】

<表25>

【表 2 5】

値	ヘッダ圧縮モード
00	HC_MODE_TS1
01	HC_MODE_TS2
10	HC_MODE_TS3
11	HC_MODE_TS4

## 【0319】

HC\_MODE\_IP : 該当2ビットフィールドはDP\_PAYLOAD\_TYPEがIP ('01')に設定される場合にIPヘッダ圧縮モードを示す。HC\_MODE\_IPは、以下の<表26>に従ってシグナリングされる。

## 【0320】

<表26>

【表 2 6】

値	ヘッダ圧縮モード
00	圧縮なし
01	HC_MODE_IP1
10~11	リザーブ (reserved)

## 【0321】

PID : 該当13ビットフィールドはDP\_PAYLOAD\_TYPEがTS ('00')に設定され、HC\_MODE\_TSが01又は10に設定される場合にTSヘッダ圧縮のためのPID数を示す。

## 【0322】

RESERVED : 該当8ビットフィールドは今後の使用のためにリザーブ (reserved)される。

## 【0323】

次のフィールドは、FIC\_FLAGが1と同じときのみ表れる。

## 【0324】

FIC\_VERSION : 該当8ビットフィールドはFICのバージョンナンバを示す。

## 【0325】

FIC\_LENGTH\_BYTE : 該当13ビットフィールドはFICの長さをバイト

単位で示す。

【0326】

RESERVED：該当8ビットフィールドは今後の使用のためにリザーブ(reserved)される。

【0327】

次のフィールドは、AUX\_\_FLAGが1と同じときのみ表れる。

【0328】

NUM\_\_AUX：該当4ビットフィールドは補助ストリームの数を示す。ゼロは補助ストリームが使われないことを示す。

【0329】

AUX\_\_CONFIG\_\_RFU：該当8ビットフィールドは今後の使用のためにリザーブ(reserved)される。

【0330】

AUX\_\_STREAM\_\_TYPE：該当4ビットは現補助ストリームのタイプを示すための今後の使用のためにリザーブ(reserved)される。

【0331】

AUX\_\_PRIVATE\_\_CONFIG：該当28ビットフィールドは補助ストリームをシグナリングするための今後の使用のためにリザーブ(reserved)される。

【0332】

図15は、本発明の他の一実施形態に係るPLS2データを示す。

【0333】

図15は、PLS2データのPLS2-DYNを示す。PLS2-DYNデータの値は1つのフレームグループの期間の間変化できる一方、フィールドのサイズは一定である。

【0334】

PLS2-DYNデータのフィールドの具体的な内容は、次の通りである。

【0335】

FRAME\_\_INDEX：該当5ビットフィールドはスーパーフレーム内における現フレームのフレームインデックスを示す。スーパーフレームの第1のフレームのインデックスは0に設定される。

【0336】

PLS\_\_CHANGE\_\_COUNTER：該当4ビットフィールドは構成が変化する前のスーパーフレームの数を示す。構成が変化する次のスーパーフレームは該当フィールド内でシグナリングされる値により示す。該当フィールドの値が0000に設定されれば、これは如何なる予定された変化も予測できないことを意味する。例えば、1の値は次のスーパーフレームに変化があるということを示す。

【0337】

FIC\_\_CHANGE\_\_COUNTER：該当4ビットフィールドは構成(即ち、FICのコンテンツ)が変化する前のスーパーフレームの数を示す。構成が変化する次のスーパーフレームは該当フィールド内でシグナリングされる値により示す。該当フィールドの値が0000に設定されれば、これは如何なる予定された変化も予測できないことを意味する。例えば、0001の値は次のスーパーフレームに変化があることを示す。

【0338】

RESERVED：該当16ビットフィールドは今後の使用のためにリザーブ(reserved)される。

【0339】

次のフィールドは現フレームで伝達されるデータパイプと関連するパラメータを説明するNUM\_\_DPでのループ(loop)に表れる。

【0340】

DP\_\_ID：該当6ビットフィールドは物理プロファイル内でデータパイプを一意に示す。

10

20

30

40

50

## 【0341】

DP\_START：該当15ビット（又は、13ビット）フィールドは、DPUアドレッシング（addressing）技法を使用してデータパイプの第1の開始位置を示す。DP\_STARTフィールドは、以下の<表27>に示した通り、物理プロファイル及びFFTサイズによって異なる長さを有する。

## 【0342】

<表27>

## 【表27】

物理プロファイル	DP_STARTフィールドサイズ	
	64K	16K
ベース	13ビット	15ビット
ハンドヘルド	—	13ビット
アドバンスド	13ビット	15ビット

10

## 【0343】

DP\_NUM\_BLOCK：該当10ビットフィールドは現データパイプに対する現時点インターリーブグループにおけるFECブロックの数を示す。DP\_NUM\_BLOCKの値は0から1023の間である。

## 【0344】

RESERVED：該当8ビットフィールドは今後の使用のためにリザーブ（reserved）される。

20

## 【0345】

次のフィールドは、EACと関連するFICパラメータを示す。

## 【0346】

EAC\_FLAG：該当1ビットフィールドは現フレームにおけるEACの存在を示す。該当ビットはプリアンプルにおけるEAC\_FLAGと同一の値である。

## 【0347】

EAS\_WAKE\_UP\_VERSION\_NUM：該当8ビットフィールドは自動活性化指示のバージョンナンバを示す。

30

## 【0348】

EAC\_FLAGフィールドが1と同一であれば、次の12ビットがEAC\_LENGTH\_BYTEフィールドに割り当てられる。EAC\_FLAGフィールドが0と同一であれば、次の12ビットがEAC\_COUNTERに割り当てられる。

## 【0349】

EAC\_LENGTH\_BYTE：該当12ビットフィールドはEACの長さをバイトで示す。

## 【0350】

EAC\_COUNTER：該当12ビットフィールドはEACが到達するフレームの前のフレームの数を示す。

40

## 【0351】

次のフィールドはAUX\_FLAGフィールドが1と同一の場合のみに表れる。

## 【0352】

AUX\_PRIVATE\_DYN：該当48ビットフィールドは補助ストリームをシグナリングするための今後の使用のためにリザーブ（reserved）される。該当フィールドの意味は、設定可能なPLS2-STATにおけるAUX\_STREAM\_TYPEの値に依存する。

## 【0353】

CRC\_32：PLS2全体に適用される32ビットエラー検出コード。

## 【0354】

50

図 16 は、本発明の一実施形態に係るフレームの論理 (logical) 構造を示す。

【0355】

前述したように、PLS、EAC、FIC、データパイプ、補助ストリーム、ダミーセルは、フレームにおけるOFDMシンボルのアクティブ (active) キャリアにマッピングされる。PLS 1 及び PLS 2 は、最初に 1 つ又は複数の FSS にマッピングされる。その後、EAC が存在していれば、EAC セルは後続する PLS フィールドにマッピングされる。次に、FIC が存在していれば、FIC セルがマッピングされる。データパイプは PLS の次にマッピングされるか、EAC 又は FIC が存在する場合、EAC 又は FIC の後にマッピングされる。タイプ 1 のデータパイプが最初にマッピングされ、タイプ 2 のデータパイプが次にマッピングされる。データパイプのタイプの具体的な内容は後述する。一部の場  
10  
合、データパイプは EAS に対する一部の特殊データ又はサービスシグナリングデータを伝達することができる。補助ストリーム又はストリームは、存在していれば、データパイプの次にマッピングされ、ここには順次ダミーセルが後続する。前述した順序、即ち、PLS、EAC、FIC、データパイプ、補助ストリーム、及びダミーセルの順に全て共にマッピングすれば、フレームにおけるセル容量を正確に詰める。

【0356】

図 17 は、本発明の一実施形態に係る PLS マッピングを示す。

【0357】

PLS セルは、FSS のアクティブ (active) キャリアにマッピングされる。PLS が占めるセルの数によって、1 つ又は複数のシンボルが FSS に指定され、FSS の数 N FSS は PLS 1 での NUM\_FSS によりシグナリングされる。FSS は PLS セルを伝達する特殊なシンボルである。ロバスト性及び遅延時間 (レイテンシ、待ち時間) (latency) は PLS で重大な事案であるので、FSS は高いパイロット密度を有しているので高速同期化及び FSS 内での周波数のみの補間 (interpolation: インターポレーション) を可能にする。  
20

【0358】

PLS セルは、図 17 の例に示すように、下方向に FSS のアクティブ (active) キャリアにマッピングされる。PLS 1 セルは、最初に第 1 の FSS の第 1 のセルからセルインデックスの昇順にマッピングされる。PLS 2 セルは PLS 1 の最後のセルの直後に後続し、マッピングは第 1 の FSS の最後のセルインデックスまで下方に続く。必要とする PLS セルの総数が 1 つの FSS のアクティブ (active) キャリアの数を超過すれば、マッピングは次の FSS に進み、第 1 の FSS と完全に同一の方式により続く。  
30

【0359】

PLS マッピングが完了した後、データパイプが次に伝達される。EAC、FIC、又は両方とも現フレームに存在していれば、EAC 及び FIC は PLS とノーマルデータパイプとの間に配置される。

【0360】

図 18 は、本発明の一実施形態に係る EAC マッピングを示す。

【0361】

EAC は EAS メッセージを伝達する専用チャネルであり、EAS に対するデータパイプに接続される。EAS サポートは提供されるが、EAC 自体は全てのフレームに存在することもあり、存在しないこともある。EAC が存在する場合、EAC は PLS 2 セルの直後にマッピングされる。PLS セルを除いて、FIC、データパイプ、補助ストリーム、又はダミーセルのうち、いずれも EAC の前に位置しない。EAC セルのマッピング手続は PLS と完全に同一である。  
40

【0362】

EAC セルは、図 18 の例に示すように、PLS 2 の次のセルからセルインデックスの昇順にマッピングされる。EAS メッセージの大きさによって、図 18 に示すように、EAC セルは少ないシンボルを占めることができる。

【0363】

10

20

30

40

50

E A Cセルは、P L S 2の最後のセルの直後に後続し、マッピングは最後のF S Sの最後のセルインデックスまで下方に続く。必要とするE A Cセルの総数が最後のF S Sの残っているアクティブ(active)キャリアの数を超過すれば、E A Cマッピングは次のシンボルに進み、F S Sと完全に同一の方式により続く。この場合、E A Cのマッピングがなされる次のシンボルはノーマルデータシンボルであり、これはF S Sより多いアクティブ(active)キャリアを有する。

**【0364】**

E A Cマッピングが完了した後、存在していれば、F I Cが次に伝達される。F I Cが送信されなければ(P L S 2フィールドからシグナリングに)、データパイプがE A Cの最後のセルの直後に後続する。

10

**【0365】**

図19は、本発明の一実施形態に係るF I Cマッピングを示す。

**【0366】**

(a)はE A C無しでF I Cセルのマッピングの例を示し、(b)はE A Cと共にF I Cセルのマッピングの例を示す。

**【0367】**

F I Cは、高速サービス取得及びチャネルスキャンを可能にするために層間情報(cross-layer information)を伝達する専用チャネルである。該当情報は主にデータパイプ間のチャネルバインディング(channel binding)情報及び各放送社のサービスを含む。高速スキャンのために、受信器はF I Cをデコードし、放送社ID、サービス数、B A S E \_ D P \_ I Dなどの情報を取得することができる。高速サービス取得のために、F I Cだけでなく、ベースデータパイプもB A S E \_ D P \_ I Dを用いてデコードできる。ベースデータパイプが送信するコンテンツを除いて、ベースデータパイプはノーマルデータパイプと正確に同一の方式によりエンコードされてフレームにマッピングされる。したがって、ベースデータパイプに対する追加説明が必要でない。F I Cデータが生成されて管理層で消費される。F I Cデータのコンテンツは管理層の仕様で説明された通りである。

20

**【0368】**

F I Cデータは選択的であり、F I Cの使用はP L S 2のスタティック(static:静的)な部分でF I C \_ F L A Gパラメータによりシグナリングされる。F I Cが使われれば、F I C \_ F L A Gは1に設定され、F I Cに対するシグナリングフィールドはP L S 2のスタティック(static:静的)な部分で定義される。該当フィールドでシグナリングされることはF I C \_ V E R S I O Nであり、F I C \_ L E N G T H \_ B Y T E \_ F I CはP L S 2と同一の変調、コーディング、時間インターリーブパラメータを使用する。F I Cは、P L S 2 \_ M O D及びP L S 2 \_ F E Cなどの同一のシグナリングパラメータを共有する。F I Cデータは、存在していれば、P L S 2の後にマッピングされるか、又はE A Cが存在する場合、E A Cの直後にマッピングされる。ノーマルデータパイプ、補助ストリーム、又はダミーセルのうち、いずれもF I Cの前に位置しない。F I Cセルをマッピングする方法はE A Cと完全に同一であり、これはまたP L Sと同一である。

30

**【0369】**

P L Sの後のE A Cが存在しない場合、F I Cセルは(a)の例に示したように、P L S 2の次のセルからセルインデックスの昇順にマッピングされる。F I Cデータサイズによって、(b)に示したように、F I Cセルは数個のシンボルに対してマッピングされる。

40

**【0370】**

F I CセルはP L S 2の最後のセルの直後に後続し、マッピングは最後のF S Sの最後のセルインデックスまで下方に続く。必要なF I Cセルの総数が最後のF S Sの残っているアクティブ(active)キャリアの数を超過すれば、残りのF I Cセルのマッピングは次のシンボルに進み、これはF S Sと完全に同一の方式により続く。この場合、F I Cがマッピングされる次のシンボルはノーマルデータシンボルであり、これはF S Sより多いアクティブ(active)キャリアを有する。

50

## 【 0 3 7 1 】

E A Sメッセージが現フレームで送信されれば、E A CはF I Cより先にマッピングされ、( b )に示したように、E A Cの次のセルからF I Cセルはセルインデックスの昇順にマッピングされる。

## 【 0 3 7 2 】

F I Cマッピングが完了した後、1つ又は複数のデータパイプがマッピングされ、その後、存在していれば、補助ストリーム、ダミーセルが後続する。

## 【 0 3 7 3 】

図 2 0 は、本発明の一実施形態に係るデータパイプのタイプを示す。

## 【 0 3 7 4 】

( a )はタイプ 1 のデータパイプを示し、( b )はタイプ 2 のデータパイプを示す。

## 【 0 3 7 5 】

先行するチャネル、即ちP L S、E A C、F I Cがマッピングされた後、データパイプのセルがマッピングされる。データパイプはマッピング方法によって2つのタイプのうちの1つに分類される。

## 【 0 3 7 6 】

タイプ 1 のデータパイプ：データパイプがT D Mによりマッピングされる。

## 【 0 3 7 7 】

タイプ 2 のデータパイプ：データパイプがF D Mによりマッピングされる。

## 【 0 3 7 8 】

データパイプのタイプはP L S 2のスタティック ( static : 静的 ) な部分でD P \_\_ T Y P Eフィールドにより示す。図 2 0 は、タイプ 1 のデータパイプ及びタイプ 2 のデータパイプのマッピング順序を示す。タイプ 1 のデータパイプは、まずセルインデックスの昇順にマッピングされた後、最後のセルインデックスに到達した後、シンボルインデックスが1ずつ増加する。次のシンボル内で、データパイプはp = 0を手始めにセルインデックスの昇順に続けてマッピングされる。1つのフレームで共にマッピングされる複数のデータパイプと共に、各々のタイプ 1 のデータパイプはデータパイプのT D Mと類似するように時間でグループ化 ( グループング ) される。

## 【 0 3 7 9 】

タイプ 2 のデータパイプは、まずシンボルインデックスの昇順にマッピングされ、フレームの最後のO F D Mシンボルに到達した後、セルインデックスは1ずつ増加し、シンボルインデックスは第 1 の使用可能シンボルに戻った後、そのシンボルインデックスから増加する。1つのフレームで複数のデータパイプをマッピングした後、各々のタイプ 2 のデータパイプはデータパイプのF D Mと類似するように周波数でグループ化される。

## 【 0 3 8 0 】

タイプ 1 のデータパイプ及びタイプ 2 のデータパイプは、必要なとき、フレームにおいて共存できるが、タイプ 1 のデータパイプが常にタイプ 2 のデータパイプに先行するという制限がある。タイプ 1 及びタイプ 2 のデータパイプを伝達するO F D Mセルの総数はデータパイプの送信に使用することができるO F D Mセルの総数を超過できない。

## 【 0 3 8 1 】

< 数式 2 >

## 【 数 2 】

$$D_{DP1} + D_{DP2} \leq D_{DP}$$

## 【 0 3 8 2 】

この際、 $D_{DP1}$ はタイプ 1 のデータパイプが占めるO F D Mセルの数に該当し、 $D_{DP2}$ はタイプ 2 のデータパイプが占めるセルの数に該当する。P L S、E A C、F I Cが全てタイプ 1 のデータパイプと同様の方式によりマッピングされるので、P L S、E A C、F I Cは全て“タイプ 1 のマッピング規則”に従う。したがって、概してタイプ 1 のマッピングが常にタイプ 2 のマッピングに先行する。

10

20

30

40

50

## 【0383】

図21は、本発明の一実施形態に係るデータパイプマッピングを示す。

## 【0384】

(a)はタイプ1のデータパイプをマッピングするためのOFDMセルのアドレッシングを示し、(b)はタイプ2のデータパイプをマッピングするためのOFDMセルのアドレッシングを示す。

## 【0385】

タイプ1のデータパイプ(0, . . . , DDP1-1)をマッピングするためのOFDMセルのアドレッシングは、タイプ1のデータパイプのアクティブ(active)データセルに対して定義される。アドレッシング方式は各々のタイプ1のデータパイプに対する時間インターリーブからのセルがアクティブ(active)データセルに割り当てられる順序を定義する。また、アドレッシング方式はPLS2のダイナミック(dynamic: 動的)部分でデータパイプの位置をシグナリングするのに使用される。

## 【0386】

EAC及びFIC無しで、アドレス0は最後のFSSにおいてPLSを伝達する最後のセルに後続するセルをいう。EACが送信され、FICが該当するフレームになれば、アドレス0はEACを伝達する最後のセルに後続するセルをいう。FICが該当するフレームで送信されれば、アドレス0はFICを伝達する最後のセルに後続するセルをいう。タイプ1のデータパイプに対するアドレス0は(a)に示したような2つの互いに異なる場合を考慮して算出できる。(a)の例において、PLS、EAC、FICは全て送信されると仮定する。EAC及びFICのうち1つ又は全てが省略される場合への拡張は自明である。(a)の左側に示したように、FICまで全てのセルをマッピングした後、FSSに残っているセルがあれば、タイプ2のデータパイプ(0, . . . , DDP2-1)をマッピングするためのOFDMセルのアドレッシングはタイプ2のデータパイプのアクティブ(active)データセルに対して定義される。アドレッシング方式は、各々のタイプ2のデータパイプに対する時間インターリーブからのセルがアクティブ(active)データセルに割り当てられる順序を定義する。また、アドレッシング方式は、PLS2のダイナミック(dynamic: 動的)部分でデータパイプの位置をシグナリングするのに使用される。

## 【0387】

(b)に示すように、3種類の若干異なる場合が可能である。(b)の左側に示した第1の場合(Case 1)に、最後のFSSにあるセルはタイプ2のデータパイプマッピングに使用できる。中央に示した第2の場合(Case 2)に、FICはノーマルシンボルのセルを占めるが、該当シンボルでのFICセルの数は $C_{FSS}$ より大きくない。(b)の右側に示した第3の場合(Case 3)は該当シンボルにマッピングされたFICセルの数が $C_{FSS}$ を超過する点を除いて、第2の場合と同一である。

## 【0388】

PLS、EAC、FICがタイプ1のデータパイプと同一の“タイプ1のマッピング規則”に従うので、タイプ1のデータパイプがタイプ2のデータパイプに先行する場合への拡張は自明である。

## 【0389】

データパイプユニット(DPU)は、フレームにおけるデータセルをデータパイプに割り当てる基本単位である。

## 【0390】

DPUはフレームにおけるデータパイプの位置を探し出すためのシグナリング単位として定義される。セルマップ7010は、各々のデータパイプに対して時間インターリーブにより生成されたセルをマッピングすることができる。時間インターリーブ5050は一連の時間インターリーブブロックを出力し、各々の時間インターリーブブロックはXFECBLOCKの可変数を含み、これは結局、セルの集合で構成される。XFECBLOCKにおけるセルの数 $N_{cells}$ はFECBLOCKサイズ、 $N_{ldpc}$ 、コンステレーションシ

ンボル当たり送信されるビット数に依存する。DPUは与えられた物理プロファイルでサポートされるXFECKBLOCKにおけるセルの数 $N_{cells}$ の全ての可能な値の最大公約数として定義される。セルでのDPUの長さは $L_{DPU}$ として定義される。各々の物理プロファイルはFECKBLOCKサイズの互いに異なる組合せ及びコンステレーションシンボル当たり異なるビット数をサポートするので、 $L_{DPU}$ は物理プロファイルに基づいて定義される。

【0391】

図22は、本発明の一実施形態に係るFEC構造を示す。

【0392】

図22は、ビットインターリーブの前の本発明の一実施形態に係るFEC構造を示す。前述したように、データFECエンコーダは外部コーディング(BCH)及び内部コーディング(LDPC)を用いてFECKBLOCK手順を生成するために入力BBFにFECエンコーディングを実行することができる。図示されたFEC構造はFECKBLOCKに該当する。また、FECKBLOCK及びFEC構造はLDPCコードワードの長さに該当する同一の値を有する。

10

【0393】

図22に示すように、BCHエンコーディングが各々のBBF( $K_{bch}$ ビット)に適用された後、LDPCエンコーディングがBCHエンコードされたBBF( $K_{ldpc}$ ビット= $N_{bch}$ ビット)に適用される。

【0394】

$N_{ldpc}$ の値は64800ビット(ロングFECKBLOCK)又は16200ビット(ショートFECKBLOCK)である。

20

【0395】

以下の<表28>及び<表29>はロングFECKBLOCK及びショートFECKBLOCKの各々に対するFECエンコーディングパラメータを示す。

【0396】

<表28>

【表28】

LDPC割合	$N_{ldpc}$	$K_{ldpc}$	$K_{bch}$	BCHエラー訂正能力	$N_{bch} - K_{bch}$
5/15	64800	21600	21408	12	192
6/15		25920	25728		
7/15		30240	30048		
8/15		34560	34368		
9/15		38880	38688		
10/15		43200	43008		
11/15		47520	47328		
12/15		51840	51648		
13/15		56160	55968		

30

40

【0397】

<表29>

【表 29】

LDPC割合	$N_{ldpc}$	$K_{ldpc}$	$K_{bch}$	BCHエラー訂正能力	$N_{bch} - K_{bch}$
5/15	16200	5400	5232	12	168
6/15		6480	6312		
7/15		7560	7392		
8/15		8640	8472		
9/15		9720	9552		
10/15		10800	10632		
11/15		11880	11712		
12/15		12960	12792		
13/15		14040	13872		

10

【0398】

BCHエンコーディング及びLDPCエンコーディングの具体的な動作は、次の通りである。

20

【0399】

12 - エラー訂正BCHコードがBBFの外部エンコーディングに使用される。ショートFECBLOCK及びロングFECBLOCKに対するBBF生成多項式は全ての多項式を掛けることによって得られる。

【0400】

LDPCコードは外部BCHエンコーディングの出力をエンコードするのに使用される。完成された $B_{ldpc}$  (FECBLOCK)を生成するために、 $P_{ldpc}$  (パリティビット)が各々の $I_{ldpc}$  (BCHエンコードされたBBF)からシステムティックにエンコードされ、 $I_{ldpc}$ に添付される。完成された $B_{ldpc}$  (FECBLOCK)は次の数式で表現される。

30

【0401】

&lt;数式3&gt;

【数3】

$$B_{ldpc} = [I_{ldpc} \ P_{ldpc}] = [i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$$

【0402】

ロングFECBLOCK及びショートFECBLOCKに対するパラメータは上記の<表28>及び<表29>で各々与えられる。

【0403】

ロングFECBLOCKに対して $N_{ldpc} - K_{ldpc}$ パリティビットを計算する具体的な手続は、次の通りである。

40

【0404】

1) パリティビット初期化

【0405】

&lt;数式4&gt;

【数4】

$$p_0 = p_1 = p_2 = \dots = p_{N_{ldpc}-K_{ldpc}-1} = 0$$

【0406】

50

2) パリティチェック行列のアドレスの第1の行で特定されたパリティビットアドレスで第1の情報ビット  $i_0$  累算 (accumulate)。パリティチェック行列のアドレスの詳細な内容は後述する。例えば、割合 13 / 15 に対し、

【0407】

< 数式 5 >

【数 5】

$$P_{983} = P_{983} \oplus i_0 \quad P_{2815} = P_{2815} \oplus i_0$$

$$P_{4837} = P_{4837} \oplus i_0 \quad P_{4989} = P_{4989} \oplus i_0$$

$$P_{6138} = P_{6138} \oplus i_0 \quad P_{6458} = P_{6458} \oplus i_0$$

$$P_{6921} = P_{6921} \oplus i_0 \quad P_{6974} = P_{6974} \oplus i_0$$

$$P_{7572} = P_{7572} \oplus i_0 \quad P_{8260} = P_{8260} \oplus i_0$$

$$P_{8496} = P_{8496} \oplus i_0$$

【0408】

3) 次の359個の情報ビット  $i_s$ 、 $s = 1, 2, \dots, 359$  に対し、次の数式を用いてパリティビットアドレスで  $i_s$  累算 (accumulate)。

【0409】

< 数式 6 >

【数 6】

$$\{x + (s \bmod 360) \times Q_{ldpc}\} \bmod (N_{ldpc} - K_{ldpc})$$

【0410】

ここで、 $x$  は第1のビット  $i_0$  に該当するパリティビット累算器のアドレスを示し、 $Q_{ldpc}$  はパリティチェック行列のアドレスで特定されたコードレート (code rate) 依存定数である。上記の例である、割合 13 / 15 に対する、したがって情報ビット  $i_1$  に対する  $Q_{ldpc} = 24$  に引続き、次の動作が実行される。

【0411】

< 数式 7 >

【数 7】

$$P_{1007} = P_{1007} \oplus i_1 \quad P_{2839} = P_{2839} \oplus i_1$$

$$P_{4861} = P_{4861} \oplus i_1 \quad P_{5013} = P_{5013} \oplus i_1$$

$$P_{6162} = P_{6162} \oplus i_1 \quad P_{6482} = P_{6482} \oplus i_1$$

$$P_{6945} = P_{6945} \oplus i_1 \quad P_{6998} = P_{6998} \oplus i_1$$

$$P_{7596} = P_{7596} \oplus i_1 \quad P_{8284} = P_{8284} \oplus i_1$$

$$P_{8520} = P_{8520} \oplus i_1$$

【0412】

4) 361番目の情報ビット  $i_{360}$  に対し、パリティビット累算器のアドレスはパリティチェック行列のアドレスの第2の行に与えられる。同様の方式により、次の359個の情報ビット  $i_s$ 、 $s = 361, 362, \dots, 719$  に対するパリティビット累算器のアドレスは < 数式 6 > を用いて得られる。ここで、 $x$  は情報ビット  $i_{360}$  に該当するパリティビット累算器のアドレス、即ちパリティチェック行列の第2の行のエントリを示す。

## 【 0 4 1 3 】

5) 同様の方式で、360個の新たな情報ビットの全てのグループに対し、パリティチェック行列のアドレスからの新たな行はパリティビット累算器のアドレスを求めるのに使用される。

## 【 0 4 1 4 】

全ての情報ビットが用いられた後、最終パリティビットが次の通り得られる。

## 【 0 4 1 5 】

6)  $i = 1$  から始めて次の動作を順次実行

## 【 0 4 1 6 】

< 数式 8 >

## 【 数 8 】

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, N_{ldpc} - K_{ldpc} - 1$$

## 【 0 4 1 7 】

ここで、 $p_i$ 、 $i = 0, 1, \dots, N_{ldpc} - K_{ldpc} - 1$  の最終コンテンツはパリティビット  $p_i$  と同一である。

## 【 0 4 1 8 】

< 表 3 0 >

## 【 表 3 0 】

コードレート (code rate)	$Q_{ldpc}$
5/15	120
6/15	108
7/15	96
8/15	84
9/15	72
10/15	60
11/15	48
12/15	36
13/15	24

## 【 0 4 1 9 】

< 表 3 0 > を < 表 3 1 > に置き換えて、ロング F E C B L O C K に対するパリティチェック行列のアドレスをショート F E C B L O C K に対するパリティチェック行列のアドレスに置き換えることを除いて、ショート F E C B L O C K に対する該当 L D P C エンコーディング手続はロング F E C B L O C K に対する t L D P C エンコーディング手続に従う。

## 【 0 4 2 0 】

< 表 3 1 >

10

20

30

【表 3 1】

コードレート (code rate)	$Q_{ldpc}$
5/15	30
6/15	27
7/15	24
8/15	21
9/15	18
10/15	15
11/15	12
12/15	9
13/15	6

10

## 【0 4 2 1】

図 2 3 は、本発明の一実施形態に係るビットインターリーブを示す。

## 【0 4 2 2】

L D P C エンコーダの出力はビットインターリーブされるが、これは Q C B (quasi-cyclic block) インターリーブ (インターリーブリング) 及び内部グループインターリーブ (インターリーブリング) が後続するパリティインターリーブで構成される。

## 【0 4 2 3】

( a ) は Q C B インターリーブを示し、( b ) は内部グループインターリーブを示す。

20

## 【0 4 2 4】

F E C B L O C K はパリティインターリーブできる。パリティインターリーブの出力で、L D P C コードワードはロング F E C B L O C K で 1 8 0 個の隣接する Q C B で構成され、ショート F E C B L O C K で 4 5 個の隣接する Q C B で構成される。ロング又はショート F E C B L O C K における各々の Q C B は 3 6 0 ビットで構成される。パリティインターリーブされた L D P C コードワードは Q C B インターリーブによりインターリーブされる。Q C B インターリーブの単位は Q C B である。パリティインターリーブの出力での Q C B は、図 2 3 に示すように、Q C B インターリーブにより並べ替えられる (パーミュテーションされる) が、ここで、F E C B L O C K の長さによって  $N_{cells} = 64800 / \eta_{MOD}$  又は  $16200 / \eta_{MOD}$  である。Q C B インターリーブパターンは変調タイプと L D P C コードレート (code rate) との各組合せに固有である。

30

## 【0 4 2 5】

Q C B インターリーブの後に、内部グループインターリーブが以下の < 表 3 2 > で定義された変調タイプ及び次数 (  $\eta_{MOD}$  ) によって実行される。1 つの内部グループに対する Q C B の数  $N_{QCB\_IG}$  も定義される。

## 【0 4 2 6】

< 表 3 2 >

【表 3 2】

変調タイプ	$\eta_{mod}$	$N_{QCB\_IG}$
QAM-16	4	2
NUC-16	4	4
NUQ-64	6	3
NUC-64	6	6
NUQ-256	8	4
NUC-256	8	8
NUQ-1024	10	5
NUC-1024	10	10

40

50

## 【0427】

内部グループインターリーブ過程はQCBインターリーブ出力の $N_{QCB\_IG}$ 個のQCBで実行される。内部グループインターリーブは360個の列及び $N_{QCB\_IG}$ 個の行を用いて内部グループのビットを書き込み（記入し）読み取る過程を含む。書込動作で、QCBインターリーブ出力からのビットが行方向に書き込まれる。読取動作は列方向に実行されて各行で $m$ 個のビットを読み取る。ここで、 $m$ はNUCの場合1と同一であり、NUQの場合2と同一である。

## 【0428】

図24は、本発明の一実施形態に係るセル・ワード逆多重化（デマルチプレキシング）を示す。

10

## 【0429】

図24において、(a)は8及び12bp/cu MIMOに対するセル・ワード逆多重化を示し、(b)は10bp/cu MIMOに対するセル・ワード逆多重化を示す。

## 【0430】

ビットインターリーブ出力の各々のセルワード( $c_{0,1}, c_{1,1}, \dots, c_{nmod-1,1}$ )は、1つのXFECBLOCKに対するセル・ワード逆多重化過程を説明する(a)に示したように、( $d_{1,0,m}, d_{1,1,m}, \dots, d_{1,nmod-1,m}$ )及び( $d_{2,0,m}, d_{2,1,m}, \dots, d_{2,nmod-1,m}$ )に逆多重化される。

## 【0431】

MIMOエンコーディングのために異なるタイプのNUQを用いる10bp/cu MIMOの場合に、NUQ-1024に対するビットインターリーブが再使用される。ビットインターリーブ出力の各々のセルワード( $c_{0,1}, c_{1,1}, \dots, c_{9,1}$ )は、(b)に示したように( $d_{1,0,m}, d_{1,1,m}, \dots, d_{1,3,m}$ )及び( $d_{2,0,m}, d_{2,1,m}, \dots, d_{2,5,m}$ )に逆多重化される。

20

## 【0432】

図25は、本発明の一実施形態に係る時間インターリーブを示す。

## 【0433】

(a)から(c)は時間インターリーブモードの例を示す。

## 【0434】

時間インターリーブはデータパイプレベルで動作する。時間インターリーブのパラメータは各々のデータパイプに対して異なるように設定できる。

30

## 【0435】

PLS2-STATデータの一部に表れる次のパラメータは時間インターリーブを構成する。

## 【0436】

DP\_\_TI\_\_TYPE（許容された値：0又は1）：時間インターリーブモードを示す。0は時間インターリーブグループ当たり複数の時間インターリーブブロック（1つ又は複数の時間インターリーブブロック）を有するモードを示す。この場合、1つの時間インターリーブグループは1つのフレームに（フレーム間インターリーブ無しで）直接マッピングされる。1は時間インターリーブグループ当たり1つの時間インターリーブブロックのみを有するモードを示す。この場合、時間インターリーブブロックは1つ又は複数のフレームに亘って拡散される（フレーム間インターリーブ）。

40

## 【0437】

DP\_\_TI\_\_LENGTH：DP\_\_TI\_\_TYPE = '0'であれば、該当パラメータは時間インターリーブグループ当たり時間インターリーブブロックの数 $N_{TI}$ である。DP\_\_TI\_\_TYPE = '1'の場合、該当パラメータは1つの時間インターリーブグループから拡散されるフレームの数 $P_1$ である。

## 【0438】

DP\_\_NUM\_\_BLOCK\_\_MAX（許容された値：0乃至1023）：時間インターリーブグループ当たりXFECBLOCKの最大数を示す。

50

## 【0439】

DP\_\_FRAME\_\_INTERVAL (許容された値: 1、2、4、8): 与えられた物理プロファイルの同一のデータパイプを伝達する2つの順次的なフレーム間のフレームの数  $I_{JUMP}$  を示す。

## 【0440】

DP\_\_TI\_\_BYPASS (許容された値: 0 又は 1): 時間インターリーブがデータフレームに用いられなければ、該当パラメータは1に設定される。時間インターリーブが用いられれば、0に設定される。

## 【0441】

さらに、PLS2-DYNデータからのパラメータDP\_\_NUM\_\_BLOCKはデータグループの1つの時間インターリーブグループにより伝達されるXFECBLOCKの数を示す。

10

## 【0442】

時間インターリーブがデータフレームに用いられなければ、次の時間インターリーブグループ、時間インターリーブ動作、時間インターリーブモードは考慮されない。しかしながら、スケジューラからのダイナミック (dynamic: 動的) 構成情報のための遅延補償 (delay compensation: ディレイコンペンセーション) ブロックは相変わらず必要である。各々のデータパイプで、SSD/MIMOエンコーディングから受信したXFECBLOCKは時間インターリーブグループにグループ化される。即ち、各々の時間インターリーブグループは整数個のXFECBLOCKの集合であり、ダイナミック (dynamic: 動的) に変化する数のXFECBLOCKを含む。インデックス  $n$  の時間インターリーブグループにあるXFECBLOCKの数は  $N_{xBLOCK\_Group}(n)$  で示し、PLS2-DYNデータのDP\_\_NUM\_\_BLOCKでシグナリングされる。この際、 $N_{xBLOCK\_Group}(n)$  は最小値0から最も大きい値が1023である最大値  $N_{xBLOCK\_Group\_MAX}(DP\_NUM\_BLOCK\_MAX)$  に該当) まで変化することができる。

20

## 【0443】

各々の時間インターリーブグループは1つのフレームに直接マッピングされるか、又は  $P_1$  個のフレームに亘って拡散される。また、各々の時間インターリーブグループは1つ又は複数 ( $N_{T1}$  個) の時間インターリーブブロックに分離される。ここで、各々の時間インターリーブブロックは時間インターリーブメモリの1つの使用に該当する。時間インターリーブグループ内の時間インターリーブブロックは若干の異なる数のXFECBLOCKを含むことができる。時間インターリーブグループが複数の時間インターリーブブロックに分離されれば、時間インターリーブグループは1つのフレームのみに直接マッピングされる。以下の<表33>に示したように、時間インターリーブには3種類のオプションがある (時間インターリーブを省略する追加オプションは除外)。

30

## 【0444】

<表33>

【表 3 3】

モード	説明
オプション1	(a) に示したように、各々の時間インターリーブグループは1つの時間インターリーブブロックを含み、1つのフレームに直接マッピングされる。該当オプションはDP_TI_TYPE = '0' 及びDP_TI_LENGTH = '1' (N <sub>TI</sub> = 1) によりPLS2-STATでシグナリングされる。
オプション2	各々の時間インターリーブグループは1つの時間インターリーブブロックを含み、1つ又は複数のフレームにマッピングされる。(b) は1つの時間インターリーブグループが2つのフレーム、即ちDP_TI_LENGTH = '2' (P <sub>I</sub> = 2) 及びDP_FRAME_INTERVAL (I <sub>JMP</sub> = 2) にマッピングされる例を示す。これは、低いデータレート (率) サービスにより高い時間ダイバシティを提供する。該当オプションはDP_TI_TYPE = '1' によりPLS2-STATでシグナリングされる。
オプション3	(c) に示したように、各々の時間インターリーブグループは複数の時間インターリーブブロックに分離され、1つのフレームに直接マッピングされる。各々の時間インターリーブブロックはデータパイプに対して最大のビットレート (率) (bit rate) を提供するようにフル (full) 時間インターリーブメモリを使用することができる。該当オプションはP <sub>I</sub> = 1で、かつDP_TI_TYPE = '0' 及びDP_TI_LENGTH = N <sub>TI</sub> によりPLS2-STATでシグナリングされる。

10

20

【0 4 4 5】

各々のデータパイプで、時間インターリーブメモリは入力されたXFECBLOCK (SSD/MIMOエンコーディングブロックから出力されたXFECBLOCK) を格納 (記憶) する。入力されたXFECBLOCKは、

30

$$(d_{n,s,0,0}, d_{n,s,0,1}, \dots, d_{n,s,0,N_{\text{cells}}-1}, d_{n,s,1,0}, \dots, d_{n,s,1,N_{\text{cells}}-1}, \dots, d_{n,s,N_{\text{BLOCK\_TI}}(n,s)-1,0}, \dots, d_{n,s,N_{\text{BLOCK\_TI}}(n,s)-1,N_{\text{cells}}-1}),$$

として定義されると仮定する。ここで、

$$d_{n,s,r,q}$$

は n 番目の時間インターリーブグループの s 番目の時間インターリーブブロックで r 番目のXFECBLOCKの q 番目のセルであり、次のようなSSD及びMIMOエンコーディングの出力を示す。

40

$$d_{n,s,r,q} = \begin{cases} f_{n,s,r,q} & \text{, the output of SSD...encoding} \\ g_{n,s,r,q} & \text{, the output of MIMO encoding} \end{cases}$$

【0 4 4 6】

また、時間インターリーブ5050から出力されたXFECBLOCKは

$$(h_{n,s,0}, h_{n,s,1}, \dots, h_{n,s,l}, \dots, h_{n,s,N_{\text{BLOCK\_TI}}(n,s) \times N_{\text{cells}}-1})$$

として定義されると仮定する。ここで、

$$h_{n,s,l}$$

50

は  $n$  番目の時間インターリーブグループの  $s$  番目の時間インターリーブブロックで  $i$  番目

$$(i = 0, \dots, N_{xBLOCK\_II}(n, s) \times N_{cells} - 1)$$

の出力セルである。

【0447】

一般に、時間インターリーバはフレーム生成過程以前にデータパイプデータに対するバッファとしても作用する。これは、各々のデータパイプに対して2つのメモリバンクで達成される。第1の時間インターリーブブロックは第1のバンクに書き込まれる。第1のバンクで読み取られる間、第2の時間インターリーブブロックが第2のバンクに書き込まれる。

10

【0448】

時間インターリーバはツイストされた行・列ブロックインターリーバである。 $n$  番目の時間インターリーブグループの  $s$  番目の時間インターリーブブロックに対して、列の数  $N_c$  が

$$N_{xBLOCK\_II}(n, s)$$

と同一である一方、時間インターリーブメモリの行の数  $N_r$  はセルの数  $N_{cell}$  と同一である（即ち、 $N_r = N_{cell}$ ）。

【0449】

図26は、本発明の一実施形態に係るツイストされた行・列ブロックインターリーバの基本動作を示す。

20

【0450】

図26(a)は、時間インターリーバにおける書込動作を示し、図26(b)は、時間インターリーバにおける読取動作を示す。(a)に示したように、1番目のXFECBLOCKは、時間インターリーブメモリの1番目の列に列方向に書き込まれ、2番目のXFECBLOCKは、次の列に書き込まれ、このような動作が続く。そして、インターリーブ配列で、セルが対角線方向に読み取られる。(b)に示したように、1番目の行から（最も左側の列を始めとして行に沿って右に）最後の行まで対角線方向の読取が進む間、

30

$N_r$  個のセルが読み取られる。具体的には、

$$z_{n,s,i} (i = 0, \dots, N_r N_c)$$

が順次読み取られる時間インターリーブメモリセル位置であると仮定すれば、このようなインターリーブ配列での読取動作は、下記の式のように、行インデックス

$$R_{n,s,i}$$

、列インデックス

$$C_{n,s,i}$$

、関連するツイストパラメータ

$$T'_{n,s,i}$$

を算出することによって実行される。

40

【0451】

<数式9>

## 【数 9】

$$GENERATE(R_{n,s,i}, C_{n,s,i}) =$$

$$\left\{ \begin{array}{l} R_{n,s,i} = \text{mod}(i, N_r), \\ T_{n,s,i} = \text{mod}(S_{\text{shift}} \times R_{n,s,i}, N_c), \\ C_{n,s,i} = \text{mod}\left(T_{n,s,i} + \left\lfloor \frac{i}{N_r} \right\rfloor, N_c\right) \end{array} \right.$$

10

## 【0452】

ここで、

$$S_{\text{shift}}$$

は、

$$N_{\text{xBLOCK\_TI}}(n, s)$$

に関係なく、対角線方向の読取過程に対する共通シフト値であり、シフト値は、下記の式のように、PLS2 - STATで与えられた

$$N_{\text{xBLOCK\_TI\_MAX}}$$

により決定される。

## 【0453】

<数式10>

## 【数10】

$$\text{for } \begin{cases} N'_{\text{xBLOCK\_TI\_MAX}} = N_{\text{xBLOCK\_TI\_MAX}} + 1, & \text{if } N_{\text{xBLOCK\_TI\_MAX}} \bmod 2 = 0 \\ N'_{\text{xBLOCK\_TI\_MAX}} = N_{\text{xBLOCK\_TI\_MAX}}, & \text{if } N_{\text{xBLOCK\_TI\_MAX}} \bmod 2 = 1 \end{cases}$$

$$S_{\text{shift}} = \frac{N'_{\text{xBLOCK\_TI\_MAX}} - 1}{2}$$

## 【0454】

結果的に、読み取られるセル位置は、座標

$$z_{n,s,i} = N_r C_{n,s,i} + R_{n,s,i}$$

により算出される。

## 【0455】

図27は、本発明の他の一実施形態に係るツイストされた行・列ブロックインターリーブの動作を示す。

## 【0456】

より具体的には、図27は、

$$N_{\text{xBLOCK\_TI}}(0,0) = 3, \quad N_{\text{xBLOCK\_TI}}(1,0) = 6, \quad N_{\text{xBLOCK\_TI}}(2,0) = 5$$

であるとき、仮想XFECBLOCKを含むそれぞれの時間インターリーブグループに対する時間インターリーブメモリでインターリーブ配列を示す。

40

## 【0457】

変数

$$N_{\text{xBLOCK\_TI}}(n, s) = N_r \lfloor \frac{s}{N_r} \rfloor + N'_{\text{xBLOCK\_TI\_MAX}}$$

より小さいか、同じであろう。したがって、

$$N_{\text{xBLOCK\_TI}}(n, s)$$

に関係なく、受信器側で単一メモリデインターリーブを達成するために、ツイストされ

50

た行 - 列ブロックインターリーブ用インターリーブ配列は、仮想 X F E C B L O C K を時間インターリーブメモリに挿入することにより、

$$N_r \times N_c = N_{cells} \times N_{xBLOCK\_TI\_MAX}$$

の大きさに設定され、読取過程は、次の式のようになされる。

【 0 4 5 8 】

< 数式 1 1 >

【 数 1 1 】

$p = 0;$

for  $i = 0; i < N_{cells} N_{xBLOCK\_TI\_MAX}; i = i + 1$

{GENERATE( $R_{n,s,i}, C_{n,s,i}$ );

$V_i = N_r C_{n,s,i} + R_{n,s,i}$

if  $V_i < N_{cells} N_{xBLOCK\_TI}(n,s)$

{

$Z_{n,s,p} = V_i; p = p + 1;$

}

}

【 0 4 5 9 】

時間インターリーブグループの数は、3 に設定される。時間インターリーブのオプションは、DP\_\_TI\_\_TYPE = ' 0 '、DP\_\_FRAME\_\_INTERVAL = ' 1 '、DP\_\_TI\_\_LENGTH = ' 1 '、すなわち、NTI = 1、IJUMP = 1、PI = 1 により PLS 2 - STAT データでシグナリングされる。各々  $N_{cells} = 30$  である X F E C B L O C K の時間インターリーブグループ当たりの数は、それぞれの  $N \times B L O C K \_ T I ( 0, 0 ) = 3$ 、 $N \times B L O C K \_ T I ( 1, 0 ) = 6$ 、 $N \times B L O C K \_ T I ( 2, 0 ) = 5$  により PLS 2 - DYN データでシグナリングされる。X F E C B L O C K の最大数は、 $N \times B L O C K \_ G r o u p \_ M A X$  により PLS 2 - STAT データでシグナリングされ、これは、

$$\lfloor N_{xBLOCK\_Group\_MAX} / N_{TI} \rfloor = N_{xBLOCK\_TI\_MAX} = 6$$

に繋がる。

【 0 4 6 0 】

図 2 8 は、本発明の一実施形態に係るツイストされた行 - 列ブロックインターリーブの対角線方向の読取パターンを示す。

【 0 4 6 1 】

より具体的には、図 2 8 は、パラメータ

$$N_{xBLOCK\_TI\_MAX} = 7$$

及び  $S s h i f t = ( 7 - 1 ) / 2 = 3$  を有するそれぞれのインターリーブ配列からの対角線方向の読取パターンを示す。このとき、上記に類似コードで示した読取過程で、

$$V_i \geq N_{cells} N_{xBLOCK\_TI}(n,s)$$

であれば、 $V_i$  の値が省略され、 $V_i$  の次の計算値が使用される。

【 0 4 6 2 】

図 2 9 は、本発明の一実施形態に係るそれぞれのインターリーブ配列からのインターリーブされた X F E C B L O C K を示す。

【 0 4 6 3 】

図 2 9 は、パラメータ

$$N_{xBLOCK\_TI\_MAX} = 7$$

10

20

30

40

50

及び  $S s h i f t = 3$  を有するそれぞれのインターリーブ配列からインターリーブされた X F E C B L O C K を示す。

【 0 4 6 4 】

図 3 0 は、本発明の一実施形態に係る同期及び復調 (synchronization & demodulation) モジュールを示す図である。

【 0 4 6 5 】

図 3 0 に図示された同期及び復調モジュールは、図 9 で説明した同期及び復調モジュールの一実施形態に該当する。また、図 3 0 に図示された同期及び復調モジュールは、図 9 で説明した波形生成 (ウェーブフォームジェネレーション) モジュールの逆動作を実行することができる。

10

【 0 4 6 6 】

図 3 0 に示すように、本発明の一実施形態に係る同期及び復調モジュールは、 $m$  個の R x アンテナを使用する受信装置の同期及び復調モジュールの実施形態であって、 $m$  個のパス (path) だけ入力された信号を復調して出力するための  $m$  個の処理ブロックを含むことができる。 $m$  個の処理ブロックは全て同一の処理過程を実行することができる。以下、 $m$  個の処理ブロックのうち、第 1 の処理ブロック 3 0 0 0 0 の動作を中心に説明する。

【 0 4 6 7 】

第 1 の処理ブロック 3 0 0 0 0 は、チューナ 3 0 1 0 0、A D C ブロック 3 0 2 0 0、プリアンプル検出器 (ディテクタ) (preamble detector) 3 0 3 0 0、ガードシーケンス検出器 (ディテクタ) (guard sequence detector) 3 0 4 0 0、波形変形 (ウェーブフォームトランスフォーム) (waveform transform) ブロック 3 0 5 0 0、時間 / 周波数同期化 (Time / freq sync) ブロック 3 0 6 0 0、参照信号 (レファレンスシグナル、基準信号) 検出器 (ディテクタ) (Reference signal detector) 3 0 7 0 0、チャネルイコライザ (Channel equalizer) 3 0 8 0 0、及び逆波形変形 (インバースウェーブフォームトランスフォーム) (Inverse waveform transform) ブロック 3 0 9 0 0 を含むことができる。

20

【 0 4 6 8 】

チューナ 3 0 1 0 0 は、所望の周波数帯域を選択し、受信した信号の大きさを補償して A D C ブロック 3 0 2 0 0 に出力することができる。

【 0 4 6 9 】

A D C ブロック 3 0 2 0 0 は、チューナ 3 0 1 0 0 から出力された信号をデジタル信号に変換することができる。

30

【 0 4 7 0 】

プリアンプル検出器 (ディテクタ) 3 0 3 0 0 は、デジタル信号に対して受信装置に対応するシステムの信号か否かを確認するためにプリアンプル (又は、プリアンプル信号又はプリアンプルシンボル) を検出 (ディテクティング) することができる。この場合、プリアンプル検出器 3 0 3 0 0 はプリアンプルを通じて受信される基本的な送信パラメータ (transmission parameter) を復号することができる。

【 0 4 7 1 】

ガードシーケンス検出器 (ディテクタ) 3 0 4 0 0 は、デジタル信号内のガードシーケンス (guard sequence) を検出することができる。時間 / 周波数同期化ブロック 3 0 6 0 0 は、検出されたガードシーケンスを用いて時間 / 周波数の同期化 (time/frequency synchronization) を実行することができる、チャネルイコライザ 3 0 8 0 0 は検出されたガードシーケンスを用いて受信 / 復元されたシーケンスを通じてチャネルを推定することができる。

40

【 0 4 7 2 】

波形変形 (ウェーブフォームトランスフォーム) ブロック 3 0 5 0 0 は、送信側で逆波形変形が実行された場合、これに対する逆変換過程を実行することができる。本発明の一実施形態に係る放送受信システムがマルチ (多重) キャリアシステム (multi-carrier system) の場合、波形変形ブロック 3 0 5 0 0 は F F T 変換過程を実行することができる

50

。また、本発明の一実施形態に係る放送送受信システムが単一キャリアシステム (single carrier system) の場合、受信された時間領域の信号が周波数領域で処理するために使用されるか、又は時間領域で全て処理される場合、波形変形ブロック 30500 は使用されないことがある。

【0473】

時間/周波数同期化ブロック 30600 は、プリアンブル検出器 30300、ガードシーケンス検出器 30400、参照信号検出器 30700 の出力データを受信し、検出された信号に対してガードシーケンス検出 (ディテクション) (guard sequence detection)、ブロックウィンドウポジショニング (block window positioning) を含む時間同期化及びキャリア周波数同期化を実行することができる。この際、周波数同期化のために時間/周波数同期化ブロック 30600 は、波形変形ブロック 30500 の出力信号をフィードバックして使用することができる。

10

【0474】

参照信号検出器 (ディテクタ) 30700 は、受信した参照信号を検出することができる。したがって、本発明の一実施形態に係る受信装置は同期化を実行するか、又はチャネル推定 (channel estimation) を実行することができる。

【0475】

チャネルイコライザ 30800 は、ガードシーケンスや参照信号から各送信アンテナから各受信アンテナまでの送信チャネルを推定し、推定されたチャネルを用いて各受信データに対するチャネル補償 (equalization) を実行することができる。

20

【0476】

逆波形変形 (インバースウェーブフォームトランスフォーム) ブロック 30900 は、同期及びチャネル推定/補償を効率的に実行するために、波形変形ブロック 30500 が波形変形を実行した場合、また元の受信データ領域 (ドメイン) (domain) に復元してくれる役割を実行することができる。本発明の一実施形態に係る放送送受信システムが単一キャリアシステムの場合、波形変形ブロック 30500 は同期/チャネル推定/補償を周波数領域で実行するために FFT を実行することができる。逆波形変形ブロック 30900 はチャネル補償が完了した信号に対して IFFT を実行することで、送信されたデータシンボル (data symbol) を復元することができる。本発明の一実施形態に係る放送送受信システムがマルチキャリアシステムの場合、逆波形変形ブロック 30900 は使用されないこともある。

30

【0477】

また、前述したブロックは、設計者の意図によって省略されるか、類似又は同一機能を有する他のブロックにより置き換えできる。

【0478】

図 31 は、本発明の一実施形態に係るフレームパーズングモジュールを示す図である。

【0479】

図 31 に図示されたフレームパーズングモジュールは、図 9 で説明したフレームパーズングモジュールの一実施形態に該当する。

【0480】

上記フレームパーズングモジュール (又は、ブロック) は、デフレーミング & デインターリーブ (Deframing & Deinterleaving) モジュールで表現されることもできる。

40

【0481】

図 31 に示すように、本発明の一実施形態に係るフレームパーズングモジュールは、少なくとも 1 つのブロックデインターリーバ 31000 及び少なくとも 1 つのセルデマップ 31100 を含むことができる。

【0482】

ブロックデインターリーバ 31000 は m 個の受信アンテナの各データパスに入力されて同期及び復調モジュールで処理されたデータに対して、各シグナルブロック単位でデータに対するデインターリーブを実行することができる。この場合、図 8 で説明したように

50

、送信側でペアワイズインターリーブ (pair-wise interleaving) が実行された場合、ブロックデインターリーブ 3 1 0 0 0 は各入力パス (path) に対して連続した 2 つのデータを 1 つのペアに処理することができる。したがって、ブロックデインターリーブ 3 1 0 0 0 はデインターリーブを実行した場合にも連続した 2 つの出力データを出力することができる。また、ブロックデインターリーブ 3 1 0 0 0 は送信側で実行したインターリーブ過程の逆過程を実行して元のデータ順に出力することができる。

【 0 4 8 3 】

セルデマップ 3 1 1 0 0 は、受信した信号フレームからコモン (共通) データに対応するセル、データパイプに対応するセル、及び P L S データに対応するセルを抽出することができる。必要な場合、セルデマップ 3 1 1 0 0 は複数の部分に分散されて送信されたデータをマージ (merge) して 1 つのストリームで出力することができる。また、図 7 で説明したように、送信側で 2 つの連続したセル入力データが 1 つのペアで処理されてマッピングされた場合、セルデマップ 3 1 1 0 0 はこれに該当する逆過程で連続した 2 つの入力セルを 1 つの単位で処理するペアワイズセルデマッピングを実行することができる。

10

【 0 4 8 4 】

また、セルデマップ 3 1 1 0 0 は現在フレームを通じて受信した P L S シグナリングデータに対して、各々 P L S プリ (pre) 及び P L S ポスト (post) データとして全て抽出して出力することができる。

【 0 4 8 5 】

前述したブロックは、設計者の意図によって省略されるか、類似又は同一機能を有する他のブロックにより置き換えできる。

20

【 0 4 8 6 】

図 3 2 は、本発明の一実施形態に係るデマッピング及びデコーディングモジュールを示す図である。

【 0 4 8 7 】

図 3 2 に図示されたデマッピング及びデコーディングモジュールは、図 9 で説明したデマッピング及びデコーディングモジュールの一実施形態に該当する。

【 0 4 8 8 】

前述したように、本発明の一実施形態に係る送信装置の符号化及び変調モジュールは、入力されたデータパイプに対して、各々のパス別に S I S O、M I S O、及び M I M O 方式を独立して適用して処理することができる。したがって、図 3 2 に図示されたデマッピング及びデコーディングモジュールは、やはり送信装置に対応してフレームパーサから出力されたデータを各々 S I S O、M I S O、M I M O 処理するためのブロックを含むことができる。

30

【 0 4 8 9 】

図 3 2 A ~ D に示すように、本発明の一実施形態に係るデマッピング及びデコーディングモジュールは、S I S O 方式のための第 1 ブロック 3 2 0 0 0、M I S O 方式のための第 2 ブロック 3 2 1 0 0、M I M O 方式のための第 3 ブロック 3 2 2 0 0、及び P L S プリ / ポスト情報を処理するための第 4 ブロック 3 2 3 0 0 を含むことができる。図 3 2 A ~ D に図示されたデマッピング及びデコーディングモジュールは一実施形態に過ぎず、設計者の意図によってデマッピング及びデコーディングモジュールは第 1 ブロック 3 2 0 0 0 及び第 4 ブロック 3 2 3 0 0 のみを含むこともでき、第 2 ブロック 3 2 1 0 0 及び第 4 ブロック 3 2 3 0 0 のみを含むこともでき、第 3 ブロック 3 2 2 0 0 及び第 4 ブロック 3 2 3 0 0 のみを含むこともできる。即ち、設計者の意図によってデマッピング及びデコーディングモジュールは各データパイプを同一に、又は異なるように処理するためのブロックを含むことができる。

40

【 0 4 9 0 】

以下、各ブロックについて説明する。

【 0 4 9 1 】

第 1 ブロック 3 2 0 0 0 は入力されたデータパイプを S I S O 処理するためのブロック

50

であって、時間デインターリーブブロック 3 2 0 1 0、セルデインターリーブブロック 3 2 0 2 0、コンステレーションデマッピングブロック 3 2 0 3 0、セルトゥビット多重化（マルチプレキシング）（cell to bit mux）ブロック 3 2 0 4 0、ビットデインターリーブブロック 3 2 0 5 0、及び F E C デコーダブロック 3 2 0 6 0 を含むことができる。

【 0 4 9 2 】

時間デインターリーブブロック 3 2 0 1 0 は、時間インターリーブブロックの逆過程を実行することができる。即ち、時間デインターリーブブロック 3 2 0 1 0 は時間領域でインターリーブされた入力シンボルを元の位置にデインターリーブすることができる。

【 0 4 9 3 】

セルデインターリーブブロック 3 2 0 2 0 は、セルインターリーブブロックの逆過程を実行することができる。即ち、セルデインターリーブブロック 3 2 0 2 0 は 1 つの F E C ブロック内で拡散（スペルディング）（spreading）されたセルの位置を元の位置にデインターリーブすることができる。

10

【 0 4 9 4 】

コンステレーションデマッピングブロック 3 2 0 3 0 は、コンステレーションマッピングブロックの逆過程を実行することができる。即ち、コンステレーションデマッピングブロック 3 2 0 3 0 はシンボル領域（ドメイン）の入力信号をビット領域（ドメイン）のデータにデマッピングすることができる。また、コンステレーションデマッピングブロック 3 2 0 3 0 は硬判定（hard decision）を実行して判定されたビットデータを出力することもでき、軟判定（soft decision）値や、あるいは確率的な値に該当する各ビットの対数尤度比（Log-likelihood ratio: LLR）を出力することができる。送信端で追加的なダイバーシチ利得を得るために回転（rotated）コンステレーションを適用した場合、コンステレーションデマッピングブロック 3 2 0 3 0 はこれに相応（対応）する 2 次元の LLR デマッピングを実行することができる。この際、コンステレーションデマッピングブロック 3 2 0 3 0 は LLR を計算するとき、送信装置で I 又は Q コンポーネント（成分）に対して実行された遅延値を補償できるように計算を実行することができる。

20

【 0 4 9 5 】

セルトゥビット多重化（マルチプレキシング）ブロック 3 2 0 4 0 は、ビットトゥセル逆多重化ブロックの逆過程を実行することができる。即ち、セルトゥビット多重化ブロック 3 2 0 4 0 は、ビットトゥセル逆多重化ブロックでマッピングされたビットデータを元のビットストリーム形態に復元することができる。

30

【 0 4 9 6 】

ビットデインターリーブブロック 3 2 0 5 0 は、ビットインターリーブブロックの逆過程を実行することができる。即ち、ビットデインターリーブブロック 3 2 0 5 0 はセルトゥビット多重化ブロック 3 2 0 4 0 から出力されたビットストリームを元の順にデインターリーブすることができる。

【 0 4 9 7 】

F E C デコーダブロック 3 2 0 6 0 は、F E C エンコーダブロックの逆過程を実行することができる。即ち、F E C デコーダブロック 3 2 0 6 0 は L D P C デコーディング及び B C H デコーディングを実行して送信チャネル上で発生したエラーを訂正することができる。

40

【 0 4 9 8 】

第 2 ブロック 3 2 1 0 0 は入力されたデータパイプを M I S O 処理するためのブロックであって、図 3 2 B に示すように、第 1 ブロック 3 2 0 0 0 と同一に時間デインターリーブブロック、セルデインターリーブブロック、コンステレーションデマッピングブロック、セルトゥビット多重化（マルチプレキシング）ブロック、ビットデインターリーブブロック、及び F E C デコーダブロックを含むことができるが、M I S O デコーディングブロック 3 2 1 1 0 をさらに含むという点で差がある。第 2 ブロック 3 2 1 0 0 は、第 1 ブロック 3 2 0 0 0 と同様に時間デインターリーブから出力まで同一の役割の過程を実行するので、同一のブロックに関する説明は省略する。

50

## 【0499】

MISOデコーディングブロック32110は、MISO処理（プロセッシング）ブロックの逆過程を実行することができる。本発明の一実施形態に係る放送受信システムがSTBCを使用したシステムの場合、MISOデコーディングブロック32110はアラモウチ（Alamouti）デコーディングを実行することができる。

## 【0500】

第3ブロック32200は入力されたデータパイプをMIMO処理するためのブロックであって、図32に示すように、第2ブロック32100と同一に時間インターリーブブロック、セルインターリーブブロック、コンステレーションデマッピングブロック、セルトゥビット多重化（マルチプレキシング）ブロック、ビットインターリーブブロック、及びFECデコーダブロックを含むことができるが、MIMOデコーディングブロック32210を含むという点でデータ処理過程の差がある。第3ブロック32200に含まれた時間インターリーブ、セルインターリーブ、コンステレーションデマッピング、セルトゥビット多重化、ビットインターリーブブロックなどの動作は、第1乃至第2ブロック32000 - 32100に含まれた該当ブロックの動作と具体的な機能は異なることがあるが、基本的な役割は同一である。

10

## 【0501】

MIMOデコーディングブロック32210は、m個の受信アンテナ入力信号に対してセルインターリーブの出力データを入力として受けて、MIMO処理ブロックの逆過程としてMIMOデコーディングを実行することができる。MIMOデコーディングブロック32210は、最高の復号性能を得るために最尤復号（Maximum likelihood decoding）を実行するか、複雑度を減少させたスフィアデコーディング（Sphere decoding）を実行することができる。又は、MIMOデコーディングブロック32210はMMSE検出を実行するか、又は反復デコーディング（iterative decoding）を共に結合実行し、向上したデコーディング性能を確保することができる。

20

## 【0502】

第4ブロック32300はPLSプリ/ポスト情報を処理するためのブロックであって、SISO又はMISOデコーディングを実行することができる。第4ブロック32300は第4ブロックの逆過程を実行することができる。

## 【0503】

第4ブロック32300に含まれた時間インターリーブ、セルインターリーブ、コンステレーションデマッピング、セルトゥビット多重化（マルチプレキシング）、ビットインターリーブブロックの動作は、第1乃至第3ブロック32000 - 32200に含まれた該当ブロックの動作と具体的な機能は異なることがあるが、基本的な役割は同一である。

30

## 【0504】

第4ブロック32300に含まれた短縮及びパンクチャリングFECデコーダ（Shortened/Punctured FEC decoder）32310は、短縮及びパンクチャリングFECエンコーダブロックの逆過程を実行することができる。即ち、短縮及びパンクチャリングFECデコーダ32310はPLSデータの長さによって短縮及びパンクチャリングされて受信されたデータに対して伸長（非短縮）（de-shortening）及びデパンクチャリング（de-puncturing）を実行した後にFECデコーディングを実行することができる。この場合、データパイプに使用されたFECデコーダを同一にPLSにも使用することができるので、PLSのための別途のFECデコーダハードウェアが必要でないので、システム設計が容易であり、効率的なコーディングが可能であるという長所がある。

40

## 【0505】

前述したブロックは設計者の意図によって省略されるか、類似又は同一機能を有する他のブロックにより置き換えできる。

## 【0506】

結果的に、図32に示すように、本発明の一実施形態に係るデマッピング及びデコーデ

50

ィングモジュールは、各パス別に処理されたデータパイプ及びP L S 情報を出カプロセッサに出力することができる。

【0507】

図33及び図34は、本発明の一実施形態に係る出力(アウトプット)プロセッサ(output processor)を示す図である。

【0508】

図33は、本発明の一実施形態に係る出力プロセッサを示す図である。

【0509】

図33に図示された出力プロセッサは、図9で説明した出力プロセッサの一実施形態に該当する。また、図33に図示された出力プロセッサはデマッピング及びデコーディングモジュールから出力された単一データパイプを受信して単一出カストリームを出力するためのものであって、入力フォーマッティングモジュールの逆動作を実行することができる。

10

【0510】

図33の出力プロセッサは、後述する図50、図51、及び図53において提案された機能、過程、及び/又は方法を実現する。

【0511】

図33に図示された出力プロセッサは、B Bデスクランブラブロック33000、パディング除去(削除)(Padding removal)ブロック33100、C R C - 8デコーダブロック33200、及びB Bフレームプロセッサブロック33300を含むことができる。

20

【0512】

B Bデスクランブラブロック33000は、入力されたビットストリームに対して送信端で使用したものと同一のP R B Sを発生させてビット列とX O Rしてデスクランブルを実行することができる。

【0513】

パディング除去ブロック33100は、送信端で必要によって挿入されたパディングビットを除去することができる。

【0514】

C R C - 8デコーダブロック33200は、パディング除去ブロック33100から入力を受けたビットストリームに対してC R Cデコーディングを実行してブロックエラーをチェックすることができる。

30

【0515】

B Bフレームプロセッサブロック33300は、B Bフレームヘッダで送信された情報をデコードし、デコードされた情報を用いてM P E G - T S、I Pストリーム(v 4又はv 6)又はジェネリックストリーム(Generic stream)を復元することができる。

【0516】

前述したブロックは設計者の意図によって省略されるか、類似又は同一機能を有する他のブロックにより置き換えできる。

【0517】

図34は、本発明の他の実施形態に係る出力プロセッサを示す図である。

40

【0518】

図34に図示された出力プロセッサは、図9で説明した出力プロセッサの一実施形態に該当する。また、図34に図示された出力プロセッサは、デマッピング及びデコーディングモジュールから出力された多重(複数の)(multiple)データパイプを受信する場合に該当する。多重データパイプに対するデコーディングは複数のデータパイプに共通に適用できるコモンデータ及びこれと関連するデータパイプをマージしてデコードする場合、又は受信装置が複数のサービスあるいはサービスコンポーネント(s c a l a b l e v i d e o s e r v i c eを含み)を同時にデコードする場合を含むことができる。

【0519】

図34に図示された出力プロセッサは、出力プロセッサの場合と同様に、B Bデスクラ

50

ンブラブロック、パディング除去ブロック、CRC - 8デコーダブロック、及びBBフレームプロセッサブロックを含むことができる。各ブロックは図33で説明したブロックの動作と具体的な動作は異なることがあるが、基本的な役割は同一である。

【0520】

図34の出力プロセッサは、後述する図50、図51、及び図53において提案された機能、過程、及び/又は方法を実現する。

【0521】

図34に図示された出力プロセッサに含まれたデジタバッファブロック34000は、多重データパイプ間の同期化のために送信端で任意に挿入された遅延(delay)を復元されたTTO(Time To Output)パラメータに従って補償することができる。

10

【0522】

また、ヌルパケット挿入ブロック34100は復元されたDNP(Deleted Null Packet)情報を参考にしてストリーム内の除去されたヌルパケットを復元することができ、コモンデータを出力することができる。

【0523】

TSクロック再生ブロック34200は、ISCR入力(インプット)ストリーム時間参照(リファレンス)(ISCR-Input Stream Time Reference)情報を基準に出力パケットの詳細な時間同期を復元することができる。

【0524】

TS再結合(recombining)ブロック34300は、ヌルパケット挿入ブロック34100から出力されたコモンデータ及びこれと関連したデータパイプを再結合して元のMP EG-TS、IPストリーム(v4又はv6)、あるいはジェネリックストリームに復元して出力することができる。TTO、DNP、ISCR情報は全てBBフレームヘッダを通じて取得できる。

20

【0525】

帯域内(インバンド)シグナリングデコーダブロック34400は、データパイプの各FECフレーム内のパディングビットフィールドを通じて送信される帯域内物理層シグナリング(in-band physical layer signaling)情報を復元して出力することができる。

【0526】

図34に図示された出力(アウトプット)プロセッサは、PLSプリパス及びPLSポストパスによって入力されるPLSプリ情報及びPLSポスト情報を各々BBデスクランブルし、デスクランブルされたデータに対してデコーディングを実行し、元のPLSデータを復元することができる。復元されたPLSデータは受信装置内のシステム制御器(system controller)に伝達され、システム制御器は、受信装置の同期(化)及び復調モジュール、フレームパージングモジュール、デマッピング及びデコーディングモジュール、及び出力プロセッサモジュールに必要とするパラメータを供給することができる。

30

【0527】

前述したブロックは設計者の意図によって省略されるか、類似又は同一機能を有する他のブロックにより置き換えできる。

【0528】

図35は、本発明の他の実施形態に係る符号化及び変調モジュールを示す図である。

40

【0529】

図35に図示された符号化及び変調モジュールは、各データパイプを通じて送信するサービスやサービスコンポーネント別にQoSを調節するために、モジュールはSISO方式のための第1ブロック35000、MISO方式のための第2ブロック35100、MIMO方式のための第3ブロック35200、及びPLSプリ/ポスト情報を処理するための第4ブロック35300を含むことができる。また、本発明の一実施形態に係る符号化及び変調モジュールは、前述したように、設計者の意図によって各データパイプを同一に、又は異なるように処理するためのブロックを含むことができる。図35に図示された第1ブロック乃至第4ブロック35000-35300は、第1ブロック乃至第4ブロッ

50

クと略同一のブロックを含んでいる。

【0530】

しかしながら、第1ブロック乃至第3ブロック35000 - 35200に含まれたコンステレーションマップブロック35010の機能が第1ブロック乃至第3ブロックに含まれたコンステレーションマップブロックの機能と異なるという点、第1ブロック乃至第4ブロック35000 - 35300のセルインターリーブと時間インターリーブとの間に回転(rotation)及びI/Qインターリーブブロック35020が含まれているという点、並びにMIMO方式のための第3ブロック31200の構成がMIMO方式のための第3ブロックの構成と異なるという点に差がある。

【0531】

図35に図示されたコンステレーションマップブロック35010は、入力されたビットワードを複素(複合)シンボル(complex symbol)にマッピングすることができる。

【0532】

図35に図示されたコンステレーションマップブロック35010は、前述したように、第1ブロック乃至第3ブロック35000 - 35200に共通に適用できる。

【0533】

回転及びI/Qインターリーブブロック35020は、セルインターリーブから出力されたセルインターリーブされたデータの各複素シンボルの同相(In-phase)及び直交位相(Quadrature-phase)コンポーネントを独立してインターリーブしてシンボル単位で出力することができる。回転及びI/Qインターリーブブロック35020の入力データ及び出力シンボルの個数は2つ以上であり、これは設計者の意図によって変更可能である。また、回転及びI/Qインターリーブブロック35020は同相成分に対しては、インターリーブを実行しないこともある。

【0534】

回転及びI/Qインターリーブブロック35020は、前述したように、第1ブロック乃至第4ブロック35000 - 35300に共通に適用できる。この場合、回転及びI/Qインターリーブブロック35020がPLSプリ/ポスト情報を処理するための第4ブロック35300に適用されるか否かは前述したプリアンブルを通じてシグナリングできる。

【0535】

MIMO方式のための第3ブロック35200は、図35に示すように、Q-ブロックインターリーブブロック35210、及び複素(複合)シンボル生成ブロック35220を含むことができる。

【0536】

Q-ブロックインターリーブブロック35210は、FECエンコーダから入力を受けたFECエンコーディングが実行されたFECブロックのパリティパート(部分)(parity part)に対して、並べ替え(パーミュテーション)(permutation)を実行することができる。これを通じてLDPC H行列のパリティパートを情報パート(information part)と同一に循環(環状)構造(cyclic structure)で作ることができる。Q-ブロックインターリーブブロック35210は、LDPC H行列のQサイズを有する出力ビットブロックの順序を並べ替えた後、行(row)-列(column)ブロックインターリーブを実行して最終ビット列を生成して出力することができる。

【0537】

複素(複合)シンボル生成器ブロック35220は、Q-ブロックインターリーブブロック35210から出力されたビット列の入力を受けて、複素シンボルにマッピングして出力することができる。この場合、複素シンボル生成器ブロック35220は少なくとも2つの経路を通じてシンボルを出力することができる。これは、設計者の意図によって変更可能である。

【0538】

前述したブロックは設計者の意図によって省略されるか、類似又は同一機能を有する他

10

20

30

40

50

のブロックにより置き換えできる。

【0539】

結果的に、図35に示すように、本発明の他の実施形態に係る符号化及び変調モジュールは、各パス別に処理されたデータパイプ、PLSプリ情報、PLSポスト情報をフレーム構造モジュールに出力することができる。

【0540】

図36は、本発明の他の実施形態に係るデマッピング及びデコーディングモジュールを示す図である。

【0541】

図36に図示されたデマッピング及びデコーディングモジュールは、図9及び図32で説明したデマッピング及びデコーディングモジュールの他の実施形態に該当する。また、図36に図示されたデマッピング及びデコーディングモジュールは図35で説明した符号化及び変調モジュールの逆動作を実行することができる。

10

【0542】

図36に示すように、本発明の他の実施形態に係るデマッピング及びデコーディングモジュールは、SISO方式のための第1ブロック36000、MISO方式のための第2ブロック36100、MIMO方式のための第3ブロック36200、及びPLSプリ/ポスト情報を処理するための第4ブロック36300を含むことができる。また、本発明の一実施形態に係るデマッピング及びデコーディングモジュールは、前述したように、設計者の意図によって各データパイプを同一に、又は異なるように処理するためのブロックを含むことができる。図36に図示された第1ブロック乃至第4ブロック36000 - 36300は、図32で説明した第1ブロック乃至第4ブロック32000 - 32300と略同一のブロックを含んでいる。

20

【0543】

しかしながら、第1ブロック乃至第4ブロック36000 - 36300の時間インターリーバとセルインターリーバとの間にI/Qインターリーバ及びデローテーション(逆回転)ブロック36010が含まれているという点、第1ブロック乃至第3ブロック36000 - 36200に含まれたコンステレーションデマッパブロック36020の機能が図32の第1ブロック乃至第3ブロック32000 - 32200に含まれたコンステレーションマッパブロック32030の機能と異なるという点、及びMIMO方式のための第3ブロック36200の構成が図32に図示されたMIMO方式のための第3ブロック32200の構成と異なるという点に差がある。以下、図32と同一のブロックに関する説明は省略し、前述した差異点を中心に説明する。

30

【0544】

I/Qインターリーバ及びデローテーションブロック36010は、図35で説明した回転及びI/Qインターリーバブロック35020の逆過程を実行することができる。即ち、I/Qインターリーバ及びデローテーションブロック36010は、送信端でI/Qインターリーブされて送信されたI及びQコンポーネントに対して各々インターリーブを実行することができ、復元されたI/Qコンポーネントを有する複素シンボルをまたデローテーションして出力することができる。

40

【0545】

I/Qインターリーバ及びデローテーションブロック36010は、前述したように、第1ブロック乃至第4ブロック36000 - 36300に共通に適用できる。この場合、I/Qインターリーバ及びデローテーションブロック36010がPLSプリ/ポスト情報を処理するための第4ブロック36300に適用されるか否かは前述したプリアンブルを通じてシグナリングできる。

【0546】

コンステレーションデマッパブロック36020は、図35で説明したコンステレーションマッパブロック35010の逆過程を実行することができる。即ち、コンステレーションデマッパブロック36020は、デローテーションを実行せず、セルインターリー

50

ブされたデータに対してデマッピングを実行することができる。

【0547】

MIMO方式のための第3ブロック36200は、図36に示すように、複素（複合）シンボルパージングブロック36210及びQ-ブロックデインターリーブブロック36220を含むことができる。

【0548】

複素（複合）シンボルパージングブロック36210は、図35で説明した複素シンボル生成器ブロック35220の逆過程を実行することができる。即ち、複合データシンボルをパージングし、ビットデータにデマッピングして出力することができる。この場合、複素シンボルパージングブロック36210は少なくとも2つの経路を通じて複合データシンボルの入力を受けることができる。

10

【0549】

Q-ブロックデインターリーブブロック36220は、図35で説明したQ-ブロックデインターリーブブロック35210の逆過程を実行することができる。即ち、Q-ブロックデインターリーブブロック36220は、行-列デインターリーブによりQサイズブロックを復元した後、並べ替えられた各ブロックの順序を元の順に復元した後、パリティデインターリーブを通じてパリティビットの位置を元の通り復元して出力することができる。

【0550】

前述したブロックは設計者の意図によって省略されるか、類似又は同一機能を有する他のブロックにより置き換えできる。

20

【0551】

結果的に、図36に示すように、本発明の他の実施形態に係るデマッピング及びデコーディングモジュールは、各パス別に処理されたデータパイプ及びPLS情報を出力プロセッサに出力することができる。

【0552】

図37は、本発明の一実施形態に係る次世代放送サービスに対する放送信号送信装置のさらに他の構造を示した図である。

【0553】

図37の放送送信装置37000は、normative block及びinformative blockの両方を含む。

30

【0554】

図37において、実線で示されたblockは、normative blockを示し、informative MIMO annexが実現されるときに使用され得るblock、すなわち、informative blockは、点線で示される。

【0555】

本発明の一実施形態に係る放送信号送信装置は、4個の主要ブロック、すなわち、(1) Input Formatting（入力（インプット）フォーマット）ブロック37100、(2) BICMブロック37200、(3) Framing & Interleavingブロック37300、(4) Waveform Generationブ

40

ック37400で構成される。

【0556】

上記Framing & Interleavingブロックは、Frame Buildingブロックで表現されることもできる。

【0557】

上記Input FormattingブロックとBICMブロックとの間には、SFN（Single Frequency Network）分散（又は、分配）インターフェース（distribution interface）37500が存在する。

【0558】

本明細書において提案する放送信号送受信方法に適用することができる多重化（multip

50

lexing) 方法は、Time Division Multiplexing (TDM)、Layered Division Multiplexing (LDM) の2つの方法と、この2つの方法を結合した方法と、が使用され得る。

【0559】

上記2つのnormative multiplexing方法のための放送送信システムの内部ブロック図は、図1及び図37において説明した放送送信システム全体に関する内部ブロック図より簡単に実現されることができると。

【0560】

図38は、本発明の一実施形態に係る簡略化されたTDM放送送信システム及びLDM放送送信システムを示した図である。

10

【0561】

具体的には、図38(a)は、簡略化されたTDM放送送信システムの一例を示し、図38(b)は、簡略化されたLDM放送送信システムの一例を示す。

【0562】

図38(a)に示されたように、TDM放送送信システムには、4個の主要内部ブロック図が構成され、上記4個の主要内部ブロック図は、Input Formatting (入力(インプット)フォーマッティング)ブロック、BICM (Bit Interleaved and Coded Modulation) ブロック、Formatting & Interleaving (フレーミング&インターリーブ)ブロック、Waveform Generation (波形生成(ウェーブフォームジェネレーション))ブロックがある。

20

【0563】

各ブロックについて簡略に説明すれば、データ(data)は、Input Formattingブロックに入力されてフォーマッティングされ、BICMブロックでFEC (Forward Error Correction) が適用され、constellationマッピングによってマッピングされる。

【0564】

また、上記dataは、Frame & Interleavingブロックにおいて時間及び周波数領域でInterleaving及びFrame生成が行われて、結果的に、Waveform Generationブロックでwaveformが生成されて出力される。

30

【0565】

図38(b)に示されたように、LDM放送送信システムには、TDM放送送信システムにない新しいブロック、すなわち、LDM injectionブロック38100が存在し、2個の別個のInput Formattingブロック及びBICMブロックがある。

【0566】

上記別個のブロック(Input Formattingブロック及びBICMブロック)は、各LDM層(階層)に対して1つずつ適用される。

【0567】

上記別個のブロックは、LDM injectionブロックでFraming & Interleavingが行われる前に結合される。

40

【0568】

また、複数のRF (Radio Frequency) チャンネルは、チャンネルボンディング(channel bonding)を介して支援される。

【0569】

図38(b)に示されたLDM (Layered Division Multiplexing) 放送システムについてさらに具体的に説明する。

【0570】

LDMは、1つのRF channelで信号を送信する前に、data stream別に互いに異なるMCS (Modulation and Channel coding Scheme) が適用可能なよう

50

に互いに異なる power levels で複数の data streams を結合する constellation superposition 技術をいう。

【0571】

説明の都合上、2 layer LDM システムを一例に挙げて説明する。

【0572】

図38(b)に示されたように、2 layer LDM システムは、time interleaving の前に、2 個の BICM chain を結合する構成 (LDM injection block) を含む。

【0573】

各 BICM chain (consisting of an encoded sequence modulated to a constellation) は、1 つの layer として言及されるが、1 つの PLP として表現されることもできる。

【0574】

2 layer は、各々 core layer 及び enhanced layer と呼ばれることができる。

【0575】

上記 core layer は、上記 enhanced layer と同一であるか、又はそれよりさらにロバスト (robust) な MODCOD 結合を使用しなければならない。

【0576】

各 layer は、互いに異なる FEC coding 及び constellation mapping を使用できる。

【0577】

一般に、layer 別の code length は同一でありうるが、code rate 及び constellation は、互いに異なる。

【0578】

上記 core layer 及び enhanced layer は、(図38(b)に示された) LDM injection block で互いに結合される。

【0579】

また、Injection level controller は、望ましい bit rate を達成 (成就) する送信エネルギーを出力するために、core layer に対して (比) して相対的に enhanced layer の power を減らすために使用される。

【0580】

(core layer signal に対比した enhanced layer signal の) injection level は、2 layer 間送信 power の分配を可能にする送信パラメータである。

【0581】

上記 injection level を様々にすることで、各 layer の送信 robustness は変更されることができる。

【0582】

また、LDM injection block を介して結合された信号は、全 power 結合後に、power normalizer block で normalized される。

【0583】

図39は、本発明の一実施形態に係るフレーミング及びインターリーブ (Framing & Interleaving) ブロックを示す。

【0584】

フレーミング及びインターリーブ (Framing & Interleaving) ブロックは、フレーム構築 (Frame Building) ブロックで表現されることもできる。

【0585】

10

20

30

40

50

フレーミング及びインターリーブ (Framing & Interleaving) ブロック 39000 は、3 個の部分、すなわち、(1) 時間インターリーブ (インターリーブング) (Time interleaving) ブロック 39100、フレーミング (Framing) ブロック 39200、周波数インターリーブ (インターリーブング) (Frequency Interleaving) ブロック 39300 で構成される。

【0586】

Time interleaving 及び Framing ブロックへの入力は、複数の PLPs (M-PLPs) を含むことができる。

【0587】

しかし、Framing Block の出力は、frame に配列された OFDM symbols である。Frequency Interleaver は、OFDM symbols 上で動作する。

【0588】

上記 Framing ブロック 39200 は、input を 1 つ又は複数の PLP と outputs symbols に出力する。ここで、input は、data cells を表す。

【0589】

また、上記 Framing ブロックは、preamble symbols としてよく知られた 1 つ又は複数の special symbols を生成する。

【0590】

上記 special symbols は、Waveform Generation block で同じ処理 (プロセッシング) を経験する (受ける) (undergo)。

【0591】

図 40 は、本発明の一実施形態が適用され得る ATSC 3.0 フレーム (frame) 構造の一例を示した図である。

【0592】

図 40 に示すように、ATSC 3.0 frame (40000) は、3 個の部分、すなわち、(1) bootstrap (ブートストラップ) (40100)、(2) preamble (プリアンブル) (40200)、(3) data (データ) payload (ペイロード) (40300) で構成される。

【0593】

上記 3 個の部分の各々は、1 つ又は複数の symbols を含む。

【0594】

具体的には、Preamble symbols は、後続する data symbols に対する L1 signaling data を送信する。

【0595】

すなわち、上記 L1 signaling data は、data symbols と関連する情報を含み、上記 data symbols は、上記 L1 signaling data の次にくる (又は、位置する)。

【0596】

上記 preamble symbols は、bootstrap の次に、そして特定 data symbols 以前に directly 発生する。

【0597】

上記 data symbols は、frame 内の data を送信する。

【0598】

上記 data symbols は、preamble symbols の次に、そして次の bootstrap の前に directly 発生する。

【0599】

L1 signaling は、物理層パラメータ (physical layer parameters) を構成する (又は、設定する、configure) ために必要な情報を提供する。

10

20

30

40

50

【0600】

「L1」の用語は、Layer - 1を言及するものであって、ISO 7 layer modelの最も低い層をいう。

【0601】

上記L1 signalingは、preambleに含まれる。

【0602】

上記L1 - signalingは、2個の部分、すなわち、(1)L1 - static及び(2)L1 - dynamicで構成される。

【0603】

L1 - staticは、frameを完成するのに静的な(static)システムの最も基本的なsignaling情報を送信し、また、L1 - dynamicをデコードするために必要なパラメータを定義する。

10

【0604】

L1 - dynamicは、L1 - dynamicをデコードするために要求される情報及びdata contextを具体化する。

【0605】

L1 - static signalingの長さは、200bitsで固定され、L1 - dynamic signalingの長さは、様々に定義されることができる。

【0606】

下記の表34は、L1 - static情報フォーマットの一例を表し、L1 - staticに対するparameterは、常に「L1S\_」に予め決められる。

20

【0607】

<表34>

【表34】

Syntax	No. of bits	Format
...		
L1S_frequency interleaver	1	
...		

30

【0608】

上記bootstrap(ブートストラップ)(40100)についてさらに具体的に説明する。

【0609】

Bootstrapは、universal entry pointをATSC waveformに提供する。

【0610】

上記bootstrapは、全ての放送受信装置に知られた固定された構成(例:sampling rate、signal bandwidth、subcarrier spacing、time domain structure)で定義される。

40

【0611】

上記bootstrapの一般的な構造の場合、bootstrap signalは、Post - Bootstrap Waveformの前に位置する。

【0612】

上記Post - Bootstrap Waveformは、frameの残りの部分を意味する。

【0613】

すなわち、上記bootstrapの次にpreambleが位置し得る。

50

【0614】

上記bootstrapは、複数のシンボルを含み、同期シンボルから始まる。

【0615】

上記同期シンボルは、service discovery、coarse synchronization、frequency offset estimation、及びinitial channel estimationを可能にするためにframe区間毎の開始に位置する。

【0616】

上記bootstrapは、(初期)同期シンボルを含んで4個のシンボルを含む。

【0617】

Bootstrap symbol 1に対するsignaling fieldは、eas\_wake\_up情報、system\_bandwidth情報、min\_time\_to\_next情報などを含む。

【0618】

上記eas\_wake\_up情報は、emergencyがあるか否かを表す情報をいう。

【0619】

system\_bandwidth情報は、現在PHY層frameのpost-bootstrap部分のために使用されるsystem bandwidthを表す情報である。

【0620】

min\_time\_to\_next情報は、現在frameのmajor version numberとminor version numberとを同一にマッチングする次のframeまでの最小時間間隔を表す情報である。

【0621】

Bootstrap symbol 2に対するsignaling fieldは、bsr\_coefficient情報を含む。

【0622】

上記bsr\_coefficient情報は、(現在PHY層frameの)Sample Rate Post-Bootstrapが $(N+16) * 0.384 \text{ MHz}$ であることを表す情報である。

【0623】

ここで、Nは、0から80の範囲にあるsignalingされる値である。

【0624】

Bootstrap symbol 2に対するsignaling fieldは、preamble\_structure情報を含む。

【0625】

上記preamble\_structure情報は、最後のbootstrap symbolの次に位置する1つ又は複数のRF symbolsの構造をシグナリングする情報を表す。

【0626】

周波数インターリーブ (Frequency Interleaving: FI)

【0627】

次に、周波数インターリーブ (Frequency Interleaving) についてさらに説明する。

【0628】

FIは、周波数インターリーブ (Frequency Interleaving) 又は周波数インターリーバ (Frequency Interleaver) を意味する用語として使用されることができる。

【0629】

FIは、1つのOFDM symbolで動作し、周波数領域 (frequency domain) で発生するerror burstsを分離するために使用される。

10

20

30

40

50

## 【0630】

FIの使用が可能か否かは、L1S\_Frequency Interleaverの signalingによって選択されることができる。

## 【0631】

上記L1S\_Frequency Interleaverフィールドは、前述したように、ATSC 3.0 frameの preambleに含まれる。

## 【0632】

FIのinput cells(すなわち、framingブロックのoutput cells)は、

$$X_{m,l} = (x_{m,l,0}, x_{m,l,1}, x_{m,l,2}, \dots, x_{m,l,N_{data}-1})$$

10

で定義される。

## 【0633】

上記

 $x_{m,l,q}$ 

は、frame mのsymbol l

$$l(l = 0, \dots, L_F - 1)$$

のcell index qを表す。

20

## 【0634】

 $N_{data}$ 

は、1つのsymbolのactive data carrierの個数を表し、これは、normal symbolに対して

$$N_{data} = C_N$$

で設定され、frame start symbolに対しては、

30

$$N_{data} = C_{FS}$$

で、frame closing symbolに対しては、

$$N_{data} = C_{FC}$$

で表現される。

## 【0635】

FIは、Frame builder(又は、Framing & Interleaving)ブロックの出力vector、すなわち、

40

$$X_{m,l} = (x_{m,l,0}, x_{m,l,1}, x_{m,l,2}, \dots, x_{m,l,N_{data}-1})$$

を処理する。

## 【0636】

 $x_{m,l,q}$ 

は、frame mのOFDM symbolのcell index qを表す。

## 【0637】

50

それぞれのFIは、wire permutationを有するbasic interleaving sequence (又は、main interleaving sequence) 及びoffset addition blockを有するsymbol offset generatorで構成される。

【0638】

アドレス(住所)確認(Address check)ブロックは、生成されたinterleaving address値を認証し、上記offset addition blockは、上記address checkブロックの次に位置する。

【0639】

上記アドレス確認(Address check)ブロックは、Memory-index checkブロック又はMemory address checkブロックと呼ばれることができる。

【0640】

上記symbol offset generatorは、symbol pair毎に発生する(accomplished)ことができる。

【0641】

一例として、symbol offset valueは、2個の連続するsymbols (2l及び2l+1)に対しては、一定である。

【0642】

以下、本明細書において提案する周波数インターリーブ(Frequency Interleaving: FI)手順及び周波数インターリーバ(FI)オン/オフ(On/Off)動作モード(mode)を支援する方法について説明する。

【0643】

#### 周波数インターリーバ(FI)オン/オフ(On/Off)動作モード

【0644】

まず、本明細書において提案するFIオン/オフ動作モードを支援する方法について関連図面を参照して説明する。

【0645】

図41は、図7のフレーム構築ブロックのさらに他の一例を示した図である。

【0646】

図41のフレーム構築ブロック41000は、図39のフレーミング及びインターリーブ(Framing & Interleaving)ブロックのさらに他の一例を示す内部ブロック図でありうる。

【0647】

すなわち、図41は、本明細書において提案する次世代(未来)放送システム(future broadcasting system)のブロックインターリーバ(block interleaver、41100)に相応するランダム(任意)周波数インターリーバ(random Frequency Interleaver)を含むフレーム構築ブロック(又は、フレーミング及びインターリーブブロック)の一例を示す。

【0648】

上記ブロックインターリーバは、周波数インターリーバ(Frequency Interleaver)、ランダム周波数インターリーバなどの意味として解釈されるか、表現されることができる。

【0649】

図41に示された周波数インターリーバ(Frequency Interleaver)は、送信フレーム(frame)の単位となる送信ブロック(block)内のセル(cell)を周波数軸としてインターリーブ(interleaving)することにより、追加的な周波数ダイバーシチ利得(ゲイン)(frequency diversity gain)を得る。

【0650】

特に、本明細書では、放送送信装置で(具体的には、周波数インターリーバで)OFD

10

20

30

40

50

Mシンボル毎に互いに異なるインターリーブングシード (interleaving seed) を適用し、さらに、複数のOFDMシンボルで構成されたフレーム (frame) 毎にインターリーブングシード (interleaving seed) を異なるように適用する周波数インターリーブ (Frequency Interleaving) の動作に対して提供する。

【0651】

図41に示されたように、本明細書は、ランダム周波数インターリーバ (random Frequency Interleaver) のオン/オフ (on/off) 動作モードを支援する方法を提供する。

【0652】

FIのオン/オフ動作モードを支援する方法に関しては、FIモード情報 (FI\_\_MODE 情報、41200) 及び図42を参照してさらに具体的に説明する。

10

【0653】

図42は、本発明の一実施形態が適用され得るプリアンブル (Preamble) フォーマットの一例を示した図である。

【0654】

図42に示されたように、プリアンブル (preamble、42000) は、周波数インターリーバモード (FI\_\_MODE) 情報42100を含む。

【0655】

上記プリアンブルは、前述したATSC 3.0 frameに含まれ、bootstrapの次に、そしてdata payload以前に位置する。

【0656】

上記ATSC 3.0 frameの構造及び関連する説明は、前述した図40を参照する。

20

【0657】

すなわち、上記FI\_\_mode情報は、preamble内に含まれるL1 signalingに含まれることができる。

【0658】

上記L1 - signalingは、図40において説明したように、2個の部分 (L1 - static及びL1 - dynamic) に区分されることができる。

【0659】

ここで、上記FI\_\_mode情報は、上記L1 - static及び/又はL1 - dynamicに含まれることができる。

30

【0660】

上記プリアンブルに含まれるFI (Frequency Interleaver) モード (FI\_\_MODE) 情報は、FIの利用が可能か否かを表す情報を表す。

【0661】

FIの利用が可能か否かは、ON又はOFFで示されることができる。

【0662】

すなわち、上記FIモード情報は、FIがONされているか、又はOFFされているかを表す情報であって、1bitで表現されることができる。

【0663】

上記FIモードがONに設定された場合 (又は、FIモードがONであることを表す場合)、セルマップから出力されるdata cellsは、FIを介してOFDM symbol単位で周波数インターリーブが行われる。

40

【0664】

上記FIモード情報は、FIモードシグナリング (signaling) で表現されることもできる。

【0665】

一例として、上記FIモード情報が「1」に設定された場合、FIがONされていることを表し、これと反対に、FIモード情報が「0」に設定された場合、FIがOFFされていることを表すことができる。

50

## 【0666】

さらに具体的には、上記FIモード情報は、上記フレーム内のL1 signalingを介して送信されることができる。

## 【0667】

ここで、プリアンブルシンボル(等)は、上記プリアンブルシンボル(等)の次にくるデータシンボル(等)のためのL1 signaling dataを送信する。

## 【0668】

上記プリアンブルシンボル(等)は、ブートストラップ(bootstrap)の後に位置し、データシンボル(等)の前に位置する。

## 【0669】

上記L1 signalingは、物理層パラメータを構成するための必要情報を提供するものであって、L1は、ISO 7 layerモデルの最も低い層に該当するLayer-1を意味する。

## 【0670】

また、上記L1 signalingは、上記プリアンブルに含まれ、2つの部分(L1-static及びL1-dynamic)で構成される。

## 【0671】

図43は、図31のフレームパーズング(Frame Parsing)ブロックのさらに他の内部ブロック図を示した図である。

## 【0672】

図43のフレームパーズングブロック43000は、デフレーミング及びデインターリーブ(Deframing & Deinterleaving)ブロックで表現されることもできる。

## 【0673】

すなわち、図43は、本明細書において提案する次世代放送システム(future broadcasting system)のブロックデインターリーバ(block deinterleaver、43100)に相応するランダム周波数デインターリーバ(random frequency deinterleaver)を含むフレームパーズングブロックの一例を示す。

## 【0674】

上記ブロックデインターリーバは、周波数デインターリーバ(Frequency Deinterleaver)、ランダム周波数デインターリーバなどの意味として解釈されるか、表現されることができる。

## 【0675】

図43に示されたように、FIモード(FI\_MODE)情報又はFIモードsignalingは、図42において説明したように、FIのOn又はOff動作モードを表す情報をいう。

## 【0676】

すなわち、上記FIモード情報43200は、FIの利用が可能か否かを表す。

## 【0677】

上記FIモード情報は、frameに含まれ、具体的には、上記frameのプリアンブルに含まれる。

## 【0678】

また、上記FIモード情報は、上記プリアンブルのL1 signalingに含まれる。

## 【0679】

上記L1-signalingは、図40において説明したように、2個の部分(L1-static及びL1-dynamic)に区分されることができ、上記FI\_mode情報は、上記L1-static及び/又はL1-dynamicに含まれることができる。

## 【0680】

ここで、上記FI\_MODE情報がFI\_MODEの「on」を表す場合、放送受信装

10

20

30

40

50

置は、周波数デインターリーブで周波数デインターリーブ (frequency deinterleaving) 、すなわち、放送送信装置の周波数インターリーブで行った周波数インターリーブ (Frequency Interleaving) 過程の逆過程を行うことにより、元のデータ順序になるように復元する。

【0681】

図42及び図43において説明したように、本明細書において提案するFI\_\_mode情報の運営は、放送システムでFDM (Frequency Division Multiplexing) を支援するために必要な情報に該当する。

【0682】

放送システムでFDM方式を支援する場合、放送送信装置は、特定周波数バンド (band) 別にPLP及び/又はデータを送信できるようになる。

10

【0683】

したがって、PLP又はdataをFDMに送信する場合、隣接チャネル (又は、隣接frequency band) に劣悪なfrequency edge部分を介して上記PLP又はデータが送信されることによって発生できる性能劣化を減らすためにFIをoffさせる。

【0684】

具体的には、(FDM方式で)特定周波数バンド (band) を用いて重要度の高い (又は、high quality) PLP又はデータを送信するとき、FI動作が行われる場合、上記特定周波数バンド (band) 全帯域にPLP又はデータが散在するようになり、隣接チャネルに影響され得るfrequency edge部分で性能劣化が発生するようになる。

20

【0685】

したがって、本明細書において提案するFI動作をOn又はOffさせるFI mode情報の運営を介してFI動作をoffさせることにより、FDMを結果的に支援できるようになるという効果がある。

【0686】

周波数インターリーブ (Frequency Interleaving : FI) 方法

【0687】

次に、本明細書において提案する周波数インターリーブ (Frequency Interleaving) 方法について関連図面を参照して具体的に説明する。

30

【0688】

後述する周波数インターリーブ方法は、前述したプリアンプルに含まれるFIモード情報値が、FIモードが「ON」されたことを表す場合に行われる。

【0689】

前述したように、図7のセルマップ (cell mapper) の基本的な機能は、DPs (又は、PLPs)、PLS dataの各々に対するdata cellsを1つの信号フレーム内のOFDMシンボルの各々に該当するactive OFDM cellsの配列 (arrays) にマッピングすることである。

【0690】

前述したように、ブロックインターリーブは、1つのOFDMシンボルで動作することができ、上記セルマップから受信されるセルを任意に (ランダムに) インターリーブすることにより、周波数ダイバーシチを提供できる。

40

【0691】

すなわち、1つのOFDMシンボルで動作するブロックインターリーブの目的は、フレーム構造モジュール (又は、フレーム構築モジュールあるいはフレーミング&インターリーブモジュール) から受信されるデータセルを任意にインターリーブすることにより、周波数ダイバーシチ (frequency diversity) を提供することである。

【0692】

1つの信号フレーム (又は、1つのフレーム) で最大インターリーブ利得を得るために

50

、2個の連続するOFDMシンボルで構成されるOFDMシンボル対(pair)に対して他の(異なる)インターリーブングシード(interleaving-seed)が使用される。

【0693】

図41において説明したブロックインターリーバは、信号フレームの単位となる送信ブロック内のセルをインターリーブして追加的なダイバーシチ利得を取得できる。

【0694】

前述したように、上記ブロックインターリーバは、周波数インターリーバ又はランダム(任意の)周波数インターリーバと呼ぶことができ、これは、設計者の意図によって変更可能である。

【0695】

本発明の一実施形態に係るブロックインターリーバは、少なくとも1つのOFDMシンボルに対して互いに異なるinterleaving seedを適用するか、複数のOFDMシンボルを含むフレームに対して互いに異なるinterleaving seedを適用することを一実施形態とすることができる。

10

【0696】

上記周波数インターリーブ方法は、random Frequency Interleaving (random FI) と呼ばれることができる。

【0697】

また、上記random FIは、複数のOFDMシンボルを含む信号フレームが複数含まれたスーパーフレーム構造に適用されることを一実施形態とすることができる。

20

【0698】

すなわち、本明細書において提案する放送信号送信装置又は放送信号送信装置内の周波数インターリーバは、少なくとも1つのOFDMシンボル、すなわち、各OFDMシンボル又はpairにされた2個のOFDMシンボル(pair-wise OFDMシンボル)毎に互いに異なるinterleaving seed (又は、interleaving pattern)を適用してrandom FIを行うことにより、周波数ダイバーシチ(frequency diversity)を取得できる。

【0699】

また、本発明の一実施形態に係る周波数インターリーバは、信号フレーム毎に互いに異なるinterleaving seedを適用してrandom FIを行うことにより、追加的なfrequency diversityを取得できる。

30

【0700】

したがって、本明細書において提案する放送信号送信装置又は周波数インターリーバは、2個のメモリバンク(memory bank)を利用して連続した一対のOFDMシンボル(pair-wise OFDMシンボル)単位で周波数インターリーブを行うピンポン(ピング-ポング)(ping-pong)周波数インターリーバ構造を有することができる。

【0701】

以下、本明細書において提案する周波数インターリーバのインターリーブ動作は、pair-wise symbol FI (又は、pair-wise FI) 又はping-pong FI (ping-pong interleaving) と呼ばれることができる。

40

【0702】

上述したインターリーブ動作は、random FIの実施形態に該当し、呼称は、設計者の意図によって変更可能である。

【0703】

偶数番目(even)のpair-wise OFDMシンボルと奇数番目(odd)のpair-wise OFDMシンボルとは、互いに異なるFIメモリバンクを介して不連続にインターリーブされることができる。

【0704】

また、上記周波数インターリーバは、各メモリバンクに入力される連続した一対のOFDMシンボルに対して任意の(ランダム)interleaving seedを使用し

50

reading (読取) 及び writing (書込) 動作を同時に行うことができる。具体的な動作については、後述する。

【0705】

また、スーパーフレーム内の全てのOFDMシンボルを合理的かつ効率的にインターリーブするための論理的な周波数インターリーブ動作として、本明細書では、基本的に interleaving seed が 1 対の OFDM シンボル単位で変化されることを一実施形態とすることができる。

【0706】

この場合、本明細書の interleaving seed は、任意の random 発生器又は複数の random 発生器の組み合わせで構成された random 発生器で発生することを一実施形態とすることができる。

10

【0707】

また、本明細書は、効率的な interleaving seed の変化のために、1 つのメイン interleaving seed を cyclic-shifting して様々な interleaving seed を生成することを一実施形態とすることができる。

【0708】

この場合、cyclic-shifting rule は、OFDM シンボル及び信号 frame 単位を考慮して階層的に定義されることができる。これは、設計者の意図によって変更可能であり、具体的な内容は、後述する。

20

【0709】

また、本明細書において提案する放送信号受信装置は、上述した random Frequency Interleaving の逆過程を行うことができる。

【0710】

この場合、本発明の一実施形態に係る放送信号受信装置又は放送信号受信装置の周波数デインターリーバは、double-memory を使用する ping-pong 構造を使用せずに、連続した入力 OFDM シンボルに対して single-memory で deinterleaving を行うことができる。したがって、周波数デインターリーバは、メモリの使用効率(性)を増加させることができる。

【0711】

また、上記周波数デインターリーバで reading 及び writing 動作は依然として要求され、single-memory deinterleaving 動作と呼ばれることができる。

30

【0712】

したがって、上記 single-memory deinterleaving 方法は、メモリ使用の側面で極めて効率的である。

【0713】

図 4 4 は、本発明の一実施形態に係る周波数インターリーバの動作を示した図である。

【0714】

図 4 4 は、放送信号送信装置で 2 個のメモリバンクを使用する周波数インターリーバの基本的な動作を例示し、放送信号受信装置で 1 つのメモリデインターリーブ(single-memory deinterleaving) 動作を可能にする。

40

【0715】

前述したように、本明細書において提案する周波数インターリーバは、ping-pong interleaving operation を行うことができる。

【0716】

典型的には、ping-pong interleaving 動作は、2 個のメモリバンクにより達成(又は、成就)されることができる。

【0717】

本明細書において提案する FI 動作において、2 個のメモリバンクは、それぞれの p a

50

pair-wise OFDM symbolに関するものである。

【0718】

周波数インターリーブに対する最大メモリROMサイズは、最大FFTサイズの約2倍に該当する。

【0719】

放送信号送信装置において、上記ROMサイズの増加は、放送信号受信装置に比べて重要度が少し低い傾向がある。

【0720】

前述したように、偶数番目のpair-wise OFDMシンボルと奇数番目のpair-wise OFDMシンボルとは、互いに異なるFI memory-bankを介して不連続的にインターリーブされることができる。

10

【0721】

すなわち、1番目(偶数のインデックスを有する)のpair-wise OFDM symbolが1番目のメモリバンクでインターリーブされるのに対し、2番目(奇数のインデックスを有する)のpair-wise OFDM symbolは、2番目のメモリバンクでインターリーブされる。

【0722】

それぞれのpair-wise OFDM symbolに対して、1つのインターリーブングシードが使用される。

【0723】

上記インターリーブングシード及びreading-writing(又は、writing-reading)動作に基づいて、2個のOFDMシンボルは、連続してインターリーブされる。

20

【0724】

本明細書において提案するreading-writing動作は、衝突無しで同時に達成されることができる。

【0725】

図44に示されたように、周波数インターリーブは、demux(44000)、2個のメモリバンク(memory bank-A(44100)及びmemory bank-B(44200))並びにmux(44300)を含むことができる。

30

【0726】

まず、周波数インターリーブは、pair-wise OFDM symbol FIのために、連続する入力OFDMシンボルでDEMUX(44000)を介して逆多重化処理を行うことができる。

【0727】

その後、上記周波数インターリーブは、1つのインターリーブングシードを有して各メモリバンクA及びメモリバンクBでreading-writing FI動作を行う。

【0728】

図44に示されたように、2個のメモリバンク(A及びB)は、各OFDM symbol pairのために使用される。

40

【0729】

2番目(奇数のインデックスを有する)のOFDM symbol pairがメモリバンク-Bでインターリーブされるのに対し、1番目(偶数のインデックスを有する)のOFDM symbol pairは、メモリバンク-Aでインターリーブされる。上記メモリバンクA及びBでの動作は、互いに変わることもできる。

【0730】

その後、上記周波数インターリーブは、連続するOFDMシンボル送信のために、ping-pong FI outputsでMUX(44300)を介して多重化処理を行うことができる。

【0731】

50

図45は、本発明の一実施形態に係るM U X及びD E M U X方法に対する基本的なスイッチモデル (basic switch model) を示す。

【0732】

図45は、上述したping-pong FI構造でmemory-bank-A及びBの入出力に適用されたD E M U X及びM U Xの簡単な動作を示す。

【0733】

D E M U X及びM U Xは、各々連続する入力O F D Mシンボルがインターリーブされるように制御し、出力O F D M symbol pairが送信されるように制御することができる。

【0734】

O F D M symbol pair毎に互いに異なるinterleaving seedが使用される。

【0735】

図45に示されたように、D E M U X及びM U Xは、下記の数式により各々F I input及びF I outputを出力する。

【0736】

<数式12>

【数12】

$$s = j \bmod 2$$

【0737】

ここで、modは $j = 0, 1, \dots,$

$N_{\text{sym}} - 1$

に対するmodulo動作を表し、

$N_{\text{sym}}$

は、1つのフレーム内のO F D M symbolの個数を表す。

【0738】

以下において、本発明の一実施形態に係る周波数インターリーブのreading-writing operationを説明する。

【0739】

上記周波数インターリーブは、1番目及び2番目のO F D Mシンボルに対して各々1つのインターリーブングシードを選択又は使用することができ、writing及びreading動作に上記インターリーブングシードを使用することができる。

【0740】

すなわち、上記周波数インターリーブは、選択された1つの任意のinterleaving seedをpair-wise O F D Mシンボルの1番目のO F D Mシンボルに対しては、writingする動作に使用し、2番目のO F D Mシンボルに対しては、reading動作に使用することにより、効果的にinterleavingすることができる。

【0741】

したがって、事実上、2個の互いに異なるインターリーブングシードが2個のO F D Mシンボルに各々適用されるように見えることができる。

【0742】

本明細書において提案するreading-writing動作の具体的な内容は、下記のとおりである。

【0743】

1番目のO F D Mシンボルに対して、本発明の一実施形態に係る周波数インターリーブ

10

20

30

40

50

は、(インターリーブングシードによって)メモリに任意に *w r i t i n g* を行うことができ、その後、*l i n e a r r e a d i n g* を行うことができる。

【0744】

2番目のOFDMシンボルに対して、本発明の一実施形態に係る周波数インターリーブは、上記1番目のOFDMシンボルに対する *l i n e a r r e a d i n g* 動作によって影響を受け、同時にメモリに *l i n e a r w r i t i n g* を行うことができる。

【0745】

また、本発明の一実施形態に係る周波数インターリーブは、以後、インターリーブングシードによって任意に *r e a d i n g* を行うことができる。

【0746】

前述したように、本発明の一実施形態に係る放送信号送信装置は、複数の信号フレームを時間軸上で連続して送信することができる。

【0747】

本発明では、所定時間の間送信される信号フレームの集合をスーパーフレームと呼ぶことができる。

【0748】

したがって、1つのスーパーフレームには、N個の信号フレームが含まれ得るし、各信号フレームは、複数のOFDMシンボルを含むことができる。

【0749】

図46は、本発明の一実施形態に係るメモリバンクの動作を示す。

【0750】

図44及び図45において説明したように、2個のメモリバンクは、上述した過程を介して発生した任意の *i n t e r l e a v i n g s e e d* を各 *p a i r - w i s e O F D M s y m b o l* に適用することができる。

【0751】

また、各メモリバンクは、*p a i r - w i s e O F D M s y m b o l* 毎に *i n t e r l e a v i n g s e e d* を変更できる。

【0752】

上述した各メモリバンクで *i n t e r l e a v i n g s e e d* の変更方法については、数式13ないし16を介してさらに説明する。

【0753】

数式13は、1番目のOFDM *s y m b o l*、すなわち、*i*番目のOFDM *s y m b o l p a i r* の  $(j \bmod 2) = 0$  を満たすOFDM *s y m b o l* に対する任意の *i n t e r l e a v i n g s e e d* と関連した数式を表す。

【0754】

<数式13>

【数13】

$$F_j(C_j(k)) = X_j(k), \text{ where } C_j(k) = \left( T(k) + S_{|j|} \right) \bmod N_{\text{data}}$$

【0755】

上記数式13において、 $i = 0, 1, \dots,$

$N_{\text{sym}}$

、 $k = 0, 1, \dots,$

$N_{\text{data}}$

を意味する。

10

20

30

40

50

【 0 7 5 6 】

 $N_{\text{data}}$ 

は、1つのsymbolでactive data carriersの個数を表す。

【 0 7 5 7 】

上記数式13は、j番目のpair-wise OFDM symbolに対して

 $G_j(k)$ 

10

に該当するinterleaving sequenceを用いてFIで周波数インターリーブを行って出力される出力値(

 $X_j(k)$ 

)を表す式である。数式13において、

 $G_j(k)$ は、 $H_j(k)$ 

で表現されることもできる。

20

【 0 7 5 8 】

 $T(k)$ 

は、main FI(又は、basic FI)で使用されるrandom generatorにより生成されるmain interleaving seed(又は、basic interleaving seed)を表す。

【 0 7 5 9 】

 $T(k)$ 

30

は、random sequenceであって、main random interleaving sequence又はbasic random interleaving sequenceあるいはsingle interleaving seedと同じ概念と解釈されることができる。

【 0 7 6 0 】

Random sequenceは、random interleaving - sequence generator又はrandom main - sequence generatorで生成されることができる。

【 0 7 6 1 】

40

上記

 $T(k)$ 

は、下記の数式14で定義されることができる。

【 0 7 6 2 】

&lt; 数式 1 4 &gt;

【数 1 4】

$$T(k) = (i \bmod 2)2^{N_r-1}$$

【0 7 6 3】

また、

$$S_{\lfloor j/2 \rfloor}$$

は、j 番目の pair-wise OFDM symbol で使用される random generator により生成される random symbol offset を表す。 10

【0 7 6 4】

すなわち、

$$S_{\lfloor j/2 \rfloor}$$

は、シンボルオフセットであって、cyclic shifting value と呼ぶことができ、sub PRBS (Pseudo-Random Binary Sequence) に基づいて生成されることができる。具体的な内容は、後述する。 20

【0 7 6 5】

上記

$$S_{\lfloor j/2 \rfloor}$$

は、下記の数式 1 5 で定義されることができる。

【0 7 6 6】

< 数式 1 5 >

【数 1 5】

$$S_{\lfloor j/2 \rfloor} = \sum_{j=0}^{N_r-1} G_{\lfloor j/2 \rfloor} [j] 2^j$$

【0 7 6 7】

上記数式 1 4 及び 1 5 において  $l = 0$ 、 $l <$

$$L_F$$

、 $l = 1 + 2$  を満たす。 40

【0 7 6 8】

下記の数式 1 6 は、2 番目の OFDM symbol、すなわち、i 番目の OFDM symbol pair の  $(j \bmod 2) = 1$  を満たす OFDM symbol に対する任意の interleaving seed と関連した数式を表す。

【0 7 6 9】

< 数式 1 6 >

【数 1 6】

$$F_j(k) = X_j(C_j(k))$$

## 【0770】

上記数式16において、 $i = 0, 1, \dots,$

$N_{\text{sym}}$

、 $k = 0, 1, \dots,$

$N_{\text{data}}$

を意味する。

10

## 【0771】

上記数式16は、上記数式13により出力された $j$ 番目のpair-wise OFDM symbolに対して

$C_j(k)$

に該当するinterleaving seedを用いてFIで周波数インターリーブを行って出力される出力値

$(X_j(k))$

20

を表す式である。

## 【0772】

上記数式16において使用される

$C_j(k)$

は、上記数式13の1番目のOFDM symbolで使用されるrandom interleaving seedと同一である。

## 【0773】

数式13及び16のrandom generatorは、random interleaving-sequence generatorであって、上記random interleaving-sequence generatorは、Frequency Interleaver 7020に含まれることができる。

30

## 【0774】

メモリバンク-A及びBの各々でOFDM symbol pairに対するインターリーブプロセスは、前述したとおりであり、1つのinterleaving-seedを用いる。

## 【0775】

利用可能なdata cells、すなわち、セルマップから出力されるcellsは、1つのOFDM symbol

$(O_{m,l})$

40

でインターリーブされる(interleaved)。

## 【0776】

$O_{m,l}$

は、下記の数式17のように定義されることができる。

## 【0777】

上記セルマップから出力されるdata cells

( $O_{m,l}$ )

は、FIに入力される data cellsを表す。

【0778】

<数式17>

【数17】

$$O_{m,l} = [X_{m,l,0}, \dots, X_{m,l,p}, \dots, X_{m,l,N_{\text{data}}-1}], l = 0, \dots, N_{\text{sym}} - 1$$

10

【0779】

上記数式17において、

$X_{m,l,p}$

は、m番目のフレームでl番目のOFDM symbolのp番目のcellを表し、

$N_{\text{data}}$

20

は、data cell (frame signaling symbol(s)、normal data、frame edge symbol)の個数を表す。

【0780】

また、インターリーブされた data cells

( $P_{m,l}$ )

は、下記の数式18のように定義される。

【0781】

上記インターリーブされた data cellsは、FIを介して出力される信号を表す。

30

【0782】

<数式18>

【数18】

$$P_{m,l} = [v_{m,l,0}, \dots, v_{m,l,N_{\text{data}}-1}], l = 0, \dots, N_{\text{sym}} - 1$$

40

【0783】

上述した各メモリバンクで interleaving seed (又は、interleaving sequence)を使用するインターリーブは、下記の数式のように表現されることができる。

【0784】

下記の数式19及び20は、前述した数式13及び数式16と同じ意味として解釈されることができる。

【0785】

すなわち、上記数式13及び16は、前述した logical FI構造を介して発生した random interleaving sequence (seed)をOFDM

50

symbol pairに適用する過程の数学的表現を表す。

【0786】

数式19は、1番目のOFDM symbol、すなわち、i番目のOFDM symbol pairの $(j \bmod 2) = 0$ を満たすOFDM symbolに対する任意のinterleaving seedと関連した数式を表す。

【0787】

<数式19>

【数19】

$$V_{m,l,H_1(p)} = X_{m,l,p}$$

10

【0788】

上記数式19において $l = 0, 1, \dots,$

$$N_{\text{data}} - 1$$

であり、 $p = 0, 1, \dots,$

$$N_{\text{data}} - 1$$

20

を表す。

【0789】

$H_1(p)$

は、random generatorにより生成されるinterleaving address又はinterleaving seedを表す。

【0790】

上記

30

$H_1(p)$ または $C_1(p)$

に関しては、前述した内容を参照する。

【0791】

下記の数式20は、2番目のOFDM symbol、すなわち、i番目のOFDM symbol pairの $(j \bmod 2) = 1$ を満たすOFDM symbolに対する任意のinterleaving seedと関連した数式を表す。

【0792】

<数式20>

40

【数20】

$$V_{m,l,p} = X_{m,l,H_1(p)}$$

【0793】

上記数式20において $l = 0, 1, \dots,$

$$N_{\text{sym}} - 1$$

であり、 $p = 0, 1, \dots,$

50

$N_{\text{data}} - 1$

を表す。

【0794】

$N_{\text{data}}$

の最大値は、

$N_{\text{max}}$

10

として表現され、上記

$N_{\text{max}}$

は、各 FFT mode によって異なるように定義される。

【0795】

各メモリバンクで OFDM symbol pair に対してインターリーブされた OFDM symbol pair は、数式 19 及び数式 20 のとおりである。

【0796】

20

$H_j(k)$

は、それぞれの FFT mode に対して random interleaving - sequence generator により生成される interleaving seed に対する interleaving address である。

【0797】

random interleaving - sequence generator の構造については、後述する。

【0798】

前述したように、本明細書において提案する 1 つの OFDM symbol で動作する周波数インターリーブの目的は、任意に data cells をインターリーブすることにより、周波数ダイバーシチを提供することである。

30

【0799】

1 つのフレームで最大インターリーブ利得を得るために、互いに異なる interleaving - seed が 2 個の連続する OFDM symbols で構成される OFDM symbol pair 毎に使用される。

【0800】

数式 13 及び数式 16 において説明したように、互いに異なる interleaving seed は、random interleaving - sequence generator により生成される interleaving address に基づいて生成されることができる。

40

【0801】

また、互いに異なる interleaving seed は、前述したように、循環シフト（移動）値（cyclic shifting value）に基づいて生成されることができる。

【0802】

すなわち、symbol pair 毎に使用される互いに異なる interleaving address は、OFDM symbol pair 毎に上記 cyclic shifting value を使用することによって生成されることができる。

【0803】

前述したように、OFDM 生成ブロックは、上記 OFDM 生成ブロックに入力される input data に対して FFT 変換を行うことができる。したがって、1 つの実施形

50

態によって、random interleaving - sequence generatorを有する周波数インターリーバの動作が記述される。

【0804】

random interleaving - sequence generatorは、interleaving address generatorと呼ばれることができ、設計者の意図によって変更されることもできる。

【0805】

random interleaving - sequence generatorは、第1のgenerator及び第2のgeneratorを含むことができる。

【0806】

上記第1のgeneratorは、main(又は、basic) interleaving seedを生成するためのものであり、上記第2のgeneratorは、symbol offsetを生成するためのものである。

【0807】

したがって、上記第1のgeneratorは、random main(又は、basic) - sequence generatorで、上記第2のgeneratorは、random symbol - offset generatorで表現されることができる。

【0808】

上記第1のgenerator及び第2のgeneratorの名称は、設計者(designer)の意図によって変更されることができ、この動作についてさらに具体的に説明する。

【0809】

各random generator(第1のgenerator及び第2のgenerator)は、spreaderとrandomizerで構成されており、各々は、interleaving sequence発生の際、spreading効果とrandom効果とを各々付与する機能を果たす。

【0810】

ここで、(cell)spreaderは、全体のbitsのうち、上位n-bit部分を利用して動作され、簡単にlook-up tableを基盤とする(に基づく)multiplexer(MUX、n-bit toggling)で動作可能である。

【0811】

Randomizerは、PN generatorを介して動作され、interleavingの際、full randomnessを提供するように動作される。

【0812】

上記randomizerは、PN generatorを表すことができ、任意のPN generatorに代替可能である。

【0813】

OFDMシンボルpair毎に動作されるrandom symbol - offset generatorは、interleaving - sequenceをcyclic - shiftingさせるときに要求されるsymbol - offset値を出力する。

【0814】

上記random symbol - offset generator内のModulo operator

$(\text{mod } N_{\text{max}})$  は、 $N_{\text{data}}$

を超過するときに動作される。

【0815】

Memory - index checkブロックは、発生するmemory - index

10

20

30

40

50

x 値が

$N_{data}$

より大きい場合、出力値を使用せず（無視し）、繰り返し `spread` 及び `randomizer` を動作させて出力 `memory-index` 値が

$N_{data}$

を超過しないように調節する役割を果たす。

10

【0816】

上記 `Memory-index-check` ブロックは、`Memory-address-check` ブロック又は `address-check` ブロックなどと呼ばれることができる。

【0817】

前述したように、本発明の一実施形態に係る FFT サイズは、1 K、2 K、4 K、8 K、16 K、32 K、64 K などでありうるし、上記 FFT サイズは、設計者の意図によって変更されることもできる。

【0818】

したがって、`interleaving seed`（又は、`main interleaving seed`）は、FFT サイズに基づいて多様でありうる。

20

【0819】

図 47 は、本発明の一実施形態に係る周波数デインターリーブ過程を示した図である。

【0820】

本発明の一実施形態に係る放送信号受信装置は、シングルメモリを用いて上述した周波数インターリーブ過程の逆過程を行うことができる。

【0821】

図 47 は、連続する OFDM シンボルの入力に対する `single-memory frequency deinterleaving` (FDI) 過程を示した図である。

【0822】

FDI は、`Frequency DeInterleaving` 又は `Frequency DeInterleaver` の略称を表す。

30

【0823】

基本的に、周波数デインターリーブ動作は、周波数インターリーブ動作の逆過程に従う。

【0824】

周波数デインターリーブ動作のための `single-memory` 使用に対して、追加的な処理は必要でない。

【0825】

図 47 の左側に示された `pair-wise OFDM symbol` が連続して入力されれば、図 47 の右側に示されたように、放送信号受信装置は、`single memory` を用いて上述した `reading and writing` 動作を行うことができる。

40

【0826】

この場合、上記放送信号受信装置は、`memory-index`（又は、`memory address`）を生成して、放送信号送信装置で行った周波数インターリーブ (`writing and reading`) の逆過程に対応する周波数デインターリーブ (`reading and writing`) を行うことができる。

【0827】

本明細書において提案する `pair-wise ping-pong interle`

50

having 構造を使用することによって本質的に利益が発生するようになる。

【0828】

図48は、本発明の一実施形態に係る1つのスーパーフレームに適用される周波数インターリーブの概念図を示す。

【0829】

本発明の一実施形態に係る周波数インターリーブは、1つの信号フレームで(シンボルインデックスがresetされる時点(地点)までの区間の間)pair-wise OFDM symbol毎にinterleaving seedを変更でき、interleaving seedが全てのフレーム(フレームインデックスがresetされる時点までの区間の間)で1つの信号フレームでのみ使用されるように変更することができる。

10

【0830】

結果的に、本発明の一実施形態に係る周波数インターリーブは、スーパーフレーム(スーパーフレームインデックスがresetされる時点までの区間の間)でinterleaving seedを変更できる。

【0831】

したがって、本発明の一実施形態に係る周波数インターリーブは、super-frame内の全てのOFDMシンボルを合理的かつ効率的にinterleavingすることができる。

【0832】

20

図49は、本明細書において提案する1つのスーパーフレームに適用される周波数インターリーブのlogical operation mechanismを示した図である。

【0833】

図49は、図48において説明した1つのsuper-frame内で使用されるinterleaving seedを効果的に変えるための周波数インターリーブのlogical operation mechanism及び関連パラメータを示す。

【0834】

上述したように、本発明では、1つのメインinterleaving seedを任意のoffsetの分だけcyclic-shiftingして様々なinterleaving seedを効率的に生成することができる。

30

【0835】

図49に示されたように、上記任意のoffsetをframe及びevery pair-wise OFDM symbol毎に異なるように生成してdifferent interleaving seedを生成することを一実施形態とすることができる。以下、logical operation mechanismを説明する。

【0836】

図49の下端ブロック(4910)、本明細書において提案する周波数インターリーブは、入力されるフレームインデックスを用いて各信号frameにframe offsetをランダムに発生させることができる。本発明の一実施形態に係るframe offsetは、周波数インターリーブに含まれたframe offset generatorにより生成されることができる。

40

【0837】

この場合、各フレームに適用され得るフレームオフセットは、super-frame indexがresetされれば、super-frame indexによって識別される各スーパーフレーム内の各信号フレームに対して発生する。

【0838】

図面の中間に位置したブロック(4920)に示されたように、上記周波数インターリーブは、入力されるsymbol indexを用いて各信号フレームに含まれた各OFDM symbolに適用するためのシンボルオフセットをランダムに発生させることが

50

できる。

【0839】

上記シンボルオフセットは、周波数インターリーブに含まれた  $symbol\ offset\ generator$  により生成されることができる。この場合、各シンボルに対するシンボルオフセットは、 $frame\ index$  が  $reset$  されれば、 $frame\ index$  によって識別される各信号フレーム内のシンボルに対して発生する。

【0840】

また、上記周波数インターリーブは、OFDMシンボル毎にメイン  $interleaving\ seed$  を  $symbol\ offset$  の分だけ  $cyclic\ -\ shifting$  して様々な  $interleaving\ seed$  を生成できる。

10

【0841】

その後、図面の上端に位置するブロック(4930)で示されたように、上記周波数インターリーブは、入力される  $cell\ index$  を用いて各OFDMシンボルに含まれたセルに対して  $random\ FI$  を行うことができる。本発明の一実施形態に係る  $random\ FI$  パラメータは、周波数インターリーブに含まれた  $random\ FI\ generator$  により生成されることができる。

【0842】

図49において、

$\pi_{frame}$

20

は、 $i$  番目のフレームで使用される  $random\ frame\ offset$  を表し、

$\pi_{symbol}(j, i)$

は、 $random\ symbol\ offset\ generator$  により生成される  $i$  番目の  $frame$  の  $j$  番目の  $symbol$  の  $symbol\ offset$  を表し、

$\pi_{cell}(k, j, i)$

は、 $random\ generator$  により生成される  $i$  番目の  $frame$  の  $j$  番目の  $symbol$  の  $k$  番目の  $cell$  の  $cell\ offset$  を表す。

30

【0843】

また、

$N_{frame}$

は、 $single\ super\ -\ frame$  内のフレームの個数を表し、

$N_{sym}$

40

は、 $single\ frame$  内のOFDM  $symbols$  の個数を表し、

$N_{cell}$

は、1つのOFDM  $symbol$  内の  $cells$  の個数を表す。

【0844】

図50は、本発明の一実施形態に係る1つの( $single$ )スーパーフレームに適用される周波数インターリーブの  $logical\ operation\ mechanism$  の数式を表す。

【0845】

50

具体的には、図50は、上述したフレームオフセットパラメータ、シンボルオフセットパラメータ、及び各OFDMに含まれたセルに適用されるrandom FIのパラメータの関係を示す。

【0846】

図50に示すように、

$\mathcal{G}_{\text{frame}}$

は、フレームインターリーブで使用されるrandom frame offset generatorであり、

10

$\mathcal{G}_{\text{sym}}$

は、シンボルインターリーブで使用されるrandom symbol offset generatorであり、

$\mathcal{G}_{\text{cell}}$

は、セルインターリーブで使用されるrandom generatorを表す。

【0847】

20

$\pi_{\text{frame}}(i)$

は、random frame offset generatorにより生成されるi番目のframeのframe offsetを表し、

$\pi_{\text{symbol}}(j, i)$

は、random symbol offset generatorにより生成されるi番目のframeのj番目のsymbolのsymbol offsetを表し、

30

$\pi_{\text{cell}}(k, j, i)$

は、random generatorにより生成されるi番目のframeのj番目のsymbolのk番目のcellのcell offsetを表す。

【0848】

上記symbol offset及びcell offsetについては、後述する図51を参照してさらに説明する。

【0849】

図50に示されたように、OFDMシンボル毎に使用されるoffsetは、上述したframe offset generator及び上述したsymbol offset generatorの階層的な構造を介して発生する(生成される)ことができる。この場合、frame offset generator及びsymbol offset generatorは、任意のrandom generatorを利用して設計されることができる。

40

【0850】

図51は、本発明の一実施形態に係る1つの信号フレームに適用される周波数インターリーブのlogical operation mechanismを示した図である。

【0851】

図51は、図48において説明したsingle signal frame内で使用されるinterleaving seedを効果的に変えるための周波数インターリー

50

バの logical operation mechanism 及び関連パラメータを示す。

【0852】

前述したように、1つのメイン interleaving seed を任意の symbol offset の分だけ cyclic-shifting して様々な interleaving seed を効率的に生成することができる。

【0853】

図51に示されたように、本発明では、上記 symbol offset を pair-wise OFDM symbol 毎に異なるように生成して different interleaving seed を生成することを一実施形態とすることができる。

10

【0854】

この場合、symbol offset は、任意の random symbol offset generator を介して pair-wise OFDM シンボル毎に異なるように発生する。

【0855】

以下、logical operation mechanism を説明する。

【0856】

図51の下端に位置したブロック(5110)に示されたように、周波数インターリーバは、入力される symbol index を用いて各信号フレームに含まれた各 OFDM symbol に適用するためのシンボルオフセットをランダムに発生させることができる。

20

【0857】

上記シンボルオフセット(又は、ランダムシンボルオフセット)は、周波数インターリーバに含まれた任意の random generator (又は、symbol offset generator) により生成されることができる。

【0858】

この場合、各シンボルに対するシンボルオフセットは、frame index が reset されれば、frame index によって識別される各信号フレーム内のシンボルに対して発生する。

【0859】

また、上記周波数インターリーバは、OFDM シンボル毎にメイン interleaving seed を、発生した symbol offset の分だけ cyclic-shifting して様々な interleaving seed を生成できる。

30

【0860】

次に、図51の上端に位置したブロック(5120)に示されたように、上記周波数インターリーバは、入力される cell index を用いて各 OFDM シンボルに含まれたセルに対して random FI を行うことができる。

【0861】

上記 random FI パラメータは、周波数インターリーバに含まれた random FI generator により生成されることができる。

40

【0862】

図51に示されたように、

$$S_{[j/2]}$$

は、j 番目の OFDM symbol で使用される random symbol offset を表し、

[·]

50

記号は、`floor` 演算を表す。

【0863】

$C_j(k)$

は、 $j$  番目の OFDM symbol で使用される random FI を表し、

$N_{\text{sym}}$

は、1つのフレームにおける OFDM symbol の個数を表し、

$N_{\text{data}}$

は、1つの OFDM symbol における data cell(s) の個数を表す。

【0864】

$S_{\lfloor j/2 \rfloor}$  と  $C_j(k)$

との関係に関しては、後述する図52を参照してさらに具体的に説明する。

【0865】

図52は、本発明の一実施形態に係る single signal フレームに適用される周波数インターリーブの logical operation mechanism の数式を示す。 20

【0866】

すなわち、図52は、上述したシンボルオフセットパラメータ及び各 OFDM に含まれたセルに適用される random FI のパラメータの関係を示す。

【0867】

図52に示されたように、OFDMシンボル毎に使用される offset は、上述した symbol offset generator の階層的な構造を介して発生することができる。

【0868】

この場合、symbol offset generator は、任意の random generator を利用して設計されることができる。

【0869】

前述したように、

$\mathcal{G}_{\text{sym}}$

は、シンボルインターリーブで使用される random symbol offset generator であり、

$\mathcal{G}_{\text{data}}$

は、セルインターリーブで使用される random (FI) generator を表す。

【0870】

図53は、本明細書において提案する(連続的な)入力シーケンシャル OFDM symbols (input sequential OFDM symbols) に対する single-memory deinterleaving を示した図である。

【0871】

図53は、放送信号送信装置(又は、周波数インターリーブ)で使用された interleaving seed を pair-wise OFDMシンボル毎に適用して dei 50

interleavingを行う放送信号受信装置、又は放送信号受信装置の周波数デインターリーバの動作を概念化させて示した図である。

【0872】

上記周波数デインターリーバは、図31に示されたように、フレームパーズングブロックに含まれる。

【0873】

上記フレームパーズングブロックは、デフレーミング&デインターリーブブロックで表現されることもできる。

【0874】

上述したように、本発明の一実施形態に係る放送信号受信装置は、シングルメモリを用いて上述した周波数インターリーブ過程の逆過程を行うことができる。

【0875】

図54は、本明細書において提案する放送信号の送信方法の一例を示した順序図である。

【0876】

図54に示すように、本明細書において提案する放送信号送信装置は、入力ストリーム (Input Stream) 又は入力 (インプット) データパケット (input data packets) を入力フォーマッティング (Input Formatting) モジュールを介して処理 (プロセッシング) (Processing) する (S5410)。

【0877】

上記入力データパケットは、様々なタイプのpacketで構成されることができる。

【0878】

すなわち、上記放送信号送信装置は、入力フォーマッティング (Input Formatting) モジュールで上記入力データパケットを複数のDP (Data Pipe) 又は複数のPLP (Physical Layer Pipe) にフォーマッティングする。

【0879】

ここで、上記複数のDP (Data Pipe) 又は複数のPLPは、複数のデータ送信チャネル (data transmission channel) で表現されることができる。

【0880】

その後、上記放送送信装置は、(フォーマッティングされた) 複数のPLPのデータをBICM (Bit Interleaved Coding and Modulation) モジュールを介して各PLP別にエンコーディング (encoding) する (S5420)。

【0881】

上記BICMモジュールは、エンコーダ (encoder) で表現されることもできる。

【0882】

したがって、上記放送送信装置は、エンコーダ (encoder) を介してサービスデータ又はサービスコンポーネントデータを送信するデータ送信チャネルの各々に該当するデータをエンコード (エンコーディング) する。

【0883】

その後、上記放送送信装置は、上記エンコードされたPLPのデータをフレーム構築 (ビルディング) (Frame Building) モジュールを介してマッピングして、少なくとも1つの信号フレームを生成する (S5430)。

【0884】

上記フレーム構築 (Frame Building) モジュールは、フレームビルダ (frame builder) 又はフレーミング及びインターリーブ (Framing & Interleaving) ブロックで表現されることもできる。

【0885】

上記信号フレームは、前述したATSC 3.0 frameを表す。

【0886】

前述したように、上記ATSC 3.0 frameは、プリアンブルを含み、上記プ

10

20

30

40

50

リアンブル (preamble) は、本明細書において提案する周波数インターリーブモード (FI\_\_MODE) 情報を含む。

【0887】

また、上記プリアンブルは、bootstrapの次に、そしてdata payload以前に位置する。

【0888】

上記ATSC 3.0 frameの構造及び関連する説明は、前述した図40を参照する。

【0889】

上記FI\_\_mode情報は、preamble内に含まれるL1 signalingに含まれることができる。

【0890】

上記L1 - signalingは、図40において説明したように、2個の部分(L1 - static及びL1 - dynamic)に区分されることができる。

【0891】

ここで、上記FI\_\_mode情報は、上記L1 - static及び/又はL1 - dynamicに含まれることができる。

【0892】

上記プリアンブルに含まれるFI (Frequency Interleaver) モード (FI\_\_MODE) 情報は、FIの利用が可能か否かを表す情報を表し、FIの利用が可能か否かは、ON又はOFFで示されることができる。

【0893】

すなわち、上記FIモード情報は、FIがONされているか又はOFFされているかを表す情報であって、1bitで表現されることができる。

【0894】

上記FIモードがONに設定された場合(又は、FIモードがONであることを表す場合)、セルマップから出力されるdata cellsは、FIを介してOFDM symbol単位で周波数インターリーブが行われる。

【0895】

上記FIモード情報は、FIモードシグナリング(signaling)で表現されることもできる。

【0896】

一例として、上記FIモード情報が「1」に設定された場合、FIがONされていることを表し、これと反対に、FIモード情報が「0」に設定された場合、FIがOFFされていることを表すことができる。

【0897】

さらに具体的には、上記FIモード情報は、上記フレーム内のL1 signalingを介して送信されることができる。

【0898】

ここで、プリアンブルシンボル(等)は、上記プリアンブルシンボル(等)の次にくるデータシンボル(等)のためのL1 signaling dataを送信する。

【0899】

上記プリアンブルシンボル(等)は、ブートストラップ(bootstrap)以後に位置し、データシンボル(等)の前に位置する。

【0900】

上記L1 signalingは、物理層パラメータを構成するための必要情報を提供するものであって、L1は、ISO 7 layerモデルの最も低い層に該当するLayer - 1を意味する。

【0901】

また、上記L1 signalingは、上記プリアンブルに含まれ、2つの部分(L

10

20

30

40

50

1 - s t a t i c 及び L 1 - d y n a m i c ) で構成される。

【 0 9 0 2 】

本明細書において提案する F I m o d e 情報を介して放送送信信号を送信する方法についてさらに具体的に説明する。

【 0 9 0 3 】

放送送信装置は、本明細書において新しく定義する F I m o d e 情報を P r e a m b l e ( 具体的には、L 1 - s i g n a l i n g 又は L 1 - s t a t i c あるいは L 1 - d y n a m i c ) に含める。

【 0 9 0 4 】

その後、上記放送送信装置は、上記 P r e a m b l e に含まれた F I m o d e 情報設定値に応じて F I 動作を行うか、又は行わない。

【 0 9 0 5 】

その後、上記放送送信装置は、O F D M 生成 ( ジェネレーション ) ( Orthogonal Frequency Division Multiplexing Generation ) モジュールを介して O F D M 方式により上記生成された信号フレームのデータを変調し、上記変調された信号フレームのデータを含む放送信号を放送送信装置 ( transmitter ) を介して送信する ( S 5 4 4 0 ) 。

【 0 9 0 6 】

図 5 5 は、本明細書において提案する放送信号の受信方法の一例を示した順序図である。

【 0 9 0 7 】

図 5 5 に示すように、本明細書において提案する放送信号受信装置は、S y n c h r o n i z a t i o n 及び D e m o d u l a t i o n モジュールを介して外部から放送信号を受信し、上記受信した放送信号に対して O F D M 方式によりデータを復調する ( S 5 5 1 0 ) 。

【 0 9 0 8 】

上記 S y n c h r o n i z a t i o n 及び D e m o d u l a t i o n モジュールは、受信器 ( receiver ) 及び復調器 ( demodulator ) で表現されることもできる。

【 0 9 0 9 】

したがって、上記放送信号受信装置は、受信器 ( receiver ) を介して上記少なくとも 1 つの信号フレームを含む放送信号を受信し、上記復調器 ( demodulator ) を介して上記受信した放送信号を、O F D M ( Orthogonal Frequency Division Multiplexing ) 方式によりデータを復調する。

【 0 9 1 0 】

その後、上記放送信号受信装置は、上記復調されたデータをフレームパーズング ( Frame Parsing ) モジュールを介して少なくとも 1 つの信号フレームにパーズングする ( Parsing、S 5 5 2 0 ) 。

【 0 9 1 1 】

上記フレームパーズングモジュールは、フレームパーサ ( frame parser ) 又はデフレーミング及びデインターリーブ ( Deframing & Deinterleaving ) で表現されることもできる。

【 0 9 1 2 】

したがって、上記放送信号受信装置は、上記フレームパーサ ( frame parser ) を介してサービスデータ ( service data ) 又はサービスコンポーネントデータ ( service component data ) を抽出するために、上記受信した放送信号に含まれた上記少なくとも 1 つの信号フレームをパーズング ( Parsing ) する。

【 0 9 1 3 】

上記信号フレームは、前述した A T S C 3 . 0 f r a m e を表す。

【 0 9 1 4 】

前述したように、上記 A T S C 3 . 0 f r a m e は、プリアンブルを含み、上記プリアンブル ( preamble ) は、本明細書において提案する周波数インターリーブモード ( F

10

20

30

40

50

I\_\_MODE) 情報を含む。

【0915】

また、上記プリアンブルは、bootstrapの次に、そしてdata payload以前に位置する。

【0916】

上記ATSC 3.0 frameの構造及び関連する説明は、前述した図40を参照する。

【0917】

上記FI\_\_mode情報は、preamble内に含まれるL1 signalingに含まれることができる。

10

【0918】

上記L1 - signalingは、図40において説明したように、2つの部分(L1 - static及びL1 - dynamic)に区分されることができる。

【0919】

ここで、上記FI\_\_mode情報は、上記L1 - static及び/又はL1 - dynamicに含まれることができる。

【0920】

上記プリアンブルに含まれるFI (Frequency Interleaver) モード (FI\_\_MODE) 情報は、FIの利用が可能か否かを表す情報を表し、FIの利用が可能か否かは、ON又はOFFで示されることができる。

20

【0921】

すなわち、上記FIモード情報は、FIがONされているか、又はOFFされているかを表す情報であって、1bitで表現されることができる。

【0922】

上記FIモードがONに設定された場合(又は、FIモードがONであることを表す場合)、セルマップから出力されるdata cellsは、FIを介してOFDM symbol単位で周波数インターリーブが行われる。

【0923】

上記FIモード情報は、FIモードシグナリング(signaling)で表現されることもできる。

30

【0924】

一例として、上記FIモード情報が「1」に設定された場合、FIがONされていることを表し、これと反対に、FIモード情報が「0」に設定された場合、FIがOFFされていることを表すことができる。

【0925】

さらに具体的には、上記FIモード情報は、上記フレーム内のL1 signalingを介して送信されることができる。

【0926】

ここで、プリアンブルシンボル(等)は、上記プリアンブルシンボル(等)の次にくるデータシンボル(等)のためのL1 signaling dataを送信する。

40

【0927】

上記プリアンブルシンボル(等)は、ブートストラップ(bootstrap)以後に位置し、データシンボル(等)の前に位置する。

【0928】

上記L1 signalingは、物理層パラメータを構成するための必要情報を提供するものであって、L1は、ISO 7 layerモデルの最も低い層に該当するLayer - 1を意味する。

【0929】

また、上記L1 signalingは、上記プリアンブルに含まれ、2つの部分(L1 - static及びL1 - dynamic)で構成される。

50

## 【0930】

ここで、放送受信装置が、F I m o d e 情報が含まれた信号フレームをパーキングする方法についてさらに具体的に説明する。

## 【0931】

すなわち、上記放送受信装置は、受信される（又は、検出される、あるいはデコードされた）F I m o d e 情報を介して放送送信装置でF I 動作の実行が可能か否かを確認する。

## 【0932】

上記確認の結果、F I 動作が行われた場合（F I m o d e 情報値：O n に設定）、上記放送受信装置は、F D I（Frequency Deinterleaving）をさらに行う。

10

## 【0933】

すなわち、上記放送受信装置は、P r e a m b l e に含まれたF I m o d e 情報設定値に応じてF D I 動作を行うか、又は行わない。

## 【0934】

その後、上記放送信号受信装置は、上記パーキングされた少なくとも1つの信号フレームをデマッピング及びデコーディング（demapping and decoding）モジュールを介して複数のD P 又は複数のP L P にデコードする（S 5 5 3 0）。

## 【0935】

上記デマッピング及びデコーディング（demapping and decoding）モジュールは、変換器（converter）及びデコーダ（decoder）で表現されることもできる。

20

## 【0936】

したがって、上記放送信号受信装置は、変換器（converter）を介して上記サービスデータ（service data）又はサービスコンポーネントデータ（service component data）をビットに変換し、デコーダ（decoder）を介して上記変換されたビットをデコード（デコーディング）（decoding）する。

## 【0937】

その後、上記放送信号受信装置は、上記デマッピング及びデコーディングモジュールから出力される複数のD P（Data Pipe）又は複数のP L P を出力（アウトプット）プロセッサ（output processor）モジュールを介して入力ストリーム（Input Stream）又は入力（インプット）データパケット（Input Data Packet）に復元する（S 5 5 4 0）。

30

## 【0938】

又は、上記放送信号受信装置は、上記出力プロセッサ（output processor）を介して上記デコードされたビットを含むデータストリーム又はデータパケットを出力する。

## 【0939】

本発明の思想や範囲を逸脱することなく、本発明において様々な変更及び変形が可能であることは当業者に理解される。したがって、本発明は、添付された請求項及びその同等範囲内で提供される本発明の変更及び変形を含むことと意図される。

## 【0940】

本明細書において装置及び方法発明が全て言及され、装置及び方法発明の全ての説明は互いに補完して適用され得る。

40

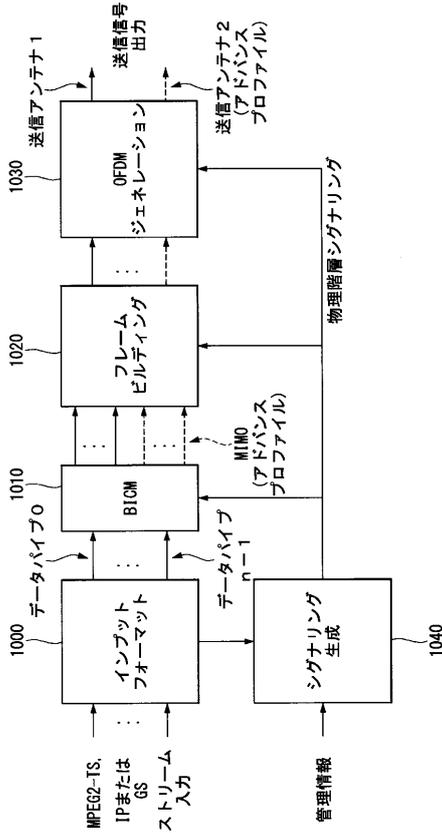
## 【産業上の利用可能性】

## 【0941】

本明細書は、放送信号を受信及び送信するための方法及び装置を利用することにある。

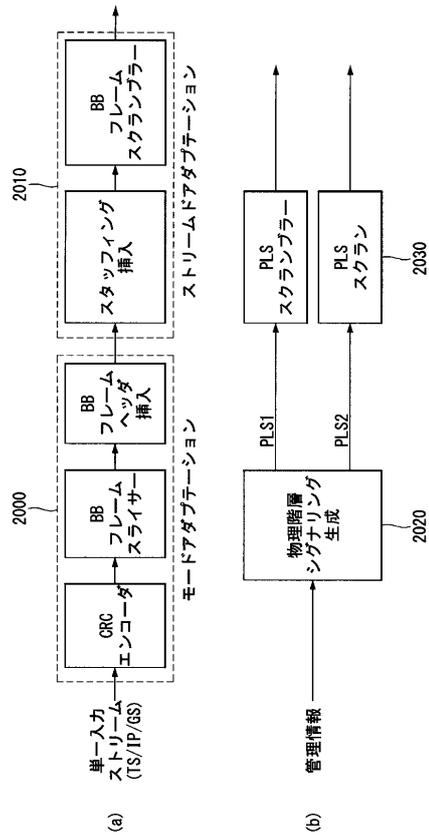
【 図 1 】

図 1



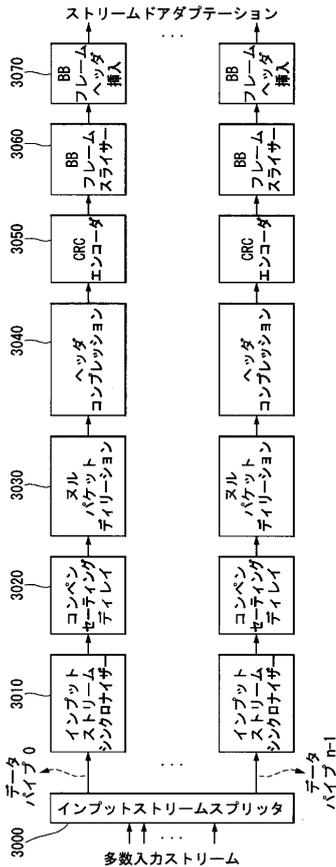
【 図 2 】

図 2



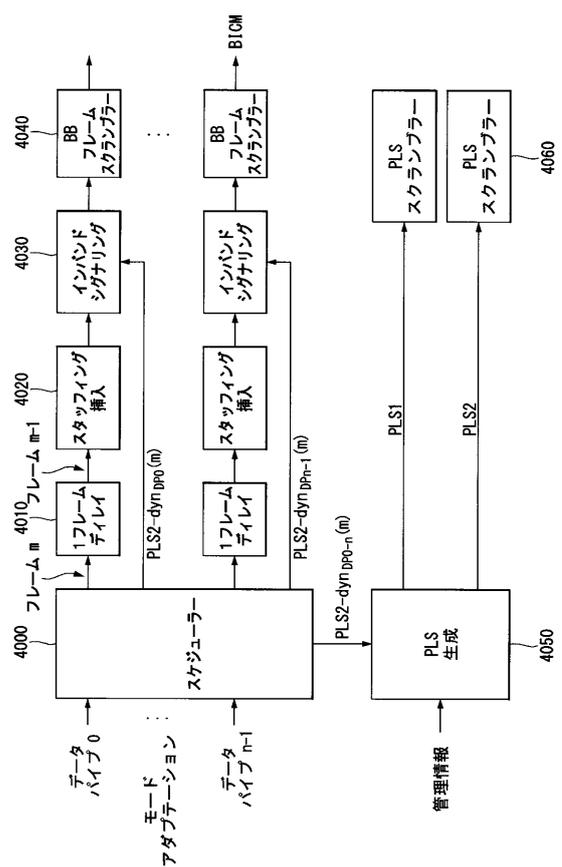
【 図 3 】

図 3



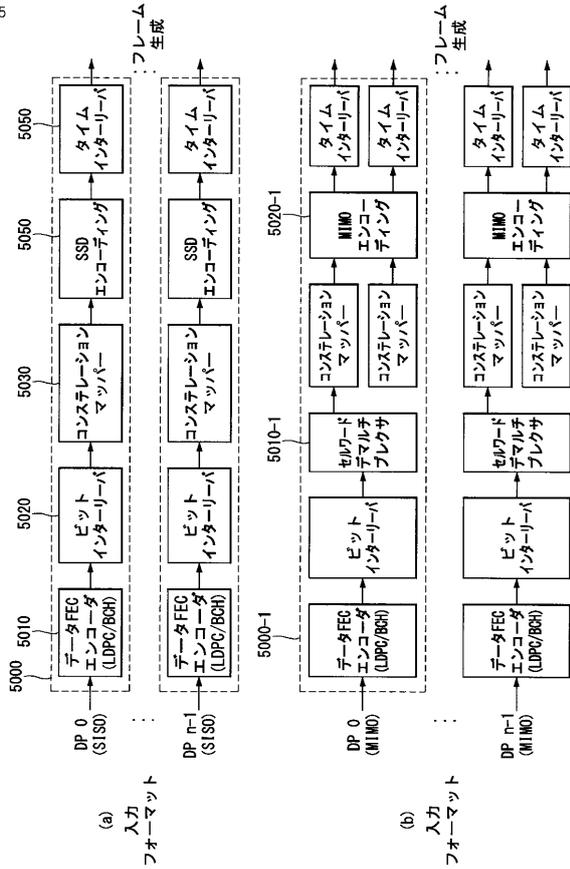
【 図 4 】

図 4



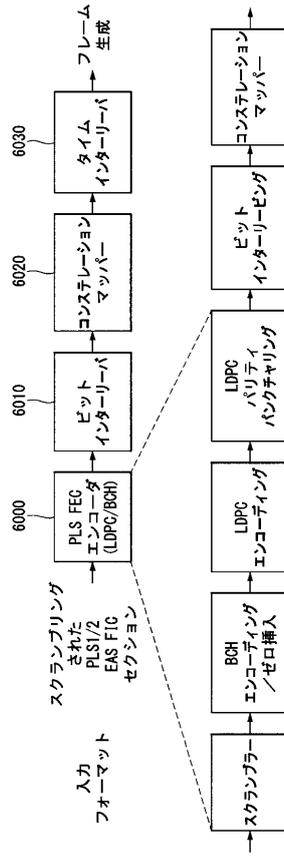
【 図 5 】

図 5



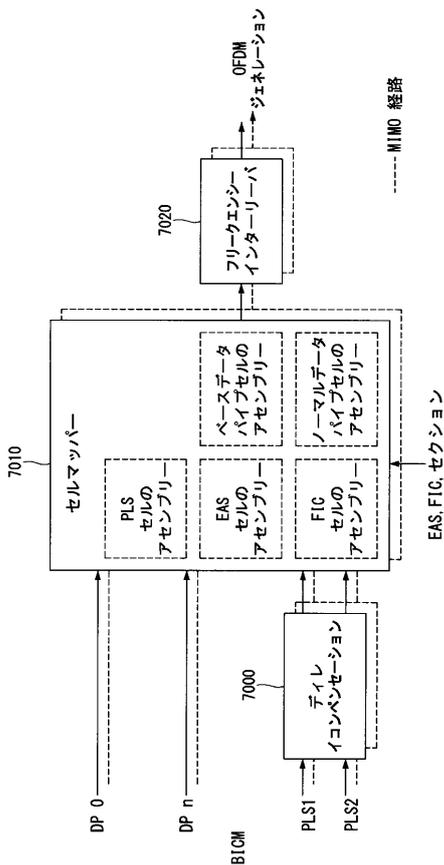
【 図 6 】

図 6



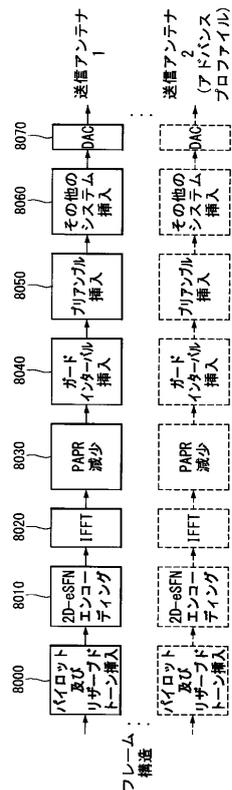
【 図 7 】

図 7

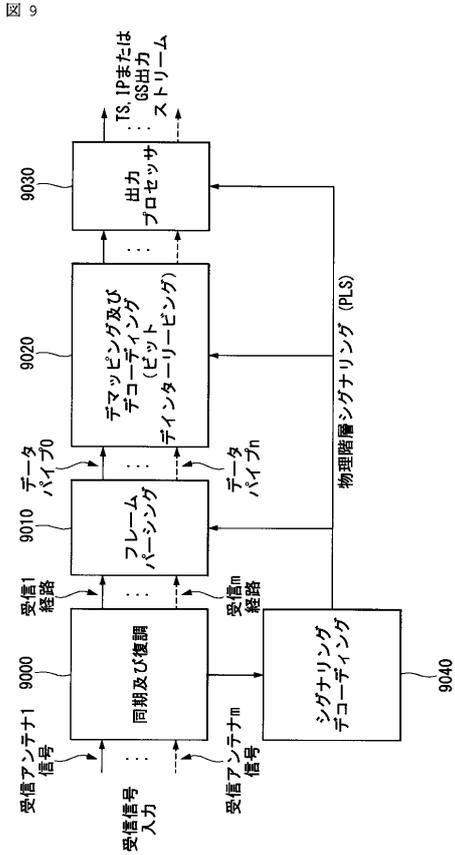


【 図 8 】

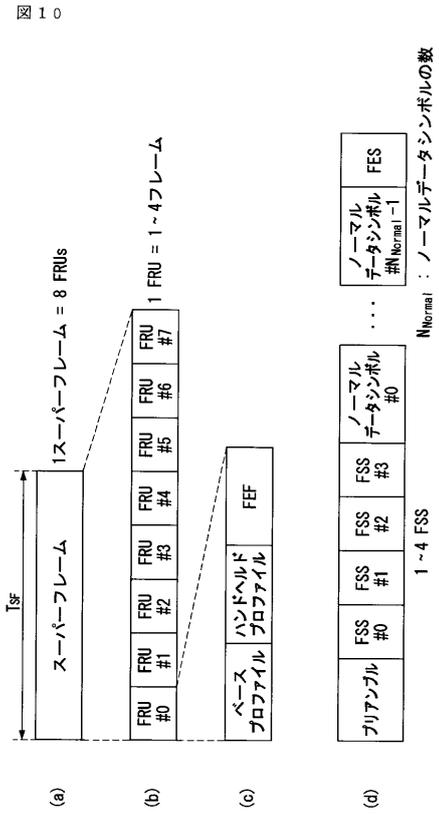
図 8



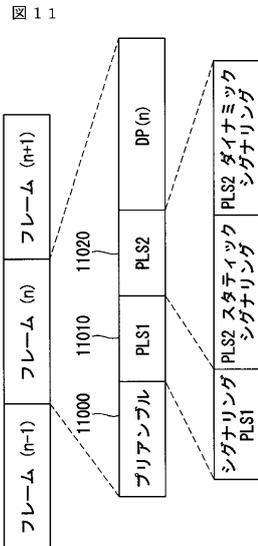
【 図 9 】



【 図 10 】



【 図 11 】



【 図 12 】

図 12

コンテンツ	ビット
PHY_PROFILE	3
FFT_SIZE	2
GI_FRACTION	3
EAC_FLAG	1
POLOT_MODE	1
PAPR_FLAG	1
FRU_CONFIGURE	3
RESERVED	7

【 図 1 3 】

図 13

コンテンツ	ビット
PREAMBLE_DATA	20
NUM_FRAME_FRU	2
PAYLOAD_TYPE	3
NUM_FSS	2
SYSTEM_VERSION	8
CELL_ID	16
NETWORK_ID	16
SYSTEM_ID	16
for i = 0:3	
FRU_PHY_PROFILE	3
FRU_FRAME_LENGTH	2
FRU_GI_FRACTION	3
RESERVED	4
end	
PLS2_FEC_TYPE	2
PLS2_MOD	3
PLS2_SIZE_GELL	15
PLS2_STAT_SIZE_BIT	14
PLS2_DYN_SIZE_BIT	14
PLS2_REP_FLAG	1

PLS2_REP_SIZE_GELL	15
PLS2_NEXT_FEC_TYPE	2
PLS2_NEXT_MOD	3
PLS2_NEXT_REP_FLAG	1
PLS2_NEXT_REP_SIZE_GELL	15
PLS2_NEXT_REP_STAT_SIZE_BIT	14
PLS2_NEXT_REP_DYN_SIZE_BIT	14
PLS2_AP_MODE	2
PLS2_AP_SIZE_GELL	15
PLS2_NEXT_AP_MODE	2
PLS2_NEXT_AP_SIZE_GELL	15
RESERVED	32
CRC 32	32

【 図 1 4 】

図 14

コンテンツ	ビット
FIG_FLAG	1
AUX_FLAG	1
NUM_DP	6
for i = NUM_DP	
DP_ID	6
DP_TYPE	3
DP_GROUP_ID	8
BASE_DP_ID	6
DP_FEC_TYPE	2
DP_COD	4
DP_MOD	4
DP_SSD_FLAG	1
if PHY_PROFILE = '010'	
DP_MIMO	3
end	
DP_T1_TYPE	1
DP_T1_LENGTH	2
DP_T1_BYPASS	1
DP_FRAME_INTERVAL	2
DP_FIRST_FRAME_IDX	5
DP_NUM_BLOCK_MAX	10
DP_PAYLOAD_TYPE	2
DP_INBAND_MODE	2
DP_PROTOCOL_TYPE	2
DP_CRC_MODE	2

if DP_PAYLOAD_TYPE==TS('00')	
DNP_MODE	2
ISSY_MODE	2
HC_MODE_TS	2
if HC_MODE_TS=='01' or '10'	
PID	13
end	
if DP_PAYLOAD_TYPE==IP('01')	
end	
HC_MODE_IP	2
end	
RESERVED	8
end	
if FIG_FLAG == 1	
FIG_VERSION	8
FIG_LENGTH_BYTE	13
RESERVED	8
end	
if AUX_FLAG == 1	
NUM_AUX	4
AUX_CONFIG_RFU	8
for l=1:NUM_AUX	
AUX_STREAM_TYPE	4
AUX_PRIVATE_CONF	28
end	
end	

【 図 1 5 】

図 15

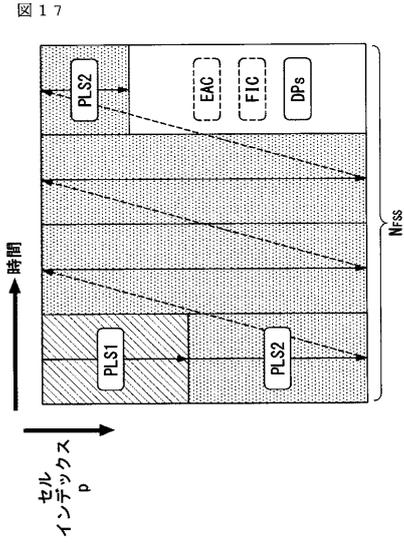
コンテンツ	ビット
FRAME_INDEX	5
PLS_CHANGE_COUNTER	4
FIG_CHANGE_COUNTER	4
RESERVED	16
for i = 1:NUM_DP	
DP_ID	6
DP_START	15(or 13)
DP_NUM_BLOCK	10
RESERVED	8
end	
EAG_FLAG	1
EAG_WAKE_UP_VERSION_NUM	8
if EAG_FLAG == 1	
EAG_LENGTH_BYTE	12
else	
EAG_COUNTER	12
end	
for i = 1:NUM_AUX	
AUX_PRIVATE_DYN	48
end	
CRC 32	32

【 図 1 6 】

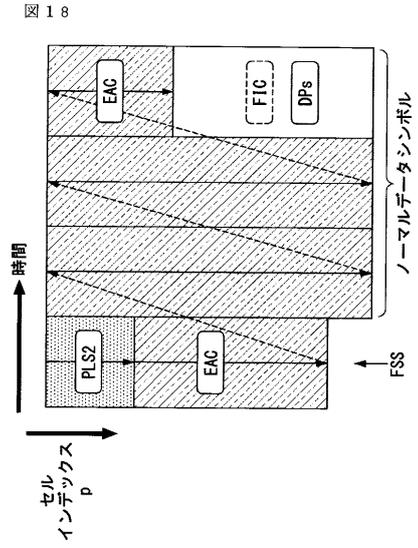
図 16

プリアンブル
PLS1
PLS2
EAG
FIG
DPs
補助ストリーム
ダミー

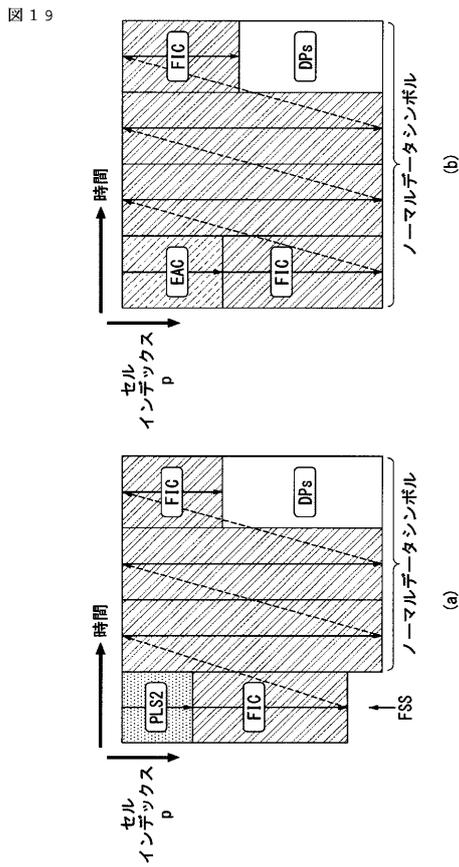
【 図 17 】



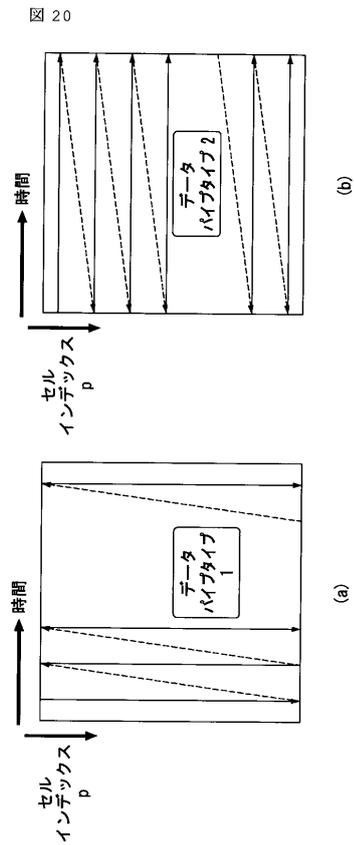
【 図 18 】



【 図 19 】

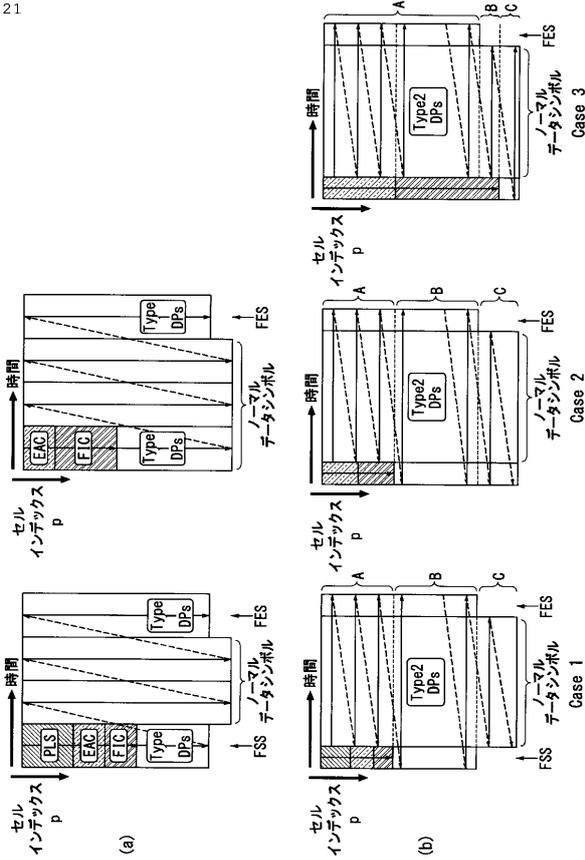


【 図 20 】



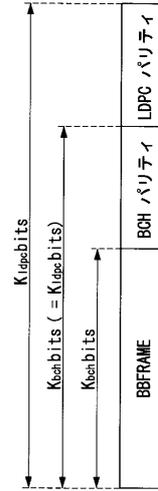
【 図 2 1 】

図 21



【 図 2 2 】

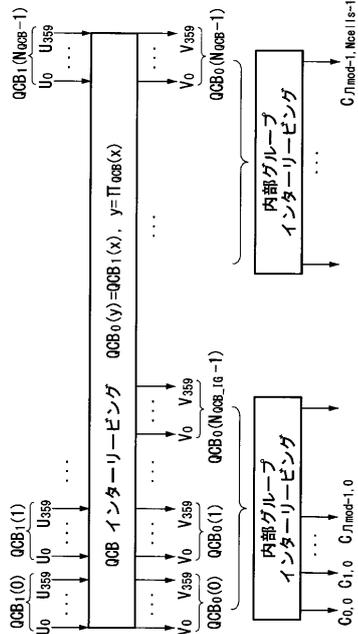
図 22



【 図 2 3 】

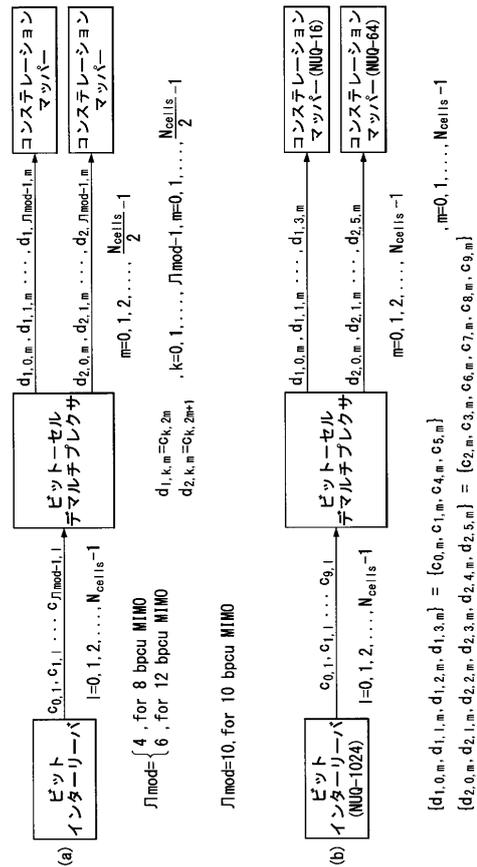
$N_{OCB} = \{ 45, \text{ショートLDPCブロックの場合}$   
 $\{ 180, \text{ロングLDPCブロックの場合}$

図 23

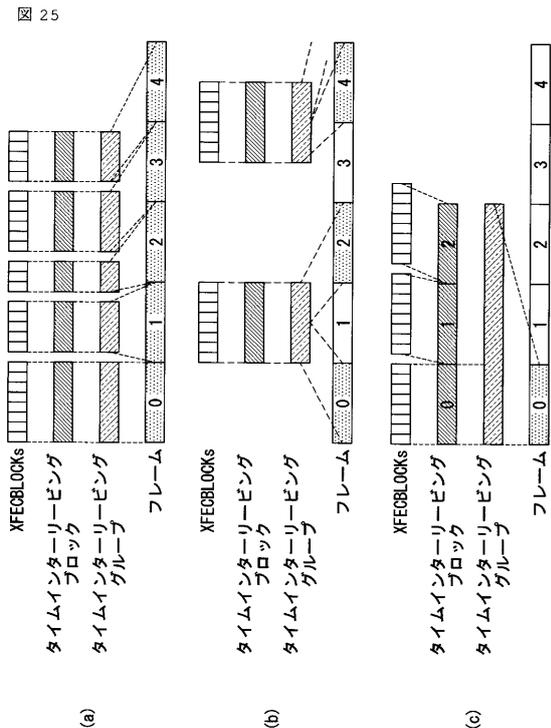


【 図 2 4 】

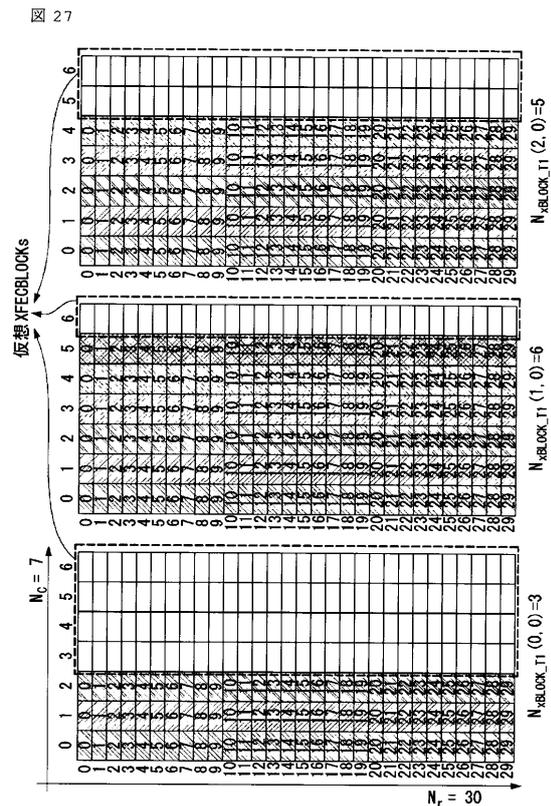
図 24



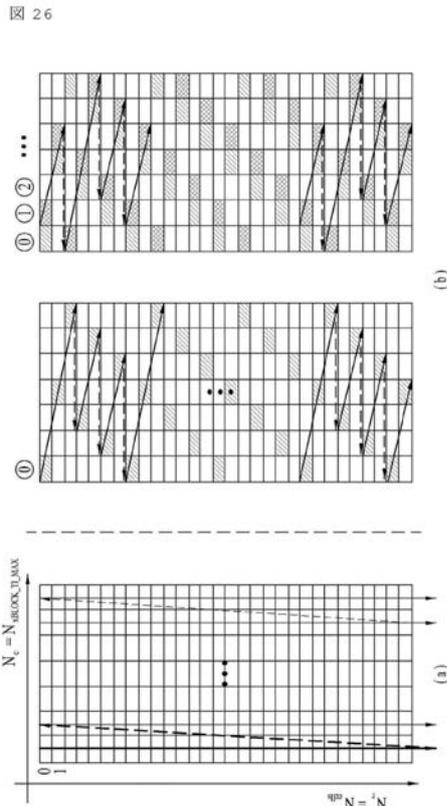
【 図 25 】



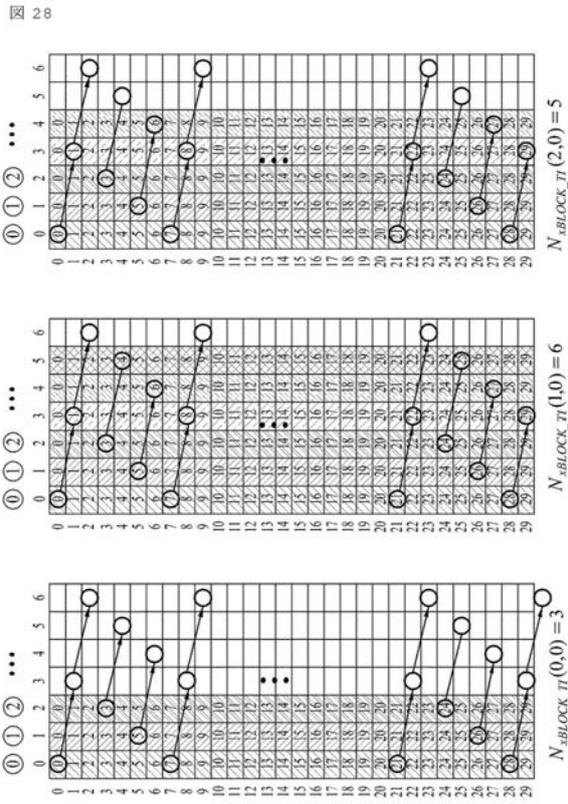
【 図 27 】



【 図 26 】



【 図 28 】



【図 29】

図 29

0	0	5	9	14	20	24	0	0	10	33	6	17	0	0	1	2	3	4
1	1	6	10	16	21	25	1	1	12	34	7	18	1	1	2	3	4	5
2	2	7	11	17	22	27	2	2	13	35	8	19	2	2	3	4	5	6
3	3	8	12	18	23	28	3	3	14	36	9	20	3	3	4	5	6	7
4	4	9	13	19	24	29	4	4	15	37	10	21	4	4	5	6	7	8
5	5	10	14	20	25	30	5	5	16	38	11	22	5	5	6	7	8	9
6	6	11	15	21	26	31	6	6	17	39	12	23	6	6	7	8	9	10
7	7	12	16	22	27	32	7	7	18	40	13	24	7	7	8	9	10	11
8	8	13	17	23	28	33	8	8	19	41	14	25	8	8	9	10	11	12
9	9	14	18	24	29	34	9	9	20	42	15	26	9	9	10	11	12	13
10	10	15	19	25	30	35	10	10	21	43	16	27	10	10	11	12	13	14
11	11	16	20	26	31	36	11	11	22	44	17	28	11	11	12	13	14	15
12	12	17	21	27	32	37	12	12	23	45	18	29	12	12	13	14	15	16
13	13	18	22	28	33	38	13	13	24	46	19	30	13	13	14	15	16	17
14	14	19	23	29	34	39	14	14	25	47	20	31	14	14	15	16	17	18
15	15	20	24	30	35	40	15	15	26	48	21	32	15	15	16	17	18	19
16	16	21	25	31	36	41	16	16	27	49	22	33	16	16	17	18	19	20
17	17	22	26	32	37	42	17	17	28	50	23	34	17	17	18	19	20	21
18	18	23	27	33	38	43	18	18	29	51	24	35	18	18	19	20	21	22
19	19	24	28	34	39	44	19	19	30	52	25	36	19	19	20	21	22	23
20	20	25	29	35	40	45	20	20	31	53	26	37	20	20	21	22	23	24
21	21	26	30	36	41	46	21	21	32	54	27	38	21	21	22	23	24	25
22	22	27	31	37	42	47	22	22	33	55	28	39	22	22	23	24	25	26
23	23	28	32	38	43	48	23	23	34	56	29	40	23	23	24	25	26	27
24	24	29	33	39	44	49	24	24	35	57	30	41	24	24	25	26	27	28
25	25	30	34	40	45	50	25	25	36	58	31	42	25	25	26	27	28	29
26	26	31	35	41	46	51	26	26	37	59	32	43	26	26	27	28	29	30
27	27	32	36	42	47	52	27	27	38	60	33	44	27	27	28	29	30	31
28	28	33	37	43	48	53	28	28	39	61	34	45	28	28	29	30	31	32
29	29	34	38	44	49	54	29	29	40	62	35	46	29	29	30	31	32	33

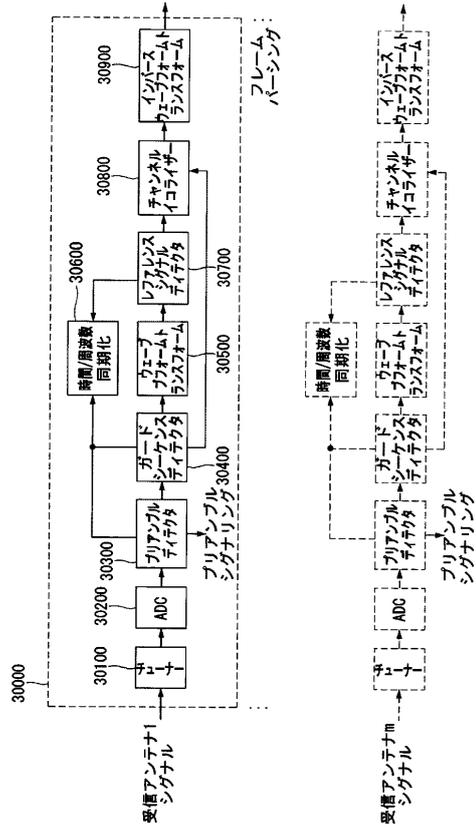
$N_{BLOCK\_TI}(2,0) = 5$

$N_{BLOCK\_TI}(1,0) = 6$

$N_{BLOCK\_TI}(0,0) = 3$

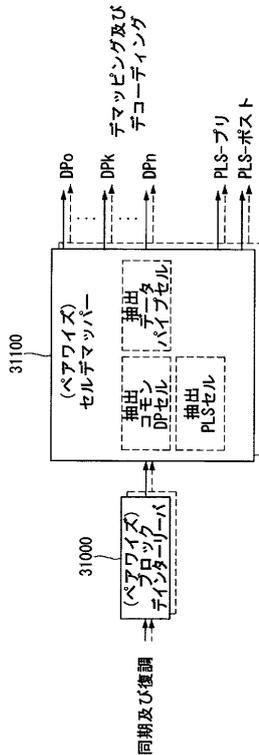
【図 30】

図 30



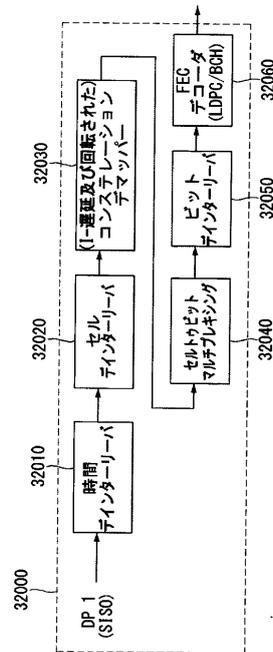
【図 31】

図 31

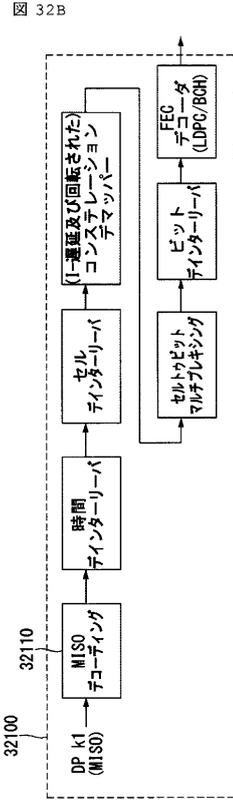


【図 32 A】

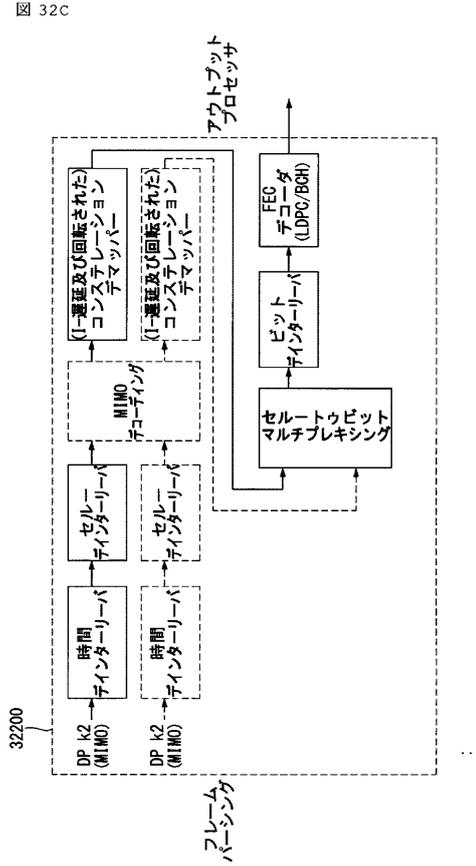
図 32A



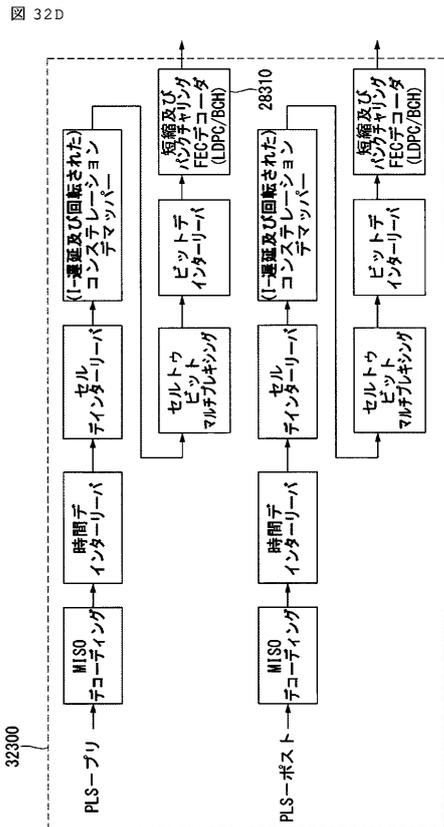
【図 3 2 B】



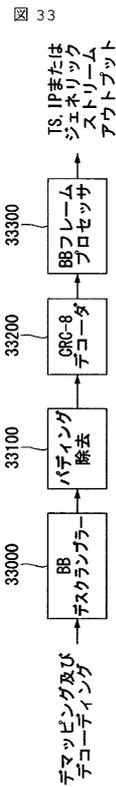
【図 3 2 C】



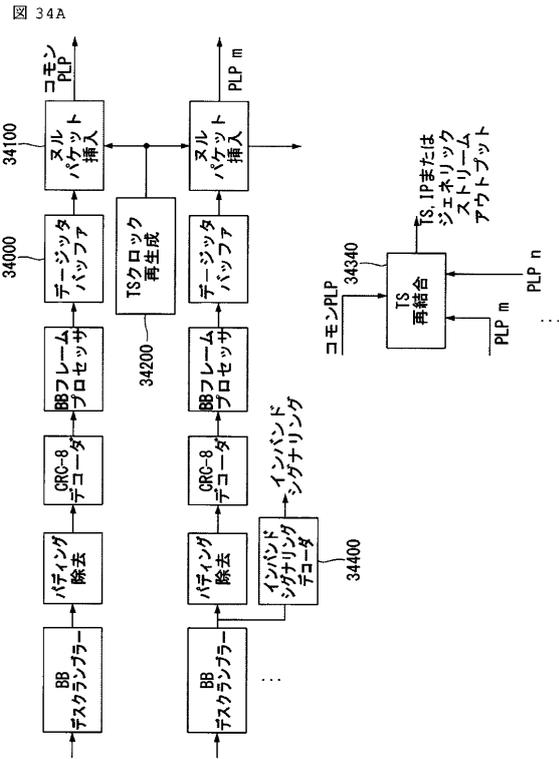
【図 3 2 D】



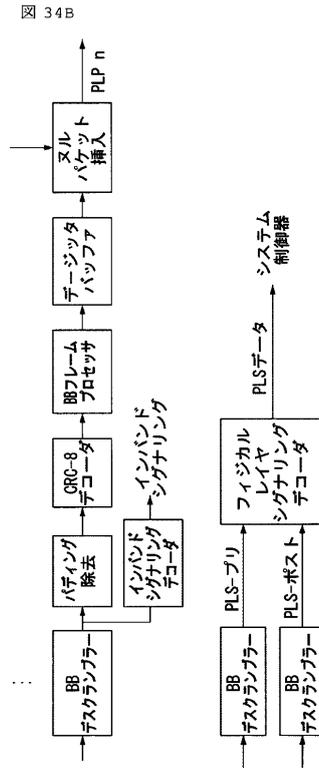
【図 3 3】



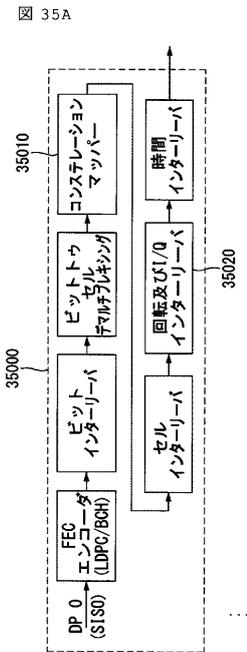
【 図 3 4 A 】



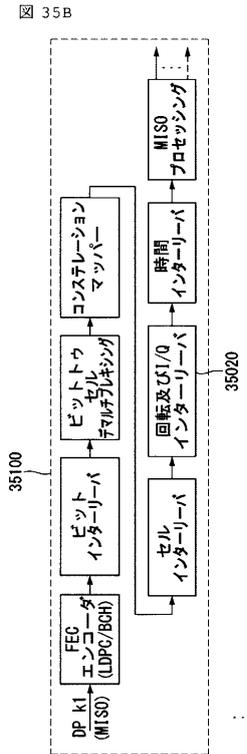
【 図 3 4 B 】



【 図 3 5 A 】

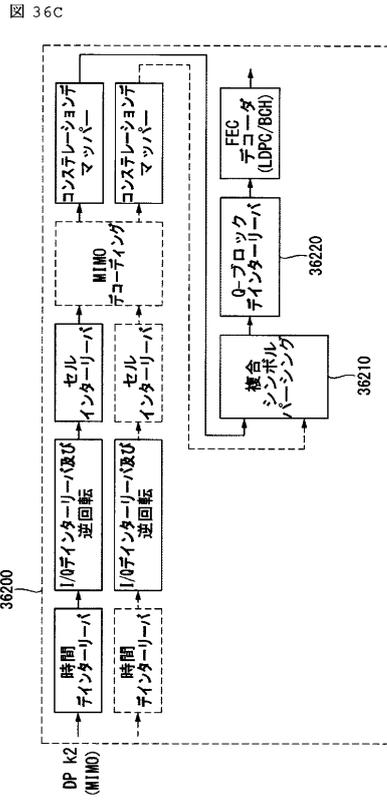


【 図 3 5 B 】

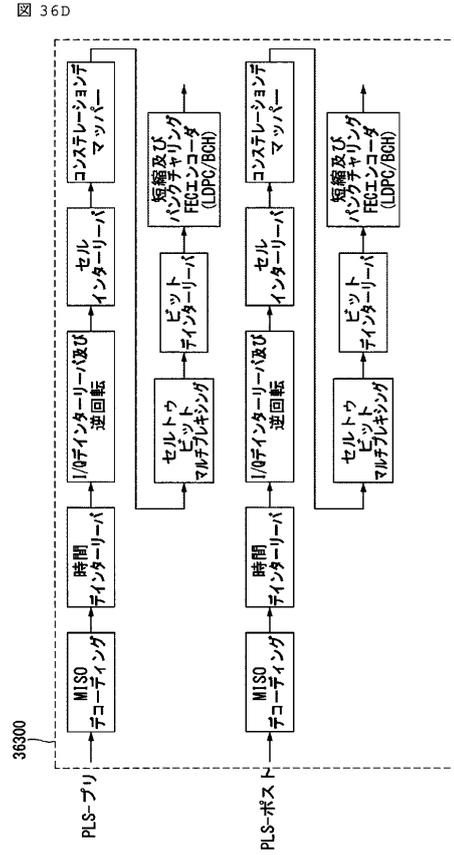




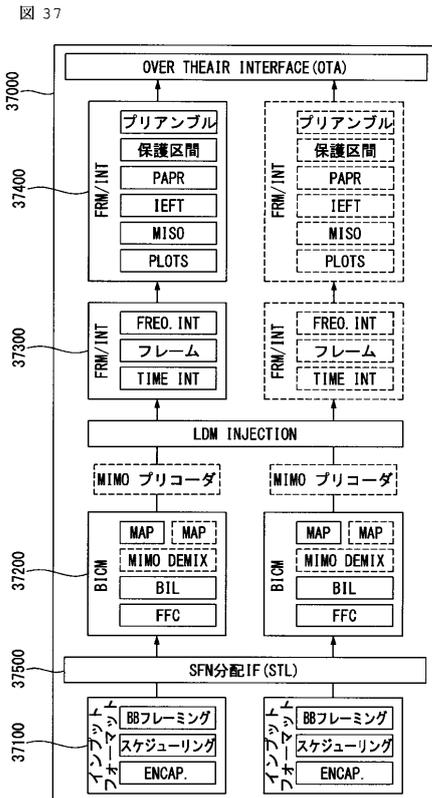
【 図 3 6 C 】



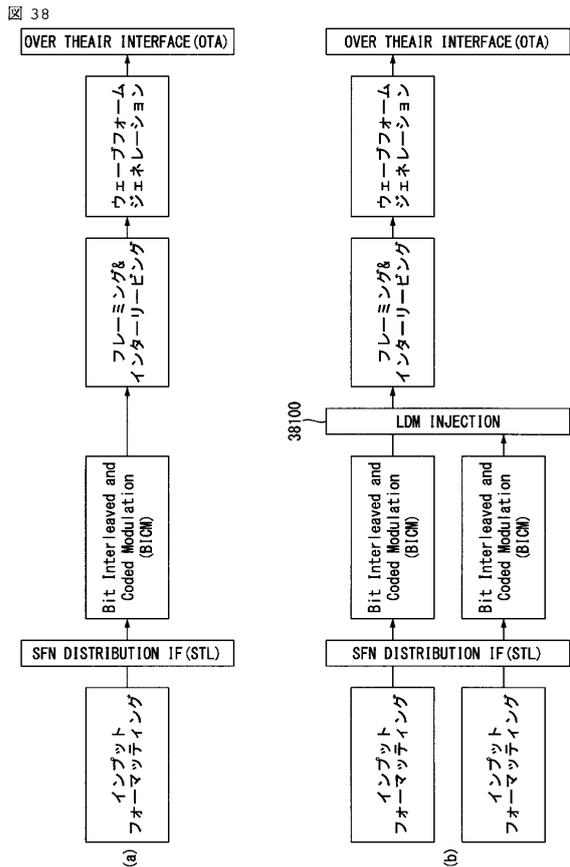
【 図 3 6 D 】



【 図 3 7 】

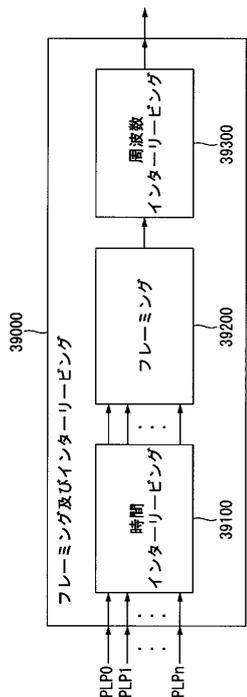


【 図 3 8 】



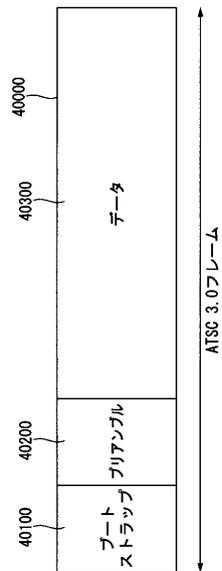
【 図 3 9 】

図 39



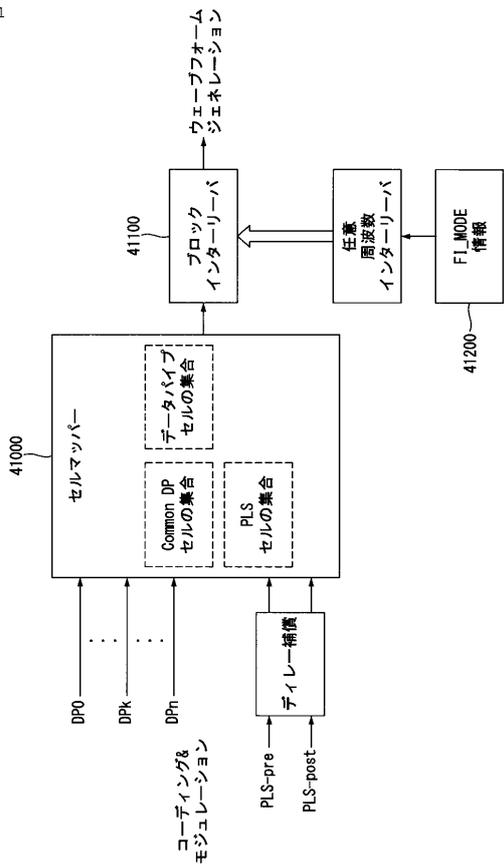
【 図 4 0 】

図 40



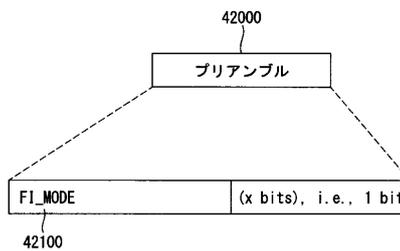
【 図 4 1 】

図 41

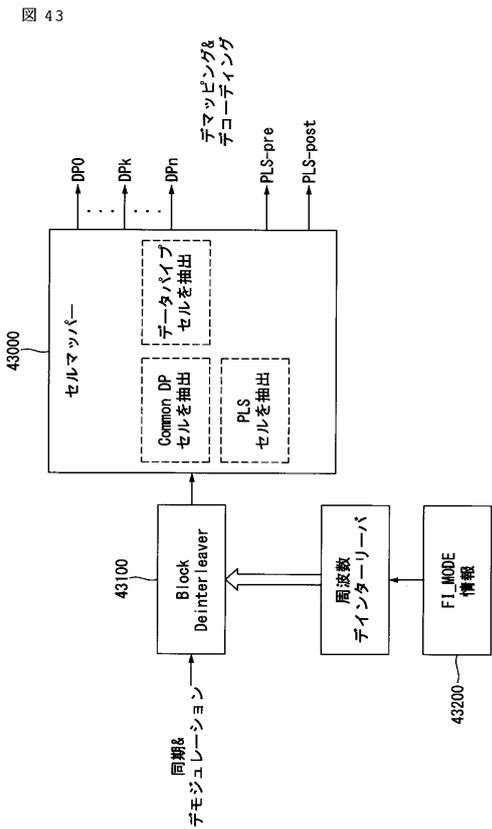


【 図 4 2 】

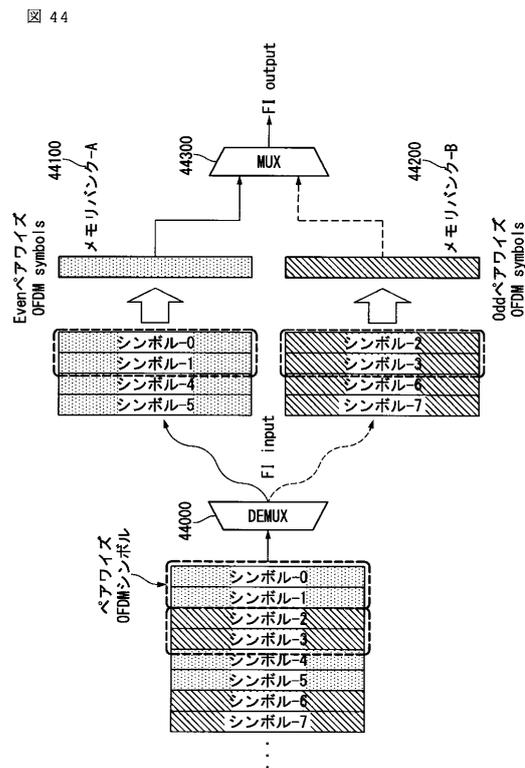
図 42



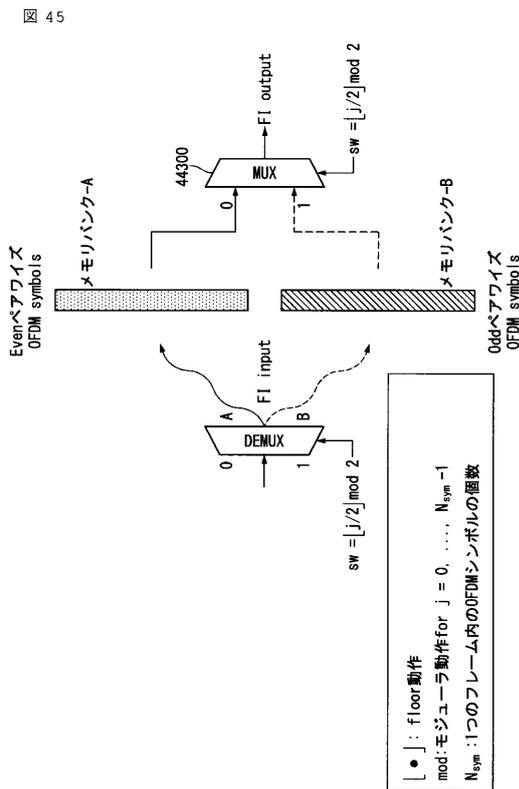
【 図 4 3 】



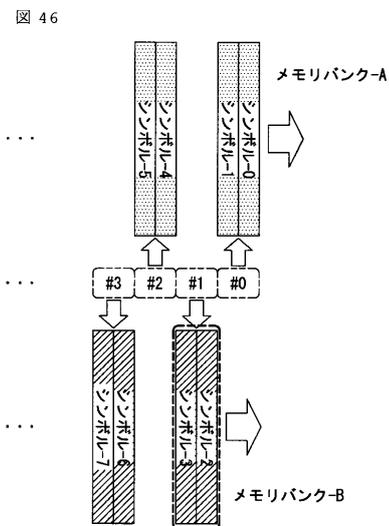
【 図 4 4 】



【 図 4 5 】

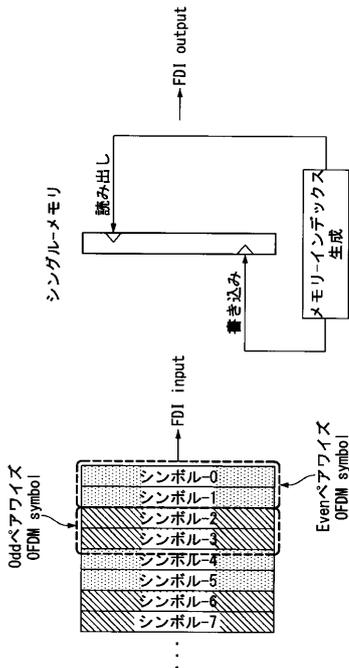


【 図 4 6 】



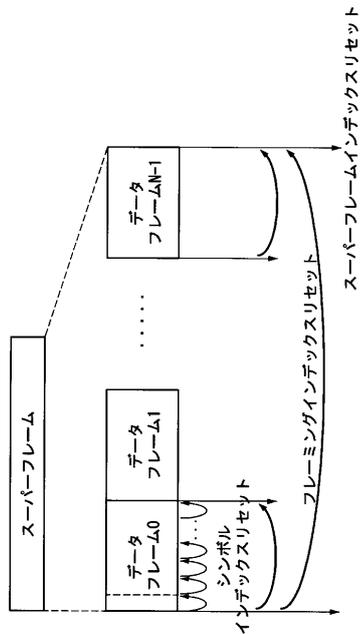
【 図 4 7 】

図 47



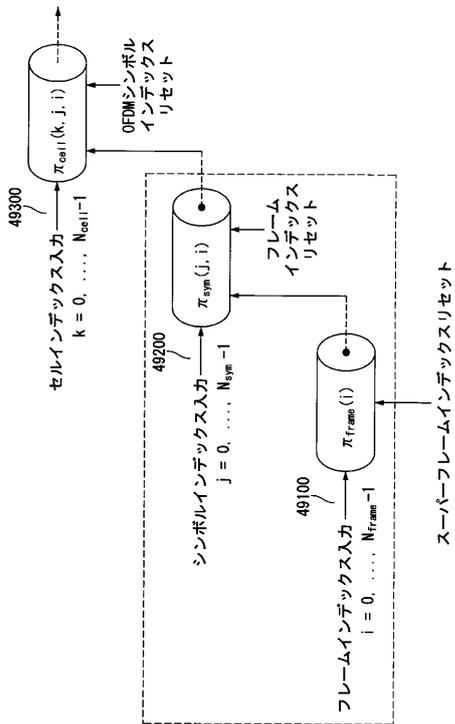
【 図 4 8 】

図 48



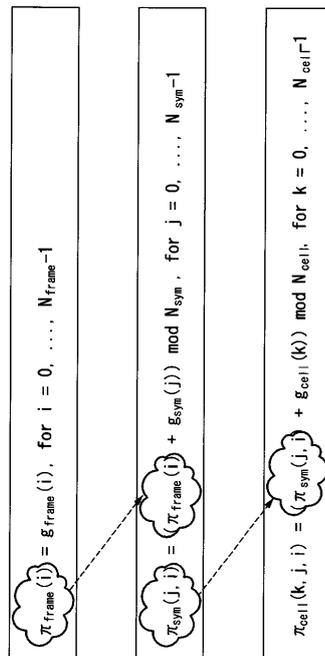
【 図 4 9 】

図 49



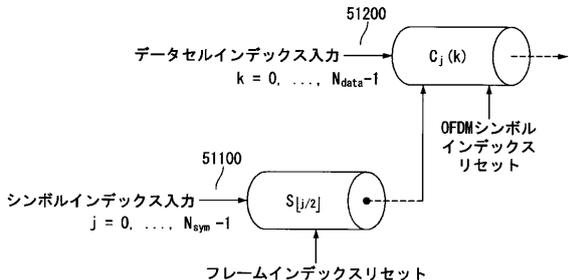
【 図 5 0 】

図 50



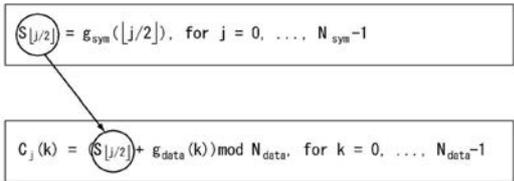
【 図 5 1 】

図 51



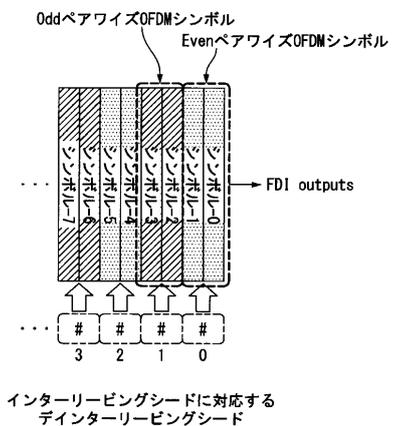
【 図 5 2 】

図 52



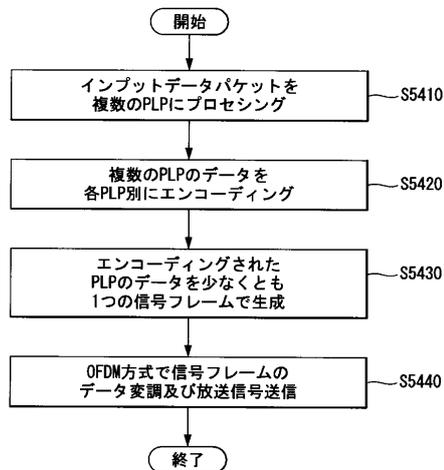
【 図 5 3 】

図 53

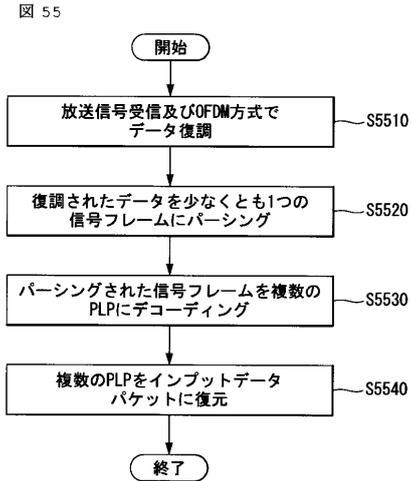


【 図 5 4 】

図 54



【 図 5 5 】



## 【 手続補正書 】

【 提出日 】平成30年10月11日 (2018.10.11)

## 【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

放送信号を受信するための受信装置であって、

信号フレームを有する前記放送信号を受信するよう構成された受信器であって、前記信号フレームは、プリアンプルを有し、前記プリアンプルは、周波数インターリーバ情報を有する、受信器と、

前記信号フレームを直交周波数分割多重 (Orthogonal Frequency Division Multiplexing; OFDM) 方式により復調するよう構成された復調器と、

前記周波数インターリーバ情報に基づいて前記信号フレーム内のデータに対する周波数デインターリーブを行うよう構成された周波数デインターリーブと、

前記信号フレームから物理層パイプ (Physical Layer Pipe; PLP) データを抽出するよう構成されたフレームパーサと、

前記抽出された PLP データに対する時間デインターリーブを行うよう構成された時間デインターリーブと、

前記時間デインターリーブが行われた前記 PLP データに前方エラー訂正 (Forward Error Correction; FEC) デコーディングを行うよう構成された FEC デコーダと、を有し、

前記周波数デインターリーブは、前記周波数インターリーバ情報が第 1 の値に設定され

ている場合、前記信号フレーム内のデータに対する周波数デインターリーブを行い、前記周波数インターリーブ情報が第2の値に設定されている場合、前記信号フレーム内のデータに対する周波数デインターリーブを行わない、受信装置。

【請求項2】

前記周波数デインターリーブは、2個の連続したシンボルを有するシンボルペアごとに異なるデインターリーブシーケンスを使用して行われる、請求項1に記載の受信装置。

【請求項3】

前記デインターリーブシーケンスは、メインシーケンス及びシンボルオフセットに基づいて生成される、請求項2に記載の受信装置。

【請求項4】

前記生成されたデインターリーブシーケンスのアドレスを認証するアドレス確認動作が行われる、請求項2に記載の受信装置。

【請求項5】

前記シンボルオフセットは、前記2個の連続したシンボルを有するシンボルペアごとに生成される、請求項3に記載の受信装置。

【請求項6】

放送信号を受信するための方法であって、

信号フレームを有する前記放送信号を受信するステップあって、前記信号フレームは、プリアンプルを有し、前記プリアンプルは、周波数インターリーブ情報を有する、ステップと、

前記信号フレームを直交周波数分割多重 (Orthogonal Frequency Division Multiplexing; OFDM) 方式により復調するステップと、

前記周波数インターリーブ情報に基づいて前記信号フレーム内のデータに対する周波数デインターリーブを行うステップと、

前記信号フレームから物理層パイプ (Physical Layer Pipe; PLP) データを抽出するステップと、

前記抽出された PLP データに対する時間デインターリーブを行うステップと、

前記時間デインターリーブが行われた前記 PLP データに前方エラー訂正 (Forward Error Correction; FEC) デコーディングを行うステップと、を有し、

前記周波数インターリーブ情報が第1の値に設定されている場合、前記信号フレーム内のデータに対する前記周波数デインターリーブが行われ、前記周波数インターリーブ情報が第2の値に設定されている場合、前記信号フレーム内のデータに対する前記周波数デインターリーブが行われない、方法。

【請求項7】

前記周波数デインターリーブは、2個の連続したシンボルを有するシンボルペアごとに異なるデインターリーブシーケンスを使用して行われる、請求項6に記載の方法。

【請求項8】

前記デインターリーブシーケンスは、メインシーケンス及びシンボルオフセットに基づいて生成される、請求項7に記載の方法。

【請求項9】

前記生成されたデインターリーブシーケンスのアドレスを認証するアドレス確認動作が行われる、請求項7に記載の方法。

【請求項10】

前記シンボルオフセットは、前記2個の連続したシンボルを有するシンボルペアごとに生成される、請求項8に記載の方法。

【請求項11】

放送信号を送信するための送信装置であって、

物理層パイプ (Physical Layer Pipe; PLP) データに前方エラー訂正 (Forward Error Correction; FEC) エンコーディングを行うよう構成された FEC エンコーダと、

前記 FEC エンコーディングを行った PLP データに対する時間インターリーブを行う

よう構成された時間インターリーブと、

前記時間インターリーブが行われた P L P データを有する信号フレームを生成するよう構成されたフレームビルダと、

前記信号フレーム内のデータに対する周波数インターリーブを選択的に行うよう構成された周波数インターリーブと、

前記周波数インターリーブが行われた信号フレームを直交周波数分割多重 (Orthogonal Frequency Division Multiplexing ; O F D M ) 方式により変調するよう構成された変調器と、

前記信号フレームを有する放送信号を送信するよう構成された送信器であって、前記信号フレームは、プリアンプルを有し、前記プリアンプルは、前記周波数インターリーブが作動するか否かを示す周波数インターリーブ情報を有する、送信器と、を有し、

前記周波数インターリーブが前記信号フレーム内のデータに対する周波数インターリーブを行う場合、前記周波数インターリーブ情報が第 1 の値に設定され、前記周波数インターリーブが前記信号フレーム内のデータに対する周波数インターリーブを行わない場合、前記周波数インターリーブ情報が第 2 の値に設定される、送信装置。

【請求項 1 2】

前記周波数インターリーブは、2 個の連続したシンボルを有するシンボルペアごとに異なるインターリーブシーケンスを使用して行われる、請求項 1 1 に記載の送信装置。

【請求項 1 3】

前記インターリーブシーケンスは、メインシーケンス及びシンボルオフセットに基づいて生成される、請求項 1 2 に記載の送信装置。

【請求項 1 4】

前記生成されたインターリーブシーケンスのアドレスを認証するアドレス確認動作が行われる、請求項 1 2 に記載の送信装置。

【請求項 1 5】

前記シンボルオフセットは、前記 2 個の連続したシンボルを有するシンボルペアごとに生成される、請求項 1 3 に記載の送信装置。

【請求項 1 6】

放送信号を送信するための送信方法であって、

物理層パイプ (Physical Layer Pipe ; P L P ) データに前方エラー訂正 (Forward Error Correction ; F E C ) エンコーディングを行うステップと、

前記 F E C エンコーディングを行った P L P データに対する時間インターリーブを行うステップと、

前記時間インターリーブが行われた P L P データを有する信号フレームを生成するステップと、

前記信号フレーム内のデータに対する周波数インターリーブを選択的に行うステップと、

前記周波数インターリーブが行われた信号フレームを直交周波数分割多重 (Orthogonal Frequency Division Multiplexing ; O F D M ) 方式により変調するステップと、

前記信号フレームを有する放送信号を送信するステップであって、前記信号フレームは、プリアンプルを有し、前記プリアンプルは、前記周波数インターリーブが行われるか否かを示す周波数インターリーブ情報を有する、ステップと、を有し、

前記信号フレーム内のデータに対する前記周波数インターリーブが行われる場合、前記周波数インターリーブ情報が第 1 の値に設定され、前記信号フレーム内のデータに対する前記周波数インターリーブが行われない場合、前記周波数インターリーブ情報が第 2 の値に設定される、方法。

【請求項 1 7】

前記周波数インターリーブは、2 個の連続したシンボルを有するシンボルペアごとに異なるインターリーブシーケンスを使用して行われる、請求項 1 6 に記載の方法。

【請求項 1 8】

前記インターリーブシーケンスは、メインシーケンス及びシンボルオフセットに基づいて生成される、請求項 17 に記載の方法。

【請求項 19】

前記生成されたインターリーブシーケンスのアドレスを認証するアドレス確認動作が行われる、請求項 18 に記載の方法。

【請求項 20】

前記シンボルオフセットは、前記 2 個の連続したシンボルを有するシンボルペアごとに生成される、請求項 18 に記載の方法。

---

フロントページの続き

(72)発明者 ペク チョンソプ

大韓民国, ソウル 137-893, ソチョ-ク, ヤンジェ-デロ, 11ギル, 19, エルジー  
エレクトロニクス インコーポレイティド アールアンドディー キャンパス

(72)発明者 コ ウソク

大韓民国, ソウル 137-893, ソチョ-ク, ヤンジェ-デロ, 11ギル, 19, エルジー  
エレクトロニクス インコーポレイティド アールアンドディー キャンパス

(72)発明者 ホン ソンリョン

大韓民国, ソウル 137-893, ソチョ-ク, ヤンジェ-デロ, 11ギル, 19, エルジー  
エレクトロニクス インコーポレイティド アールアンドディー キャンパス

Fターム(参考) 5C164 FA04 UB23P