

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-257205
(P2012-257205A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO4L 25/02 (2006.01)	HO4L 25/02 F	5J055
HO3K 17/16 (2006.01)	HO3K 17/16 D	5J056
HO3K 17/687 (2006.01)	HO3K 17/687 A	5K029
HO3K 19/0175 (2006.01)	HO3K 19/00 1O1F	
	HO3K 19/00 1O1Q	

審査請求 未請求 請求項の数 17 O L (全 25 頁)

(21) 出願番号 特願2012-93863 (P2012-93863)
 (22) 出願日 平成24年4月17日 (2012. 4. 17)
 (31) 優先権主張番号 特願2011-109327 (P2011-109327)
 (32) 優先日 平成23年5月16日 (2011. 5. 16)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000004695
 株式会社日本自動車部品総合研究所
 愛知県西尾市下羽角町岩谷14番地
 (71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 110000567
 特許業務法人 サトー国際特許事務所
 (72) 発明者 森 寛之
 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内
 (72) 発明者 鈴木 洋一朗
 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

最終頁に続く

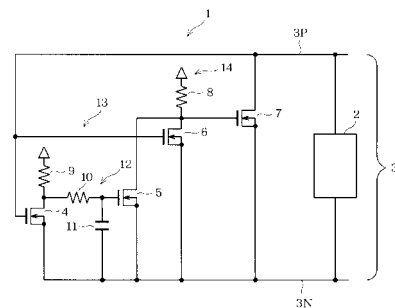
(54) 【発明の名称】 リンキング抑制回路

(57) 【要約】

【課題】 より簡単な構成で波形歪みのエネルギーを消費させ、リンキングを確実に抑制できるリンキング抑制回路を提供する。

【解決手段】 一对の信号線3P, 3N間に、NチャンネルMOSFET7を接続し、制御回路14は、伝送線路3を介して伝送される差動信号のレベルがハイからローに変化したことを検出すると、NチャンネルMOSFET7を一定期間オンさせる。すなわち、差動信号のレベルが遷移する期間にNチャンネルMOSFET7が導通することで信号線3P, 3N間のインピーダンスを大きく低下させ、差動信号波形の歪みエネルギーを吸収させてリンキングの発生を確実に抑制する。

【選択図】 図1



- 1: リンキング抑制回路
- 3: 伝送線路
- 3P: 高電位側信号線
- 3N: 低電位側信号線
- 4~6: 第3~第1スイッチング素子
- 7: 制御スイッチング素子
- 12: RCフィルタ回路
- 13: 遅延回路
- 14: 制御手段

【特許請求の範囲】

【請求項 1】

一対の高電位側信号線、低電位側信号線によりハイ、ローの 2 値レベルに変化する差動信号を伝送する伝送線路に接続され、前記信号の伝送に伴い発生するリングングを抑制するリングング抑制回路において、

前記一対の信号線間に接続される電圧駆動型で単一の線間スイッチング素子と、

前記差動信号のレベルが変化したことを検出すると、前記線間スイッチング素子を一定期間オンさせる制御手段とを備えることを特徴とするリングング抑制回路。

【請求項 2】

前記制御手段は、前記差動信号のレベルを反転して出力する反転回路と、

前記差動信号のレベルを前記一定期間遅延させて出力する遅延回路とを備え、

前記反転回路より出力される信号と、前記遅延回路より出力される信号との論理積信号を前記線間スイッチング素子の制御端子に出力することを特徴とする請求項 1 記載のリングング抑制回路。

【請求項 3】

前記反転回路は、制御端子が前記一対の信号線の一方に接続され、電位基準側導通端子が前記一対の信号線の他方に接続され、非基準側導通端子が前記線間スイッチング素子の制御端子に接続される電圧駆動型の第 1 スwitchング素子で構成され、

前記遅延回路は、前記第 1 スwitchング素子に並列に接続される電圧駆動型の第 2 スwitchング素子と、RC フィルタ回路と、電位基準側導通端子が前記第 2 スwitchング素子の電位基準側導通端子に接続される電圧駆動型の第 3 スwitchング素子とを備え、

前記第 3 スwitchング素子の非基準側導通端子は、前記第 2 スwitchング素子の制御端子に接続され、

前記 RC フィルタ回路は、前記一対の信号線の一方と、前記第 3 スwitchング素子の制御端子との間に接続されることを特徴とする請求項 2 記載のリングング抑制回路。

【請求項 4】

前記反転回路は、制御端子が前記一対の信号線の一方に接続され、電位基準側導通端子が前記一対の信号線の他方に接続され、非基準側導通端子が前記線間スイッチング素子の制御端子に接続される電圧駆動型の第 1 スwitchング素子で構成され、

前記遅延回路は、前記第 1 スwitchング素子に並列に接続される電圧駆動型の第 2 スwitchング素子と、RC フィルタ回路と、電位基準側導通端子が前記第 2 スwitchング素子の電位基準側導通端子に接続される電圧駆動型の第 3 スwitchング素子とを備え、

前記第 3 スwitchング素子の制御端子は、前記一対の信号線の一方に接続され、

前記 RC フィルタ回路は、前記第 3 スwitchング素子の非基準側導通端子と前記第 2 スwitchング素子の制御端子との間に接続されることを特徴とする請求項 2 記載のリングング抑制回路。

【請求項 5】

前記一対の信号線間に、前記各スswitchング素子が、前記低電位側信号線の電位を基準電位としてスswitchング動作する第 1 抑制回路と、

前記各スswitchング素子が、前記高電位側信号線の電位を基準電位としてスswitchング動作する第 2 抑制回路とを並列に接続したことを特徴とする請求項 3 又は 4 記載のリングング抑制回路。

【請求項 6】

前記線間スイッチング素子は、ゲートが抵抗素子を介してプルアップされ、ドレインが前記高電位側信号線に接続され、ソースが前記低電位側信号線に接続される第 0 N チャンネル MOS FET であり、

前記第 1 スwitchング素子は、ゲートが前記高電位側信号線に接続され、ドレインが前記第 0 N チャンネル MOS FET のゲートに接続され、ソースが前記低電位側信号線に接続される第 1 N チャンネル MOS FET であり、

前記第 2 スwitchング素子は、前記第 1 N チャンネル MOS FET に並列に接続される第

10

20

30

40

50

2 NチャンネルMOSFETであり、

前記第3スイッチング素子は、ドレインが抵抗素子を介してプルアップされ、ソースが前記低電位側信号線に接続される第3 NチャンネルMOSFETであることを特徴とする請求項3乃至5の何れかに記載のリングング抑制回路。

【請求項7】

前記線間スイッチング素子のゲートをプルアップする抵抗素子に、アノードが電源側となるダイオードと、抵抗値が前記プルアップ用の抵抗素子よりも小さく設定される抵抗素子との直列回路を並列に接続したことを特徴とする請求項6記載のリングング抑制回路。

【請求項8】

前記第0 NチャンネルMOSFETのゲートと、前記第2 NチャンネルMOSFETのドレインとの間に接続される遮断用素子と、

この遮断用素子のオンオフを制御する遮断用素子制御手段とを備え、

前記遮断用素子制御手段は、前記伝送線路に接続されている通信ノードをスタンバイ状態に移行させるため、スタンバイ信号を出力する前記通信ノードの制御部であり、

前記スタンバイ信号を前記遮断用素子の制御端子に与え、前記スタンバイ状態に移行すると前記遮断用素子をオフさせることを特徴とする請求項6又は7記載のリングング抑制回路。

【請求項9】

前記第0 NチャンネルMOSFETのゲートと、前記第2 NチャンネルMOSFETのドレインとの間に接続される遮断用素子と、

この遮断用素子のオンオフを制御する遮断用素子制御手段とを備え、

前記遮断用素子制御手段は、前記伝送線路における差動電圧レベルを検出し、前記差動電圧レベルが所定の閾値を下回る期間に前記遮断用素子をオフさせることを特徴とする請求項6又は7記載のリングング抑制回路。

【請求項10】

前記一对の信号線間に接続される抵抗素子及びコンデンサの直列回路を備え、

前記直列回路の共通接続点は、第1 NチャンネルMOSFETのゲートに接続されることを特徴とする請求項6乃至9の何れかに記載のリングング抑制回路。

【請求項11】

アノードが前記直列回路の共通接続点側となる方向で、前記抵抗素子に並列に接続されるダイオードを備えることを特徴とする請求項10記載のリングング抑制回路。

【請求項12】

前記線間スイッチング素子は、ゲートが抵抗素子を介してプルダウンされ、ドレインが前記低電位側信号線に接続され、ソースが前記高電位側信号線に接続される第0 PチャンネルMOSFETであり、

前記第1スイッチング素子は、ゲートが前記低電位側信号線に接続され、ドレインが前記第0 PチャンネルMOSFETのゲートに接続され、ソースが前記高電位側信号線に接続される第1 PチャンネルMOSFETであり、

前記第2スイッチング素子は、前記第1 PチャンネルMOSFETに並列に接続される第2 PチャンネルMOSFETであり、

前記第3スイッチング素子は、ドレインが抵抗素子を介してプルダウンされ、ソースが前記高電位側信号線に接続される第3 PチャンネルMOSFETであることを特徴とする請求項3乃至5の何れかに記載のリングング抑制回路。

【請求項13】

前記線間スイッチング素子のゲートをプルダウンする抵抗素子に、カソードがグランド側となるダイオードと、抵抗値が前記プルダウン用の抵抗素子よりも小さく設定される抵抗素子との直列回路を並列に接続したことを特徴とする請求項12記載のリングング抑制回路。

【請求項14】

前記第0 PチャンネルMOSFETのゲートと、前記第2 PチャンネルMOSFETのドレ

10

20

30

40

50

インとの間に接続される遮断用素子と、

この遮断用素子のオンオフを制御する遮断用素子制御手段とを備え、

前記遮断用素子制御手段は、前記伝送線路に接続されている通信ノードをスタンバイ状態に移行させるため、スタンバイ信号を出力する前記通信ノードの制御部であり、

前記スタンバイ信号を前記遮断用素子の制御端子に与え、前記スタンバイ状態に移行すると前記遮断用素子をオフさせることを特徴とする請求項 1 2 又は 1 3 記載のリングング抑制回路。

【請求項 1 5】

前記第 0 P チャンネル MOS F E T のゲートと、前記第 2 P チャンネル MOS F E T のドレインとの間に接続される遮断用素子と、

この遮断用素子のオンオフを制御する遮断用素子制御手段とを備え、

前記遮断用素子制御手段は、前記伝送線路における差動電圧レベルを検出し、前記差動電圧レベルが所定の閾値を下回る期間に前記遮断用素子をオフさせることを特徴とする請求項 1 2 又は 1 3 記載のリングング抑制回路。

【請求項 1 6】

前記一对の信号線間に接続されるコンデンサ及び抵抗素子の直列回路を備え、

前記直列回路の共通接続点は、第 1 P チャンネル MOS F E T のゲートに接続されることを特徴とする請求項 1 2 ないし 1 5 の何れかに記載のリングング抑制回路。

【請求項 1 7】

アノードが前記直列回路の共通接続点側となる方向で、前記抵抗素子に並列に接続されるダイオードを備えたことを特徴とする請求項 1 6 記載のリングング抑制回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一对の高電位側信号線，低電位側信号線により差動信号を伝送する伝送線路に接続され、前記信号の伝送に伴い発生するリングングを抑制する回路に関する。

【背景技術】

【0002】

伝送線路を介してデジタル信号を伝送する場合、受信側においては、信号レベルが変化するタイミングで信号エネルギーの一部が反射することで、オーバーシュートやアンダーシュートのような波形の歪み，すなわちリングングが生じる問題がある。そして、従来、波形歪みを抑制する技術については様々な提案がされている。例えば特許文献 1 では、伝送路の終端回路 1 1 において、信号の電圧レベルがロー，ハイ間で遷移する場合に、遅延回路 1 3 において付与される遅延時間の間、終端 5 のインピーダンスを一時的に低下させる技術が開示されている。

【0003】

特許文献 1 では、従来使用されている終端切換回路 4 0 に対して並列に補助切換回路 4 1 を接続しており、補助切換回路 4 1 では、電源 V_{cc} とグランドとの間に 4 個の MOS F E T を直列に接続し、それらのスイッチング制御を、終端 5 に伝送された信号と、当該信号を 3 直列のインバータ 2 1 ~ 2 3 により遅延させ、且つ反転させた信号とにより行っている。しかしながら、このような構成では、終端 5 を電源 V_{cc} 又はグランドに一時的に接続する際に過渡的に、両者の間に複数の MOS F E T のオン抵抗が直列に、若しくは直列及び並列に接続される状態となる。このため、終端 5 のインピーダンスを十分に低下させることができない。オン抵抗を低下させるには MOS F E T のサイズを大きくする必要はあるが、そうすると、終端回路 1 1 が大型化することになる。

【0004】

また、特許文献 2 では、差動信号を伝送する高電圧信号線路 1 0 2 ，低電圧信号線路 1 0 3 の間にスイッチ 2 0 2 を接続し、波形歪検出部 2 0 1 が線路 1 0 2 ，1 0 3 間電圧の大小関係が逆転したことを検出すると、スイッチ 2 0 2 を閉じて線路 1 0 2 ，1 0 3 間を短絡させる構成が開示されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-127805号公報(図1参照)

【特許文献2】特開2010-103944号公報(図8参照)

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献2のように、線路102, 103間を短絡させれば線路間インピーダンスはゼロになり、伝送された信号を受信するノードの近傍では信号波形の歪みを低減することができる。しかしながら、短絡の場合は波形の歪み成分のエネルギーが消費されないため、そのエネルギーは短絡点より反射して信号を送信したノードの側に到達することになる。したがって、他のノードに悪影響を及ぼす結果となる。

10

【0007】

本発明は上記事情に鑑みてなされたものであり、その目的は、より簡単な構成で波形歪みのエネルギーを消費させ、リングングを確実に抑制できるリングング抑制回路を提供することにある。

【課題を解決するための手段】

【0008】

請求項1記載のリングング抑制回路によれば、伝送線路を構成する一对の信号線間に、電圧駆動型で単一の線間スイッチング素子を接続し、制御手段は、伝送線路を介して伝送される差動信号のレベルがハイ, ローの間で変化したことを検出すると、線間スイッチング素子を一定期間オンさせる。すなわち、差動信号のレベルが遷移する期間に線間スイッチング素子が導通することで信号線間のインピーダンスを大きく低下させ、差動信号波形の歪みエネルギーを吸収させてリングングの発生をより確実に抑制することができる。

20

【0009】

請求項2記載のリングング抑制回路によれば、制御手段を、差動信号のレベルを反転して出力する反転回路と、差動信号のレベルを一定期間遅延させて出力する遅延回路とを備えて構成し、反転回路より出力される信号と、遅延回路より出力される信号との論理積信号によって線間スイッチング素子のスイッチング動作を制御する。尚、ここで言う「論理積」は、入出力が正論理, 負論理の何れでも良く、例えば入力为正論理で出力が負論理であっても良い。斯様に構成すれば、遅延回路によって付与される一定期間の間に、反転回路の出力信号と遅延回路の出力信号とが同じ論理となるので、その論理積信号により線間スイッチング素子を導通させればリングングを抑制できる。

30

【0010】

請求項3記載のリングング抑制回路によれば、反転回路を第1スイッチング素子で構成し、遅延回路を、第2及び第3スイッチング素子と、RCフィルタ回路とを備えて構成する。そして、第3スイッチング素子の非基準側導通端子を第2スイッチング素子の制御端子に接続し、RCフィルタ回路を、一对の信号線の一方と第3スイッチング素子の制御端子との間に接続する。すなわち、第1スイッチング素子を介することで信号レベルを反転させることができ、RCフィルタ回路の時定数に応じて信号の遅延時間を設定できる。そして、RCフィルタ回路を介して遅延させた信号により第3及び第2スイッチング素子をスイッチング動作させて、並列に接続されている第1スイッチング素子との論理積により線間スイッチング素子を導通させることができる。

40

【0011】

ところで、伝送線路を介して差動信号を伝送する構成では、送信側のノードは、自身のグランド電位を基準に信号線をドライブすることで信号を送信する。しかしながら、伝送線路が長くなり、送信側のノードと受信側のノード若しくは終端回路との距離が離れている状態では、各ノードにおけるグランド電位が数V程度相違することがある。したがって、リングング抑制回路と送信側のノードとの間でグランド電位が相違しているためRCフ

50

フィルタ回路を構成するコンデンサの充放電時間が変化すると、リングングの抑制効果を十分に得られなくなることが想定される。

【 0 0 1 2 】

これに対して請求項3の構成では、RCフィルタ回路が伝送路間に接続されているので（コンデンサが第2スイッチング素子の制御端子と信号線の他方との間に接続される）、たとえノード間にグランド電位差があったとしてもコンデンサの充放電時間は差動信号の電位差で決まるので、線間スイッチング素子を導通させる時間が一定となる。したがって、グランド電位差の影響を排除してリングングの抑制を確実に行うことができる。

【 0 0 1 3 】

請求項4記載のリングング抑制回路によれば、第3スイッチング素子の制御端子を、一対の信号線の一方に接続し、RCフィルタ回路を、第3スイッチング素子の非基準側導通端子と第2スイッチング素子の制御端子との間に接続する。このように構成すれば、差動信号のレベルが変化したことをトリガとし、第2スイッチング素子を介してRCフィルタ回路を構成するコンデンサの充電状態を変化させ、前記充電状態の変化に応じて第3スイッチング素子のスイッチング状態を変化させて一定期間の遅延を付与することができる。

【 0 0 1 4 】

すなわち、第1スイッチング素子を介すことで信号レベルを反転させることができ、RCフィルタ回路の時定数に応じて信号の遅延時間を設定できる。そして、RCフィルタ回路を介して遅延させた信号により第2スイッチング素子をスイッチング動作させて、並列に接続されている第1スイッチング素子との論理積により線間スイッチング素子を導通させることができる。

【 0 0 1 5 】

請求項5記載のリングング抑制回路によれば、一対の信号線間に、各スイッチング素子が、低電位側信号線の電位を基準電位としてスイッチング動作する第1抑制回路と、各スイッチング素子が、高電位側信号線の電位を基準電位としてスイッチング動作する第2抑制回路とを並列に接続する。すなわち、電圧駆動型のスイッチング素子は、電位基準側導通端子との制御端子との電位差（端子間電位差と称す）に応じてスイッチング動作する。したがって、基準電位とする低電位側信号線の電位又は高電位側信号線の電位が変化すると、各スイッチング素子の導電型や接続状態に応じて、端子間電位差が広がる場合と狭まる場合とがある。

【 0 0 1 6 】

第1抑制回路を構成する各スイッチング素子は、低電位側信号線の電位を基準電位としてスイッチング動作するので、低電位側信号線と制御端子との電位差が大きくなればスイッチング動作が確実に行われるが、前記電位差が小さくなればスイッチング動作が行われ難くなる。また、第2抑制回路を構成する各スイッチング素子は、高電位側信号線の電位を基準電位としてスイッチング動作するので、高電位側信号線と制御端子との電位差が大きくなればスイッチング動作が確実に行われるが、前記電位差が小さくなればスイッチング動作が行われ難くなる。

【 0 0 1 7 】

そして、請求項4について述べたように、各ノード間のグランド電位に差があることで、差動信号がハイレベルとなる時の低電位側信号線の電位が抑制回路側のグランドレベルに対して高くなっていれば、制御端子と低電位側信号線との電位差が狭まることで第1抑制回路側のスイッチング素子はスイッチング動作し難くなる。しかしこの時、高電位側信号線の電位も、抑制回路側のグランドレベルに対して通常より高くなるため、第2抑制回路側のスイッチング素子はスイッチング動作し易くなる。

【 0 0 1 8 】

逆に、差動信号がハイレベルとなる時の低電位側信号線の電位が抑制回路側のグランドレベルに対して低くなっていれば、制御端子と低電位側信号線との電位差が広がることで第1抑制回路側のスイッチング素子はスイッチング動作し易くなるが、高電位側信号線の電位も抑制回路側のグランドレベルに対して通常より低くなるため、第2抑制回路側のス

10

20

30

40

50

スイッチング素子はスイッチング動作し難くなる。そこで、一对の信号線間に第1及び第2抑制回路を並列に接続すれば、ノード間のグラウンド電位に差がある状態でも第1又は第2抑制回路の何れか一方が確実に動作するようになり、リングングの抑制を確実に行うことができる。

【0019】

請求項6記載のリングング抑制回路によれば、線間スイッチング素子並びに第1～第3スイッチング素子を、第0～第3NチャンネルMOSFETで構成する。この場合、各NチャンネルMOSFETの電位基準側導通端子であるソースは何れも低電位側信号線に接続され、第1NチャンネルMOSFETは、ゲートに接続される高電位側信号線との電位差に応じてスイッチング動作する。すなわち、差動信号がハイレベルであればオン、ローレベルであればオフする。

10

【0020】

第3NチャンネルMOSFETは、ドレインが抵抗素子を介してプルアップされ、請求項3に対応する構成では差動信号レベルが高い場合にオン状態となり、RCフィルタ回路のコンデンサを放電させる。これにより、第2NチャンネルMOSFETはオフとなっているが、第1NチャンネルMOSFETがオンしているので、第0NチャンネルMOSFETのゲート電位はローレベルとなり、オフ状態となっている。

【0021】

そして、差動信号レベルが高いからローに変化すると第1NチャンネルMOSFETがターンオフするので、第0NチャンネルMOSFETは、ゲート電位がハイレベルとなりターンオンする。これにより、1対の信号線間は第0NチャンネルMOSFETのオン抵抗を介して接続され、差動信号波形の立下り時の歪みエネルギーが消費される。同時に、第3NチャンネルMOSFETがターンオフしてRCフィルタ回路のコンデンサの充電が開始される。一定期間が経過してコンデンサの端子電圧が閾値電圧を超えると第2NチャンネルMOSFETがターンオンするので、第0NチャンネルMOSFETは、ゲート電位がローレベルとなりターンオフする。

20

【0022】

また、請求項4に対応する構成では第3NチャンネルMOSFETとRCフィルタ回路との接続順序が逆になるので、差動信号レベルが高い場合はRCフィルタ回路のコンデンサは充電されており、第3NチャンネルMOSFETがオンして第2NチャンネルMOSFETはオフしている。そして、差動信号レベルが高いからローに変化するとコンデンサの放電が開始され、閾値電圧を下回ると第3NチャンネルMOSFETがターンオフして第2NチャンネルMOSFETがターンオンする。したがって、第2NチャンネルMOSFET以降の動作は請求項3の場合と同様になる。

30

【0023】

請求項7記載のリングング抑制回路によれば、線間スイッチング素子のゲートをプルアップする抵抗素子に、アノードが電源側となるダイオードと、抵抗値がプルアップ用の抵抗素子よりも小さく設定される抵抗素子との直列回路を並列に接続する。このように構成すれば、電源より線間スイッチング素子のゲートを充電する電流を流す際の電流経路の抵抗値が低くなる。したがって、線間スイッチング素子をより早くターンオンさせてリングングを一層抑制することができる。

40

【0024】

請求項8記載のリングング抑制回路によれば、遮断用素子制御手段を、伝送線路に接続されている通信ノードをスタンバイ状態に移行させるためスタンバイ信号を出力する、前記通信ノードの制御部とする。そして、遮断用素子制御手段は、第0NチャンネルMOSFETと第2NチャンネルMOSFETとの間に接続した遮断用素子の制御端子にスタンバイ信号を与え、スタンバイ状態に移行すると遮断用素子をオフさせる。

【0025】

すなわち、請求項6又は7の構成では、第2NチャンネルMOSFETは、ゲートがプルアップされているので差動信号がローレベルとなる期間にオン状態となっている。そのた

50

め、電流が電源から第2NチャンネルMOSFETを介して低電位信号線側に流れ、不要な電流消費が発生している。そして、通信ノードがスタンバイ状態に移行している期間は通信が行われる可能性が無いので、スタンバイ信号により遮断用素子をオフさせることで上記の電流経路を遮断して不要な電流消費を抑制できる。

【0026】

請求項9記載のリング抑制回路によれば、遮断用素子制御手段は、伝送線路における差動電圧レベルを検出し、差動電圧レベルが所定の閾値を下回る期間に遮断用素子をオフさせる。すなわち、伝送線路において差動信号が伝送されない期間は信号線間の差動電圧が0V(ローレベル)になっているので、その状態を検知して遮断用素子をオフさせれば不要な電流消費を抑制できる。

10

【0027】

請求項10記載のリング抑制回路によれば、一对の信号線間に接続される抵抗素子及びコンデンサの直列回路を備え、直列回路の共通接続点を第1NチャンネルMOSFETのゲートに接続する。すなわち、上記直列回路は、差動信号がハイレベルとなった場合に第1NチャンネルMOSFETのゲート電位を上昇させる時間を遅延させる遅延回路として作用する。これにより、差動信号波形が立下った後にオーバーシュートが発生した場合、そのオーバーシュートに追従して第1NチャンネルMOSFETがターンオンすることを抑制し、第0NチャンネルMOSFETが一時的にターンオフすることを防止できる。

【0028】

請求項11記載のリング抑制回路によれば、アノードが直列回路の共通接続点側となる方向で、抵抗素子に並列に接続されるダイオードを備える。これにより、差動信号レベルがハイからローに変化した場合に、コンデンサの充電電荷をダイオードを介して急速に放電させて、差動信号波形が立下った場合は第1NチャンネルMOSFETを直ちにターンオフさせることができる。

20

【0029】

請求項12記載のリング抑制回路によれば、線間スイッチング素子並びに第1~第3スイッチング素子を、第0~第3PチャンネルMOSFETで構成する。この場合、各PチャンネルMOSFETの電位基準側導通端子であるソースは何れも高電位側信号線に接続され、第1PチャンネルMOSFETは、ゲートに接続される低電位側信号線との電位差に応じてスイッチング動作する。すなわち、差動信号がハイレベルであればオン、ローレベルであればオフする。

30

【0030】

第3PチャンネルMOSFETは、ドレインが抵抗素子を介してプルダウンされ、請求項3に対応する構成では差動信号レベルがハイの場合にオン状態となり、RCフィルタ回路のコンデンサを放電させる。これにより、第2PチャンネルMOSFETはオフとなっているが、第1PチャンネルMOSFETがオンしているため、第0PチャンネルMOSFETのゲート電位はローレベルとなり、オフ状態となっている。

【0031】

そして、差動信号レベルがハイからローに変化すると第1PチャンネルMOSFETがターンオフするので、第0PチャンネルMOSFETは、ゲート電位がローレベルとなりターンオンする。これにより、1対の信号線間は第0PチャンネルMOSFETのオン抵抗を介して接続され、差動信号波形の立下り時の歪みエネルギーが消費される。同時に、第3PチャンネルMOSFETがターンオフしてRCフィルタ回路のコンデンサの充電が開始される。一定期間が経過してコンデンサの端子電圧が閾値電圧を超えると第2PチャンネルMOSFETがターンオンするので、第0PチャンネルMOSFETは、ゲート電位がハイレベルとなりターンオフする。

40

【0032】

また、請求項4に対応する構成では第3PチャンネルMOSFETとRCフィルタ回路との接続順序が逆になるので、差動信号レベルがハイの場合はRCフィルタ回路のコンデンサは充電されており、第3PチャンネルMOSFETがオンして第2PチャンネルMOSFET

50

Tはオフしている。そして、差動信号レベルがハイからローに変化するとコンデンサの放電が開始され、閾値電圧を下回ると第3PチャンネルMOSFETがターンオフして第2PチャンネルMOSFETがターンオンする。したがって、第2PチャンネルMOSFET以降の動作は請求項3の場合と同様になる。

【0033】

請求項13記載のリングング抑制回路によれば、線間スイッチング素子のゲートをプルダウンする抵抗素子に、カソードがグランド側となるダイオードと、抵抗値がプルダウン用の抵抗素子よりも小さく設定される抵抗素子との直列回路を並列に接続する。このように構成すれば、線間スイッチング素子のゲートを放電する電流を低電位側信号線に流す際の電流経路の抵抗値が低くなる。したがって、線間スイッチング素子をより早くターンオンさせてリングングを一層抑制することができる。

10

【0034】

請求項14記載のリングング抑制回路によれば、遮断用素子制御手段を、伝送線路に接続されている通信ノードをスタンバイ状態に移行させるためスタンバイ信号を出力する、通信ノードの制御部とする。そして、遮断用素子制御手段は、第0PチャンネルMOSFETと第2PチャンネルMOSFETとの間に接続した遮断用素子の制御端子にスタンバイ信号を与え、スタンバイ状態に移行すると遮断用素子をオフさせる。

【0035】

すなわち、請求項12又は13の構成では、第2PチャンネルMOSFETは、ゲートがプルダウンされているので差動信号が非伝送状態となる期間にオン状態となっている。そのため、電流が電源から第2PチャンネルMOSFETを介して低電位信号線側に流れ、不要な電流消費が発生している。そして、通信ノードがスタンバイ状態に移行している期間は通信が行われる可能性が無いので、スタンバイ信号により遮断用素子をオフさせることで上記の電流経路を遮断して不要な電流消費を抑制できる。

20

【0036】

請求項15記載のリングング抑制回路によれば、遮断用素子制御手段は、伝送線路における差動電圧レベルを検出し、差動電圧レベルが所定の閾値を下回る期間に遮断用素子をオフさせる。すなわち、伝送線路において差動信号が伝送されない期間は信号線間の差動電圧が0Vになっているので、その状態を検知して遮断用素子をオフさせれば不要な電流消費を抑制できる。

30

【0037】

請求項16記載のリングング抑制回路によれば、一对の信号線間に接続されるコンデンサ及び抵抗素子の直列回路を備え、直列回路の共通接続点を第1PチャンネルMOSFETのゲートに接続する。すなわち、上記直列回路は、差動信号がハイレベルとなった場合に第1PチャンネルMOSFETのソース-ゲート間電圧を上昇させる時間を遅延させる遅延回路として作用する。これにより、差動信号波形が立下った後にオーバーシュートが発生した場合、そのオーバーシュートに追従して第1PチャンネルMOSFETがターンオンすることを抑制し、第0PチャンネルMOSFETが一時的にターンオフすることを防止できる。

【0038】

請求項17記載のリングング抑制回路によれば、アノードが直列回路の共通接続点側となる方向で、抵抗素子に並列に接続されるダイオードを備える。これにより、差動信号レベルがハイからローに変化した場合に、コンデンサの充電電荷をダイオードを介して急速に放電させて、差動信号波形が立下った場合は第1PチャンネルMOSFETを直ちにターンオフさせることができる。

40

【図面の簡単な説明】

【0039】

【図1】第1実施例であり、リングング抑制回路の構成を示す図

【図2】リングング抑制回路の動作を示すタイミングチャート

【図3】第2実施例を示す図1相当図

50

- 【図 4】図 2 相当図
- 【図 5】第 3 実施例を示す図 1 相当図
- 【図 6】第 4 実施例を示す図 1 相当図
- 【図 7】リング抑制回路の動作をシミュレーションした結果を示す図
- 【図 8】第 5 実施例を示す図 1 相当図
- 【図 9】図 7 相当図（グランドオフセット 0 V の場合）
- 【図 10】図 7 相当図（グランドオフセット - 7.5 V の場合）
- 【図 11】図 7 相当図（グランドオフセット + 9.5 V の場合）
- 【図 12】第 6 実施例を示す図 1 相当図
- 【図 13】図 7 相当図（グランドオフセット 0 V の場合）
- 【図 14】図 7 相当図（グランドオフセット - 7.5 V の場合）
- 【図 15】図 7 相当図（グランドオフセット + 9.5 V の場合）
- 【図 16】第 7 実施例を示す図 1 2 相当図
- 【図 17】リング抑制回路の動作をシミュレーションした結果を示す図
- 【図 18】第 8 実施例を示す図 5 相当図
- 【図 19】リング抑制回路の動作をシミュレーションした結果を示す図
- 【図 20】通信ノードの構成を概略的に示すブロック図
- 【図 21】第 9 実施例を示す図 1 8 相当図
- 【図 22】図 2 相当図
- 【図 23】第 10 実施例を示す図 1 8 相当図
- 【発明を実施するための形態】

10

20

【0040】

（第 1 実施例）

以下、第 1 実施例について図 1 及び図 2 を参照して説明する。図 1 は、リング抑制回路の構成を示している。リング抑制回路 1 は、送信回路（又は受信回路でも良い）2 と共に、高電位側信号線 3 P、低電位側信号線 3 N よりなる伝送線路 3 の間に並列に接続されている。リング抑制回路 1 は、ソース（電位基準側導通端子）が何れも低電位側信号線 3 N に接続される 4 つの N チャンネル MOS FET 4 ~ 7（第 3 ~ 第 0 N チャンネル MOS FET）を備え、N チャンネル MOS FET 4 及び 6 のゲート（制御端子）は、高電位側信号線 3 P に接続されている。

30

【0041】

N チャンネル MOS FET 7（線間スイッチング素子）のドレイン（非基準側導通端子）は、高電位側信号線 3 P に接続されており、N チャンネル MOS FET 4 及び 6 のドレインは、N チャンネル MOS FET 7 のゲートに接続されていると共に抵抗素子 8 を介してハイレベル（電源レベル；V_{cc}）にプルアップされている。N チャンネル MOS FET 4（第 3 スwitching 素子）のドレインは、抵抗素子 9 を介してハイレベルにプルアップされていると共に、抵抗素子 10 を介して N チャンネル MOS FET 5（第 2 スwitching 素子）のゲートに接続されている。また、前記ゲートは、コンデンサ 11 を介して低電位側信号線 3 N に接続されている。

すなわち、抵抗素子 10 及びコンデンサ 11 は、RC フィルタ回路 12 を構成している。そして、N チャンネル MOS FET 4 及び 5、抵抗素子 9 及び RC フィルタ回路 12 は遅延回路 13 を構成しており、遅延回路 13 と、抵抗素子 8 及び N チャンネル MOS FET 6（第 1 スwitching 素子）とは制御回路（制御手段）14 を構成している。

40

【0042】

次に、第 1 実施例の作用について図 2 を参照して説明する。伝送線路 3 は、例えば車載 LAN の 1 つである CAN のように、伝送線路 3 によりハイレベル、ローレベルの 2 値信号を差動信号として伝送する。例えば電源電圧が 5 V の場合、高電位側信号線 3 P（CAN - H）、低電位側信号線 3 N（CAN - L）は、非ドライブ状態において何れも中間電位である 2.5 V に設定され、差動電圧は 0 V であり、差動信号はローレベル（レセッシブ）となる。

50

【 0 0 4 3 】

そして、送信回路 2 が伝送線路 3 をドライブすると、高電位側信号線 3 P は例えば 3 . 5 V 以上に、低電位側信号線 3 N は例えば 1 . 5 V 以下にドライブされ、差動電圧は 2 V 以上となり、差動信号はハイレベル（ドミナント）となる。また、図示しないが、高電位側信号線 3 P , 低電位側信号線 3 N の両端は 1 2 0 の抵抗素子により終端されている。したがって、差動信号レベルがハイからローに変化する際には、伝送線路 3 が非ドライブ状態となり伝送線路 3 のインピーダンスが高くなることから、差動信号波形にリングングが発生する。

【 0 0 4 4 】

図 2 は、(a) 差動信号レベルがハイからローに変化する際の各 N チャネル MOS F E T 4 ~ 7 のゲート電位、すなわちオンオフ状態を示している。差動信号レベルがハイの場合、(c) N チャネル MOS F E T 4 及び 6 はオンしているので、(d) N チャネル MOS F E T 5 はオフしている。したがって、(b) N チャネル MOS F E T 7 はオフ状態となっている。

10

【 0 0 4 5 】

この状態から、(a) 差動信号レベルがハイからローに変化すると、(c) N チャネル MOS F E T 4 及び 6 がターンオフするので (b) N チャネル MOS F E T 7 がターンオンする。すると、高電位側信号線 3 P , 低電位側信号線 3 N 間は N チャネル MOS F E T 7 のオン抵抗を介して接続されることになり、インピーダンスが低下する。これにより、差動信号レベルがハイからローに変化する立下り期間に発生する波形歪みのエネルギーが

20

【 0 0 4 6 】

N チャネル MOS F E T 4 がターンオフすると、コンデンサ 1 1 が抵抗素子 9 及び 1 0 を介して充電されるので、コンデンサ 1 1 の端子電圧が N チャネル MOS F E T 5 の閾値電圧を超えて上昇すると、(d) N チャネル MOS F E T 5 がターンオンする。すると、(b) N チャネル MOS F E T 7 のゲート電圧がローレベルとなり、N チャネル MOS F E T 7 はターンオフする。すなわち、N チャネル MOS F E T 7 は、N チャネル MOS F E T 4 ~ 6 が何れもオフしている期間（歪み抑制期間）にオンとなり、高電位側信号線 3 P , 低電位側信号線 3 N 間をそのオン抵抗を介して接続する。

30

【 0 0 4 7 】

ここで、リングング抑制回路 1 が、差動信号がハイレベルからローレベルに変化したことをトリガとして N チャネル MOS F E T 7 をターンオンさせる動作は、以下のようなロジックで動作していると見ることができる。すなわち、N チャネル MOS F E T 6 は、ゲートに与えられる差動信号レベルを反転させてドレインに出力する反転回路であり、N チャネル MOS F E T 5 は、差動信号の立下り変化を、N チャネル MOS F E T 4 及び R C フィルタ回路 1 2 を介し、一定時間遅延させてドレインに出力する。そして、N チャネル MOS F E T 7 は、N チャネル MOS F E T 4 及び 6 のドレインレベルが何れもハイを示す期間に自身のゲートがハイレベルとなり、すなわち双方のドレインレベルの論理積条件によりターンオンする。したがって、反転回路の出力信号と遅延回路 1 3 の出力信号との論理積信号が、N チャネル MOS F E T 7 のゲートに出力される構成と等価である。

40

【 0 0 4 8 】

以上のように本実施例によれば、一对の信号線 3 P , 3 N 間に N チャネル MOS F E T 7 を接続し、制御回路 1 4 は、伝送線路 3 を介して伝送される差動信号のレベルがハイからローに変化したことを検出すると、N チャネル MOS F E T 7 を一定期間オンさせる。すなわち、差動信号のレベルが遷移する期間に N チャネル MOS F E T 7 が導通することで信号線 3 P , 3 N 間のインピーダンスを大きく低下させ、差動信号波形の歪みエネルギーを吸収させてリングングの発生をより確実に抑制することができる。

【 0 0 4 9 】

そして、制御回路 1 4 を、差動信号のレベルを反転して出力する反転回路；N チャネル MOS F E T 6 と、差動信号のレベルを一定期間遅延させて出力する遅延回路 1 3 とを備

50

えて構成し、反転回路より出力される信号と遅延回路13より出力される信号との論理積信号によりNチャンネルMOSFET7をターンオンさせる構成とした。また、遅延回路13を、NチャンネルMOSFET4及び5と、RCフィルタ回路12を有してなる構成とし、NチャンネルMOSFET5のドレインをNチャンネルMOSFET7のゲートに接続し、RCフィルタ回路12、NチャンネルMOSFET4のドレインを信号線3Nとの間に接続した。

【0050】

これにより、差動信号のレベルが変化したことをトリガとし、NチャンネルMOSFET4を介してRCフィルタ回路12を構成するコンデンサ11の充電状態を変化させ、前記充電状態の変化に応じて、すなわちRCフィルタ回路12の時定数に応じてNチャンネルMOSFET5のスイッチング状態を変化させ一定期間の遅延を付与することができる。したがって、RCフィルタ回路12により遅延時間として付与される一定期間の間に、NチャンネルMOSFET6の出力信号と遅延回路13の出力信号とが同じ論理となるので、それらの論理積信号でNチャンネルMOSFET7をオンさせてリングングを抑制できる。

10

【0051】

(第2実施例)

図3及び図4は第2実施例であり、第1実施例と同一部分には同一符号を付して説明を省略し、以下異なる部分について説明する。第2実施例のリングング抑制回路15は、第1実施例のリングング抑制回路1の構成において、NチャンネルMOSFET4とRCフィルタ回路12との接続順序を入れ替えたものとなっている。すなわち、RCフィルタ回路12の入力端子である抵抗素子10の一端が高電位側信号線3Pに接続され、RCフィルタ回路12の出力端子である抵抗素子10の他端がNチャンネルMOSFET4のゲートに接続されている。そして、NチャンネルMOSFET4のドレインが、NチャンネルMOSFET5のゲートに接続されている。尚、NチャンネルMOSFET4とRCフィルタ回路12との接続順序を入れ替えた構成が遅延回路16を構成しており、遅延回路16にNチャンネルMOSFET6及び抵抗素子8を加えたものが制御回路(制御手段)17を構成している。

20

【0052】

図4は図2相当図であり、(a)差動信号レベルがハイからローに変化すると、(e)最初はNチャンネルMOSFET6のみがターンオフし、(d)この時点でNチャンネルMOSFET5はオフ状態を維持しているので(b)NチャンネルMOSFET7がターンオンする。そして、差動信号レベルがハイの状態に充電されていたRCフィルタ回路12のコンデンサ11が放電される間に遅延時間が付与され、(c)NチャンネルMOSFET4のゲートがローレベルになると、NチャンネルMOSFET4がターンオフする。すると、(d)NチャンネルMOSFET5がターンオンするので(b)NチャンネルMOSFET7のゲート電圧がローレベルとなり、NチャンネルMOSFET7はターンオフする。結果として、第1実施例と同様の動作となる。

30

【0053】

また、第2実施例のリングング抑制回路15には、以下のような作用がある。第1実施例のリングング抑制回路1の場合、RCフィルタ回路12の入力端子に抵抗素子9を介して付与される電源電圧は、リングング抑制回路1のグラウンドレベルG1を基準として5Vなどに設定されている。一方、伝送線路3を介して伝送される差動信号のハイ、ローレベルは、伝送線路3をドライブする送信ノードのグラウンドレベルG2に応じて決まる。そして、車載LANの伝送線路3のように車両の各部に通信ノードが配置される構成の場合、各通信ノードにおけるグラウンドの電位が異なること(グラウンドオフセット)が想定される。

40

【0054】

例えば双方のグラウンドレベルG1、G2の大小関係が $G1 > G2$ になっていると、差動信号がドミナントとなった場合の低電位側信号線3Nのローレベルが想定しているレベルよりも低くなり(例えば、上述のように1.5Vで想定していたものがより低いレベルで

50

あった場合)、電源 - ローレベル間の電位差がより大きくなる。すると、RCフィルタ回路12のコンデンサ11を充電する時間が短くなるため、RCフィルタ回路12により付与される遅延時間がより短くなって、NチャンネルMOSFET7がオンする期間が短くなることでリングングの抑制効果が十分に得られなくなる可能性がある。

【0055】

これに対して、第2実施例のリングング抑制回路15では、RCフィルタ回路12が高電位側信号線3P、低電位側信号線3N間に直接接続されているので、差動信号がドミナントとなった場合の差動電圧は、グラウンドレベルG1、G2の大小関係に関わらず一定となる。したがって、RCフィルタ回路12により付与される遅延時間は一定となるのでNチャンネルMOSFET7がオンする期間も一定となり、リングングの抑制効果を確実に得られるようになる。

10

【0056】

以上のように第2実施例によれば、遅延回路16を構成するRCフィルタ回路12を、高電位側信号線3PとNチャンネルMOSFET5のゲートとの間に接続する。このように構成すれば、差動信号のレベルがハイからローに変化したことをトリガとして、RCフィルタ回路12を構成するコンデンサ11の充電状態が変化する。そして、前記充電状態の変化に応じてNチャンネルMOSFET5及び6のスイッチング状態を変化させて、一定期間の遅延を付与することができる。したがって、通信ノード間、或いは通信ノード - リングング抑制回路15間にグラウンド電位差があったとしてもコンデンサ11の充放電時間は差動信号の電位差で決まるので、NチャンネルMOSFET7を導通させる時間が一定となり、グラウンド電位差の影響を排除してリングングの抑制を確実に行うことができる。

20

【0057】

(第3実施例)

図5は第3実施例であり、第2実施例と異なる部分のみ説明する。第3実施例のリングング抑制回路18は、第2実施例のリングング抑制回路15とはNチャンネルMOSFET6のゲート側の構成が相違している。高電位側信号線3P、低電位側信号線3N間には、抵抗素子19及びコンデンサ20の直列回路が接続されており、両者の共通接続点がNチャンネルMOSFET6のゲートに接続されている。また、ダイオード21が、抵抗素子19に対して並列に、アノードが上記ゲート側となるように接続されている。これらは遅延回路22を構成している。そして、第2実施例の制御回路17に遅延回路22を加えたものが、制御回路(制御手段)23を構成している。

30

【0058】

次に、第3実施例の作用について説明する。第2実施例のリングング抑制回路15では、差動信号レベルがハイからローに変化する際に立下がった後にオーバーシュートが発生すると、NチャンネルMOSFET6がターンオンしてNチャンネルMOSFET7がターンオフするため、リングング抑制効果が低減することが想定される。そこで、NチャンネルMOSFET6のゲートを高電位側信号線3Pに直接接続せずに遅延回路22に接続する。

【0059】

すなわち、遅延回路22の作用により、差動信号の立ち下り後に発生するオーバーシュートのようレベルがローからハイに変化する場合、コンデンサ20への充電が抵抗素子19を介して行われるので、NチャンネルMOSFET7がターンオフし難くなる。一方、差動信号レベルがハイからローに変化する場合、コンデンサ20の充電電荷がダイオード21を介して直ちに放電されるので、NチャンネルMOSFET7のターンオンに影響を与えることは無い。

40

【0060】

以上のように第3実施例によれば、信号線3P、3N間に接続される抵抗素子19及びコンデンサ20の直列回路を接続し、抵抗素子19に並列にダイオード21を接続して遅延回路22を構成し、抵抗素子19及びコンデンサ20の共通接続点をNチャンネルMOSFET6のゲートに接続した。したがって、差動信号波形が立下った後にオーバーシュートが発生した場合、そのオーバーシュートに追従してNチャンネルMOSFET6がターン

50

オンすることを抑制し、NチャンネルMOSFET7が一時的にターンオフすることを防止できる。また、抵抗素子19に並列に接続したダイオード21により、差動信号レベルがハイからローに変化した場合に、コンデンサ20の充電電荷をダイオード21を介して急速に放電させて、差動信号波形が立下った場合はNチャンネルMOSFET6を直ちにターンオフさせることができる。

【0061】

(第4実施例)

図6及び図7は第4実施例である。第4実施例のリングング抑制回路24は、第1実施例のリングング抑制回路1をリングング抑制回路1N(第1抑制回路)として、リングング抑制回路1と同様の作用を成す構成をPチャンネルMOSFETを用いて対称に構成した

10

【0062】

以下、リングング抑制回路1Pの構成を、リングング抑制回路1Nの構成要素に対応するものには符号に「P」を付して説明する。リングング抑制回路1Pは、ソースが何れも高電位側信号線3Pに接続される4つのPチャンネルMOSFET4P~7P(第3~第0PチャンネルMOSFET)を備え、PチャンネルMOSFET4P及び6Pのゲート(制御端子)は、低電位側信号線3Nに接続されている。

【0063】

PチャンネルMOSFET7Pのドレインは、低電位側信号線3Nに接続されており、PチャンネルMOSFET4P及び6Pのドレインは、PチャンネルMOSFET7Pのゲートに接続されていると共に抵抗素子8Pを介してローレベル(グラウンドレベル)にプルダウンされている。PチャンネルMOSFET4Pのドレインは、抵抗素子9Pを介してローレベルにプルダウンされていると共に、抵抗素子10Pを介してNチャンネルMOSFET5Pのゲートに接続されている。また、前記ゲートは、コンデンサ11Pを介して高電位側信号線3Pに接続されている。すなわち、抵抗素子10P及びコンデンサ11Pは、RCフィルタ回路12Pを構成している。

20

【0064】

リングング抑制回路1Pの動作は、リングング抑制回路1Nと同様になる。すなわち、差動信号レベルがハイの場合、PチャンネルMOSFET4P及び6Pはオンしているので、PチャンネルMOSFET5Pはオフしており、PチャンネルMOSFET7Pはオフ状態となっている。そして、差動信号レベルがハイからローに変化すると、PチャンネルMOSFET4P及び6PがターンオフするのでPチャンネルMOSFET7Pがターンオンする。すると、高電位側信号線3P,低電位側信号線3N間はPチャンネルMOSFET7Pのオン抵抗を介して接続されてインピーダンスが低下し、波形歪みのエネルギーが上記オン抵抗により消費され、リングングが抑制される。

30

【0065】

PチャンネルMOSFET4Pがターンオフすると、コンデンサ11Pが抵抗素子9P及び10Pを介した経路で充電されるので、コンデンサ11Pの端子電圧がPチャンネルMOSFET5Pの閾値電圧を超えて上昇すると、PチャンネルMOSFET5Pがターンオン

40

【0066】

そして、伝送線路3にリングング抑制回路1N及び1Pを並列に接続することで、以下のような効果が得られる。リングング抑制回路1Nだけが接続されている場合、第2実施例で説明したように、グラウンドレベルG1,G2に電位差があり、 $G1 < G2$ になっているとリングング抑制回路1Nについては、NチャンネルMOSFET4N~7Nのゲート-ソース間電圧がより小さくなるため、これらを確実にターンオンさせ難くなる。しかしながら、この状態をリングング抑制回路1Pについて見ると、PチャンネルMOSFET4P~7Pのゲート-ソース間電圧がより大きくなるため、これらは確実にターンオンするよ

50

うになる。また、グラウンドレベル G_1 , G_2 の大小関係が $G_1 > G_2$ になっていれば、上記の関係が逆転してリングング抑制回路 1 N が動作し易く、リングング抑制回路 1 P が動作し難くなる。

したがって、リングング抑制回路 1 N , 1 P を並列に接続することで、通信ノード間にグラウンドオフセットが存在する場合でも、少なくともリングング抑制回路 1 5 N , 1 5 P の何れか一方が確実に動作する。

【 0 0 6 7 】

図 7 は、送信ノード、受信ノードのグラウンドレベルにオフセットが存在しない場合についてリングング抑制回路 2 4 の動作をシミュレーションした結果を示す。図 7 は、シミュレーションに用いたネットワークモデルを示す。3つのジャンクションコネクタ J / C 1 , J / C 2 , J / C 3 の間は 5 m の伝送線路で接続されており、ジャンクションコネクタ J / C 1 , J / C 3 には、それぞれ 6 つの通信ノードが何れも 2 m の伝送線路を介して接続されている。そして、ジャンクションコネクタ J / C 2 には、送信ノード、受信ノードがそれぞれ 4 m の伝送線路を介して接続されており、受信ノード側の伝送線路にリングング抑制回路 2 4 を接続している。

10

【 0 0 6 8 】

図 7 には、シミュレーション結果であり、リングング抑制回路 2 4 を接続した場合（実線；歪抑制あり）と接続しない場合（破線；歪抑制なし）との双方を示している。図 7 (a) は差動信号がドミナントからレセッシブに変化する場合の電圧波形であり、図 7 (b) はその際の信号線 C A N - H , C A N - L それぞれの電圧波形である。図 7 (a) に示すように、「歪抑制あり」の方が、レセッシブに移行した後の電圧波形の振動がより早く収束していることが分かる。

20

【 0 0 6 9 】

以上のように第 4 実施例によれば、信号線 3 P , 3 N 間に、各スイッチング素子が N チャネル M O S F E T 4 N ~ 7 N で構成されるリングング抑制回路 1 N と、各スイッチング素子が P チャネル M O S F E T 4 P ~ 7 P で構成されるリングング抑制回路 1 P とを並列に接続したので、通信ノード間のグラウンド電位に差がある状態でもリングング抑制回路 1 N , 1 P の何れか一方が確実に動作するようになり、リングングの抑制を確実に行うことができる（尚、この作用に関するシミュレーションについては第 5 実施例で示す）。

【 0 0 7 0 】

（第 5 実施例）

図 8 ないし図 1 1 は第 5 実施例である。第 5 実施例のリングング抑制回路 2 5 は、第 2 実施例のリングング抑制回路 1 5 をリングング抑制回路 1 5 N（第 1 抑制回路）として、リングング抑制回路 1 5 と同様の作用を成す構成を P チャネル M O S F E T を用いて対称に構成したリングング抑制回路 1 5 P（第 2 抑制回路）と共に、伝送線路 3 に並列に接続したものである。そして、図 9 はグラウンドオフセットが無い場合、図 1 0 はグラウンドオフセットが -7.5 V の場合、図 1 1 はグラウンドオフセットが $+9.5$ V の場合の図 8 相当図である。したがって、図 1 0 (b) ではレセッシブ状態での中間電位が -5 V に、図 1 1 (b) では同中間電位が 12 V になっている。そして、図 9 (a) ~ 図 1 1 (a) に示すように、グラウンドオフセットの有無にかかわらず、リングング抑制回路 2 5 を接続した方がリングング波形の変動が抑制されていることが判る。

30

40

【 0 0 7 1 】

（第 6 実施例）

図 1 2 ないし図 1 5 は第 6 実施例である。第 6 実施例のリングング抑制回路 2 6 は、第 3 実施例のリングング抑制回路 1 8 をリングング抑制回路 1 8 N（第 1 抑制回路）として、リングング抑制回路 1 8 と同様の作用を成す構成を P チャネル M O S F E T を用いて対称に構成したリングング抑制回路 1 8 P（第 2 抑制回路）と共に、伝送線路 3 に並列に接続したものである。但し、ダイオード 2 1 は接続されておらず、抵抗素子 1 0 の両端にダイオード 2 7 が接続されている。ダイオード 2 7 N のアノードは高電位側信号線 3 P に接続され、ダイオード 2 7 P のアノードは P チャネル M O S F E T 4 P のゲートに接続され

50

ている。

【0072】

そして、図13はグラウンドオフセットが無い場合、図14はグラウンドオフセットが -9.5V の場合、図15はグラウンドオフセットが $+9.5\text{V}$ の場合の図8相当図である。したがって、図14(b)ではレセツシブ状態での中間電位が -5V に、図15(b)では同中間電位が 12V になっている。そして、図13(a)~図15(a)に示すように、グラウンドオフ線との有無にかかわらず、リングング抑制回路26を接続した方がリングング波形の変動が抑制されていることが判る。

【0073】

(第7実施例)

図16及び図17は第7実施例である。第7実施例のリングング抑制回路28は、第6実施例のリングング抑制回路18N, 18Pについて、抵抗素子19に対し、第3実施例と同様にダイオード21を並列に接続している。また、抵抗素子8に対し、ダイオード29及び抵抗素子30の直列回路を並列に接続している。抵抗素子8Nについては、ダイオード29Nのアノードが電源 V_{cc} 側となる方向で、抵抗素子8Pについては、ダイオード29Pのカソードがグラウンド側となる方向で接続されている。以上がリングング抑制回路18N', 18P'を構成している。尚、抵抗素子30Nの抵抗値は、プルアップ用の抵抗素子8Nの抵抗値よりも小さく設定されており、抵抗素子30Pの抵抗値は、プルダウン用の抵抗素子8Pの抵抗値よりも小さく設定されている。

【0074】

次に、第7実施例の作用について図17を参照して説明する。図17は、リングング抑制回路18Pについて回路動作をシミュレーションした結果である。尚、縦軸の電圧0Vは通信電圧(差動電圧)についての0Vであり、PチャネルMOSFET7Pのゲート電圧については図示の都合上、基準電圧をずらして示している。ダイオード29及び抵抗素子30の直列回路を設ける前(対策なし)の波形を破線で、設けた後(対策あり)の波形を実線で示している。

【0075】

プルダウン抵抗である素子8Pにダイオード29P及び抵抗素子30Pの直列回路を並列に接続したことで、PチャネルMOSFET7Pのゲート電圧 V_{gs} がハイレベルからローレベルに遷移しようとする際に、ゲートからグラウンドに放電電流を流す経路の抵抗値がより低くなる。これにより、ゲート電圧 V_{gs} の立ち下がりが直列回路を接続しない場合よりも急峻になっており、PチャネルMOSFET7P(最終段のPMOS)がより早くターンオンするようになる。

【0076】

また、NチャネルMOSFET7Nについても、プルアップ抵抗である素子8Nにダイオード29N及び抵抗素子30Nの直列回路を並列に接続したことで、NチャネルMOSFET7Nのゲート電圧 V_{gs} がローレベルからハイレベルに遷移しようとする際に、電源 V_{cc} よりゲートに充電電流を流す経路の抵抗値がより低くなる。これにより、ゲート電圧 V_{gs} の立ち上がりが直列回路を接続しない場合よりも急峻になるので、NチャネルMOSFET7Nがより早くターンオンするようになる。

以上のように構成される第7実施例によれば、NチャネルMOSFET7N, 7Pをより早くターンオンさせることが可能となり、リングングを一層抑制することができる。

【0077】

(第8実施例)

図18ないし図20は第8実施例である。伝送線路3に接続される各通信ノード31は、図20に示すように、送信回路及び受信回路2からなるトランシーバIC32と、通信制御を行うコントローラIC33(遮断用素子制御手段, 制御部)とで構成されている。コントローラIC33は、マイクロコンピュータを中心に構成されており、例えば通信を行う必要が無いアイドル状態ではスタンバイモードに移行して消費電力を低減する機能を有しているものがある。そこで、第8実施例では、コントローラIC33がスタンバイモ

10

20

30

40

50

ードに移行する際に、トランシーバIC32にハイアクティブのスタンバイ信号を出力する。

【0078】

また、第8実施例では、図18に示すように、図5に示す第3実施例の構成について、NチャンネルMOSFET6のドレインとNチャンネルMOSFET5のドレインとの間にPチャンネルMOSFET34（遮断用素子）を接続し、PチャンネルMOSFET34のゲート（制御端子）に上記スタンバイ信号を与える。以上がリングング抑制回路35を構成している。

【0079】

次に、第8実施例の作用について説明する。コントローラIC33が通常の動作モードで通信を行う場合、スタンバイ信号はインアクティブ（ロー）となっているので、PチャンネルMOSFET34はオンしている。したがって、リングング抑制回路35は第3実施例と同様に動作する。一方、コントローラIC33がスタンバイモードに移行すると、スタンバイ信号をアクティブ（電源電圧V_{cc}レベル）に変化させるため、PチャンネルMOSFET34はオフする。

10

【0080】

すなわち、伝送線路3において差動信号が伝送されず差動電圧が0V（ローレベル）であっても、NチャンネルMOSFET5は、ゲートがプルアップされているのでオン状態を維持している。したがって、電源から抵抗素子8及びNチャンネルMOSFET5を介して信号線3Nに電流が流れている。そこで、PチャンネルMOSFET34をオフすれば、上記の状態で行われている電流を遮断して消費電力を抑制できる。

20

【0081】

尚、図19は、PチャンネルMOSFET34を追加しない状態（対策なし）と追加した状態（対策あり）とについて、差動信号の立ち下がり波形をシミュレーションしたものである。PチャンネルMOSFET34を追加することで、NチャンネルMOSFET7のゲートに接続される経路の抵抗値がPチャンネルMOSFET34のオン抵抗分だけ増加することになる。しかし、両者の差はほとんどなく、リングング抑制効果に影響を及ぼすことはない。

【0082】

以上のように第8実施例によれば、コントローラIC33は、NチャンネルMOSFET7のゲートとNチャンネルMOSFET5のドレインとの間に接続したPチャンネルMOSFET34のオンオフを制御する。この場合、コントローラIC33は、通信ノード31をスタンバイ状態に移行させるためのスタンバイ信号を、PチャンネルMOSFET34のゲートに与えて、スタンバイ状態に移行する期間にPチャンネルMOSFET34をオフさせる。

30

すなわち、通信ノード31がスタンバイ状態に移行している期間は通信が行われる可能性が無いので、スタンバイ信号によりPチャンネルMOSFET34をオフさせることで、電流が電源からNチャンネルMOSFET5を介して低電位信号線3N側に流れる経路を遮断して、不要な電流消費を抑制できる。

【0083】

（第9実施例）

図21及び図22は第9実施例である。第9実施例では第8実施例と同様に、NチャンネルMOSFET6のドレインとNチャンネルMOSFET5のドレインとの間にPチャンネルMOSFET34を接続する。ここで、受信回路2は、伝送線路3により差動信号が伝送されたか否かを判定するための構成を内蔵している。例えば、差動増幅回路により伝送線路3の差動電圧を検出し、差動増幅回路の出力信号をコンパレータにより所定の閾値電圧と比較することで、ドミナントレベルの信号を受信したか否かを判断する。

40

【0084】

そこで、上記コンパレータの出力信号を受信回路2からコントローラIC33Aに入力して、伝送線路3の差動電圧が閾値である例えば1.0Vを超えると、コントローラIC

50

33Aにハイレベルの信号を入力する。コントローラIC33Aは、PチャンネルMOSFET34のゲートにゲート信号を与えるが、上記入力信号がローレベルであればゲート信号をハイレベルに、前記入力信号がハイレベルであればゲート信号をローレベルにする。図22は図2相当図であり、伝送線路3において差動信号が伝送されていない状態ではPチャンネルMOSFET34がオフされる((a),(e)参照)。したがって、電源から抵抗素子8及びNチャンネルMOSFET5を介して信号線3Nに電流が流れることを阻止できる。以上が、リングング抑制回路35'を構成している。

【0085】

以上のように第9実施例によれば、コントローラIC33Aは、受信回路3が伝送線路における差動電圧レベルを検出して、差動電圧レベルが所定の閾値を下回るとPチャンネルMOSFET34をオフさせる。これにより、伝送線路3において差動信号がローレベルとなる期間に不要な電流消費を抑制できる。

10

【0086】

(第10実施例)

図23は第10実施例である。第10実施例は、第8実施例の構成を図8に示すリングング抑制回路15Pに適用したもので、PチャンネルMOSFET5PのドレインとPチャンネルMOSFET7Pのゲートとの間にNチャンネルMOSFET37(遮断用素子)を接続し、リングング抑制回路38Pを構成している。NチャンネルMOSFET37のゲートには、第8実施例と同様にコントローラICによりゲート信号が与えられるが、その信号レベルは第8実施例の反転となる。以上のように構成される第10実施例によれば、PチャンネルMOSFETで構成されるリングング抑制回路38Pにおいても、不要な電力消費を低減できる。

20

【0087】

本発明は上記し又は図面に記載した実施例にのみ限定されるものではなく、以下のような変型又は拡張が可能である。

リングング抑制回路は、伝送線路の何れか1か所以上に接続すれば良いが、各通信ノードの近傍にそれぞれ接続しても良い。

遅延回路については、RCフィルタ回路に限ることなく、例えばディレイライン等を用いても良い。

リングング抑制回路を、差動信号レベルがローからハイに変化する場合に発生するリングングを抑制するように構成しても良い。

30

第7～第10実施例の構成を、その他の実施例に適用しても良い。例えば、第9,第10実施例を組み合わせ実施しても良い。

通信プロトコルはCANに限ることなく、一对の信号線からなる伝送線路により差動信号を伝送する通信プロトコルであれば適用が可能である。

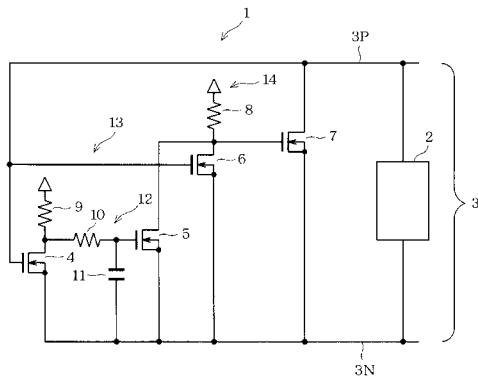
【符号の説明】

【0088】

図面中、1はリングング抑制回路、3は伝送線路、3Pは高電位側信号線、3Nは低電位側信号線、4N～6NはNチャンネルMOSFET(第3～第1スイッチング素子)、4P～6PはPチャンネルMOSFET(第3～第1スイッチング素子)、7NはNチャンネルMOSFET(線間スイッチング素子)、7PはPチャンネルMOSFET(線間スイッチング素子)、8～10は抵抗素子、11はコンデンサ、12はRCフィルタ回路、13は遅延回路、14は制御回路(制御手段)、15はリングング抑制回路、16は遅延回路、17は制御回路(制御手段)、18はリングング抑制回路、19は抵抗素子、20はコンデンサ、21はダイオード、22は遅延回路、23は制御回路(制御手段)、24～26,28はリングング抑制回路、29はダイオード、30は抵抗素子、31は通信ノード、33,33AはコントローラIC(遮断用素子制御手段,制御部)、34はPチャンネルMOSFET(遮断用素子)、35,35'はリングング抑制回路、37はNチャンネルMOSFET(遮断用素子)、38Pはリングング抑制回路を示す。

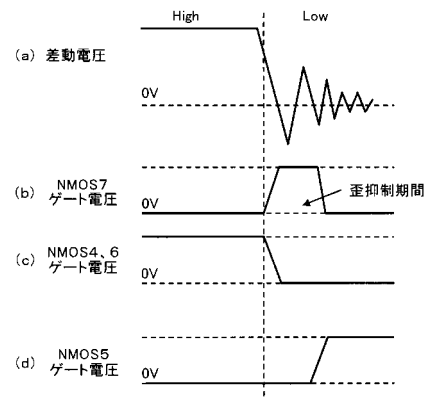
40

【 図 1 】

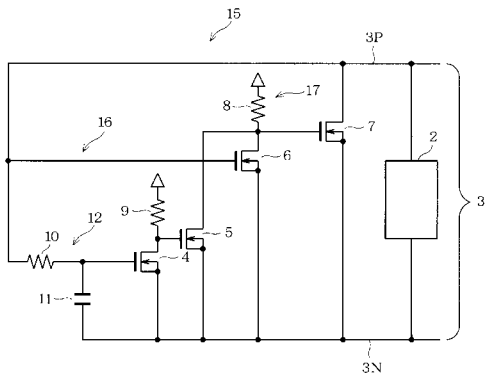


- 1 : リンギング抑制回路
- 3 : 伝送線路
- 3P : 高電位側信号線
- 3N : 低電位側信号線
- 4 ~ 6 : 第3 ~ 第1スイッチング素子
- 7 : 導閉スイッチング素子
- 12 : RCフィルタ回路
- 13 : 遅延回路
- 14 : 制御手段

【 図 2 】

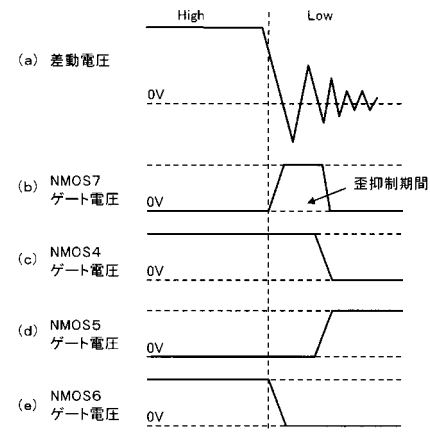


【 図 3 】

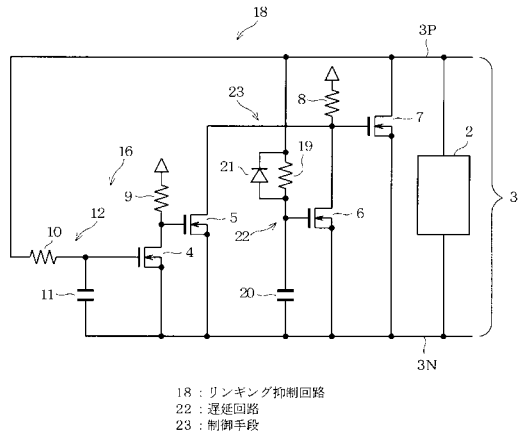


- 15 : リンギング抑制回路
- 16 : 遅延回路
- 17 : 制御手段

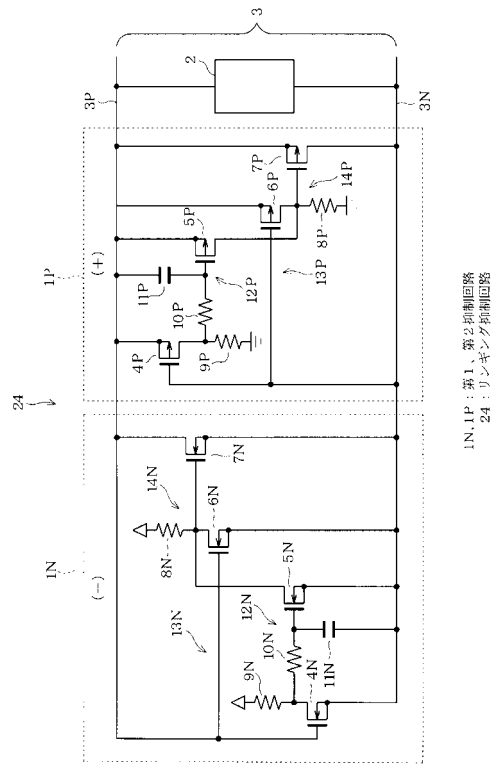
【 図 4 】



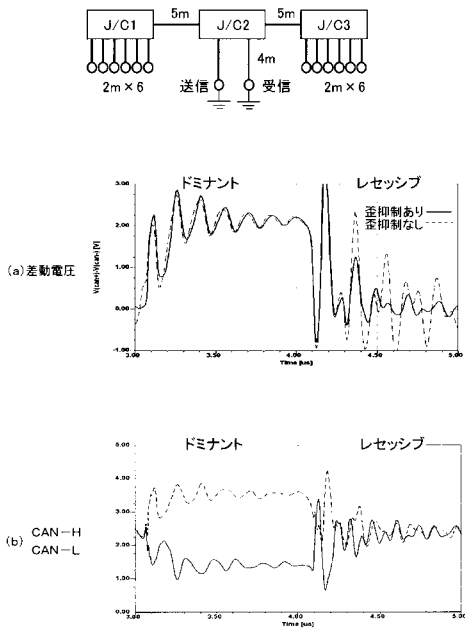
【図5】



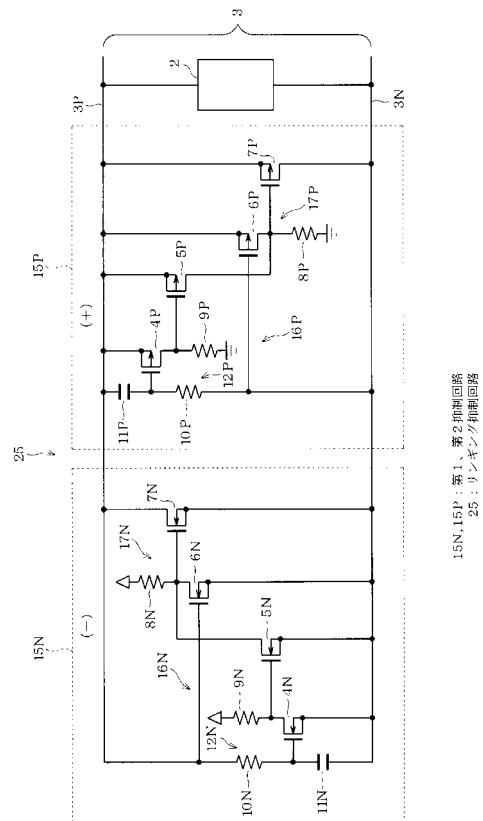
【図6】



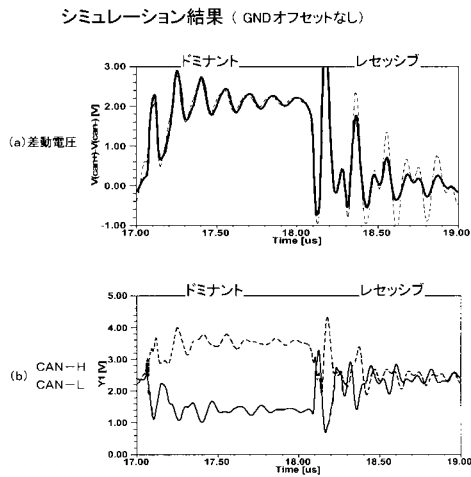
【図7】



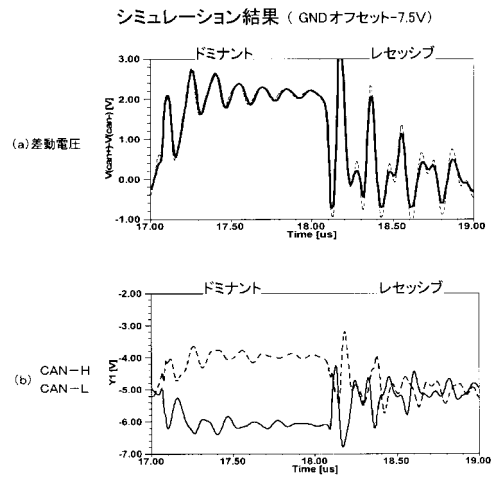
【図8】



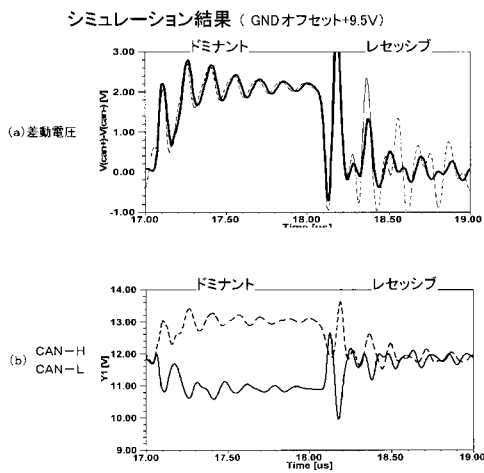
【 図 9 】



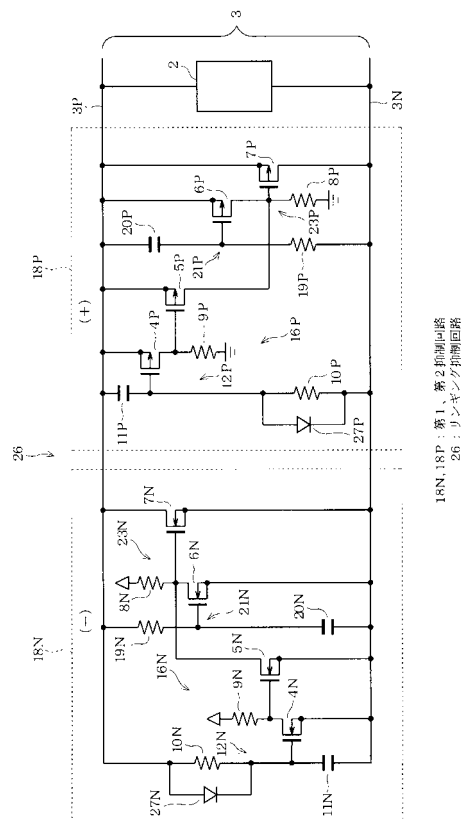
【 図 10 】



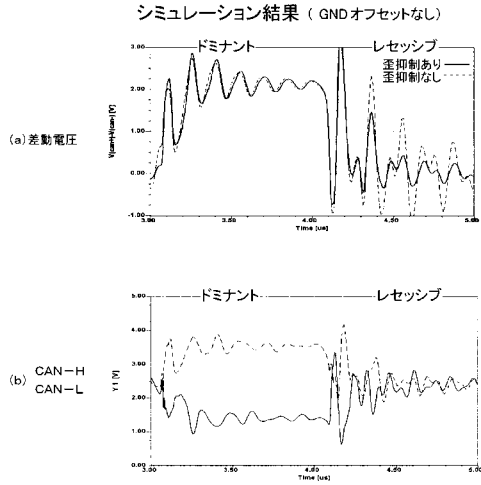
【 図 11 】



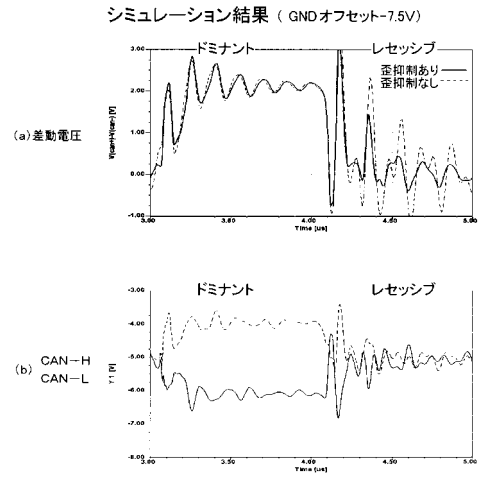
【 図 12 】



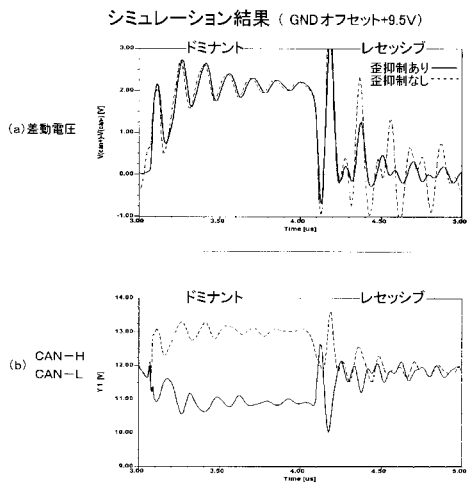
【 図 1 3 】



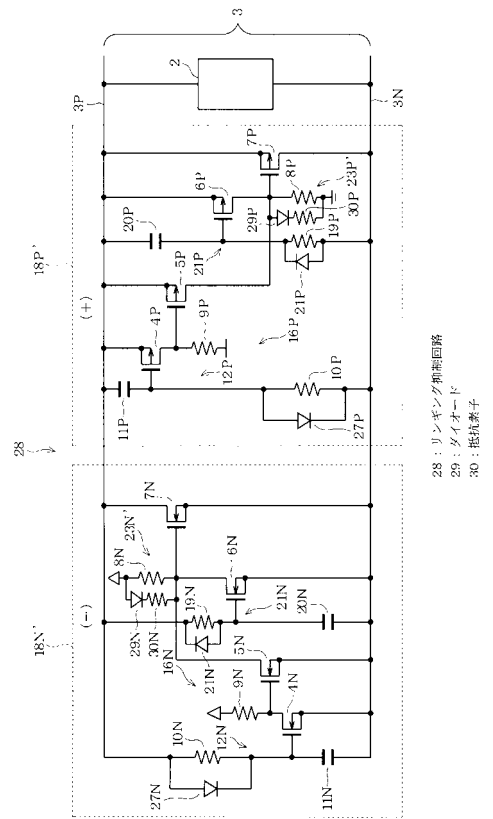
【 図 1 4 】



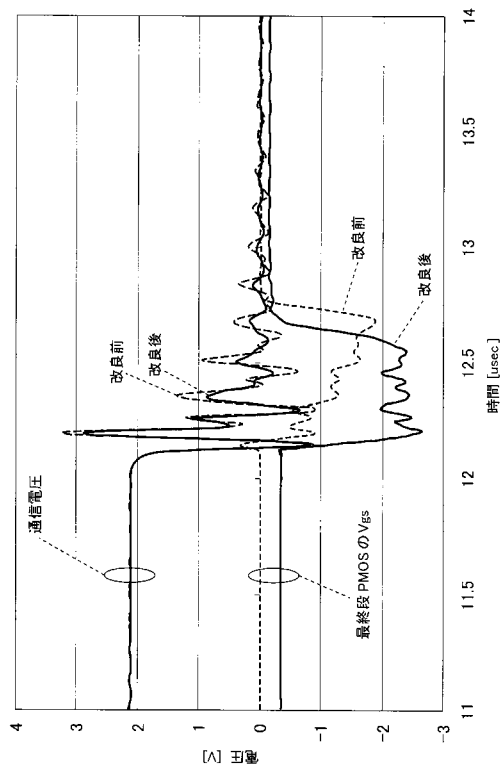
【 図 1 5 】



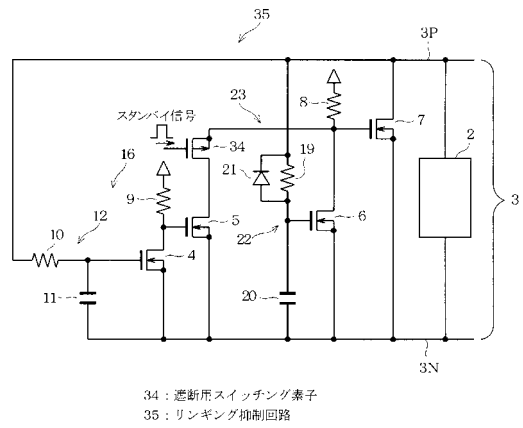
【 図 1 6 】



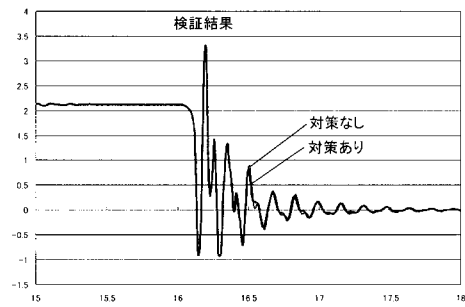
【図 17】



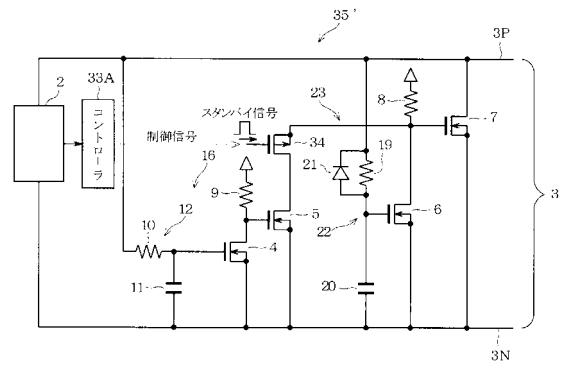
【図 18】



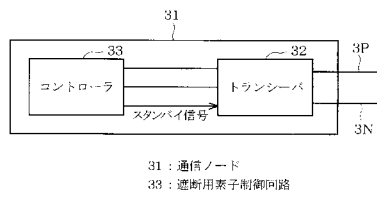
【図 19】



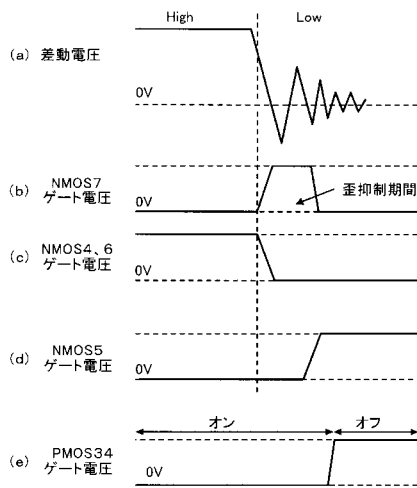
【図 21】



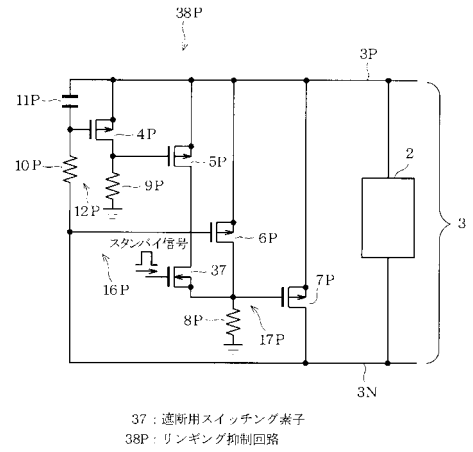
【図 20】



【 図 2 2 】



【 図 2 3 】



フロントページの続き

- (72)発明者 小畑 洋幸
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 北川 昌宏
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 岸上 友久
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 小池 智札
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5J055 AX25 BX16 CX24 DX22 DX62 DX73 DX83 EX01 EX02 EY01
EY10 EY12 EY21 EZ01 EZ14 EZ21 EZ50 FX05 FX12 FX19
FX20 FX32 FX37 GX01 GX04 GX05 GX06
5J056 AA04 AA40 BB24 CC05 CC06 CC07 DD13 DD39 DD51 DD55
DD59 EE07 EE15 FF06 FF08 GG13 KK01 KK03
5K029 AA03 BB03 CC01 DD02 DD12 EE01 JJ08 LL05 LL06