



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년11월25일  
 (11) 등록번호 10-0870380  
 (24) 등록일자 2008년11월18일

- (51) Int. Cl.  
*H01G 4/224* (2006.01) *H01G 4/228* (2006.01)
- (21) 출원번호 10-2008-0009395(분할)
- (22) 출원일자 2008년01월30일  
 심사청구일자 2008년01월30일
- (65) 공개번호 10-2008-0014137
- (43) 공개일자 2008년02월13일
- (62) 원출원 특허 10-2006-0102216  
 원출원일자 2006년10월20일  
 심사청구일자 2006년10월20일
- (30) 우선권주장  
 11/516,377 2006년09월06일 미국(US)  
 60/729,272 2005년10월21일 미국(US)
- (56) 선행기술조사문헌  
 US6404615 B1  
 KR1020040056445 A  
 KR1020040057151 A  
 KR1020040057153 A

- (73) 특허권자  
 이 아이 듀폰 디 네모아 앤드 캄파니  
 미합중국 델라웨어주 (우편번호 19898) 월밍톤시  
 마켓트 스트리트 1007
- (72) 발명자  
 완, 리씨  
 미국 30084 조지아주 터커 빌라 플레이스 코트  
 425
- (74) 대리인  
 김영, 주성민

전체 청구항 수 : 총 9 항

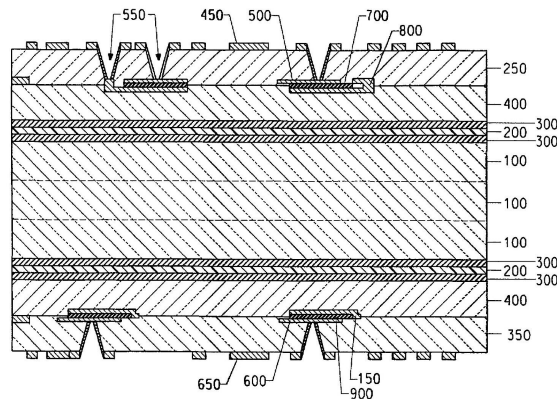
심사관 : 조지은

**(54) 저 인덕턴스 내장 커패시터 층 접속부의 디자인**

**(57) 요약**

본 발명은 전극이 낮은 인덕턴스의 경로를 제공함으로써 요구되는 커패시턴스를 감소시키는 한편, 전력 공급 및 다른 용도를 위해 내장 커패시터의 사용을 가능하게 하도록 디자인된 비아 접속부 및 전극을 갖는 커패시터를 개시한다. 본 발명의 하나의 구현예는 상단 커패시터 전극 및 바닥 커패시터 전극을 포함하는 커패시터를 개시하며, 여기에서 상기 상단 전극은 상기 바닥 전극보다 작고, 상기 커패시터의 모든 층에, 상기 상단 및 바닥 커패시터 전극의 모든 층에 위치한 다수의 비아를 어레이로 포함하며, 상기 상단 전극 및 상기 상단 전극에 접속된 비아는 내부 전도체로서 작용하고, 상기 바닥 전극 및 상기 바닥 전극에 접속된 비아는 외부 전도체로서 작용한다.

**대표도**



**특허청구의 범위**

**청구항 1**

상단 캐패시터 전극, 유전층 및 바닥 캐패시터 전극을 포함하는 내장 캐패시터로,

상기 유전층은 제1 면, 대향의 제2 면 및 상기 유전층의 상기 제1 면 및 제2 면 사이에 하나 이상의 변부(edge)를 가지고,

상기 상단 캐패시터 전극은 유전층의 제1 면의 일부를 덮으며,

상기 바닥 캐패시터 전극은 유전층의 제1 면의 일부를 덮는 제1 영역, 및 유전층의 대향하는 제2 측면의 일부를 덮는 제2 영역을 가지며, 상기 바닥 캐패시터 전극의 상기 제1 및 제2 영역은 유전층의 변부를 따라 서로 연결되고,

여기에서, 상단 캐패시터 전극은 바닥 캐패시터 전극보다 작고, 상단 캐패시터 전극은 바닥 캐패시터 전극에 접촉하지 않으며, 상단 캐패시터 전극은 바닥 캐패시터 전극의 제1 영역과 동일 평면이고, 바닥 캐패시터 전극의 제1 영역은 상단 캐패시터 전극을 둘러싸고, 트렌치에 의해 상단 캐패시터 전극으로부터 분리되는 것이며,

캐패시터의 모든 측면에서, 상단 캐패시터 전극의 모든 측면에서 상단 캐패시터 전극에 접속된 다수의 비아, 및 바닥 캐패시터 전극의 모든 측면에서 바닥 캐패시터 전극의 제1 영역에 접속된 다수의 비아를 어레이로 추가로 포함하고, 여기에서, 상단 캐패시터 전극 및 상단 캐패시터 전극에 접속된 비아는 내부 전도체로 작용하고, 바닥 캐패시터 전극 및 바닥 캐패시터 전극에 접속된 비아는 외부 전도체로서 작용하는 것인 내장 캐패시터.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서, 캐패시터의 크기가  $9\text{ mm}^2$  이고, 비아의 수가 52개인 내장 캐패시터.

**청구항 4**

제1항에 있어서, 바닥 캐패시터 전극의 제1 영역 및 바닥 캐패시터 전극에 접속된 비아가 상단 캐패시터 전극 및 상단 캐패시터 전극에 접속된 비아를 둘러싸고, 바닥 캐패시터 전극의 제1 영역과 상단 캐패시터 전극 사이의 연속적인 절연 트렌치는 캐패시터의 위에서 볼 때 픽처 프레임 형태인 내장 캐패시터.

**청구항 5**

제1항에 있어서, 상단 캐패시터 전극 및 바닥 캐패시터 전극의 제1 영역이 금속 포일을 포함하는 내장 캐패시터.

**청구항 6**

제5항에 있어서, 상단 캐패시터 전극 및 바닥 캐패시터 전극의 제1 영역의 금속 포일이 구리 포일인 내장 캐패시터.

**청구항 7**

제1항에 있어서, 바닥 전극의 제2 영역이 유전층의 전체와 바닥 캐패시터 전극의 제1 영역의 일부를 덮도록 형성된 내장 캐패시터.

**청구항 8**

제5항에 있어서, 캐패시터가 프리프레그 물질에 적층된 것인 내장 캐패시터.

**청구항 9**

제8항에 있어서, 상단 캐패시터 전극에 접속된 비아와 바닥 캐패시터 전극에 접속된 비아가 프리프레그 물질 내에 형성된 것인 내장 캐패시터.

**청구항 10**

제4항에 있어서, 픽처 프레임 형태를 갖는 절연 트렌치가 정사각 형태, 둥근 형태, 타원의 형태, 직사각 형태 및 다각형 형태로 구성되는 군으로부터 선택된 형태인 내장 캐패시터.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 출원은 2005년 10월 21일자 미국 특허청에 출원된 미국 가출원 일련 번호 제 60/729,272 호에 대한 우선권을 주장한다.

<2> 본 발명은 전자 집적 회로(IC) 패키지 내 저 인덕턴스 내장 커패시터의 디자인에 관한 것이다. 상기 커패시터는 저 인덕턴스 경로를 제공함으로써 요구되는 커패시턴스를 감소시키는 한편 전하 공급, 안정된 전력 공급 및 불연속형 및 비-불연속형 내장 커패시터 또는 커패시터 층에 I/O 접속을 위해 내장 커패시터의 사용을 가능하게 하도록 디자인된 비아 접속부 및 전극을 갖는다.

**배경기술**

<3> 집적 회로(IC)를 포함하는 반도체 장치들은 보다 높은 주파수, 보다 높은 데이터 속도 및 보다 낮은 전압에서 작동하므로, 전력 및 접지(귀환) 라인에서 노이즈를 제한하고 보다 빠른 회로 스위칭을 수용하기 충분한 전류를 공급하는 능력이 점점 더 중요해지고 있다. IC에 낮은 노이즈의 안정된 전력을 제공하기 위해, 종래 회로의 임피던스는 병렬로 상호접속된 추가의 표면 탑재 기술(SMT) 커패시터를 이용하여 감소될 수 있다. 더 높은 작동 주파수(더 높은 IC 스위칭 속도)는 IC에 대한 전압 응답 시간이 더 빨라야 함을 의미한다. 보다 낮은 작동 전압은 허용가능한 전압 변동(리플) 및 노이즈가 감소될 것을 요구한다. 예를 들면, 마이크로프로세서 IC가 스위칭되어 작동을 개시할 때, 이는 상기 스위칭 회로를 지원할 전력을 요구한다. 전압 공급의 응답 시간이 너무 느릴 경우, 상기 마이크로프로세서는 허용가능한 리플 전압 및 노이즈 마진을 초과하는 전압 강하 또는 전력 약화를 겪게 될 것이어서 IC가 오작동할 것이다. 뿐만 아니라, IC 전력이 상승하면, 느린 응답 시간은 전력 초과를 초래할 것이다. 전력 약화 및 초과는, 이들이 적절한 응답 시간 내에서 전력을 공급 또는 흡수하도록, IC에 충분히 가까운 커패시터를 사용하여 허용가능한 한계 내에서 조절되어야 한다.

<4> 임피던스 감소 및 전력 약화 또는 초과를 완화하기 위한 SMT 커패시터는 회로 성능을 개선하기 위해 IC에 가능한 한 가까운 기판 또는 반도체 패키지의 표면 상에 일반적으로 위치한다. 종래의 디자인은 인쇄회로기판(PWB) 또는 IC 주위에 모여있는 반도체 패키지 위에 탑재된 커패시터 표면을 갖는다. 큰 값의 커패시터가 전원 근처에 위치하고, 중간 값의 커패시터가 IC와 전원 사이에, 그리고 작은 값의 커패시터가 IC에 매우 가까이 위치한다. 병렬로 상호접속된 다수의 SMT 커패시터는 복잡한 전기적 라우팅을 요하는 전력 시스템 임피던스를 감소시키는데 종종 요구된다. 이는 증가된 회로 루프 인덕턴스를 초래하고, 이는 다시 임피던스를 증가시키고 전류 흐름을 억제함으로써, 표면 탑재된 커패시터의 유익한 효과를 감소시킨다. 주파수가 증가하고 작동 전압이 계속 강하함에 따라, 증가된 전력이 더 빠른 속도로 공급되어야 하므로, 점점 더 낮은 인덕턴스 및 임피던스 수준을 필요로 한다.

<5> 임피던스를 최소화하기 위해 상당한 노력이 투입되었다. 예를 들면 미국 특허 제 5,161,086 호(Howard 등)는 임피던스 및 "노이즈"를 최소화하기 위한 하나의 접근법을 제공한다. 하워드(Howard) 등은 차용된 또는 공유된 커패시턴스를 사용하는 정전용량 기능을 제공하기 위해, 적층된 보드의 다수 층 내에 포함된 커패시터 라미네이트(평면 커패시터)를 갖는 정전용량형 인쇄회로기판을 제공하고, 집적 회로와 같은 다수의 소자가 인쇄 회로 보드, 보드 상에 탑재 또는 형성되고 상기 커패시터 라미네이트(또는 다수의 커패시터 라미네이트)와 작동적으로 커플링된다. 그러나, 그러한 접근법은 반드시 전압 응답을 개선하지는 않는다. 개선된 전압 응답은 상기 커패시터가 IC에 더 가까이 위치할 것을 필요로 한다. 그러나, 상기 커패시터 라미네이트를 단순히 IC에 더 가까이 배치하는 것은, 이용가능한 총 커패시턴스가 불충분할 수 있기 때문에, 충분하지 않을 수 있다.

<6> 미국 특허 제 6,611,419 호(Charkravorty)는 커패시터를 내장하여 스위칭 노이즈를 감소하기 위한 다른 접근법

을 제공하며, 여기에서 집적 회로 다이의 전원 단자는 다층 세라믹 기질 중 하나 이상의 내장 커패시터의 각각의 단자에 커플링될 수 있다.

<7> 미국 가특허 출원 제 60/637813, 60/637813 및 60/637817 호(대리인 문서 번호, 각각 EL-0574, EL-0583 및 EL-0584)는 내장 불연속형의 세라믹 커패시터 및 평면형 커패시터로 이루어진 IC용 전력 공급 코어를 제공한다. 미국 가특허 출원 제 60/692119 호(대리인 문서 번호 EL-0593)는 불연속형의 내장 세라믹 커패시터 디자인 및 그의 제조 방법을 기재하고 있으며, 그에 따르면 스크린-인쇄된 구리 전극이 스크린-인쇄된 유전체를 완전히 감싸서 종전의 디자인에 비하여 향상된 기계적 신뢰성 및 더 큰 커패시터 면적을 초래한다.

**발명의 내용**

**해결 하고자하는 과제**

<8> 본 발명은 IC에 대한 상호 접속부를 위해 전술한 커패시터 유형을 사용함으로써, 요구되는 커패시턴스를 감소시키고 상기 내장 커패시터로부터 IC에 신속한 전하 공급 및 깨끗한 전력 공급을 가능하게 하는 위해 신규 저 인덕턴스 커패시터, 및 상호접속부 디자인을 제공한다.

<9> 내장 커패시터의 인덕턴스의 일차적인 주요 원천은 커패시터를 시스템에 접속하는 비아 또는 와이어 또는 접속 경로에 관계된다. 다수의 비아가 없는 전형적인 내장 커패시터는 수백 피코-헨리 내지 나노-헨리 범위의 인덕턴스를 갖는다. 특정 응용에서, 이는 너무 커서 상기 패키지 임피던스 프로파일에서 제1 공명 주파수는 낮은 주파수 범위(<100MHz)가 될 수 있다. 내장 커패시터를 위한 현재의 접속 디자인은 전형적으로 한 쌍의 단일 비아이고, 이는 별도로 전극에 접속된다. 이들 비아는 전극의 임의의 위치에 위치할 수 있다. 이들 비아의 길이는 블라인드 마이크로-비아의 경우 수십 마이크로미터 내지 관통 구멍 비아 유형의 경우 수백 마이크로미터이다. 특정 상황에서, 비아에 의해 나타난 인덕턴스는 커패시터에 의해 나타난 인덕턴스보다 클 수 있고; 따라서 상기 비아는 상기 내장 커패시터의 주파수 응답을 제한하는 주요 요소가 된다. 그러므로, 비아 인덕턴스의 감소는 커패시터의 성능을 향상시키는 데 중요하다.

<10> 접속 인덕턴스를 감소시키기 위해, 비아는 서로에 대하여 가까이 있어야 한다. 이론적으로, 비아가 더 가까울수록, 인덕턴스는 더 낮아질 것이다. 그러나, 커패시터 디자인 및 공정 한계로 인하여 비아 랜딩(landing) 간에 틈이 있어야 하므로, 상기 비아는 결국 특정 거리만큼 분리되어야 한다. 이러한 요인은 전형적으로 인덕턴스를 100 피코-헨리 미만으로 저하시키지만, 추가 임피던스 감소가 바람직하다.

<11> 이하에 기재된 본 발명의 구현예는 전자 IC 패키지에서 총 인덕턴스를 감소시키기 위한 개량된 커패시터 및 그의 제조 방법을 제공한다.

**과제 해결수단**

<12> 본 발명의 하나의 구현예는 상단 커패시터 전극 및 바닥 커패시터 전극을 포함하며, 여기에서 상기 상단 전극은 상기 바닥 전극보다 작고, 상기 커패시터의 모든 측면에, 상기 상단 및 바닥 커패시터 전극의 모든 측면에 위치한 다수의 비아를 어레이로 포함하며, 상기 상단 전극 및 상기 상단 전극에 접속된 비아는 내부 전도체로서 작용하고, 상기 바닥 전극 및 상기 바닥 전극에 접속된 비아는 외부 전도체로서 작용하는 커패시터를 개시한다. 상기 구성은 구조체가 커패시턴스 부하된 동축-형 케이블로 작용하도록 한다. 전술한 커패시터의 하나의 구현예에서, 상기 상단 및 바닥 커패시터 전극의 모든 면에 위치한 비아의 수는 가능한 한 최대이다. 상기 가능한 최대값은 디자인, 제조 공정 및 장비 구성을 포함하는 다양한 요인에 근거하여 변할 수 있다. 하나의 구현예를 위해 C형 커패시터인 도 6을 참고하라.

<13> 본 발명은 또한 성분면과 포일면을 갖는 금속 포일이 구비되고, 비아 접속부를 갖는 커패시터의 제조방법으로, 금속 포일 상에 유전체를 형성하고; 상기 유전체의 전체 위에, 및 상기 금속 포일의 일부 위에 제1 전극을 형성한 다음, 금속 포일의 성분면을 적어도 하나의 프리프레그 물질에 적층하고, 상기 금속 포일을 에칭하여 제2 전극이 형성하는 것을 포함하고, 상기 제1 전극, 상기 유전체 및 상기 제2 전극은 커패시터를 형성하며, 상기 금속 포일을 에칭한 후 적어도 하나의 추가 프리프레그 물질에 상기 커패시터를 적층하고, 여기에서 상기 커패시터에 접속하는 프리프레그 물질에 하나 이상의 비아를 형성하며, 상기 비아의 구성에 있어서 전극들 사이의 절연 트렌치를 위한 픽처 프레임 형태를 갖는 것을 포함하며 여기에서 상기 트렌치는 외부 전극 비아 어레이로 하여금 내부 전극 비아 어레이를 둘러싸도록 하는 형태를 갖는 것인, 비아 접속부를 갖는 커패시터의 제조 방법을 포함한다. 전술한 방법에서 상기 유전체는 후막 유전체, 박막 유전체 및 이들의 조합을 포함하는 군에서 선택

될 수 있다.

- <14> 본 발명의 몇 가지 구현에는 픽처 프레임 형태를 갖는 절연 트렌치가 정사각 형태, 둥근 형태, 타원 형태, 직사각 형태 및 다각형 형태로 구성되는 군에서 선택된 형태인 전술한 방법을 사용한다. 하나의 구현예에서 트렌치의 폭은 에칭 공정 가공성 내에서 가능한 한 좁다. 또 다른 구현예에는 비아의 크기가 1 내지 500 미크론의 범위인 상기 방법을 이용한다.
- <15> 또 다른 구현예는 전술한 방법에 의해 형성된 커패시터이다. 또 다른 구현예는 제1 전극 및 제2 전극을 갖는 내장 커패시터이며, 여기에서 상기 제1 및 제2 전극은 동일 평면 전극이고, 상기 제1 및 제2 전극은 트렌치에 의해 분리되어 있으며, 상기 제1 전극은 상기 제2 전극을 완전히 둘러싸서 동축-형 구조를 형성한다. 또 다른 구현예는 전술한 것과 같은 내장 커패시터를 포함하는 장치이다.
- <16> 본 발명은 내장 커패시터에 대한 접속 인덕턴스를 감소시키기 위해 마이크로비아 및 전극 디자인 방법을 이용하는 내장 커패시터의 디자인을 위한 디자인 구성에 관한 것이다. 상기 구조체는 인덕턴스 분배법 종결된 커패시턴스 부하(Inductance distribution methology terminated capacitance load)의 동축 케이블 구조의 사용과 유사하다. 동축 케이블 전송 라인에서, 제1 전도체는 내부에 중심을 두고, 제2 전도체로 작용하는 외부 금속의 외피로부터 절연된다. 이론적으로 동축 케이블은 전송 라인 중에서 가장 낮은 분배 인덕턴스를 제공할 수 있다.
- <17> 상기 커패시터 및 비아 접속부를 이용하는 내장 커패시터를 갖는 패키지의 단면을 도 1에 나타낸다. 가능한 불연속형 커패시터 형태를 도 1에 나타낸다. 도 2는 전자 패키지의 제작에 사용되는 내장 커패시터 포일의 전형적인 상이한 크기 및 모양의 내장 커패시터 어레이 배치를 나타낸다. 본 발명은, 하나의 전극이 다른 전극을 완전히 둘러싸서 동축-형 구조를 형성하는, 겹 또는 트렌치에 의해 분리된 동일평면 상의 전극을 갖는 내장 커패시터 디자인을 제공한다.
- <18> 본원에서 정의된 어레이는 "요소의 집합 또는 배열"이다. 본 발명에서 요소는 비아이다.
- <19> 본 발명의 장치(또는 패키지)는 인터포저(interposer), 인쇄회로기판, 멀티칩 모듈, 영역 어레이 패키지, 시스템-온-패키지, 시스템-인-패키지 등에서 선택될 수 있다.

**효 과**

- <20> 본 발명은 IC에 대한 상호 접속부를 위해 전술한 커패시터 유형을 사용함으로써, 요구되는 커패시턴스를 감소시키고 상기 내장 커패시터로부터 IC에 신속한 전하 공급 및 깨끗한 전력 공급을 가능하게 하는 위해 신규 저인덕턴스 커패시터, 및 상호접속부 디자인을 제공한다.

**발명의 실시를 위한 구체적인 내용**

**<21> 실시예**

<22> 불연속형 내장 세라믹 커패시터를 함유하는 시험 구조체의 제작 (도 1 참고).

<23> 미쯔비시 가스 케미칼의 제품인 BT (비스말레이미드 트리아진) 프리프레그(유리 직물 상의 B-단계 수지; GHPL 830HS 형)의 100 미크론 두께 층 (100) 3 개를 2 개의 평면 커패시턴스 라미네이트(DuPont Interra<sup>(R)</sup> HK11, E.I. du Pont de Nemours and Company로부터 시판)에 적층하였다. 상기 HK11은 14 μm 두께의, 각 면에 35 μm 구리 포일 (300)을 갖는 충전된 폴리이미드(200)로 구성되었다. (주: 시험 구조체는 평면형 커패시터 층이 PTHs(도금된 관통구멍)(750)에 연결되어 있고 추가의 마이크로비아 구축 층(여기에서는 도시되지 않은 금속 층 M1, M2, M13 및 M14)이 상기 시험 구조체에 부가되어 있는 더 복잡한 시험 히비클의 전구체이다.) 불연속형 세라믹 커패시터를 미국 특허 제 6,317,023 호에 기재된 것과 같이 2 장의 구리 포일(금속 층 M4(500) 및 M10(600)) 상에 형성시켰다. 상기 포일은 35 μm 두께의 구리였고, 유전체 조성물(700, 900)은 이. 아이. 듀퐁 드 네모아 앤 캄파니로부터 시판되는 듀퐁의 EP310(20 μm 연소된 두께)였고, 스크린 인쇄된 구리 전극은 5 μm의 연소된 두께 구리였다 (금속 층 M5(800) 및 M11(150), 이. 아이. 듀퐁 드 네모아 앤 캄파니로부터 시판되는 제품 번호 EP320). 이어서 금속 포일 M4 및 M10을 두 개의 평면 커패시터 층을 함유하고 적층된 구조체의 각 면에 100 μm BT 프리프레그(400)에 적층하였다. 이어서 금속 층 M4 및 M10에 다층 결합 피복을 도포하였다. 이어서 금속층 M4 및 M10을 (제거) 인쇄 & 에칭 포토-리소그래픽 공정으로 구조화하였다. 다음, 3 μm 구리 포일(450, 650)이 캡핑된 BT 프리프레그(100 μm)(250, 350)를 상기 구조체의 양면에 적층하였다 (금속 층 M3 및 M12). 이어서 블라인드 비아(마이크로비아, 150 μm 직경)(550)를 UV-레이저로 M3 및 M12 및

아래에 놓인 프리프레그 층을 통해 천공하여 금속 층 M4 및 M10에 접속하였다. 다음, 상기 마이크로비아 구멍 벽을 표준 팽윤 및 (과망간산염) 에칭 화학, 이어서 무전해 구리 침착에 의해 제조하였다. 금속 층 M3 및 M12의 패턴형성 및 상기 마이크로비아에서 구리 구축을 세미-첨가제 도금 공정(도금 레지스트 패턴 적용, 12 μm 구리 도금, 레지스트 스트리핑, 기재 구리의 시차 에칭)에 의해 수행하였다.

<24> 금속 층 M5 및 M11 상의 내장 커패시터의 배치를 도 2에 나타낸다. 3 가지 상이한 커패시터 디자인이 존재한다: A 형(도 3), B 형(도 4) 및 C 형(도 5). 각 유형에 있어서, 1 mm<sup>2</sup>, 4 mm<sup>2</sup> 및 9 mm<sup>2</sup>의 유효 커패시터 크기(면적)를 갖는 커패시터가 존재한다. 상기 커패시터 디자인은 포일 전극(1200, 2200, 3200), 유전체(1400, 2400, 3400) 및 스크린 인쇄된 구리 전극(1300, 2300, 3300)의 상대적 위치 및 크기에 있어서 다르다. 그들은 또한 상기 2 개의 구리 전극을 절연하는 틈(간격)의 디자인이 다르고, 그들은 상기 내장 커패시터를 상기 이웃하는 금속 층에 접속하는 비아(1100)의 위치 및 수에 있어서 다르다. 9 mm<sup>2</sup> 크기 커패시터의 경우, A 형은 4 개의 비아 접속부를 특징으로 하며, B 형은 28 개의 비아, C 형은 52 개의 비아를 갖는다.

<25> 결과:

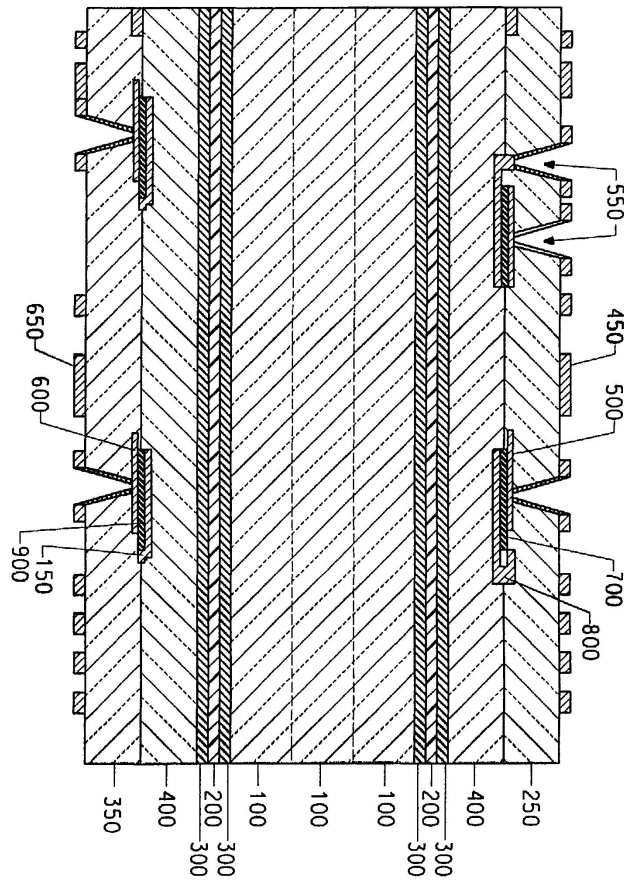
<26> 도 6은 비아 접속부가 있거나 없는, 9 mm<sup>2</sup> 크기의 A, B 및 C 형 커패시터에 대한 커패시턴스, 저항 및 인덕턴스 측정값을 요약한다. 이는 비아 접속부가 없는 모든 세 가지 유형의 커패시턴스, 저항 및 인덕턴스 값이 매우 유사함을 보여준다. 이는 또한 비아 접속부가 있는 A, B 및 C 형 커패시터의 경우 저항 및 인덕턴스는 서로 매우 다름을 보여준다. 이는, 비아의 수 및 그의 위치가 커패시터의 저항 및 인덕턴스에 크게 영향을 준다는 것을 시사한다. 또한, 이는 도 5에 나타낸 비아 구성을 갖는 커패시터 C 형이 저항 및 인덕턴스에 있어서 최저의 조합된 값을 가짐을 보이며, 이는 매우 바람직하다. 따라서, 도 5에 나타낸 커패시터 C 형에 대한 비아 접속부의 어레이는 본 발명의 하나의 대상이다. 그의 특정 전극 디자인 및 상호접속 비아의 디자인을 갖는 C 형 커패시터가 최선의 결과를 낼 것임은 분명하지 않았다. C형은, 외부 전극 비아의 어레이를 갖는 외부 전극이 내부 전극 비아의 어레이를 갖는 내부 전극을 둘러싸게 하는, 구리 전극들 사이에 연속 절연 트렌치를 위한 독특한 형태(예를 들면, 정사각형, 직사각형, 원형, 타원형 또는 임의의 다각형의 "픽처 프레임(picture frame)" 절연 갭)을 갖는다. 전극 및 비아 어레이(1100)(도 7 참조)는 그 전도성 코어(1500) 및 외피(1600)를 갖는 동축 케이블의 구조를 시사하며, 상기 동축 케이블의 바람직한 전기적 성능은 C 형 커패시터 및 그의 비아 어레이의 것에 유사할 수 있다. 본 발명에서, 비아 크기는 1 내지 500 미크론의 범위이다. 일부 구현예에서, 비아 크기는 각각 1-15, 15-250 및 15-500 미크론의 범위이다.

### 도면의 간단한 설명

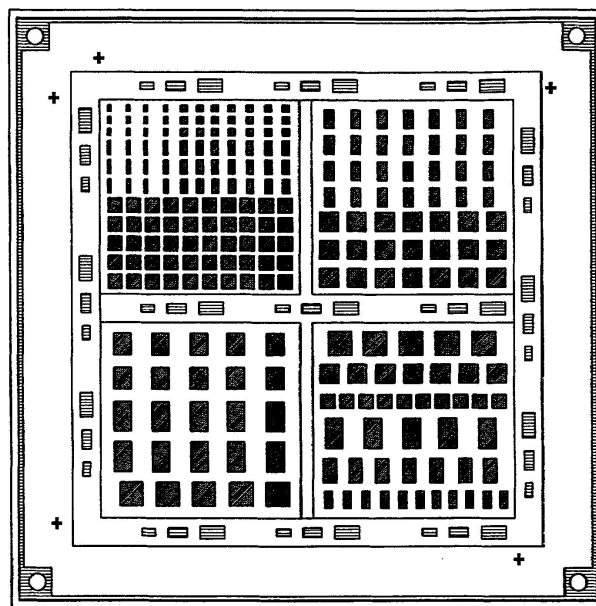
- <27> 도 1은 내장 평면형 및 불연속형 커패시터를 갖는 패키지의 스택킹(stack-up)을 나타낸다.
- <28> 도 2는 구리 포일 상의 내장 커패시터 어레이의 배치이다.
- <29> 도 3은 커패시터 A 형을 나타낸다.
- <30> 도 4는 커패시터 B 형을 나타낸다.
- <31> 도 5는 커패시터 C 형을 나타낸다.
- <32> 도 6은 비아가 있는/없는 커패시터 파라미터를 나타낸다.
- <33> 도 7은 마이크로비아 어레이에 대한 동축의 관계를 나타낸다.

도면

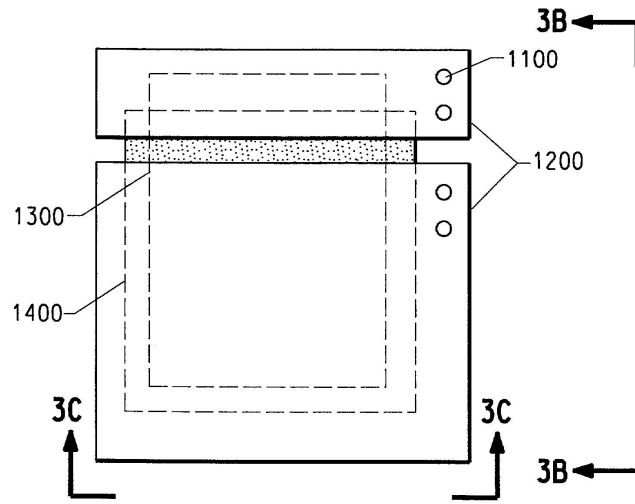
도면1



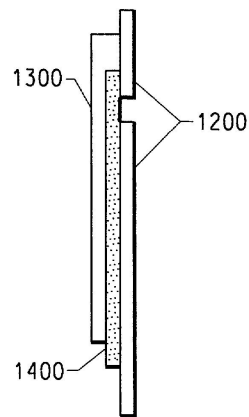
도면2



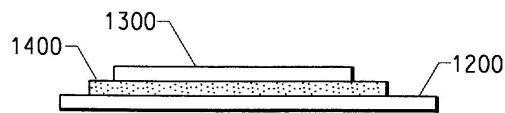
도면3a



도면3b

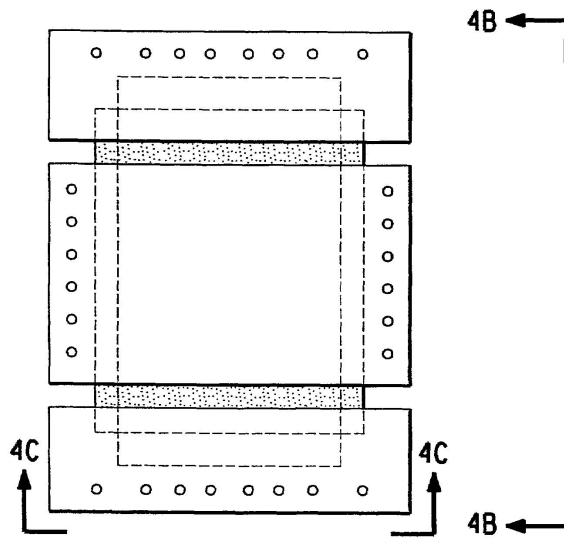


도면3c





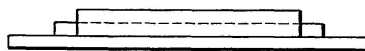
도면4a



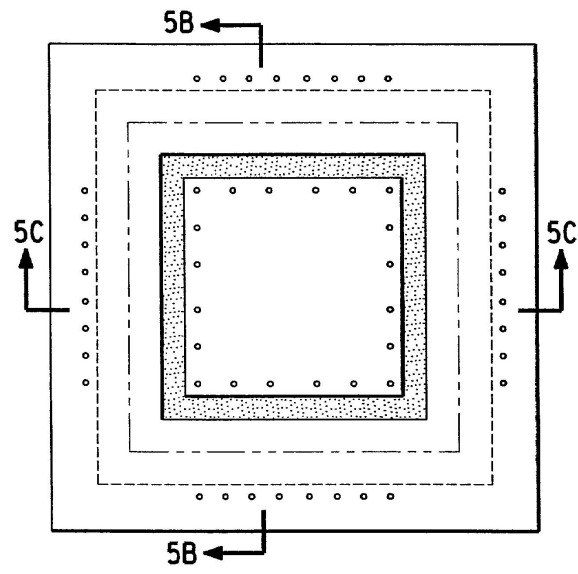
도면4b



도면4c



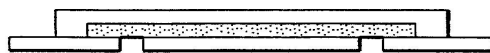
도면5a



도면5b

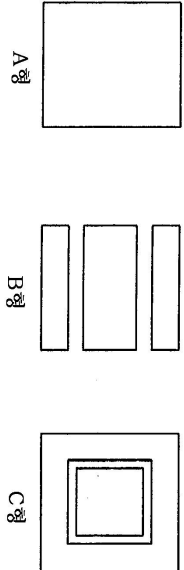


도면5c



비아가 있는/없는 커패시터 파라미터

커패시터 유형	비아 없음			비아 있음		
	커패시턴스	ESR (저항)	인덕턴스	커패시턴스	ESR (저항)	인덕턴스
A형	10.6nF	7.9 mohms	35.44pH	15.3nF	100 mohms	218.2pH
B형	11nF	10 mohms	40pH	13.26nF	15.4 mohms	115pH
C형	13.6nF	8.9 mohms	33.8pH	13.2nF	17.3 mohms	79.4pH



도면7

