



# (12) 发明专利

(10) 授权公告号 CN 113114021 B

(45) 授权公告日 2022. 05. 13

(21) 申请号 202110371654.5

H02M 1/00 (2007.01)

(22) 申请日 2021.04.07

H05K 7/02 (2006.01)

H05K 7/20 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113114021 A

(43) 申请公布日 2021.07.13

(73) 专利权人 台达电子企业管理(上海)有限公司

地址 201209 上海市浦东新区华东路1675号1幢1层,7-8层

(72) 发明人 乔理峰 张德辉 赵洁 刘腾

(74) 专利代理机构 隆天知识产权代理有限公司  
72003

专利代理师 黄艳 郑特强

(56) 对比文件

CN 101960707 A, 2011.01.26

CN 202068340 U, 2011.12.07

TW 201021669 A, 2010.06.01

CN 202121502 U, 2012.01.18

EP 3734813 A1, 2020.11.04

GB 9319210 D0, 1993.11.03

US 2011211152 A1, 2011.09.01

审查员 王春鹏

(51) Int. Cl.

H02M 1/08 (2006.01)

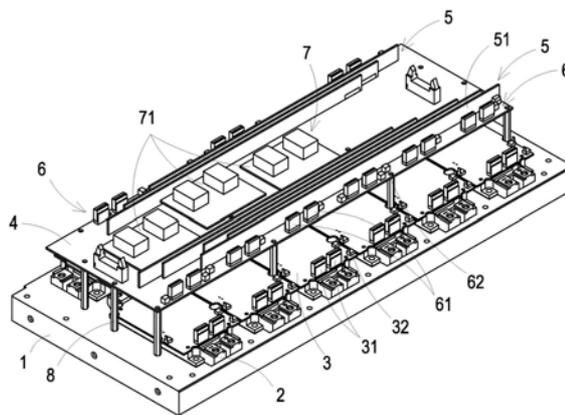
权利要求书3页 说明书8页 附图13页

(54) 发明名称

功率器件的驱动系统

(57) 摘要

本公开提供一种功率器件的驱动系统,包含散热板、多个半导体模块、多个门极板、控制板、桥接模块及端子模块。半导体模块设置于散热板上。每个门极板设置于对应的半导体模块上,且包含第一驱动端子。控制板设置于散热板上。桥接模块及端子模块相互电连接并设置于控制板上,并沿控制板的中心朝边缘的方向按序排列。桥接模块包含多个驱动桥接板,每个驱动桥接板电耦接于控制板。端子模块包含多个第二驱动端子,每个第二驱动端子电连接于对应的驱动桥接板及第一驱动端子。



1. 一种功率器件的驱动系统,包含:
  - 一散热板;
  - 多个半导体模块,设置于该散热板上;
  - 多个门极板,与所述多个半导体模块一一对应,其中每个所述门极板设置于对应的该半导体模块上,且每个所述门极板包含至少一个第一驱动端子;
  - 一控制板,设置于该散热板上;以及
  - 相互电连接的一桥接模块及一端子模块,均设置于该控制板上,且沿该控制板的中心朝边缘的方向依次排列,其中该控制板架构于提供用以驱动所述多个半导体模块的驱动信号,该桥接模块包含多个驱动桥接板,每个所述驱动桥接板电耦接于该控制板,该端子模块包含多个第二驱动端子,所述多个第二驱动端子与所有第一驱动端子一一对应,每个所述第二驱动端子电连接于对应的该驱动桥接板及该第一驱动端子。
2. 如权利要求1所述的功率器件的驱动系统,还包含设置于该控制板上的一驱动模块,其中该驱动模块、该桥接模块及该端子模块沿该控制板的中心朝边缘的方向依次排列,且该驱动模块包含多个驱动板,每个所述驱动板电耦接于该控制板及对应的该驱动桥接板,所述多个驱动板架构于提供用以驱动所述多个半导体模块的该驱动信号。
3. 如权利要求2所述的功率器件的驱动系统,其中该驱动模块、该桥接模块及该端子模块是经由该控制板上的导电图形而相互电耦接。
4. 如权利要求1或2所述的功率器件的驱动系统,其中所述多个半导体模块包含多个第一半导体模块及多个第二半导体模块,所述多个第一半导体模块均连接于所述多个第二半导体模块,每个所述第一半导体模块包括至少一个功率器件,所述多个第一半导体模块中相同位置的该功率器件相互并联连接,每个所述第二半导体模块包括至少一个功率器件,所述多个第二半导体模块中相同位置的该功率器件相互并联连接。
5. 如权利要求4所述的功率器件的驱动系统,其中并联连接的所述功率器件通过对应的该第一驱动端子和该第二驱动端子耦接于同一该驱动桥接板。
6. 如权利要求4所述的功率器件的驱动系统,其中所述多个第一半导体模块及所述多个第二半导体模块交替并排设置于该散热板上且分布于该控制板的第一侧。
7. 如权利要求6所述的功率器件的驱动系统,其中所述多个驱动桥接板及所述多个第二驱动端子邻设于该控制板的该第一侧。
8. 如权利要求4所述的功率器件的驱动系统,其中该控制板包含处理单元;该桥接模块还包含第一保护桥接板,该第一保护桥接板电性连接于该处理单元;每个所述门极板还包含第一保护端子,该端子模块还包括多个第二保护端子;所有第一保护端子与所述多个第二保护端子一一对应;每个所述第二保护端子电性连接于该第一保护桥接板及对应的该第一保护端子。
9. 如权利要求8所述的功率器件的驱动系统,其中所述多个驱动桥接板和该第一保护桥接板所传递的信号具有一易受干扰程度,依据该易受干扰程度由大到小的顺序,所述多个驱动桥接板和该第一保护桥接板沿该控制板的中心朝第一侧的方向依次排列。
10. 如权利要求4所述的功率器件的驱动系统,其中所述多个驱动桥接板依据电位高低的顺序排列。
11. 如权利要求4所述的功率器件的驱动系统,还包含设置于该桥接模块与该端子模块

之间的第一隔板,其中该第一隔板包含接地屏蔽层,用于防止该桥接模块所传递的信号受到干扰。

12.如权利要求1或2所述的功率器件的驱动系统,其中所述多个半导体模块包含多个第一半导体模块、多个第二半导体模块及多个第三半导体模块,且所述多个第一半导体模块与所述多个第二半导体模块及所述多个第三半导体模块分别连接;每个所述第一半导体模块包括至少一个功率器件,所述多个第一半导体模块中相同位置的该功率器件相互并联连接,每个所述第二半导体模块包括至少一个功率器件,所述多个第二半导体模块中相同位置的该功率器件相互并联连接,每个所述第三半导体模块包括至少一个功率器件,所述多个第二半导体模块中相同位置的该功率器件相互并联连接。

13.如权利要求12所述的功率器件的驱动系统,其中所述多个第一半导体模块和所述多个第二半导体模块交替并排设置于该散热板上且分布于该控制板的第一侧;所述多个第三半导体模块设置于该散热板上且分布于该控制板的第二侧,其中该第二侧与该第一侧相对。

14.如权利要求13所述的功率器件的驱动系统,其中所述多个驱动桥接板中的第一部分和所述多个第二驱动端子中的第一部分邻设于该控制板的该第一侧;所述多个驱动桥接板中的第二部分和所述多个第二驱动端子中的第二部分邻设于该控制板的该第二侧。

15.如权利要求14所述的功率器件的驱动系统,其中该控制板包含处理单元;该桥接模块还包含第一保护桥接板和第二保护桥接板,该第一保护桥接板和该第二保护桥接板电性连接于该处理单元;每个所述门极板还包含第一保护端子,该端子模块还包含多个第二保护端子;所有第一保护端子与所述多个第二保护端子一一对应;每个所述第二保护端子电性连接于对应的该第一保护端子和对应的该第一保护桥接板或第二保护桥接板。

16.如权利要求15所述的功率器件的驱动系统,其中所述多个驱动桥接板、该第一保护桥接板及该第二保护桥接板所传递的信号具有一易受干扰程度,依据该易受干扰程度由大到小的顺序,所述多个驱动桥接板中的第一部分和该第一保护桥接板沿该控制板的中心朝该第一侧的方向依次排列,所述多个驱动桥接板中的第二部分和该第二保护桥接板沿该控制板的中心朝该第二侧的方向依次排列。

17.如权利要求14所述的功率器件的驱动系统,其中所述多个驱动桥接板中的第一部分依据电位高低的顺序排列;以及所述多个驱动桥接板中的第二部分依据电位高低的顺序排列。

18.如权利要求14所述的功率器件的驱动系统,还包含第一隔板和第二隔板;其中该第一隔板设置于所述多个驱动桥接板中的第一部分与所述多个第二驱动端子中的第一部分之间,该第二隔板设置于所述多个驱动桥接板中的第二部分与所述多个第二驱动端子中的第二部分之间;其中该第一隔板和该第二隔板均包含接地屏蔽层,用于防止该桥接模块所传递的信号受到干扰。

19.如权利要求1所述的功率器件的驱动系统,其中该驱动桥接板架构于接收对应的该驱动信号,并将所接收的该驱动信号分配为多个门极驱动信号,以驱动耦接于同一该驱动桥接板的功率器件同步动作。

20.如权利要求1所述的功率器件的驱动系统,其中每个所述驱动桥接板具有一第一端及多个第二端,该第一端耦接于该控制板,所述多个第二端分别连接于多个对应的该第二

驱动端子。

21. 如权利要求20所述的功率器件的驱动系统,其中在任一驱动桥接板中,该第一端与任一第二驱动端子之间的线路上的阻抗均相等。

22. 如权利要求20所述的功率器件的驱动系统,其中在任一驱动桥接板中,该第一端与每个耦接于该驱动桥接板的功率器件的门极之间的线路上的阻抗值相等。

23. 如权利要求1所述的功率器件的驱动系统,还包含多个支撑架,其中所述多个支撑架组接于该控制板与该散热板之间,使该控制板与该散热板之间具有间隙,所述多个半导体模块位于该控制板与该散热板之间。

24. 如权利要求1所述的功率器件的驱动系统,其中相对应的该第一驱动端子及第二驱动端子经由线束而相互电连接。

25. 如权利要求1所述的功率器件的驱动系统,其中该桥接模块与该控制板的边缘相互平行。

26. 如权利要求1所述的功率器件的驱动系统,其中该控制板包含接地屏蔽层,用于防止该桥接模块所传递的信号受到干扰。

27. 如权利要求1所述的功率器件的驱动系统,其中每个所述驱动桥接板包含走线,多个所述走线设置于多个对应的该驱动桥接板的第一侧面。

28. 如权利要求1所述的功率器件的驱动系统,其中每个所述驱动桥接板包含接地屏蔽层,用于防止该桥接模块所传递的信号受到干扰。

## 功率器件的驱动系统

### 技术领域

[0001] 本公开涉及一种驱动系统,特别涉及一种功率器件的驱动系统。

### 背景技术

[0002] 随着电力电子技术朝大容量、高功率密度、高性能等方面发展,市场对兆瓦(MW)级大功率变流器的需求与日剧增。受到电流容量局限、热源集中、成本高等因素制约,目前的大功率电力电子器件难以直接实现大容量要求。相比之下,电力电子器件并联具备高通流能力、均匀热分布、灵活布局及高性价比等优势。因此,电力电子器件的并联技术越发广泛地被应用于大功率变流器。

[0003] 目前,半导体器件的并联驱动方案主要有Central drive(集中驱动)和Direct drive(直接驱动)两种架构。Central drive架构如图1所示,控制信号经由一个隔离单元驱动所有并联连接的半导体器件,此架构中仅需一个隔离单元。Direct drive架构如图2所示,多个隔离单元分别与多个半导体器件一一对应以进行控制,隔离单元的数量与半导体器件的数量相同。与Direct drive架构相比,Central drive架构的成本较低、结构简单且拥有良好的驱动一致性,故受到广泛使用。但是实际工程应用中,采用Central drive架构往往会用到长线束来传递驱动及保护信号,这会带来绝缘、电磁兼容、安装与维护等一系列问题,这些问题的存在很大程度上降低了系统的可靠性。

[0004] 下面以ANPC(active neutral point clamped,有源中点钳位)三电平电路拓扑的驱动系统为例进行说明,其中该驱动系统基于Central drive架构。图3为ANPC电路拓扑,图4为现有的功率器件的驱动系统的具体连接示意图。如图3所示,ANPC电路包括多个功率器件模块Q1、Q2、Q3、Q4、Q5及Q6,每个功率器件模块包括多个并联连接的功率器件。多个功率器件模块Q1、Q2、Q3、Q4、Q5及Q6的连接关系见图3。由图3可知,功率器件模块Q5和功率器件模块Q6的驱动线电位与其他功率器件模块的驱动线电位最大相差 $1/2V_{bus}$ ,其中 $V_{bus}$ 为母线电压。在功率器件模块Q1、Q2、Q3及Q4中,相邻功率器件模块之间的驱动线电位差最大为 $1/2V_{bus}$ ,例如功率器件模块Q1与Q2、功率器件模块Q2与Q3、功率器件模块Q3与Q4。不相邻的功率器件模块之间的驱动线电位差最大为 $V_{bus}$ ,例如功率器件模块Q1与Q3、功率器件模块Q1与Q4、功率器件模块Q2与Q4。由图4可知,功率器件模块中的多个并联连接的功率器件采用Central drive架构,驱动板和门极板之间均采用长线束来传输驱动信号(以实线标示)以及保护信号(以虚线标示),然而其在实际应用中会带来如下问题:

[0005] 1、寄生参数不可控:由于长线束排列顺序不固定,且各线束间的间距亦不固定,故线间寄生参数不可控,此将影响并联连接的功率器件的驱动的一致性,并进而影响所传输的驱动信号和保护信号,导致系统可靠性降低;

[0006] 2、电磁干扰问题:由于线束间存在寄生电容,故驱动线电位跳变可能通过寄生电容而耦合至其他线路,造成干扰。同时,由于线束较长,故驱动架构所占用的区域较大,导致驱动信号容易受到功率电流所产生的强磁场影响;

[0007] 3、绝缘问题:由于长线束难以固定,故结构稳定性较差。再者,线束之间的间距小,

电位相差Vbus的两个驱动线束之间的绝缘仅靠绝缘线皮实现。若线皮发生磨损或老化,将带来严重的安全隐患;以及

[0008] 4、线束规格不一致和安装维护问题:由于门极板的位置和距离不同,故驱动的线束和保护采样的线束有多种长度规格,样制难度大。且驱动板上的端子与门极板上的端子间难以一一对应,线束安装和排列顺序不固定,接线易错,此将增加安装和维护难度。

[0009] 以上问题将随电路的电平数和功率器件并联数的增加而愈加严重。具体而言,若电平数或功率器件并联数越多,则驱动线束的长度越长,接线更加复杂,且将带来更为严重的电磁干扰和绝缘问题,同时影响驱动一致性,对电路的可靠性造成巨大隐患。

[0010] 因此,如何发展一种可改善上述现有技术的功率器件的驱动系统,实为目前迫切的需求。

### 发明内容

[0011] 本公开的目的在于提供一种功率器件的驱动系统,其门极板上的驱动端子与控制板上的驱动端子一一对应,故连接驱动端子的线束可以特定顺序排列且长度一致。借此,线间寄生参数可控,可提升并联连接的功率器件的驱动一致性及多电平电路的可靠性。此外,由于线束的长度规格一致,样制难度低,且便于安装及维护。再者,线束无需相互交错,故可有效克服电磁干扰及绝缘问题。

[0012] 为达上述目的,本公开提供一种功率器件的驱动系统,包含散热板、多个半导体模块、多个门极板、控制板、桥接模块及端子模块。半导体模块设置于散热板上。该多个门极板与该多个半导体模块一一对应,其中每个门极板设置于对应的半导体模块上,且每个门极板包含至少一个第一驱动端子。控制板设置于散热板上。桥接模块及端子模块相互电连接,且均设置于控制板上,并沿控制板的中心朝边缘的方向按序排列。控制板架构于提供用以驱动半导体模块的驱动信号。桥接模块包含多个驱动桥接板,每个驱动桥接板电耦接于控制板。端子模块包含多个第二驱动端子,该多个第二驱动端子与所有第一驱动端子一一对应,每个第二驱动端子电连接于对应的驱动桥接板及第一驱动端子。

### 附图说明

[0013] 图1为现有的Central drive架构示意图。

[0014] 图2为现有的Direct drive架构示意图。

[0015] 图3为现有的ANPC电路拓扑示意图。

[0016] 图4为现有的功率器件的驱动系统的Central drive架构的具体连接示意图。

[0017] 图5A为本公开优选实施例的功率器件的驱动系统的立体结构示意图。

[0018] 图5B为图5A的功率器件的驱动系统在另一视角的立体结构示意图。

[0019] 图5C为图5A的功率器件的驱动系统的俯视图。

[0020] 图6为本公开优选实施例的功率器件的驱动系统的方框示意图。

[0021] 图7为桥接板的排列方式示意图。

[0022] 图8为本公开另一优选实施例的功率器件的驱动系统的方框示意图。

[0023] 图9为本公开又一优选实施例的功率器件的驱动系统的方框示意图。

[0024] 图10A、图10B及图10C例示了不同的线路阻抗匹配方式。

- [0025] 符号说明
- [0026] 1: 散热板
- [0027] 2: 半导体模块
- [0028] 3: 门极板
- [0029] 31: 第一驱动端子
- [0030] 32: 第一保护端子
- [0031] 4: 控制板
- [0032] 41: 第一侧
- [0033] 42: 第二侧
- [0034] 43: 处理单元
- [0035] 5: 桥接模块
- [0036] 51: 驱动桥接板
- [0037] 511: 第一端
- [0038] 512: 第二端
- [0039] 52: 第一保护桥接板
- [0040] 53: 第二保护桥接板
- [0041] 6: 端子模块
- [0042] 61: 第二驱动端子
- [0043] 62: 第二保护端子
- [0044] 7: 驱动模块
- [0045] 71: 驱动板
- [0046] 211、21n: 第一半导体模块
- [0047] 221、22n: 第二半导体模块
- [0048] 231、23n: 第三半导体模块
- [0049] S1: 上开关管
- [0050] S2: 下开关管
- [0051]  $R_{NTC}$ : 热敏电阻
- [0052] G1、G2、G3、G4、G5、G6、G7、G8、G9、G10、NTC、X1、X2、X3、X4、X5、X6、X7、X8: 端子
- [0053] 8: 支撑架
- [0054] 9: 阻抗电路

### 具体实施方式

[0055] 体现本公开特征与优点的一些典型实施例将在后段的说明中详细叙述。应理解的是本公开能够在不同的实施方式上具有各种的变化,其皆不脱离本公开的范围,且其中的说明及图示在本质上是当作说明之用,而非用以限制本公开。

[0056] 图5A为本公开优选实施例的功率器件的驱动系统的立体结构示意图,图5B为图5A的功率器件的驱动系统在另一视角的立体结构示意图,图5C为图5A的功率器件的驱动系统的俯视图。如图5A、图5B及图5C所示,功率器件的驱动系统包含散热板1、多个半导体模块2、多个门极板3、控制板4、桥接模块5及端子模块6。半导体模块2设置于散热板1上,且半导体

模块2与门极板3一一对应。每一门极板3均设置于对应的半导体模块2上,且每个门极板3包含至少一个第一驱动端子31。控制板4设置于散热板1上,并架构于提供用以驱动半导体模块2的驱动信号。桥接模块5与端子模块6相互电连接,且均设置于控制板4上,其中桥接模块5及端子模块6沿控制板4的中心朝边缘的方向按序排列。桥接模块5与控制板4的边缘相互平行,且包含多个驱动桥接板51,每个驱动桥接板51电耦接于控制板4。端子模块6包含多个第二驱动端子61,所有第二驱动端子61与所有第一驱动端子31一一对应,其中每一第二驱动端子61均电连接于对应的驱动桥接板51及第一驱动端子31。

[0057] 由于门极板3上的第一驱动端子31与控制板4上的第二驱动端子61一一对应,故连接第一及第二驱动端子31及61的线束可以按特定顺序排列且长度一致。借此,线束之间的寄生参数可控,可提升驱动的一致性及系统的可靠性。此外,由于线束的长度规格一致,样制难度低,且便于安装及维护。再者,线束无需相互交错,故可有效克服电磁干扰及绝缘问题。

[0058] 在一些实施例中,驱动系统还包含设置于控制板4上的驱动模块7,桥接模块5及端子模块6沿控制板4的中心朝边缘的方向按序排列。驱动模块7包含多个驱动板71,每个驱动板71电耦接于控制板4及对应的驱动桥接板51,驱动板71架构于提供用以驱动半导体模块2的驱动信号。在一些实施例中,驱动模块7、桥接模块5及端子模块6经由控制板4上的导电图形而相互耦接。

[0059] 图6为本公开优选实施例的功率器件的驱动系统的方框示意图。如图6所示,所有半导体模块中包含数量相同的多个第一半导体模块211~21n、多个第二半导体模块221~22n及多个第三半导体模块231~23n,其中n大于或等于2(图5A、图5B及图5C所示的驱动系统即为n为3时的实施方式)。第一半导体模块211~21n与第二半导体模块221~22n和第三半导体模块231~23n分别连接。每个第一半导体模块211~21n包括至少一个功率器件,并且每个第一半导体模块211~21n中相同位置的功率器件相互并联连接,例如第一半导体模块211、第一半导体模块212至第一半导体模块21n中相同位置的功率器件相互并联连接。每个第二半导体模块221~22n包括至少一个功率器件,并且每个第二半导体模块221~22n中相同位置的功率器件相互并联连接,例如第二半导体模块221至第二半导体模块22n中相同位置的功率器件相互并联连接。每个第三半导体模块231~23n包括至少一个功率器件,并且每个第三半导体模块231~23n中相同位置的功率器件相互并联连接,例如第三半导体模块231至第三半导体模块23n中相同位置的功率器件相互并联连接。举例而言,每个第一半导体模块211~21n均包括功率器件S1和功率器件S2,每个第一半导体模块211~21n中的功率器件S1相互并联连接,而每个第一半导体模块211~21n中的功率器件S2相互并联连接。每个第二半导体模块221~22n包括至少一个功率器件,并且每个第二半导体模块221~22n中相同位置的功率器件相互并联连接。举例而言,每个第二半导体模块221~22n均包括功率器件S1和功率器件S2,每个第二半导体模块221~22n中的功率器件S1相互并联连接,而每个第二半导体模块221~22n中的功率器件S2相互并联连接。每个第三半导体模块231~23n包括至少一个功率器件,并且每个第三半导体模块231~23n中相同位置的功率器件相互并联连接。举例而言,每个第三半导体模块231~23n均包括功率器件S1和功率器件S2,每个第三半导体模块231~23n中的功率器件S1相互并联连接,而每个第三半导体模块231~23n中的功率器件S2相互并联连接。在一些实施例中,多个第一半导体模块211~21n、多个

第二半导体模块221~22n及多个第三半导体模块231~23n均包括一个功率器件,多个第一半导体模块211~21n中的功率器件相互并联连接,多个第二半导体模块221~22n中的功率器件相互并联连接,多个第三半导体模块231~23n中的功率器件相互并联连接。

[0060] 在一些实施例中,多个第一半导体模块211~21n中相互并联连接的功率器件耦接到同一块驱动桥接板;多个第二半导体模块221~22n中相互并联连接的功率器件耦接到同一块驱动桥接板;多个第三半导体模块231~23n中相互并联连接的功率器件耦接到同一块驱动桥接板。

[0061] 所有第一半导体模块211~21n及所有第二半导体模块221~22n交替并排设置于散热板1上,且分布于控制板4的第一侧41。通过将所有第一半导体模块211~21n及所有第二半导体模块221~22n交替并排在散热板1上,有助于减小换流回路,减小环流电感,提高驱动系统的整体性能。所有第三半导体模块231~23n按序设置于散热板1上,且分布于控制板4的第二侧42,其中第二侧42与第一侧41相对。所有驱动桥接板51中的第一部分(即对应于第一及第二半导体模块211~21n及221~22n的驱动桥接板51)和所有第二驱动端子61中的第一部分(即对应于第一及第二半导体模块211~21n及221~22n的第二驱动端子61)邻设于控制板4的第一侧41。所有驱动桥接板51中的第二部分(即对应于第三半导体模块231~23n的驱动桥接板51)和所有第二驱动端子61中的第二部分(即对应于第三半导体模块231~23n的第二驱动端子61)邻设于控制板4的第二侧42。此外,所有驱动桥接板51中的第一部分依据电位高低的顺序排列,所有驱动桥接板51中的第二部分依据电位高低的顺序排列,借此可减小相邻的驱动桥接板51间的电位差。

[0062] 在一些实施例中,控制板4包含处理单元43,桥接模块5还包含第一保护桥接板52和第二保护桥接板53,其中第一保护桥接板52和第二保护桥接板53电性连接于处理单元43。驱动模块7可以但不限于位于所有驱动桥接板51中的第一部分和第二部分之间。每个门极板3还包含第一保护端子32,端子模块6还包含多个第二保护端子62,且所有第一保护端子32与所有第二保护端子62一一对应。此外,邻设于控制板4的第一侧41的每个第二保护端子62电性连接于对应的第一保护端子32和第一保护桥接板52;邻设于控制板4的第二侧42的每个第二保护端子62电性连接于对应的第一保护端子32和第二保护桥接板53。在图6所示的实施例中,第一及第二保护桥接板52及53分别邻设于控制板4的第一侧41及第二侧42,第一及第二半导体模块211~21n及221~22n上的门极板3的第一保护端子32所对应的第二保护端子62电性连接于第一保护桥接板52,第三半导体模块231~23n上的门极板3的第一保护端子32所对应的第二保护端子62电性连接于第二保护桥接板53。桥接板的间距可视实际需求调整,从而有效控制线束之间的寄生参数。

[0063] 在图6中,连接第一及第二驱动端子31及61的线束以实线表示,连接第一及第二保护端子32及62的线束以虚线表示。驱动桥接板51架构于接收对应的驱动信号,并将所接收的驱动信号分配为多个门极驱动信号,门极驱动信号经由对应的第一及第二驱动端子31及61而被传输给对应的半导体模块中的功率器件的门极,以驱动耦接于同一块驱动桥接板的功率器件同时动作。半导体模块中并联连接的功率器件的门极分别接收同一块驱动桥接板输出的门极驱动信号,使得半导体模块中并联连接的功率器件同时导通或断开。举例而言,第一半导体模块211中的功率器件S1和第一半导体模块212中的功率器件S1通过第一及第二驱动端子31及61连接到同一块驱动桥接板51上,该驱动桥接板51输出的两个门极驱动信

号以驱动第一半导体模块211中的功率器件S1和第一半导体模块212中的功率器件S1同时动作,例如导通或关断。第一半导体模块211中的功率器件S2和第一半导体模块212中的功率器件S2通过第一及第二驱动端子31级61连接到同一块驱动桥接板51上,该驱动桥接板51输出的两个门极驱动信号以驱动第一半导体模块211中的功率器件S2和第一半导体模块212中的功率器件S2同时动作,例如导通或关断。

[0064] 再者,在图6中,以G1、G2、G3、G4、G5及G6标示第一及第二驱动端子31及61,其中以相同符号标示的第一及第二驱动端子31及61所传输的门极驱动信号相同,并且相同符号标示的第一及第二驱动端子31及61之间的距离相等,例如以G1标示的该些第一及第二驱动端子31及61所传输的门极驱动信号皆相同,并且以G1标示的该些第一及第二驱动端子31及61之间的距离相等。此外,所有第一及第二保护端子31及62均以NTC标示,保护信号通过线束而从门极板3的第一保护端子32被传输至控制板4上的第二保护端子62,而后再经由第一及第二保护桥接板52及53汇总后传入处理单元43进行处理。此实施例是以热敏电阻 $R_{NTC}$ 实现对多个半导体模块的温度信号的采集,并将温度信号传输给处理单元43,再由处理单元43进行运算处理,以作出保护动作,但亦不以此为限。

[0065] 在一些实施例中,驱动桥接板51、第一保护桥接板52及第二保护桥接板53所传递的信号具有一易受干扰程度。例如图7所示,依据易受干扰程度由大到小的顺序,所有驱动桥接板51中的第一部分和第一保护桥接板52沿控制板4的中心朝第一侧41的方向按序排列,所有驱动桥接板51中的第二部分和第二保护桥接板53沿控制板4的中心朝第二侧42的方向按序排列。举例而言,第一保护桥接板52可以但不限于位于所有驱动桥接板51中的第一部分的内侧,第二保护桥接板53可以但不限于位于所有驱动桥接板51中的第二部分的内侧。借此,可避免桥接模块5所传递的信号受到功率线路的辐射干扰。在一些实施例中,为进一步避免桥接模块5所传递的信号受到干扰,驱动系统还包含第一隔板及第二隔板(未图示),其中第一隔板设置于所有驱动桥接板51中的第一部分与所有第二驱动端子61中的第一部分之间,第二隔板设置于所有驱动桥接板51中的第二部分与所有第二驱动端子61中的第二部分之间。第一及第二隔板均包含接地屏蔽层,用于防止桥接模块5所传递的信号受到干扰。

[0066] 在前述实施例中,半导体模块2设置于控制板4的两侧,然本公开并不以此为限。在一些实施例中,半导体模块2亦可设置于控制板4的一侧。例如图8所示,在此实施例中,所有半导体模块2包含数量相同的多个第一半导体模块211、212、...、21n及多个第二半导体模块221、222、...、22n。多个第一半导体模块211、212、...、21n和多个第二半导体模块221、222、...、22n均包括至少一个功率器件,并且第一半导体模块211、212、...、21n中相同位置的功率器件相互并联连接,以及第二半导体模块221、222、...、22n中相同位置的功率器件相互并联连接。举例而言,第一半导体模块211、212、...、21n均包括功率器件S1和功率器件S2,多个第一半导体模块211、212、...、21n中的功率器件S1相互并联连接,多个第一半导体模块211、212、...、21n中的功率器件S2相互并联连接;第二半导体模块221、222、...、22n均包括功率器件S1和功率器件S2,多个第二半导体模块221、222、...、22n中的功率器件S1相互并联连接,多个第二半导体模块221、222、...、22n中的功率器件S2相互并联连接。所有第一半导体模块211~21n及所有第二半导体模块221~22n交替并排设置于散热板1上,且分布于控制板4的第一侧41。通过将所有第一半导体模块211~21n及所有第二半导体模块221~22n交

替并排在散热板1上,有助于减小换流回路,减小环流电感,提高驱动系统的整体性能。所有驱动桥接板51和所有第二驱动端子61邻设于控制板4的第一侧41。所有驱动桥接板51依据电位高低的顺序排列。控制板4包含处理单元43,桥接模块5还包含第一保护桥接板52,其中第一保护桥接板52电性连接于处理单元43。端子模块6还包含多个第二保护端子62,每个门极板3还包含第一保护端子32,且所有第一保护端子32与所有第二保护端子62一一对应。此外,每个第二保护端子62电性连接于对应的第一保护端子32和第一保护桥接板52。驱动桥接板51及第一保护桥接板52所传递的信号具有一易受干扰程度。依据易受干扰程度由大到小的顺序,所有驱动桥接板51和第一保护桥接板52沿控制板4的中心朝第一侧41的方向按序排列。在一些实施例中,为进一步避免桥接模块5所传递的信号受到干扰,驱动系统还包含第一隔板(未图示),其中第一隔板设置于桥接模块5与端子模块6之间,且第一隔板包含接地屏蔽层,用于防止桥接模块5所传递的信号受到干扰。

[0067] 相较于现有的驱动系统,本公开的驱动系统中的并联驱动回路的面积均大幅减小,借此可有效减小功率回路对驱动信号的干扰。再者,并联驱动回路的面积可通过缩短第一及第二驱动端子31及61之间的距离和第一及第二保护端子32及62之间的距离而进一步减小。

[0068] 另外,在图6及图8所示的实施例中,不具有并联连接关系的半导体模块的数量分别为3和2。举例而言,如图6所示,不具有并联连接关系的半导体模块的数量为3,例如第一半导体模块、第二半导体模块以及第三半导体模块;如图8所示,不具有并联连接关系的半导体模块的数量为2,例如第一半导体模块以及第二半导体模块。然在本公开的驱动系统中,不具有并联连接关系的半导体模块的数量并不受限制,可依实际电路拓扑进行调整,图9即例示了不具有并联连接关系的半导体模块的数量为5时的驱动系统的方框示意图。如图9所示,半导体模块数量相同的多个第一半导体模块211、212、 $\dots$ 、21n、多个第二半导体模块221、222、 $\dots$ 、22n、多个第三半导体模块231、232、 $\dots$ 、23n、多个第四半导体模块241、242、 $\dots$ 、24n、以及多个第五半导体模块251、252、 $\dots$ 、25n。多个第一半导体模块211、212、 $\dots$ 、21n、多个第二半导体模块221、222、 $\dots$ 、22n、多个第三半导体模块231、232、 $\dots$ 、23n、多个第四半导体模块241、242、 $\dots$ 、24n、以及多个第五半导体模块251、252、 $\dots$ 、25n均包括至少一个功率器件。每个第一半导体模块211、212、 $\dots$ 、21n中相对应的功率器件并联连接,每个第二半导体模块221、222、 $\dots$ 、22n中相对应的功率器件并联连接,每个第三半导体模块231、232、 $\dots$ 、23n中相对应的功率器件并联连接,每个第四半导体模块241、242、 $\dots$ 、24n中相对应的功率器件并联连接,以及每个第五半导体模块251、252、 $\dots$ 、25n中相对应的功率器件并联连接。所有第一半导体模块211~21n、所有第三半导体模块231~23n以及所有第五半导体模块251~25n交替并排设置于散热板1上,且分布于控制板4的第一侧41。所有第二半导体模块221~22n以及所有第四半导体模块241~24n交替并排设置于散热板1上,且分布于控制板4的第二侧42。所有驱动桥接板51中的第一部分(即对应于第一、第三及第五半导体模块的驱动桥接板51)和所有第二驱动端子(为简化附图而于图9中省略)中的第一部分邻设于控制板4的第一侧41。所有驱动桥接板51中的第二部分(即对应于第二及第四半导体模块的驱动桥接板51)和所有第二驱动端子中的第二部分邻设于控制板4的第二侧42。

[0069] 再者,由于驱动信号需通过驱动桥接板51进行分配而输出至各半导体模块,故为提升驱动一致性,需使传输相同的门极驱动信号的传输线路上的阻抗一致。如图10A所示,

每个驱动桥接板51均具有第一端511及多个第二端512,其中第一端511耦接于控制板4,该多个第二端512分别连接于对应的第二驱动端子61,以使每个第二端512通过相对应的第一及第二驱动端子31及61而连接于对应的半导体模块中的功率器件的门极。在此实施例中,通过设置阻抗电路9,阻抗电路9可以但不限于由电阻和电容构成,在传输线路中,可使驱动桥接板51的第一端511与每个与该驱动桥接板51耦接的功率器件的门极之间的线路上的阻抗值均相等,其中阻抗电路9可例如但不限于被设置于控制板4或门极板3上。在一些实施例中,在任一驱动桥接板51中,第一端511与任一第二驱动端子61之间的线路上的阻抗均相等。在各相对应的第一及第二驱动端子31及61之间的线束均一致的情况下,可通过调整驱动桥接板51上的走线来实现阻抗匹配。下面以图10B及图10C例示两种可能的走线调整方式,但实际应用中亦不以此为限。如图10B所示,可通过调整驱动桥接板51上的走线宽度来实现阻抗匹配。如图10C所示,可通过调整驱动桥接板51上的走线长度来实现阻抗匹配。当然,在实际应用中,可采用设置阻抗、调整走线长度及宽度中的任一种或多种的组合,从而使各传输线路上的阻抗一致。

[0070] 请再参阅图5A及图5B。在一些实施例中,驱动系统还包含多个支撑架8,其中支撑架8组接于控制板4与散热板1之间,使控制板4与散热板1之间具有间隙,半导体模块2位于控制板4与散热板1之间。

[0071] 此外,若欲进一步防止桥接模块5所传递的信号受到干扰,可在控制板4及/或驱动桥接板51上设置接地屏蔽层。

[0072] 在一些实施例中,可将每一驱动桥接板51上的走线均设置在驱动桥接板51的同一侧面,其中各个驱动桥接板的走线之间会有一段空气绝缘而且各个驱动桥接板通过设置多层板作为其固态绝缘,以增强驱动桥接板之间绝缘,但亦不以此为限。

[0073] 综上所述,本公开提供一种功率器件的驱动系统,其门极板上的驱动端子与控制板上的驱动端子一一对应,且与并联连接的功率器件耦接的第一及第二驱动端子之间的距离相等,故连接驱动端子的线束可以特定顺序排列且长度一致。借此,线间寄生参数可控,可提升并联驱动的一致性及系统的可靠性,而由于线束的长度规格一致,故样制难度低,且便于安装及维护,同时,线束无需相互交错,故可有效克服电磁干扰及绝缘问题。此外,可将驱动桥接板依据电位高低的顺序排列,借此减小相邻的驱动桥接板间的电位差。再者,可依据易受干扰程度由大到小的顺序,将所有桥接板沿控制板的中心朝第一侧的方向按序排列,从而避免桥接模块所传递的信号受到功率线路的辐射干扰。若欲进一步防止桥接模块所传递的信号受到干扰,还可设置隔板或在控制板或驱动桥接板上设置接地屏蔽层。若欲增加驱动桥接板间绝缘,可将驱动桥接板上的走线均设置于同一侧面。另外,可采用设置阻抗、调整走线长度及宽度中的任一种或多种的组合,从而使各传输线路上的阻抗一致,提升驱动一致性。

[0074] 需注意,上述仅是为说明本公开而提出的优选实施例,本公开不限于所述的实施例,本公开的范围由权利要求决定。且本公开得由本领域技术人员任施匠思而为诸般修饰,然皆不脱权利要求所欲保护者。

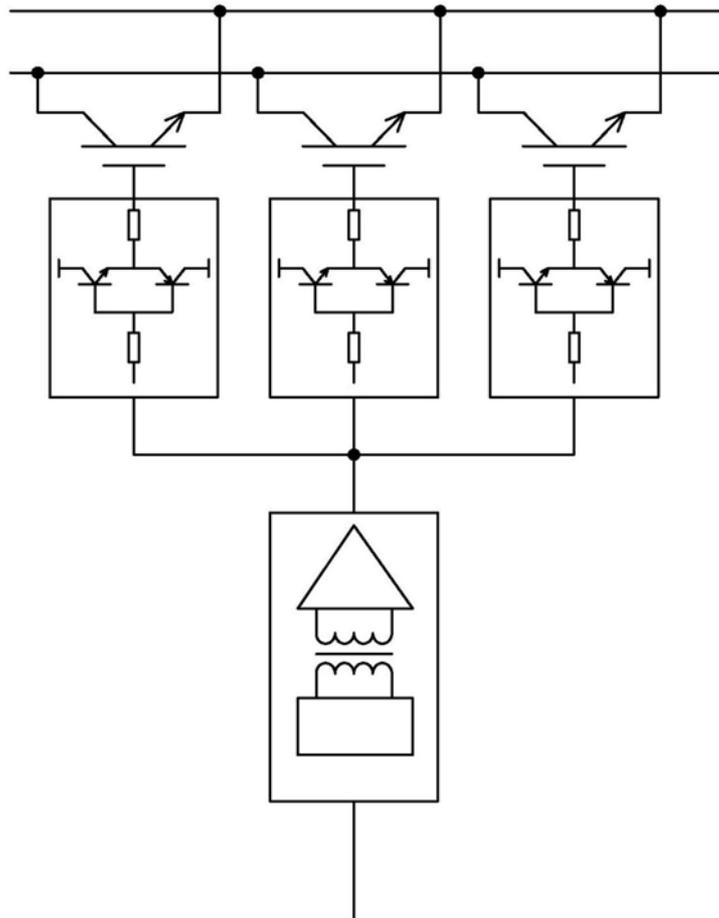


图1

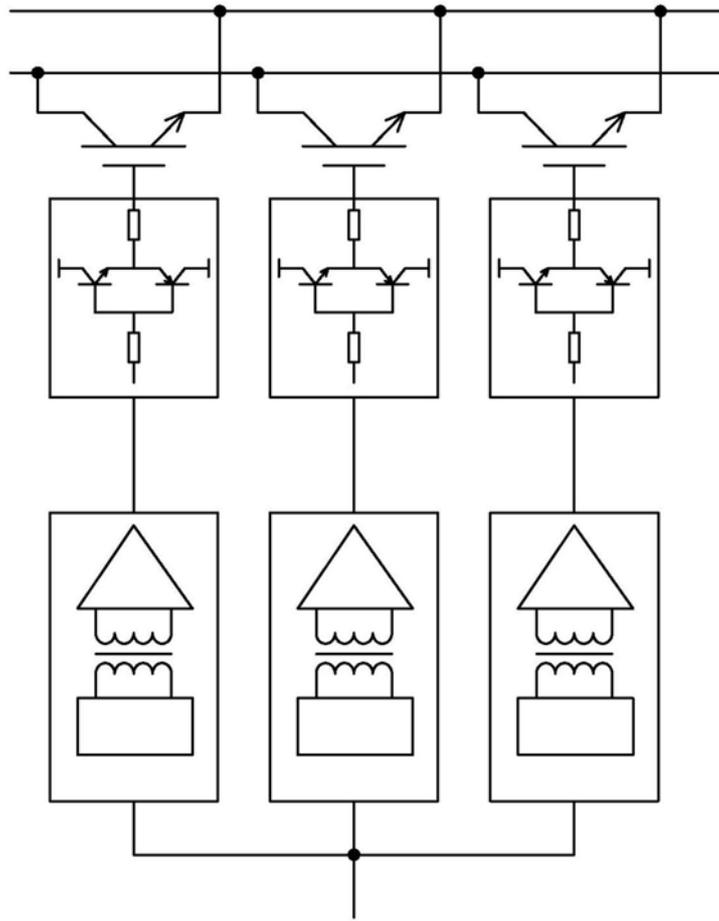


图2

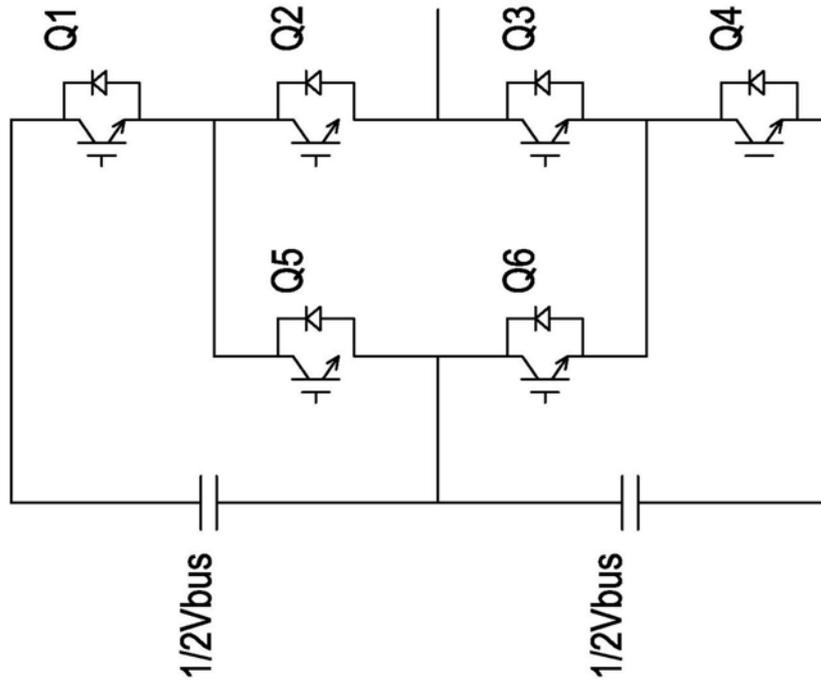


图3

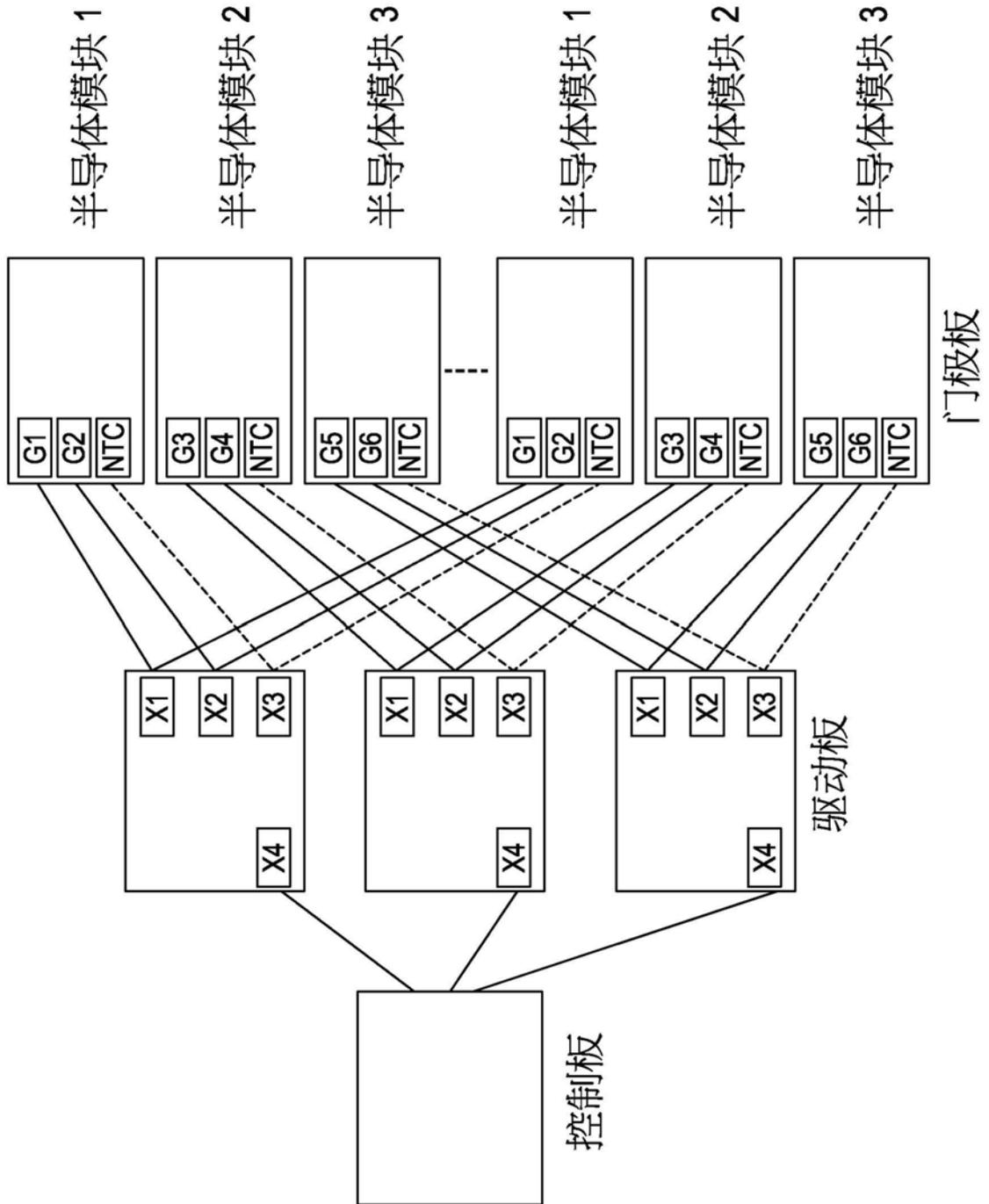


图4

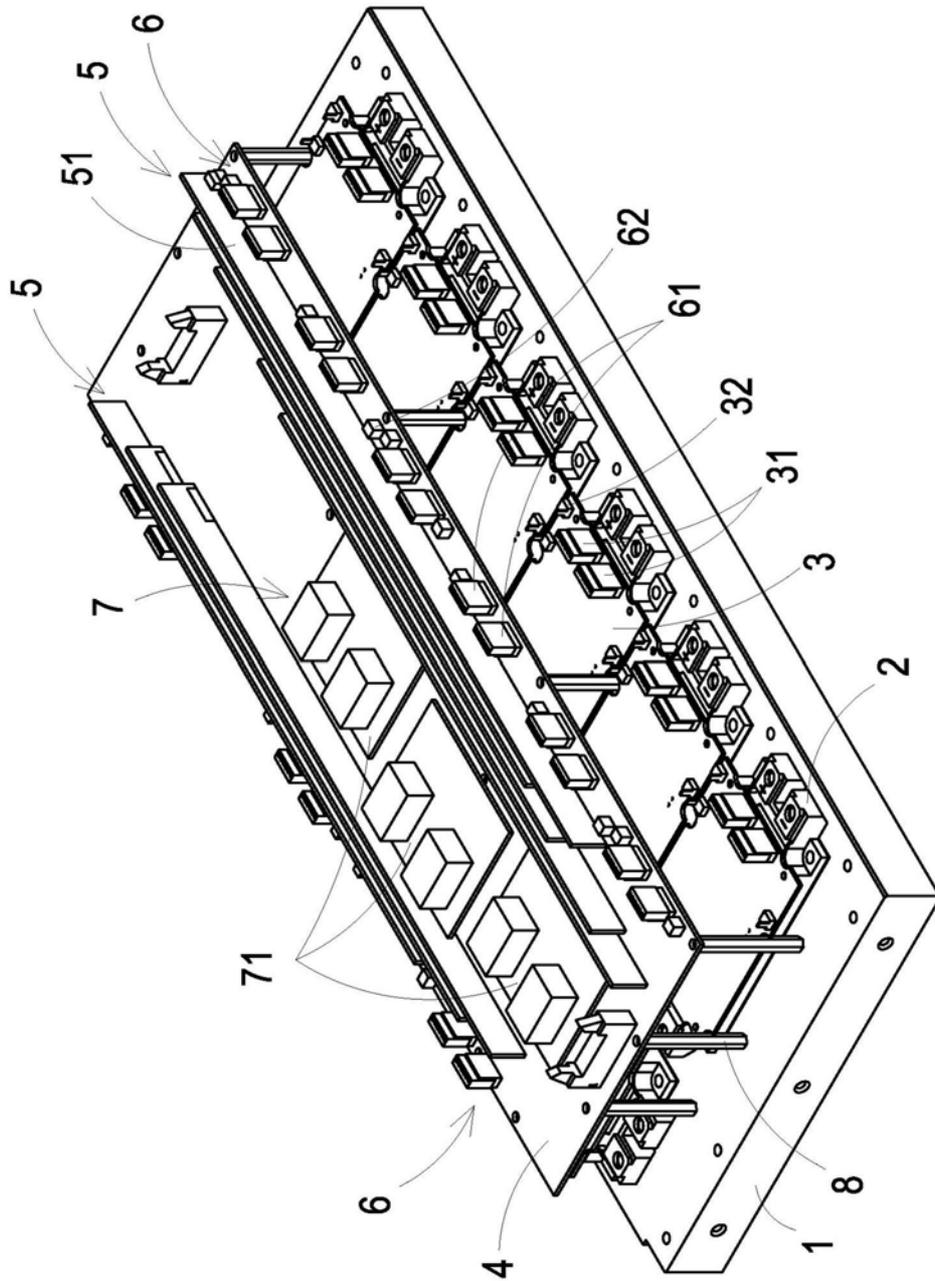


图5A

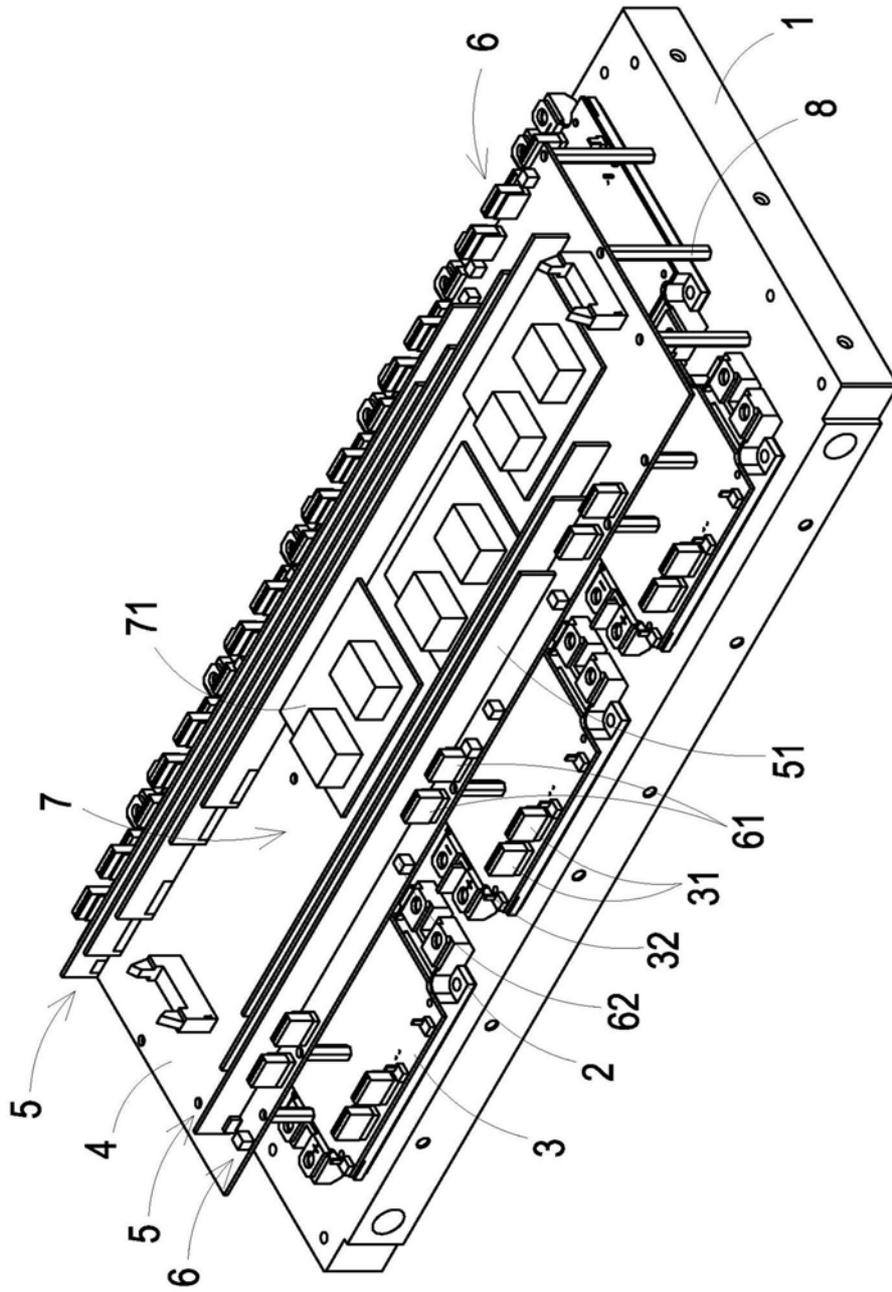


图5B

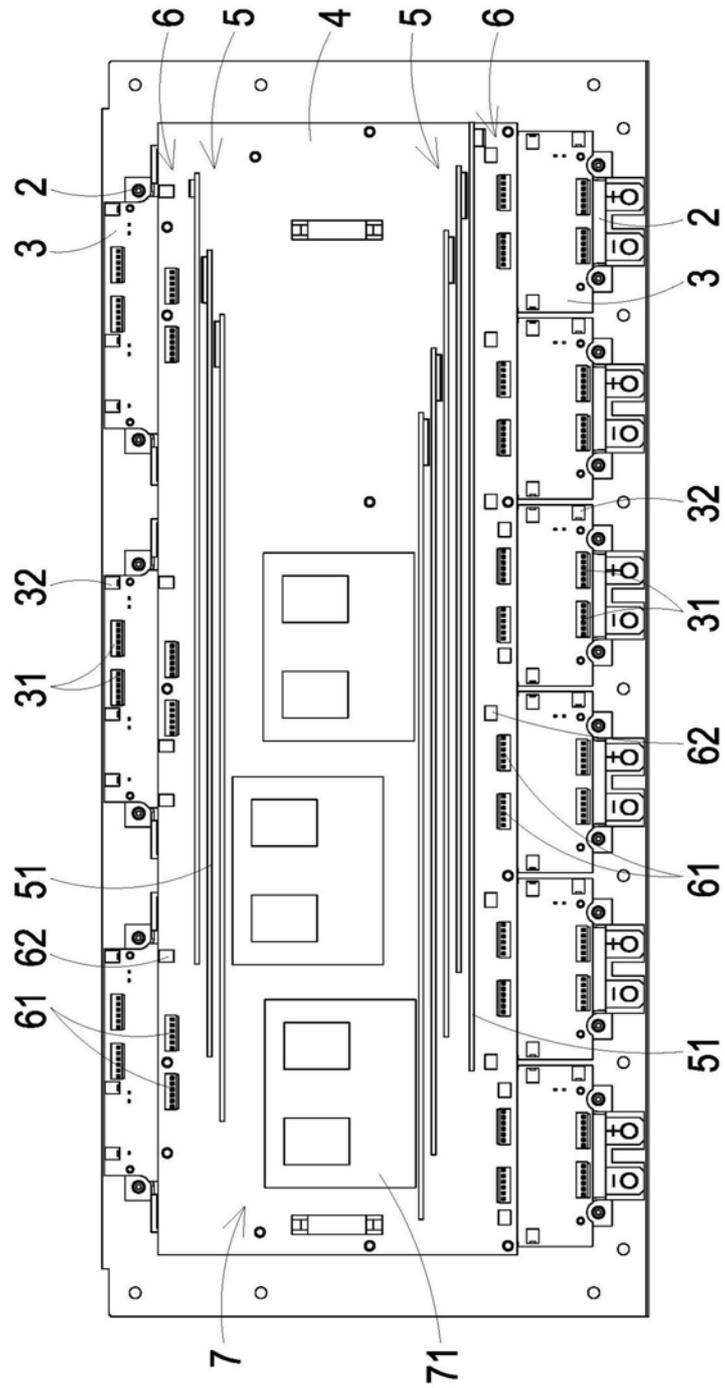


图5C

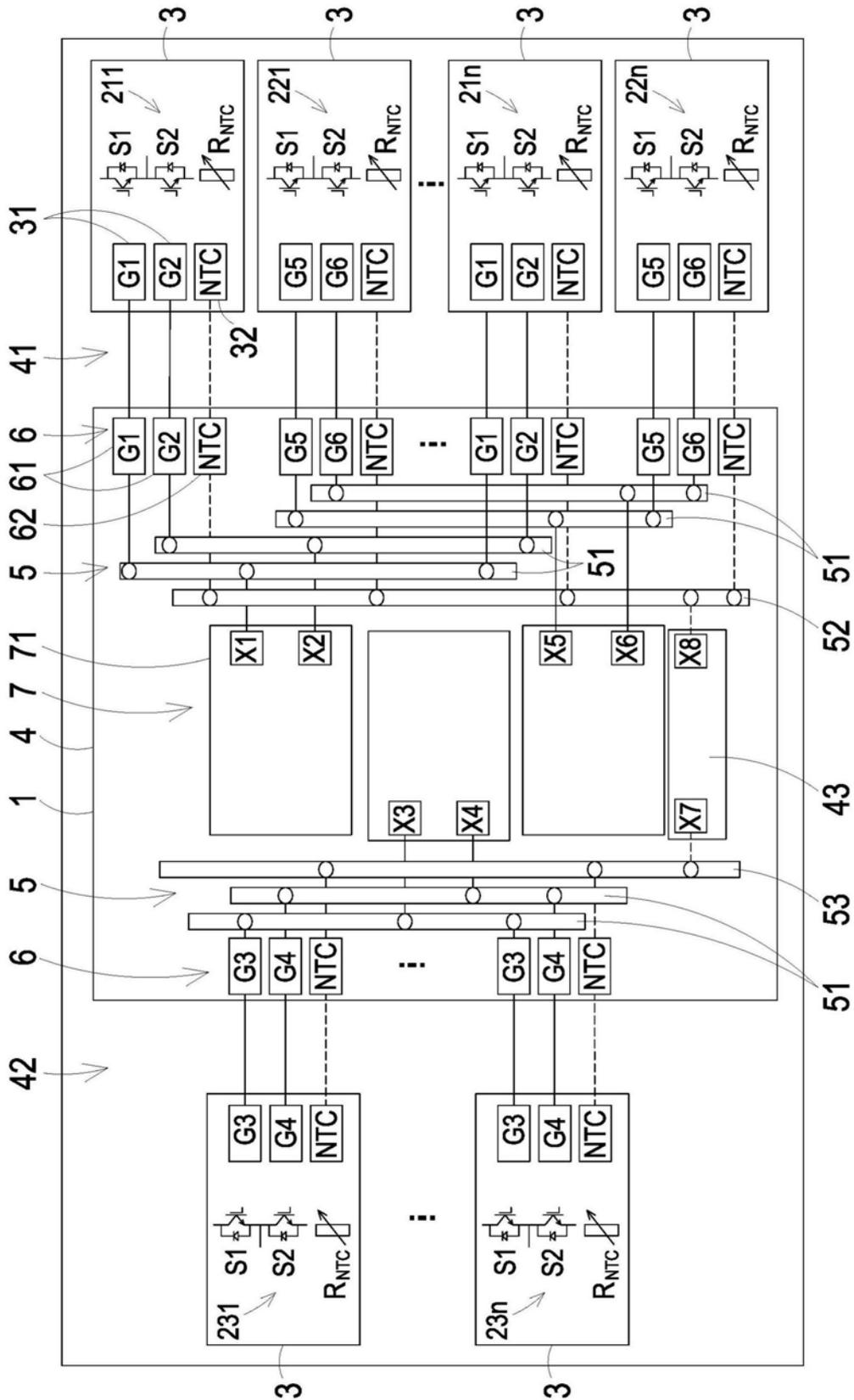


图6

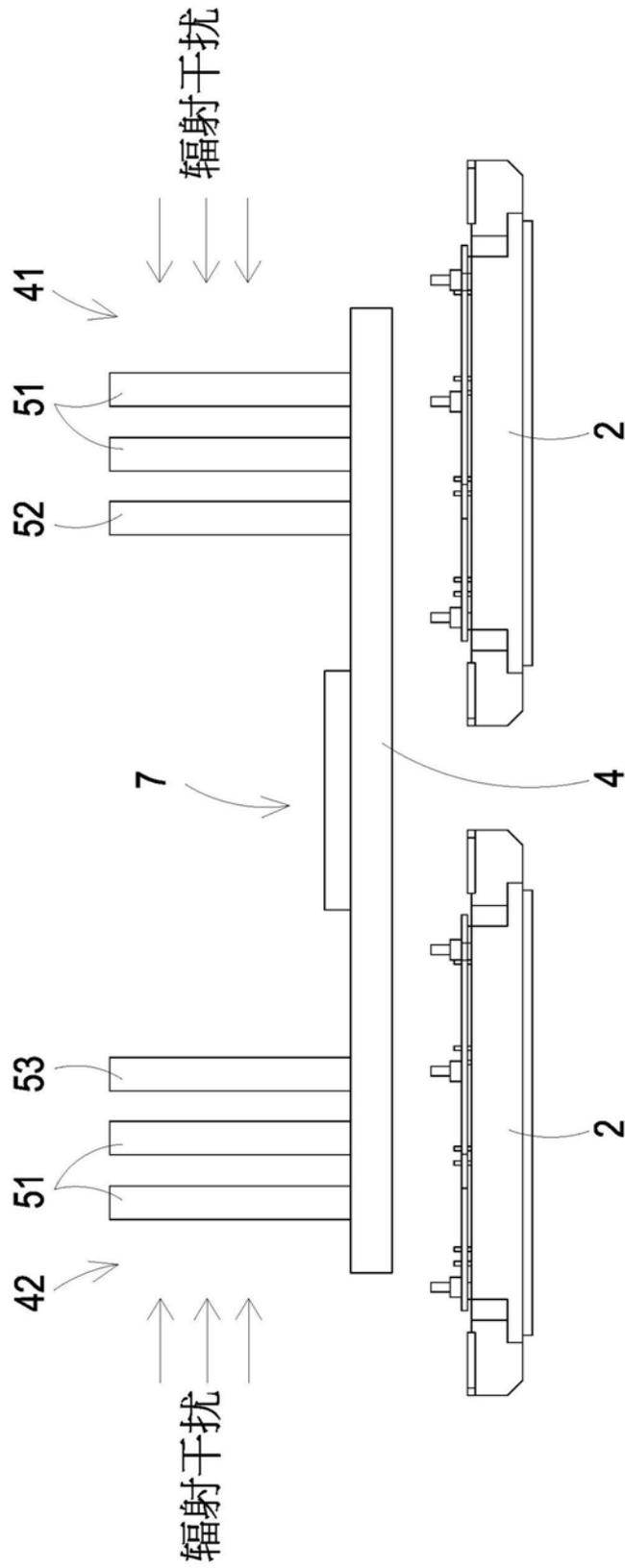


图7

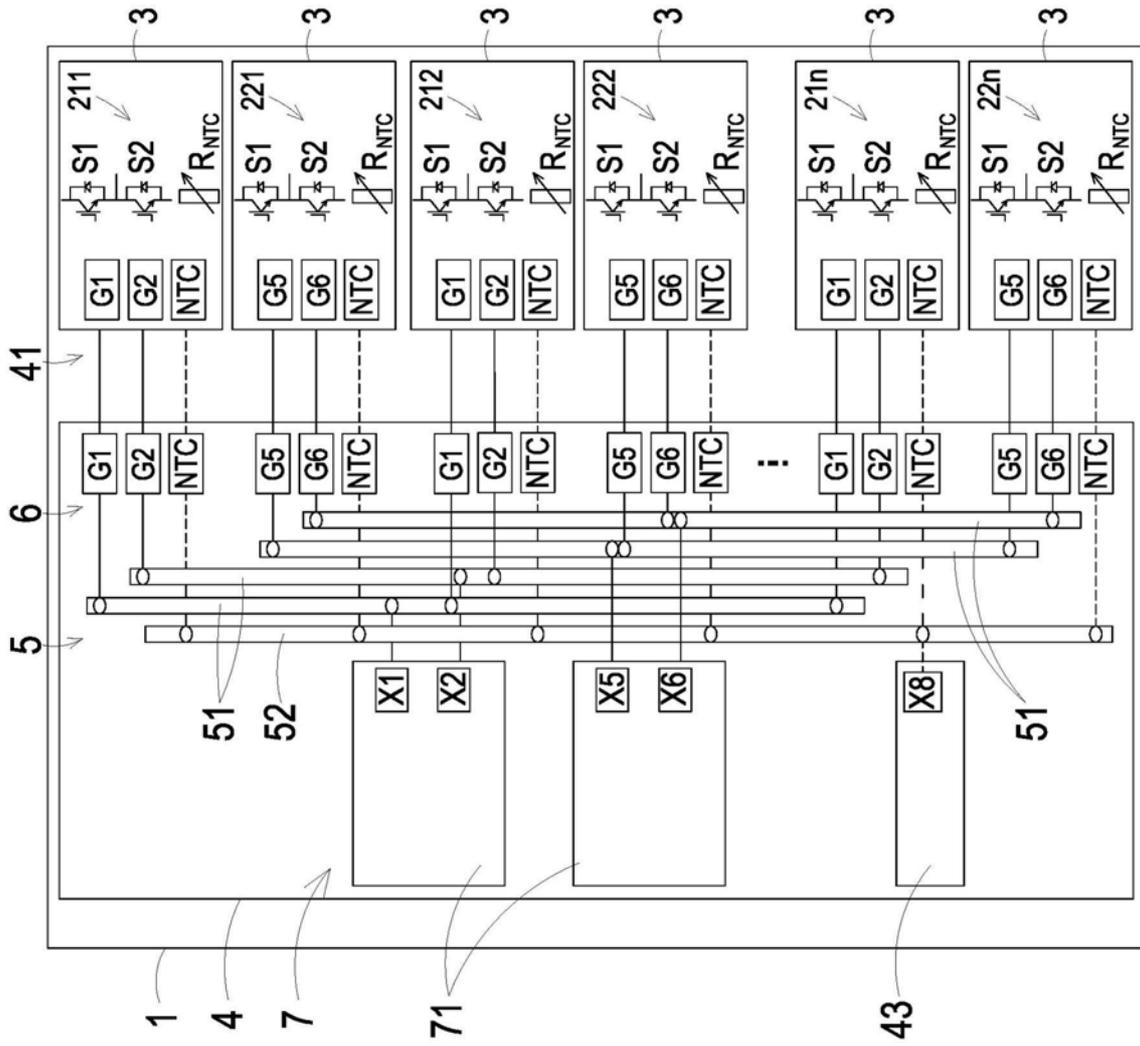


图8

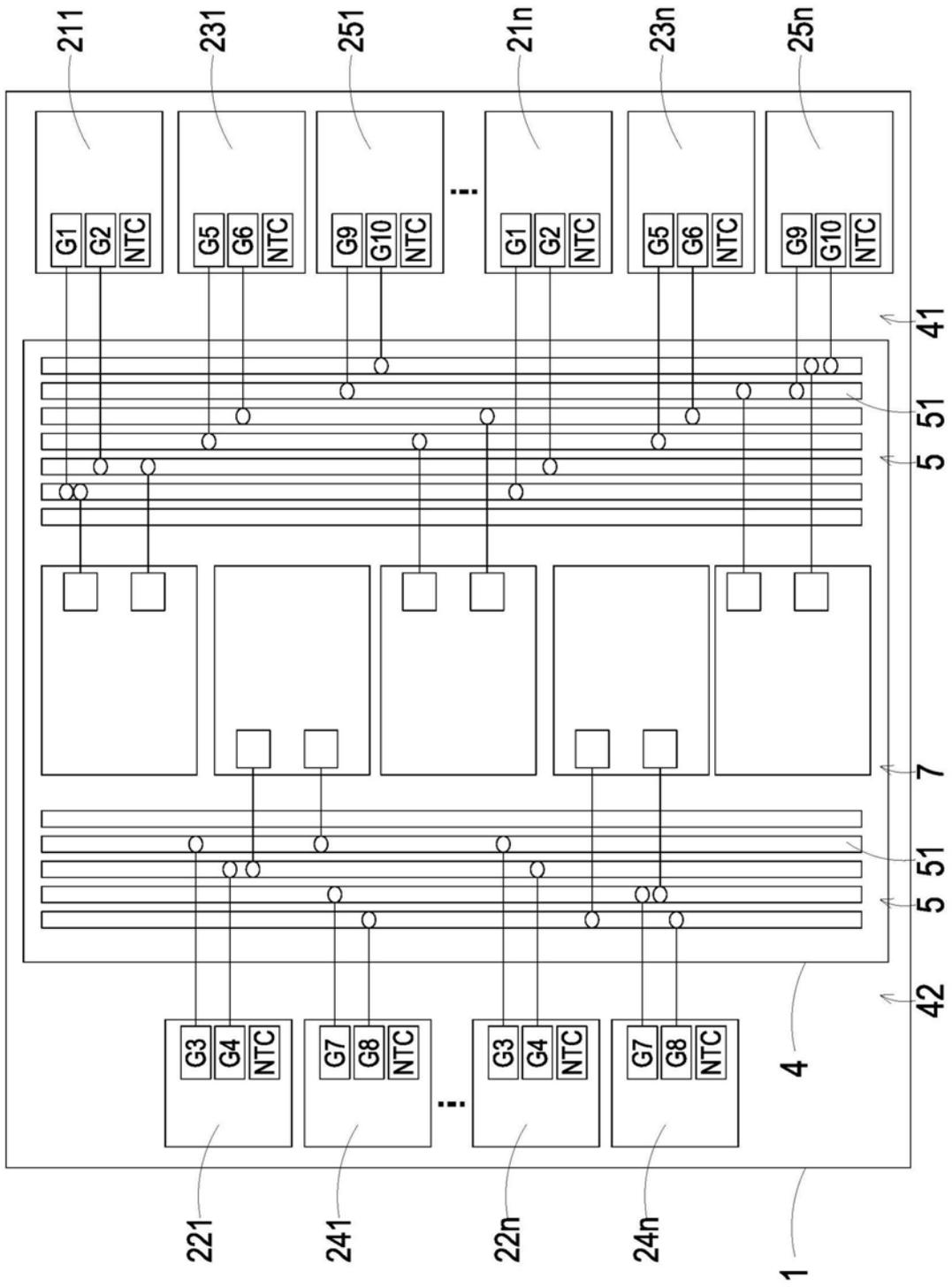


图9

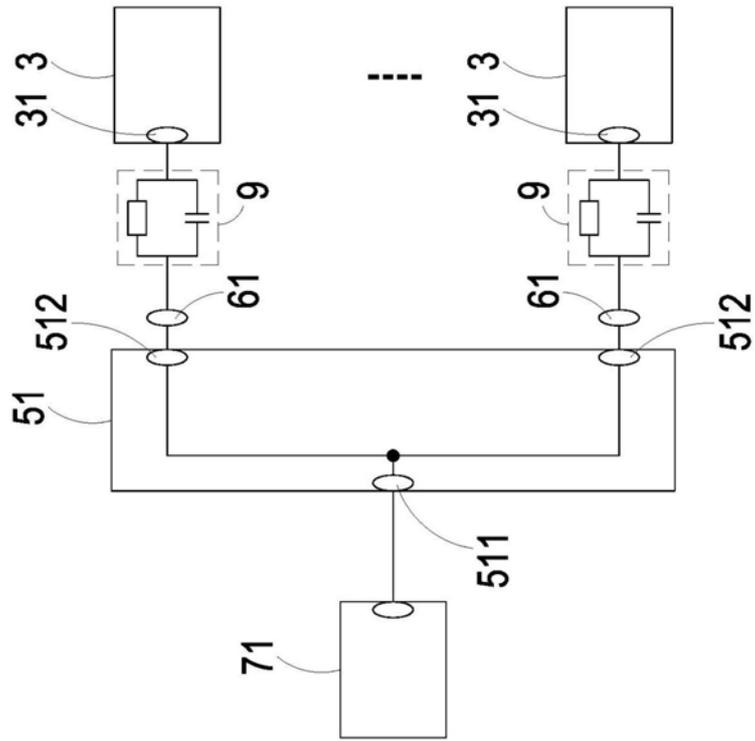


图10A

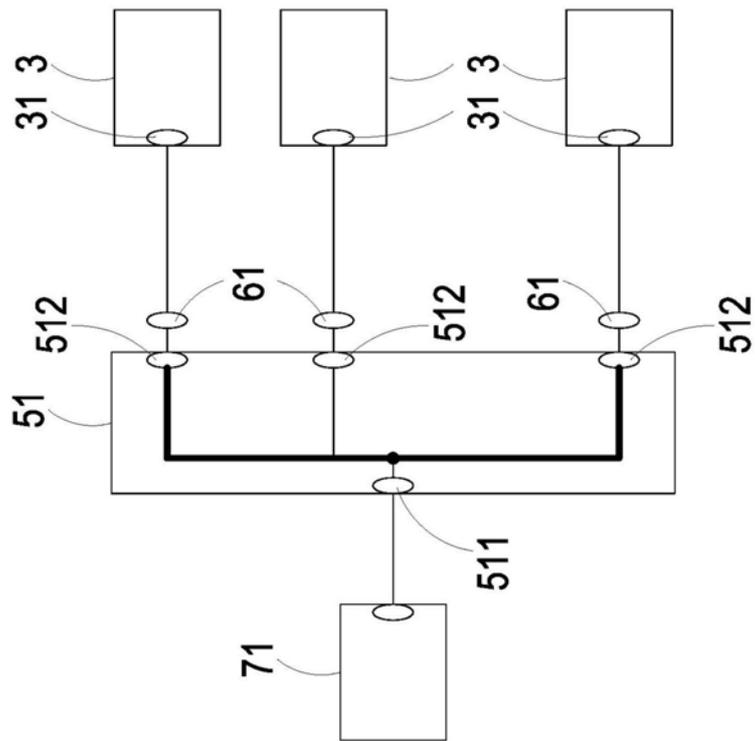


图10B

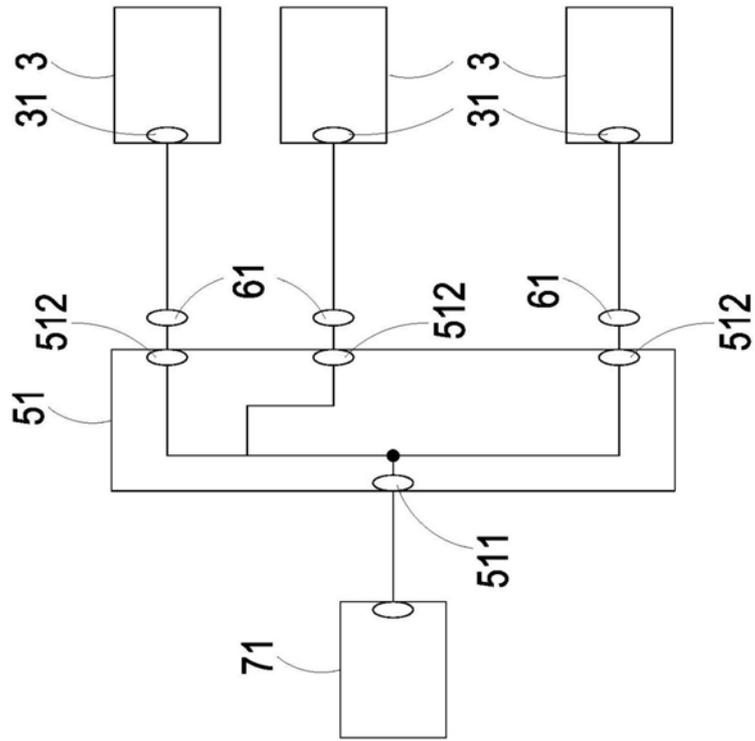


图10C