



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2015년05월14일  
 (11) 등록번호 10-1520485  
 (24) 등록일자 2015년05월08일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/78 (2006.01) H01L 21/336 (2006.01)  
 (21) 출원번호 10-2008-0072871  
 (22) 출원일자 2008년07월25일  
 심사청구일자 2013년07월19일  
 (65) 공개번호 10-2009-0012159  
 (43) 공개일자 2009년02월02일  
 (30) 우선권주장  
 JP-P-2007-00195492 2007년07월27일 일본(JP)  
 (56) 선행기술조사문헌  
 JP08264764 A\*  
 JP2006019518 A\*  
 JP10065150 A\*  
 US07666742 B2  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**세이코 인스트루 가부시기가이샤**  
 일본국 치바켄 치바시 미하마구 나카세 1초메 8반지  
 (72) 발명자  
**하시타니 마사유키**  
 일본국 치바켄 치바시 미하마구 나카세 1초메 8반지 세이코인스트루 가부시기가이샤 내  
 (74) 대리인  
**한양특허법인**

전체 청구항 수 : 총 7 항

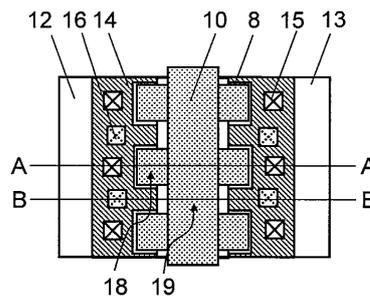
심사관 : 최정민

(54) 발명의 명칭 **반도체 소자 및 그 제조 방법**

**(57) 요약**

게이트 폭 방향으로 오목부를 제공하기 위한 트렌치부와, 게이트 절연막을 통해 트렌치부의 상부면 상과 그 내부에 제공된 게이트 전극으로써 형성된 반도체 소자를 제공한다. 각 소스 영역과 드레인 영역의 표면의 적어도 일부는, 게이트 전극 근방에 형성된 두꺼운 산화 필름을 제거함으로써 표면의 다른 부분들보다 낮게 만들어진다. 각 소스 영역과 드레인 영역의 표면의 일부를 더 낮게 만드는 것은 게이트 전극의 오목부의 상부면을 통해 흐르는 전류가 전체 트렌치부를 통해 균일하게 흐르게 하고, 이것은 게이트 폭 방향으로 다양한 깊이를 갖도록 형성된 오목부의 유효 게이트 폭을 증가시킨다.

**대표도** - 도2a



**명세서**

**청구범위**

**청구항 1**

제1 도전형 반도체 기관상에 형성되고, 게이트 폭 방향으로 측면과 바닥면을 갖는 트렌치부;  
 게이트 절연막을 통해 상기 트렌치부의 내부 및 평면부의 상부면에 형성된 게이트 전극;  
 상기 게이트 전극의 일측에 형성된 제2 도전형의 소스 영역; 및  
 상기 게이트 전극의 타측에 형성된 제2 도전형의 드레인 영역을 포함하고,  
 상기 소스 영역과 상기 드레인 영역의 표면 중, 게이트 전극 근방의 일부분의 표면이 다른 표면보다 낮은 위치에 배치되고, 상기 게이트 전극 근방의, 낮은 위치에 배치된 표면의 하향부에서의 상기 소스 및 드레인 영역의 확산 깊이가 상기 다른 표면의 하향부보다 깊게 되어 있고,  
 상기 평면부의 소스 영역 및 드레인 영역 표면의 접촉부와 게이트 전극 사이의 거리는, 상기 트렌치부의 소스 영역 및 드레인 영역 표면의 접촉부와 게이트 전극 사이의 거리보다 짧은 것을 특징으로 하는, 반도체 소자.

**청구항 2**

제1 도전형 반도체 기관;  
 상기 제1 도전형 반도체 기관의 표면 근방에 서로 이격되어 배치된 제2 도전형의 소스 영역과 드레인 영역;  
 편평하고, 상기 소스 영역과 상기 드레인 영역 사이에 배치되어 제1 채널 영역이 되는 평면부;  
 일정한 깊이를 갖고, 상기 평면부와 함께 배치되며, 제2 채널 영역의 역할을 하는 측면 및 바닥면을 갖는 트렌치부;  
 상기 평면부 및 상기 트렌치부의 표면에 제공된 게이트 절연막; 및  
 상기 게이트 절연막 상에 제공된 게이트 전극을 포함하고,  
 상기 소스 영역과 상기 드레인 영역 중 상기 트렌치부를 통해 대면하는 부분의 표면이 다른 표면보다 낮은 위치에 배치되고, 상기 트렌치부를 통해 대면하는 부분에서의 상기 소스 및 드레인 영역의 확산 깊이가 다른 부분보다 깊게 되어 있고,  
 상기 평면부의 소스 영역 및 드레인 영역 표면의 접촉부와 게이트 전극 사이의 거리는, 상기 트렌치부의 소스 영역 및 드레인 영역 표면의 접촉부와 게이트 전극 사이의 거리보다 짧은 것을 특징으로 하는, 반도체 소자.

**청구항 3**

청구항 1 또는 청구항 2에 있어서,  
 상기 낮은 위치에 배치된 상기 소스 영역과 드레인 영역의 표면에의 배선을 위한 접촉부를 포함하는 것을 특징으로 하는 반도체 소자.

**청구항 4**

삭제

**청구항 5**

제1 도전형 반도체 기관을 준비하는 단계;  
 소스 영역이 될 영역의 일 부분과 드레인 영역이 될 영역의 일 부분을 상기 반도체 기관의 표면으로부터 제거하여 오목부를 형성하는 단계;  
 채널이 될 영역에 측면과 바닥면을 가진 트렌치를 형성하여 평면부와 트렌치부를 배치하는 단계;  
 상기 트렌치부의 측면과 바닥면에, 그리고 상기 평면부의 표면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계; 및

상기 게이트 전극을 사이에 두고 상기 오목부 둘레로 제2 도전형의 소스 영역과 드레인 영역을 형성하는 단계를 포함하고,

상기 평면부의 소스 영역 및 드레인 영역 표면의 접촉부와 게이트 전극 사이의 거리는, 상기 트랜치부의 소스 영역 및 드레인 영역 표면의 접촉부와 게이트 전극 사이의 거리보다 짧은 것을 특징으로 하는 반도체 소자 제조 방법.

**청구항 6**

청구항 5에 있어서,

상기 오목부를 형성하는 단계는, LOCOS법을 이용하여 두꺼운 산화막을 형성하고 상기 두꺼운 산화막을 제거함으로써 형성하는 것을 특징으로 하는, 반도체 소자 제조 방법.

**청구항 7**

청구항 5에 있어서,

상기 소스 영역과 드레인 영역을 형성하는 단계는, 동일한 반도체 기판상에 형성된 다른 트랜지스터의 소스 영역 및 드레인 영역에의 불순물 도입과 동일한 조건을 갖는 불순물 도입 단계를 포함하는 것을 특징으로 하는, 반도체 소자 제조 방법.

**청구항 8**

청구항 5에 있어서,

상기 소스 영역과 드레인 영역을 형성하는 단계는, 동일한 반도체 기판상에 형성된 다른 트랜지스터의 소스 영역 및 드레인 영역에의 불순물 도입과 동시에 이루어지는 불순물 도입 단계를 포함하는 것을 특징으로 하는, 반도체 소자 제조 방법.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 고 구동성능이 요구되는 MOS 트랜지스터를 포함하는 반도체 소자와 이 반도체 소자의 제조 방법에 관한 것이다.

**배경 기술**

[0002] MOS 트랜지스터는 전자기기에서 핵심 전자 요소이다. MOS 트랜지스터의 소형화와 고 구동성능을 달성하는 것은 중요하다. MOS 트랜지스터에 고 구동성능을 제공하는 방법의 하나는 ON 저항을 감소시키는 게이트 폭의 확장이다. 그러나, 큰 게이트 폭은 MOS 트랜지스터에 대한 넓은 점유면적을 필요로 한다는 문제가 있다. 이에 대한 해법으로서, MOS 트랜지스터의 점유면적의 증가를 억제하면서 큰 게이트 폭을 제공하는 기술이 제안되어 있다(예를 들어, JP 2006-49826 A 참조).

[0003] 이하에서는 도 4a 내지 도 4d를 참조하여 종래의 반도체 소자를 설명한다. 도 4a의 사시도에 도시한 바와 같이, 종래의 반도체 소자는 웰(well: 17)에 제공된 트랜치(trench)부(8)와, 트랜치부(8) 내 및 게이트 절연막(9) 상의 그 상부면에 제공된 게이트 전극(10)을 포함한다. 웰(17)의 표면부에는, 게이트 전극(10)의 일측에 소스 영역(12)이 구비되어 있고, 그 타측에 드레인 영역(13)이 구비되어 있다. 도 4b는 도 4a의 절단면 A-A를 따라 취한 평면부의 단면도이고, 도 4c는 도 4a의 절단면 B-B를 따라 취한 단면도이다. 도 4c에 도시한 바와 같이, 게이트 전극(10)이 트랜치부(8)에 제공되어 있으므로, 게이트 절연막(9)과 접촉하게 되는 게이트 전극(10)의 B-B 방향으로 연장하는 커브의 전체 길이가 게이트 폭을 나타낸다.

[0004] 전술한 바와 같이, 게이트부는 오목부와 볼록부를 포함하는 트랜치 구조를 가지므로, 실제 게이트 폭은, 단지 편평한 표면상에 만들어진 게이트 전극의 폭보다 더 클 수 있다. 따라서, 단위 면적당 ON 저항은 MOS 트랜지스

터의 내전압(withstanding voltage)을 낮추지 않고 감소시킬 수 있다.

[0005] 본 발명의 발명자는, 전술한 반도체 소자의 구조에서는 실제 구동성능이 기대하는 구동성능에 도달할 수 없다는 문제를 발견했다. 또한, 구동성능은 게이트 길이에 따라 변하고, 짧은 게이트 길이의 소자에서 낮은 경향이 있음을 발견하였다.

[0006] 도 4d에 도시한 바와 같이, 이러한 현상은, 소스와 드레인 사이에 발생한 채널 내의 비균일 전류 흐름, 트랜치부(8)가 형성되지 않은 평면부인 경로 A를 따른 대부분의 전류 흐름, 소스와 드레인을 접속하는 방향의 채널에 평행한 트랜치부(8)의 측면인 경로 B와, 트랜치부(8)의 바닥면인 경로 C를 따른 약간의 전류 흐름에 의해 일어나는 것으로 생각된다. 따라서, 전류가 짧은 게이트 길이 소자 내의 경로 A에 집중되는 경향이 있으며, 이것이 짧은 게이트 길이 소자에서의 구동성능 저하의 원인으로 생각된다.

### 발명의 내용

#### 해결 하고자하는 과제

[0007] 트랜치 구조를 가진 반도체 소자의 구동성능 개선이 본 발명의 목적이다.

#### 과제 해결수단

[0008] 전술한 문제들을 해결하기 위해 본 발명은 하기의 수단을 이용한다.

[0009] (1) 제1 도전형(conductivity type) 반도체 기관, 이 제1 도전형 반도체 기관상에 형성되며 게이트 폭 방향으로 측면과 바닥면을 가진 트랜치부, 이 트랜치부 내부와 게이트 절연막을 통해 평면부의 상부면 상에 형성된 게이트 전극, 게이트 전극의 일측에 형성된 제2 도전형의 소스 영역, 및 게이트 전극의 타측에 형성된 제2 도전형의 드레인 영역을 포함하는 반도체 소자로서, 소스 영역과 드레인 영역은 게이트 전극 근방에 표면의 다른 부분들보다 낮은 위치에 배치되는 표면의 적어도 일 부분을 포함하고, 표면의 다른 부분들의 하향부보다 낮은 위치에 배치된 표면 부분의 하향부에서 더 깊은 확산 깊이를 갖는, 반도체 소자;

[0010] (2) 제1 도전형 반도체 기관, 제1 도전형 반도체 기관 표면 근방에 서로 이격되어 배치된 제2 도전형의 소스 영역과 제2 도전형의 드레인 영역, 편평하고 소스 영역과 드레인 영역 사이에 배치되어 제1 채널 영역이 되는 평면부, 일정한 깊이를 가지며 평면부와 함께 배치되고 제2 채널의 역할을 하는 측면과 바닥면을 가지는 트랜치부, 평면부의 표면과 트랜치부의 표면상에 제공된 게이트 절연막, 및 게이트 절연막상에 제공된 게이트 전극을 포함하는 반도체 소자로서, 소스 영역과 드레인 영역은, 그 표면상에 표면의 다른 부분들보다 낮은 위치에 배치된 트랜치부를 통해 타측의 일 부분을 대면하는 일 부분을 포함하고, 트랜치부를 통해 타측의 부분에 대면하는 부분에서 표면의 다른 부분들보다 깊은 확산 깊이를 갖는, 반도체 소자; 및

[0011] (3) 제1 도전형의 반도체 기관을 준비하는 단계; 반도체 기관의 표면으로부터 드레인 영역이 될 영역의 일 부분과 소스 영역이 될 영역의 일 부분을 제거하여 오목부를 형성하는 단계; 평면부와 트랜치부를 배치하는 채널이 될 영역에 측면과 바닥면을 가진 트랜치를 형성하는 단계; 트랜치부의 측면과 바닥면 및 평면부의 표면에 게이트 절연막을 형성하는 단계; 게이트 절연막상에 게이트 전극을 형성하는 단계; 및 오목부 둘레에 게이트 전극들 사이에 끼이게 하는, 제2 도전형의 소스 영역과 제2 도전형의 드레인 영역을 형성하는 단계를 포함하는 반도체 소자 제조 방법.

#### 효과

[0012] 본 발명에 따라, 전술한 반도체 소자의 소스 영역과 드레인 영역의 표면의 일 부분은, 게이트 전극 근방의 적어도 일 부분에서 LOCOS법에 의해 형성된 두꺼운 산화막을 제거함으로써 표면의 다른 부분들보다 낮을 수 있다. 트랜치부의 트랜치부의 게이트 전극에 대하여 더 깊은 위치까지 소스 영역과 드레인 영역의 형성이 가능하므로, 이에 따라 게이트 폭 방향의 오목부의 상부에서의 전류의 농도가 감소될 수 있고, 전류의 흐름이 깊은 경로를 따라 흐르도록 오목부의 내부에 확산될 수 있는데, 이것은 반도체 소자의 구동성능을 개선할 수 있다.

#### 발명의 실시를 위한 구체적인 내용

[0013] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.

[0014] 도 1a 내지 도 1j는 본 발명의 제1 실시예에 따른 반도체 소자 제조 방법을 도시하는 공정 시퀀스 흐름을 따른

개략적인 단면도이다.

- [0015] 도 1a에서, 제1 도전형 반도체 기판, 예를 들어 p형 반도체 기판(1), 또는 붕소의 첨가로 인해 20Ωcm 내지 30 Ωcm 범위의 저항의 불순물 농도를 가진 반도체 기판상에, 수백 Å의 두께를 가진 열산화막과 같은 산화막(2)이 형성된다. 그 후, 질화막(3)이, 예를 들어 수천 Å의 두께로 형성된다. 본 실시예의 기판은 p형 도전성을 갖지만, 기판의 도전성은 본 발명의 본질과 관련이 없음을 유의하라. 도 1b에 도시한 바와 같이, 질화막(3) 상에 레지스트막(4)으로써 패턴형성이 수행되고, 산화막 형성을 위해 실리콘의 국부적 산화법(LOCOS)에 의해 질화막(3)이 제거된다. 이 경우의 질화막은 이어지는 공정에서 LOCOS법에 의해 두꺼운 산화막을 형성하기 위해 사용된다. 그 후, 레지스트막(4)이 유지되면서 레지스트막(5)이 형성되고, 채널 컷 영역에 저농도 확산층을 형성하기 위해 불순물이 추가된다. 예를 들어, 인이 바람직하게는  $1 \times 10^{11}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{13}$  atoms/cm<sup>2</sup>의 주입량으로 이온주입된다. 이 경우, 불순물로서 비소가 사용될 수 있다.
- [0016] 그 다음, 도 1c에 도시한 바와 같이, 레지스트막(4, 5)이 제거되고, LOCOS법에 의해 LOCOS 산화막이 형성된다. 이 경우, 산화막은, 예를 들어 500 nm 내지 1 μm의 두께를 갖도록 1,000 내지 1,200 °C의 온도에서 열산화에 의해 수 시간 동안 성장된다. 동시에, 채널 컷 영역 내의 저농도 확산층(6)이 형성된다. 이어서, 도 1d에 도시한 바와 같이, 산화막(3)의 제거 후, LOCOS 산화막을 제거하기 위해 레지스트막(7)으로써 패턴형성이 수행된다. 레지스트막(7) 대신, 패턴형성을 위한 마스크로서 질화막 또는 다결정 실리콘막이 사용될 수 있다. 레지스트막(7)과 산화막(2)의 제거 후, 도 1e에 도시한 구조가 얻어진다. 이 구조는, 다른 부위들보다 낮은 소스 영역 또는 드레인 영역이 될 영역의 표면의 부위를 만드는 오목부를 갖는다. 이어서, 도 1f에 도시한 바와 같이, 트랜치부(8)가 제1 도전형 반도체 기판에, 예를 들어 수백 nm 내지 수 μm의 깊이에 형성된다.
- [0017] 도 1g에 도시한 바와 같이, 열산화막과 같은 게이트 절연막(9)이 수백 내지 수천 Å의 두께로 형성된 후, 게이트 절연막(9) 상에 다결정 실리콘 게이트막이, 바람직하게는 100 nm 내지 500 nm의 두께로 증착되며, 저항을 낮추어 게이트 전극(10)을 얻기 위해 불순물이 사전증착 또는 이온 주입에 의해 도입된다. 이 경우, 도전성은 제1 도전형 또는 제2 도전형일 수 있다. 또한, 게이트 전극(10)에 레지스트막(11)으로써 패턴형성이 이루어지는데, 이것은 도 1h에 도시한 바와 같은 구조를 제공한다. 전술한 바와 같이, MOS 트랜지스터의 채널이 될 영역이 실질적으로 결정된다. 도 1h는 트랜치부의 채널이 될 영역만 도시하지만, 평면부의 채널이 될 영역도 게이트 전극(10) 상에 동시에 패턴형성을 함으로써 형성된다.
- [0018] 이어서, 도 1i에 도시한 바와 같이, 자기정렬(self-alignment) 방식으로 소스 영역과 드레인 영역을 형성하기 위해 불순물이 첨가된다. 소스 영역과 드레인 영역에의 불순물 첨가시, 예를 들어 비소가 바람직하게는  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 내지  $1 \times 10^{16}$  atoms/cm<sup>2</sup>의 주입량으로 이온주입된다. 또한, 소스 영역과 드레인 영역에의 불순물의 도입은, 동일 칩에 트랜치 구조(8)를 갖지 않는 MOS 트랜지스터에 대한 조건과 동일한 조건하에서 동시에 수행될 수 있다. 전술한 공정들을 통해, 트랜치 구조(8)를 갖는 MOS 트랜지스터가 구성된다. 도 1j에 도시한 바와 같이, 그 다음 800 °C 내지 1,000 °C의 온도에서의 수 시간 동안의 열처리로 소스 영역(12)과 드레인 영역(13)을 형성한다. 이 실시예에서, 게이트 전극(10) 근방의 소스 영역(12) 및 드레인 영역(13)은 그 표면의 일 부분 상에 낮아진 부위를 갖는다. 따라서, 소스 영역(12)과 드레인 영역(13)의 형성을 위한 불순물은 또한, 이전보다 더 깊은 부위에 분산되어, 트랜치부의 측면 또는 바닥면을 통한 전류의 흐름 양이 증가하는 것을 허용한다.
- [0019] 도 2a 내지 도 2c를 참조하여, 전술한 공정들을 포함하는 방법에 의해 제조되는, 트랜치 구조를 가진 MOS 트랜지스터의 구조를 더 상세히 설명한다.
- [0020] 도 2a는 본 발명의 제1 실시예의 MOS 트랜지스터의 평면도이고, 도 2b는 도 2a의 선 A-A를 따라 취한 단면도이며, 도 2c는 도 2a의 선 B-B를 따라 취한 단면도이다.
- [0021] 본 발명의 반도체 소자는, 게이트 폭 방향으로 배치된 복수의 트랜치부(8)로 구성된 게이트 전극과, 트랜치부 외에 채널 영역으로 일 부분 구성되는 평면부 상에 형성된 게이트 전극을 갖는다. 도 2b는 도 2a의 선 A-A를 따라 취한 단면도이고, 트랜치부 트랜지스터(18)를 도시한다. 도 2c는 도 2a의 선 B-B를 따라 취한 단면도이고, 평면부 트랜지스터(19)를 도시한다. 도 2a는 게이트 전극(10) 아래의 트랜치부의 형상을 따르도록 제공된 게이트 절연막(9)을 도시한다.
- [0022] 도 2a는 본 발명의 제1 실시예를 도시하는데, LOCOS법에 의해 만들어진 두꺼운 산화막이 제거되어 게이트 전극(10) 근방의 소스 영역(12)과 드레인 영역(13)의 표면의 적어도 일 부분이 다른 부위들보다 낮게 되도록 한 영역(14)은 소스 영역(12)과 드레인 영역(13)에 연속적이고 집합적으로 존재하며, 트랜치부 트랜지스터(18)의 게

이트 전극(10)의 게이트 길이 방향의 양쪽 단부를 둘러싸도록 배치된다. 또한, 이 실시예에서는, 배선 접촉부의 역할을 하는 트렌치부 접촉부(15)와 평면부 접촉부(16)가 게이트 전극(10) 근방의 표면상의 낮아진 부위에 배치되는데, 이것들은 소스 영역(12)과 드레인 영역(13)에 있다.

[0023]

도 3은 본 발명의 제2 실시예에 따른 반도체 소자를 도시하는 평면도이다. 도 3에서, 두꺼운 산화막 제거 영역(14)은 소스 영역(12)과 드레인 영역(13)의 표면 상에 적어도 일 부분을 갖는데, 이것은 다른 부위들보다 낮고, 트렌치부 트랜지스터(18)의 게이트 전극(10)의 게이트 길이 방향의 연장부에 선택적으로 형성된다. 이와 함께, 배선 접촉부에 대해, 트렌치부 접촉부(15) 또는 평면부 접촉부(16)가 상이한 위치에 배치된다. 예를 들어, 평면부 접촉부(16)는, 기생(parasitic) 저항을 감소시키려는 목적으로 트렌치부 접촉부(15)보다 게이트 전극(10)에 더 작은 거리로 배치된다. 또한 도 3에서, 게이트 전극(10) 아래의 트렌치부의 형성을 따르도록 게이트 절연막(9)이 제공된다.

**도면의 간단한 설명**

[0024]

도 1a 내지 도 1j는 본 발명의 제1 실시예에 따른 반도체 소자 제조 방법을 도시하는 공정 시퀀스 흐름의 개략적인 단면도이다.

[0025]

도 2a는 본 발명의 제1 실시예에 따른 트렌치 구조를 가진 MOS 트랜지스터의 세부 사항을 도시하는 평면도이고, 도 2b 및 도 2c는 단면도이다.

[0026]

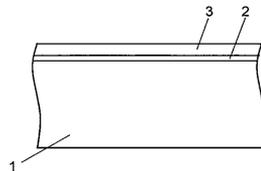
도 3은 본 발명의 제2 실시예에 따른 트렌치 구조를 가진 MOS 트랜지스터의 세부 사항을 도시하는 평면도이다.

[0027]

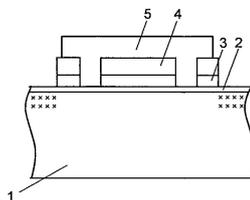
도 4a는 종래 기술의 트렌치 구조를 가진 MOS 트랜지스터를 도시하는 사시도, 도 4b 및 도 4c는 단면도이고, 도 4d는 관련 기술의 트렌치 구조를 가진 MOS 트랜지스터의 채널을 통해 흐르는 전류의 경로를 도시하는 개략적인 도면이다.

**도면**

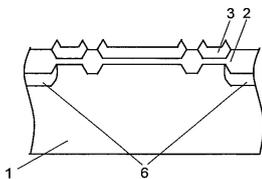
**도면1a**



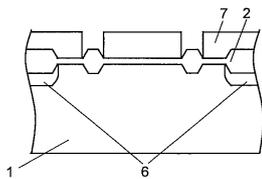
**도면1b**



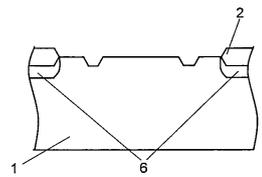
도면1c



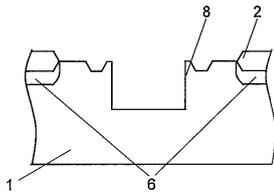
도면1d



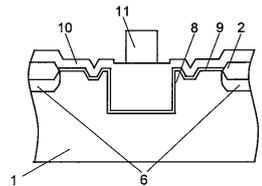
도면1e



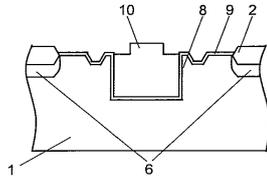
도면1f



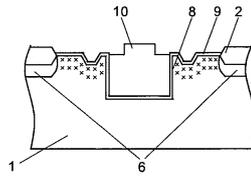
도면1g



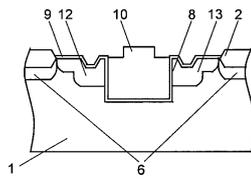
도면1h



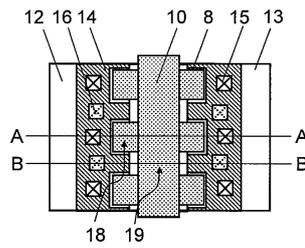
도면1i



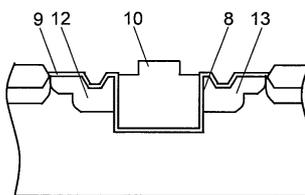
도면1j



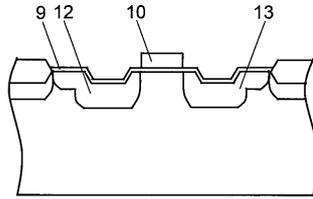
도면2a



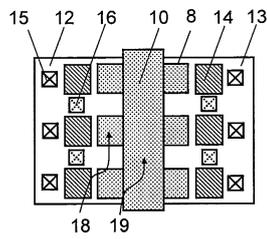
도면2b



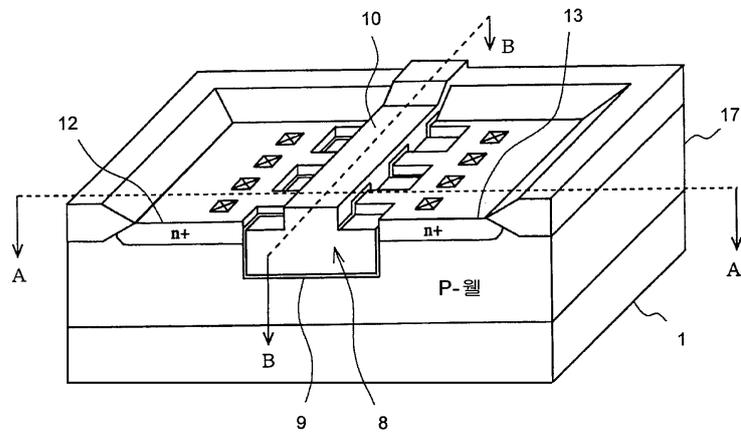
도면2c



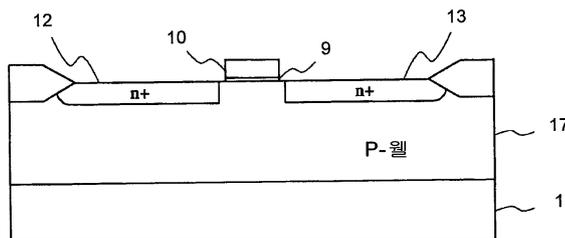
도면3



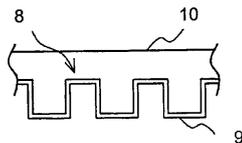
도면4a



도면4b



도면4c



도면4d

