

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3743189号

(P3743189)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年11月25日(2005.11.25)

(51) Int. Cl.

F I

HO 1 L 21/8247 (2006.01)

HO 1 L 27/10 4 3 4

HO 1 L 27/115 (2006.01)

HO 1 L 29/78 3 7 1

HO 1 L 29/792 (2006.01)

HO 1 L 29/788 (2006.01)

請求項の数 10 (全 16 頁)

(21) 出願番号 特願平11-19162
 (22) 出願日 平成11年1月27日(1999.1.27)
 (65) 公開番号 特開2000-223676(P2000-223676A)
 (43) 公開日 平成12年8月11日(2000.8.11)
 審査請求日 平成14年8月29日(2002.8.29)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (72) 発明者 中川 進一
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 松嶋 秀忠

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

一導電型半導体基板表面に画定されたひとつの素子領域において、該基板表面に形成された逆導電型のソース層と、該ソース層表面に形成された一導電型半導体層と、該一導電型の半導体層表面に形成されたドレイン層と、該ドレイン層と該一導電型の半導体層とをいずれも貫通し、該基板表面に垂直な側壁を有する該ソース層に達する溝と、該溝の内壁を覆うように形成された第1絶縁層と、該溝内において該第1絶縁層表面を覆うように形成された第1導体層と、該溝内において該第1導体層表面を覆うように形成された第2絶縁層と、該溝内において該第2絶縁層を覆うように形成された第2導体層とを有し、該溝の少なくとも該ドレイン層上面での開口部の周辺長が、該溝の該ソース層上面での開口部の周辺長より大であることを特徴とする不揮発性半導体記憶装置。

10

【請求項2】

請求項1記載の不揮発性半導体記憶装置において、前記半導体基板の前記表面は互いに交叉する境界線により分割された複数の区画を含み、前記素子領域の各々が該区画の各々を占有し、該交叉する境界線の第1の方向に平行な境界線上に、前記ドレイン層上面から前記ソース層下面より深い位置にまで達する連続した絶縁分離層を有し、隣り合う一対の該絶縁分離層に挟まれた領域内に、互いに隣接して並ぶ第1グループに属する一連の複数の素子領域にわたり前記ソース層が連続して延在し、該第1グループに属する一連の複数の素子領域毎の少なくとも1個所に、該延在するソース層から前記表面絶縁層上面に達する導出電極とを有し、該導出電極にソース配線層が電氣的に接続され、更に、該挟まれた領

20

域に並ぶ第 2 グループに属する一連の複数の素子領域にわたり前記第 2 導体層が連続して延在し、該第 2 グループに属する一連の複数の素子領域毎の少なくとも 1 個所に、ワード配線層が電氣的に接続され、該第 1 の方向と交叉する第 2 の方向に並ぶ第 3 グループに属する一連の複数の素子領域にわたりビット配線層が連続して延在し、該第 3 グループに属する各素子領域の前記ドレイン層毎に、該ビット配線層が各々電氣的に接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

請求項 1 記載の不揮発性半導体記憶装置において、前記ソース層と前記ドレイン層との間の前記一導電型の半導体層にあって、前記第 1 絶縁層で覆われた前記溝の内壁をチャンネル領域とし、前記第 1 絶縁層をゲート絶縁層、前記第 1 導体層をフローティングゲート電極、前記第 2 絶縁層をフローティングゲート・コントロールゲート電極間絶縁層、前記第 2 導体層をコントロールゲート電極とすることを特徴とする不揮発性半導体記憶装置。

10

【請求項 4】

請求項 3 記載の不揮発性半導体記憶装置において、前記コントロールゲート電極と前記フローティングゲート電極間の静電容量を C_2 とし、前記フローティングゲート電極と前記ソース層間の静電容量を C_4 とするとき、 $C_2 < C_4$ なる関係が成立することを特徴とする不揮発性半導体記憶装置。

【請求項 5】

請求項 1 記載の不揮発性半導体記憶装置において、前記溝の底面が前記ソース層の下面より下に位置していることを特徴とする不揮発性半導体記憶装置。

20

【請求項 6】

請求項 1 記載の不揮発性半導体記憶装置において、前記溝の前記ドレイン層の下面での開口部の周辺長が上面での開口部の周辺長より小であることを特徴とする不揮発性半導体記憶装置。

【請求項 7】

請求項 3 記載の不揮発性半導体記憶装置において、前記ゲート絶縁層は、前記ソース配線層、前記ビット配線、前記ワード配線層の各配線層に与える電圧値の所定の組み合わせにより、所定の前記素子領域のドレイン層と隣接する前記一導電型の半導体層間のアバランシェブレークダウン (Avalanche breakdown) によって発生したホットエレクトロン (Hot electron) が透過して前記フローティングゲート電極に蓄積し、また該電圧値の他の所定の組み合わせにより、ファウラー・ノードハイム型トンネリング (Fowler-Nordheim tunneling) により、該フローティングゲート電極から蓄積電荷をソース層に引き抜くことが可能な膜厚を有することを特徴とする不揮発性半導体記憶装置。

30

【請求項 8】

一導電型の半導体基板表面に、第 1 逆導電型半導体層を形成する工程と、該第 1 逆導電型半導体層上に一導電型の半導体層を形成する工程と、該一導電型の半導体層表面から該第 1 逆導電型半導体層の底面より深い位置にまで達する絶縁分離層を互いに平行で等間隔に形成する工程と、該絶縁分離層に挟まれた該一導電型の半導体層表面に、該絶縁分離層に平行な方向に等間隔で互いに離間し、且つ該第 1 逆導電型半導体層上面より上方に所定距離離間した複数の第 2 逆導電型半導体層を形成する工程と、該第 2 逆導電型半導体層の各々の略中央に、該第 1 逆導電型半導体層より浅い第 1 の溝を形成する工程と、該第 1 の溝の底部略中央に、開口部の周辺長が、該第 2 逆導電型半導体層の上面での該第 1 の溝の開口部の周辺長より小なる開口を有し、少なくとも該第 1 逆導電型半導体層の上面に達する第 2 の溝を形成する工程と、少なくとも該第 1 及び第 2 の溝内の表面を覆うように、膜厚が略均一な第 1 絶縁層を形成する工程と、少なくとも該第 1 及び第 2 の溝内の該第 1 の絶縁層の表面を覆い、且つ、該第 2 逆導電型半導体層領域毎に少なくとも該絶縁分離層に平行な方向に関しては互いに分離された第 1 導体層を形成する工程と、該第 1 導体層の表面上に、該第 1 及び第 2 の溝内の表面を覆うように、膜厚が略均一な第 2 絶縁層を形成する工程と、該第 2 の絶縁層表面を含む該半導体基板表面に、該第 1 及び第 2 の溝を埋め戻し、且つ上面が略平坦な第 2 導体層を形成する工程と、該第 2 導体層、該第 2 絶縁層、及び該第 1

40

50

の導体層を形成する工程と、該第 2 の導体層の少なくとも該第 2 の溝の開口の上部を覆い、該絶縁分離層に垂直な方向に関しては互いに分離され、且つ該絶縁分離層に平行な方向に連続する該第 2 の導体層の領域を残し、他の領域を除去する工程と、該残された第 2 導体層の領域直下の該第 2 の絶縁層及び該第 1 の導体層を残し、他の領域の該第 2 の絶縁層及び該第 1 の導体層を除去する工程と、少なくとも該残された第 2 の導体層及び該第 1 導体層の露出表面に酸化膜を形成する工程と、続いて全表面に層間絶縁層を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 9】

請求項 8 記載の不揮発性半導体記憶装置の製造方法において、前記第 1 の溝を形成後、前記表面に、前記第 1 の溝の側面上と底面上での膜厚が略均一なシリコン酸化膜を形成する工程と、前記第 1 の溝の側面上に該シリコン酸化膜を残し、前記表面の平面上の該シリコン酸化膜及び前記第 1 の溝の底面上の該シリコン酸化膜の平坦部を除去する工程と、前記第 1 の溝の側面上に残された該シリコン酸化膜をマスクとして、前記第 1 の溝の露出された底面の半導体層に垂直方向に異方性エッチングを行い、前記第 2 の溝を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 10】

請求項 8 記載の不揮発性半導体記憶装置の製造方法において、前記第 1 の溝を形成する工程において、前記第 2 逆導電型半導体層形成後、前記第 2 逆導電型半導体層の略中央に、開口を有する窒化膜を形成する工程と該窒化膜をマスクとして、下層の半導体層に等方性エッチングを行い、前記第 1 の溝を形成する工程と、該マスクを再度用いて垂直方向に異方性エッチングを行い、前記第 2 の溝を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に係り、特に、電氣的に書き込み及び消去可能な MOS 型半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】

図 21 は、従来の NOR 型フラッシュメモリのメモリセルの断面構造を示す。1 は p-型シリコン半導体基板、2 は素子分離の 400nm ~ 800nm 程度の厚さの酸化膜、3 は不揮発性メモリの第 1 ゲート絶縁膜として、シリコン半導体基板を熱酸化してできる法により形成した 10nm 程度の厚さの酸化膜、4 は第 1 多結晶シリコン膜からなるフローティングゲート、5 は厚さ 20nm 程度の第 2 ゲート絶縁膜、6 は第 2 多結晶シリコン膜からなるコントロールゲート、7 はソース拡散層を高耐圧にするための基板と逆導電型の不純物拡散層、8 と 9 は各々ソースとドレインの n+ 拡散層、10 はゲート電極の側壁絶縁膜、11 は層間絶縁膜、12、13 及び 14 は各々ソース、ドレイン及びコントロールゲートの導出電極用の金属配線である。このような構造の不揮発性半導体記憶装置の動作特性としては、書き込み時にはコントロールゲート電極 14 とドレイン電極 13 の間に電圧を印加し、ドレイン 9 と基板 1 間にアバランシェホットエレクトロン (Avalanche Hot-electron) を発生させ、フローティングゲート 4 にエレクトロンを注入する。また消去時にはコントロールゲート電極 14 とソース電極 12 の間に電圧を印加し、ファウラー・ノードハイム型トンネリング (Fowler-Nordheim tunneling 又は

F-N トンネル) 電流によりフローティングゲート 4 からソース 8 にエレクトロンを引き抜いている。

【0003】

【発明が解決しようとする課題】

従来例の構造では、メモリの大容量化に伴う MOS トランジスタのスケーリングに際し、次のような不都合が生じる。(1) F-N トンネル電流を利用するメモリセルでは、トンネル酸化膜の薄膜限界が約 8 nm とされており、それ以下の膜厚の薄膜では、スケーリング

10

20

30

40

50

則（微細化の際の素子寸法と印加電圧との比例縮小則）が成り立たなくなる、（２）微細化に伴い、実効チャンネル長を狭くしていくと、パンチスルー耐圧やリーク電流の制御が困難になる、（３）フローティングゲートに結合する静電容量の減少に伴い消去や書き込み特性の劣化が起きる。下記に上記第３項の問題をより詳しく述べる。

【 0 0 0 4 】

図 1 は、フローティング型半導体メモリセルの静電容量モデルを示す。これを用いて、書き込み時及び消去時における各々のフローティングゲート電圧 $V_{fg}(W)$ 及び $V_{fg}(E)$ は次式で表せる。

【 0 0 0 5 】

書き込み：

【 0 0 0 6 】

【数 1】

$$V_{fg}(W) = (C_2 \cdot V_{cg} + C_3 \cdot V_d) / (C_1 + C_2 + C_3 + C_4)$$

----- (1)

消去：

【 0 0 0 7 】

【数 2】

$$V_{fg}(E) = (C_2 \cdot V_{cg} + C_4 \cdot V_s) / (C_1 + C_2 + C_3 + C_4)$$

----- (2)

ここで C_1 , C_2 , C_3 及び C_4 は各々フローティングゲート 4 と基板 1 間の静電容量、コントロールゲート 6 とフローティングゲート 4 間の静電容量、フローティングゲート 4 とドレイン拡散 9 間の静電容量、及びフローティングゲート 4 とソース拡散 8 間の静電容量、また、 V_{cg} , V_s 及び V_d は各々コントロールゲート電圧、ソース電圧及びドレイン電圧である。

【 0 0 0 8 】

一般に、書き込み効率を向上させるには、 V_{cg} 及び V_d は共に正なので、式（１）において、 C_2 及び C_3 の静電容量値を大きく取れば、フローティングゲートにかかる実効的な電圧 $V_{fg}(W)$ が高くなり、アバランシェホットエレクトロンのフローティングゲート注入効率、即ち、書き込み効率が向上し、その結果、書き込み時間が早くなる。

【 0 0 0 9 】

一方、消去時には、 V_{cg} は負又は零、 V_s は正であるから、式（２）において、 C_2 , C_4 なる静電容量値の関係が最適条件であり、この条件の時フローティングゲートにかかる実効的な電圧 $V_{fg}(E)$ が高くなる。従って、F - N トンネル電流によるフローティングゲート からソースへのエレクトロンの引き抜き効率、即ち、消去効率が向上し、その結果、消去時間が早くなる。

【 0 0 1 0 】

10

20

30

40

50

以上の理由から、MOSトランジスタの形状を変えずにスケーリング則のみに従って微細化を進めると、上記静電容量値の選択の余地が狭まってしまうという不都合が生じる。そこで、微細化に際し、このような不都合が生じ難い不揮発性半導体記憶装置が望まれていた。

【0011】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、半導体基板に対し深さ方向に形成した半導体基板表面に垂直な側壁を有する溝の内壁面を素子形成領域とし、チャンネル領域が深さ方向に形成されるようにソースとドレイン拡散層、フローティングゲート電極及びコントロールゲート電極を配置した不揮発性半導体記憶装置であって、しかも溝底面を狭く、またドレイン拡散層とフローティングゲートとをオーバーラップさせて溝上部の周辺長を長くとり、併せて長い周辺長をとり囲むことによりフローティングゲートとコントロールゲートの重なりも大きくなるように溝を形成することにより構成される。このような溝構造により、MOSトランジスタのスケーリングに対して、 C_{2} 及び C_{3} の静電容量値を大きく取り、且つ C_{2} 、 C_{4} となるような不揮発性半導体記憶装置が実現される。

10

【0012】

【発明の実施の形態】

図2は、メモリセルが、交叉するビットライン(BL)とワードライン(WL)の各交点に配置され、ソース(S)を共通とするフローティング型半導体メモリセル(Tr)で構成されるNOR接続型フラッシュメモリセルアレイの等価回路の4ビット分を示す。

20

図3は、図2に対応する部分の本発明によるメモリセルアレイのレイアウト図を示す。半導体素子領域は、ワードライン(WL)方向に連続し、且つビットライン(BL)方向には等間隔で配置された溝型絶縁分離層(トレンチアイソレーション)26で絶縁分離される。その溝型絶縁分離層間の半導体素子領域全面にワードライン(WL)方向に連続した埋め込みソース拡散層が形成され、埋め込みソース拡散層上部のエピタキシャル層25の表面には、各メモリセル毎に孤立したドレイン拡散層28で形成され、エピタキシャル層25の両拡散層間に上下に挟まれた部分を貫通する第1及び第2の溝30と32とが形成され、その側壁にチャンネルが形成されるようにフローティング型半導体メモリセル(Tr)が構成される。ビットライン(BL)40は、ドレイン導出電極41によってドレイン拡散層28と接続し、ワードライン(WL)43は溝を埋めるフローティングゲート電極に接続している。A-A'とB-B'は、ビットライン(BL)40とワードライン(WL)43の各々に沿ったの切断面を表し、以下で示す工程の断面図で参照される。

30

【0013】

実施例1

図4-図6は、本発明の不揮発性半導体記憶装置の第1の実施の形態で、図4は各々の製造工程毎に途中の装置断面を示す装置断面図、図5は図4の工程途中での断面斜視図、図6は図4の最終工程での断面図である。

【0014】

図4(a)参照：P型半導体基板21上のイオン注入時のダメージ及びコンタミネーション防止のためのスルー(through)膜として、酸化膜22を10nm程度形成し、その上からヒ素イオン(As⁺)23を加速電圧60keV、ドーズ量 3.0×10^{15} dose/cm²でイオン注入し、900のアニールで活性化を行い、ソース領域になりうるn⁺拡散層24を形成し、その後で酸化膜22を除去する。

40

【0015】

図4(b)参照：P型半導体基板に設けたn⁺拡散層24上にP型エピタキシャル層25を1μm成長する。このP型エピタキシャル層25は縦形MOSトランジスタのチャンネルが形成される領域であるから、不純物濃度や膜厚は、MOSトランジスタのソース・ドレイン間耐圧やチャンネル長などに合わせて選択される。

【0016】

図4(c)参照：エピタキシャル層25上全面に窒化膜(膜厚200nm Si₃N₄)などの絶縁膜を成長

50

し、フォトリソグラフィ技術でワードライン(図3の43)に平行な素子分離領域上のみ狭い窓を持つパターンを形成し(図3の26の位置)、これをマスクにして、シリコン(Si)を垂直にエッチングし、素子分離領域に深さ1.5 μmの溝を形成する。引き続いて図4(c)を参照する。溝の深さは埋没したn+拡散層24の下部より深く、完全にn+拡散層24を分断する。次に、通常の方法で溝を酸化膜で埋め戻し、溝型絶縁分離層(トレンチアイソレーション)26を形成し、ソースn+拡散層24は帯状に分離される。尚、溝を酸化膜で埋め戻す前に、斜め方向からのイオン注入で、溝の側壁及び底面に溝型絶縁分離層26の接するP型エピタキシャル層25及びP型基板21の界面に、チャンネルカット用のP⁺拡散層が形成される(図示せず)。

【0017】

10

図4(d)参照：フォトリソグラフィ技術でレジスト等のマスクにパターンを設け、P型エピタキシャル層25表面に選択的にヒ素イオン(As⁺)27をイオン注入し、各素子毎に分離したドレイン領域(図3の28)を形成する。ワードライン方向に隣り合うドレイン領域間に、ボロンイオン(B⁺)の注入を行い寄生チャンネルを防止するチャンネルカットを形成する。

【0018】

図5(e)参照：窒化膜(膜厚150nm Si₃N₄)などの絶縁膜29をマスクにして各素子領域のほぼ中央に異方性エッチングにより、ドレインn+拡散層28より深い第1の溝30を形成し、全面に酸化膜(膜厚150nm CVD SiO₂)を堆積した後、異方性エッチングにより、その酸化膜の平坦部分を除去し第1の溝30の側壁部にのみサイドウォール(側壁絶縁膜)31を残す。

20

【0019】

図5(f)参照：このサイドウォール31と絶縁膜29をマスクにして、第1の溝30の中央に再度異方性エッチングにより、ソースn+拡散層24に達する第2の溝32を形成する。

【0020】

図5(g)参照：サイドウォール31と絶縁膜29を除去し、露出したシリコン(Si)表面を熱酸化により、トンネル酸化膜33(膜厚10nmのSiO₂)を成長し、その上にフローティングゲート電極になるリンをドーブした多結晶シリコン膜34(膜厚100nmのpoly-Si)を堆積し、フォトリソグラフィ技術で、第2の溝32の上部を覆い、ワードライン(WL)方向には各素子領域毎で分離し、且つビットライン(BL)方向には連続した帯状パターンを形成する。

【0021】

30

図6(h)参照：帯状多結晶シリコン膜34上に熱酸化により層間絶縁膜36(膜厚20nmのSiO₂又はSiO₂とSi₃N₄の積層膜)を成長し、続いて、コントロールゲート電極となるリンをドーブした多結晶シリコン膜37(又は高融点メタル、例えば、タングステン(W)、コバルト(Co)、タンタル(Ta)、モリブデン(Mo)、チタン(Ti)等、或いは、これらの高融点メタルシリサイド、例えば、タングステンシリサイド(WSi₂)、コバルトシリサイド(CoSi₂)、タンタルシリサイド(TaSi₂)、モリブデンシリサイド(MoSi₂)、チタンシリサイド(TiSi₂)等、或いは、リンをドーブした多結晶シリコン膜とメタルシリサイド膜の2層構造等、或いは、リンをドーブした多結晶シリコン膜と高融点メタル間にチタンナイトライド(TiN)等のバリアメタルを挟んだサンドウイッチ構造等でもよい)を溝部が平坦化するように形成する。

40

【0022】

図6(i)参照：フォトリソグラフィ技術で、第2の溝32の上部を覆い、ビットライン(BL)方向には各素子領域毎で上下多結晶シリコン膜34及び37と層間絶縁膜36を切断分離し、且つワードライン(WL)方向には多結晶シリコン膜37が連続した帯状パターンを形成する。この状態は図5の断面斜視図に示す。

【0023】

図8(j)参照：露出したシリコン表面に酸化膜(SiO₂:100nm)と第1の層間絶縁膜(BPSG:900nm等)39を形成した後、ドレイン拡散層28のコンタクト41とビットライン(BL)40のパターニングと、第2の層間絶縁膜44を堆積し、更に、コントロールゲートの抵抗を低減させるための金属配線43を形成する。図6は、ワードライン(WL)43の各々に沿った切断面

50

(B - B')での断面図を表し、コントロールゲート38の導出電極42とソース拡散の導出電極45が各々形成されることを示す。図示されてないが、更に、パッシベーション用のカー膜をウエーハ全面に堆積し、ボンディングパッド用のコンタクトホールを形成しウエーハプロセスが完成する。

【0024】

実施例 2

本発明の実施例 2 について図 7 - 9 を参照して説明する。

先ず、ウエーハプロセス工程の最初から第 2 の溝のエッチングによる形成直前までは、実施例 1 の図 4 (a)-(d)、図 5 (e)-(f) と全く同じであるので、説明と図面を省略する。実施例 1 の図 5 (f) では第 2 の溝32は埋め込みソース拡散層24に達した位置で止めてあるが、実施例 2 の図 10 (g) では、第 2 の溝32は埋め込みソース拡散層24を貫通し、その下の半導体基板21にまで達している。この点の実施例 1 との構造上の違いである。製造方法としては、シリコンの異方性エッチングの時間を溝32の深い分だけ長くすればよい。第 2 の溝32の形成後の工程は実施例 1 と本質的に同じであり、図 10 (h) - 図 12 は図 6 (h) - 図 9 に各々対応させて理解することができる。デバイス特性上では、実施例 1 と 2 とどちらが有利かは、主にソース拡散層24と第 1 のゲート酸化膜33との重なり面積による静電容量 C_4 の大小関係と、半導体基板21と第 1 のゲート酸化膜33との重なり面積による静電容量 C_1 の増加分とを勘案して決められる。

【0025】

実施例 3

本発明の実施例 3 について図 14 - 18 を参照して説明する。

先ず、ウエーハプロセス工程の最初から第 1 の溝のエッチングによる形成直前までは、実施例 1 の図 4 (a)-(d) と本質的には同じであるので、説明と図面を省略する。実施例 1 の図 5 (e) では第 1 の溝30は、シリコンの異方性エッチングによって、垂直な側壁が作られているのに対し、図 14 (e) では第 1 の溝50は、シリコンの等方性エッチングによって、溝50の側壁は曲面をなしている点が構造的に異なる。等方性エッチングでは、エッチングマスク(絶縁膜)29の端にオーバーハングが生ずるので、エッチングマスク(絶縁膜)29の開口は、出来上がった第 1 の溝50の開口部より小さめに設計しなければならないことは当然である。図 14 (f) では、エッチングマスクを再度用いて、シリコンの異方性エッチングを行い、垂直な側壁を持った第 2 の溝52を形成する。第 2 の溝52は底面は埋め込みソース拡散層24に達した位置で止めてある。第 1 の溝の等方性エッチング後、同一のエッチングマスクで直ちに異方性エッチングを行い、第 2 の溝52を形成できるので、工程の簡略化の点で利がある。第 2 の溝52を形成以降の工程は、実施例 1 の場合本質的に同じであるので、説明を繰り返すのを省略する。

【0026】

実施例 4

本発明の実施例 4 について図 19 を参照して説明する。

構造に関しては、第 1 の溝は、実施例 3 と同様に、等方性エッチングによって、溝の側壁は曲面をなし、第 2 の溝は、実施例 3 と同様に、第 2 の溝は埋め込みソース拡散層24を貫通し、その下の半導体基板21にまで達している。従って、製造工程に関しては、第 1 の溝のエッチングによる形成直前までは、実施例 1 の図 4 (a)-(d) と本質的には同じであり、第 1 の溝の形成は実施例 3 と本質的には同じであり、第 2 の溝の形成は実施例 2 と本質的には同じであるので、説明と工程途中の図面を省略する。

【0027】

実施例 1 から実施例 4 では、何れも、第 1 の溝の深さがドレイン拡散層28より深く形成されているが、これは発明の必要条件ではない。ただ素子の微細化に伴って、一般に、浅いドレイン拡散層の形成技術は成熟しているが、それよりもさらに浅い第 2 の溝の形成は必ずしも容易とは言えない。従って、ドレイン拡散層が極端に浅い場合には、第 2 の溝の深さはそれより深くなるように設計しておいた方が、素子特性のバラ付きを狭く押さえる観点から有利である。

10

20

30

40

50

【 0 0 2 8 】

実施例 5

本発明の実施例 5 について図 20 を参照して説明する。

【 0 0 2 9 】

構造上の特徴は、第 1 の溝の深さがドレイン拡散層 28 より浅く形成されている点である。工程上は、上述の様に、ドレイン拡散層が極端に浅い場合には、第 1 の溝の深さがドレイン拡散層より深くならぬように、細心の注意が必要である。素子特性上では、第 1 と第 2 の溝の開口エリアを S_1 と S_2 とすると、実施例 1 の場合と比較して、両開口に挟まれたエリア ($S_1 - S_2$) に対応してドレインとフローティングゲート間の静電容量 C_3 が増大し、逆に、($S_1 - S_2$) のエリアに対応してチャンネルが形成される領域エピタキシャル層 25 とフローティングゲート間の静電容量 C_1 が減少する。また付随的に、 $C_2 > C_1$ も可能になる。これらの傾向は、上述した高速の書き込みと読み出しが可能なフローティング型半導体メモリセルに対する技術的要請である「 C_2 と C_3 が共に大で、 $C_2 >> C_4$ 」の上からも望ましいと言える。

10

【 0 0 3 0 】

【発明の効果】

本発明によれば、メモリセル構造を半導体基板表面に対し縦方向に形成することにより、半導体素子のスケールリング則に拘束されないメモリセルの形成が可能となる。フローティングゲート電極とコントロールゲート電極の対向面積を縦型溝の側壁部全表面も含むように形成することにより、コントロールゲートとフローティングゲート電極間の静電容量 C_2 を一般的な従来型のメモリセル構造に比べ大きく取ることができ、縦型溝の開口周囲長を上部ドレイン領域で広く、下部ソース領域で狭く形成することで静電容量 C_3 を大きくし、下部ソースでの静電容量 C_4 を小さくすることができ、 $C_2 >> C_4$ が可能となる。これらのことからフローティングゲートにかかる実効的な V_{fg} が高くなり、結果として、書き込み時間の短縮と消去時間の短縮とが可能となる。また、 $n+$ ソース拡散層を絶縁分離層で挟まれた全領域に広げることにより、低抵抗な埋め込みソースラインの形成が可能となった。これも消去効率の向上に寄与している。言い換えれば、素子性能を維持したまま、高集積な不揮発性半導体記憶装置を製造することができる。

20

【図面の簡単な説明】

【図 1】 フローティング型半導体メモリセルの静電容量モデル

30

【図 2】 本発明の実施例 1 - 5 によるフローティング型半導体メモリセルアレイの等価回路

【図 3】 図 2 に対応したレイアウト図

【図 4】 実施例 1 のフローティング型半導体メモリセルアレイの製造工程を示し、図 3 の A - A' に示す線で切断した断面図 (その 1)

【図 5】 実施例 1 のフローティング型半導体メモリセルアレイの製造工程を示し、図 3 の A - A' に示す線で切断した断面図 (その 2)

【図 6】 実施例 1 のフローティング型半導体メモリセルアレイの製造工程を示し、図 3 の A - A' に示す線で切断した断面図 (その 3)

【図 7】 実施例 1 の図 6 の工程 (i) における、図 3 の A - A' に示す線で切断した断面斜視図

40

【図 8】 実施例 1 のフローティング型半導体メモリセルアレイの製造工程を示し、図 3 の A - A' に示す線で切断した断面図 (その 4)

【図 9】 実施例 1 の図 8 の工程 (j) における、図 3 の B - B' に示す線で切断した断面図

【図 10】 実施例 2 のフローティング型半導体メモリセルアレイの製造工程を示し、図 3 の A - A' に示す線で切断した断面図 (その 1)

【図 11】 実施例 2 の図 7 の工程 (i) における、図 3 の A - A' に示す線で切断した断面斜視図

【図 12】 実施例 2 のフローティング型半導体メモリセルアレイの製造工程を示し、図

50

3のA-A'に示す線で切断した断面図(その2)

【図13】 実施例2の図12の工程(j)における、図3のB-B'に示す線で切断した断面図

【図14】 実施例3のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(その1)

【図15】 実施例3のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(その2)

【図16】 実施例3の図16の工程(i)における、図3のA-A'に示す線で切断した断面斜視図

【図17】 実施例3のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(その3) 10

【図18】 実施例3の図17の工程(j)における、図3のB-B'に示す線で切断した断面図

【図19】 実施例4の、図3のA-A'に示す線で切断した断面図であり、実施例3の図15の工程(i)に対応する工程

【図20】 実施例5の、図3のA-A'に示す線で切断した断面斜視図

【図21】 従来のMOS型不揮発性半導体記憶装置のメモリセルの断面図

【符号の説明】

1、21 半導体基板

2 素子分離の酸化膜

3、33、53 第1ゲート酸化膜

4、フローティングゲート

5、36、56 第2ゲート酸化膜

6、38、58 コントロールゲート

7 低濃度ソース不純物拡散層

8、24 高濃度ソース不純物拡散層

9、28 ドレイン不純物拡散層

10、31 サイドウォール(側壁絶縁膜)

11、39、44 層間絶縁膜

12、45 ソース導出電極

13、41 ドレイン導出電極

14、42 コントロールゲート導出電極

C₁ フローティングゲートと半導体基板間の静電容量

C₂ コントロールゲートとフローティングゲート間の静電容量

C₃ フローティングゲートとドレイン不純物拡散層間の静電容量

C₄ フローティングゲートとソース不純物拡散層間の静電容量

BL、40 ビットライン

WL、43 ワードライン

Tr トランジスタ

S、ソースライン

22 酸化膜

23、27 イオン注入

25 エピタキシャル層

26 溝型絶縁分離層

29 絶縁膜(エッチングマスク)

30、50 第1の溝

32、52 第2の溝

34、37、54、57 多結晶シリコン膜

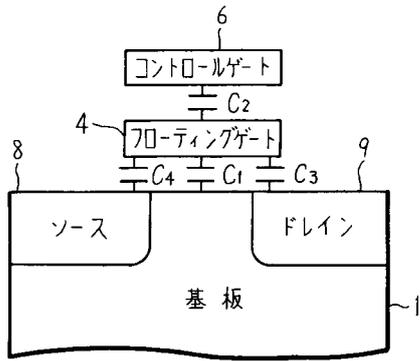
20

30

40

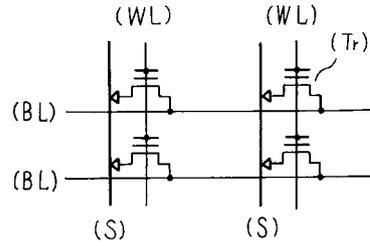
【 図 1 】

フローティング型半導体メモリの静電容量モデル



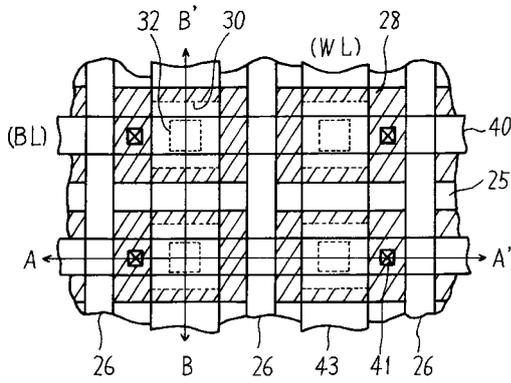
【 図 2 】

本発明の実施例1-5によるフローティング型半導体メモリアレイの等価回路



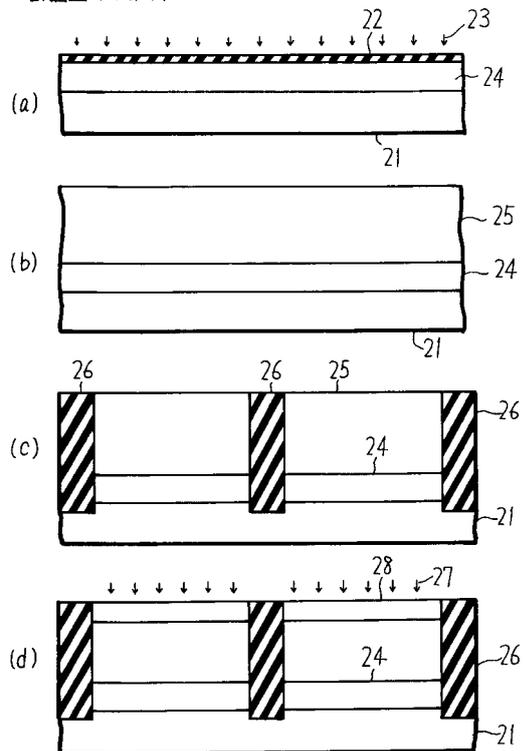
【 図 3 】

図2に対応したレイアウト図



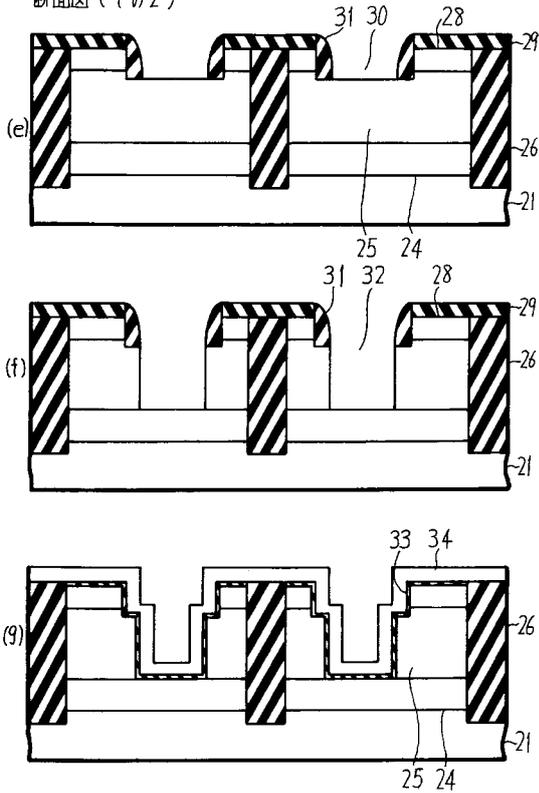
【 図 4 】

実施例1のフローティング型半導体メモリアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(その1)



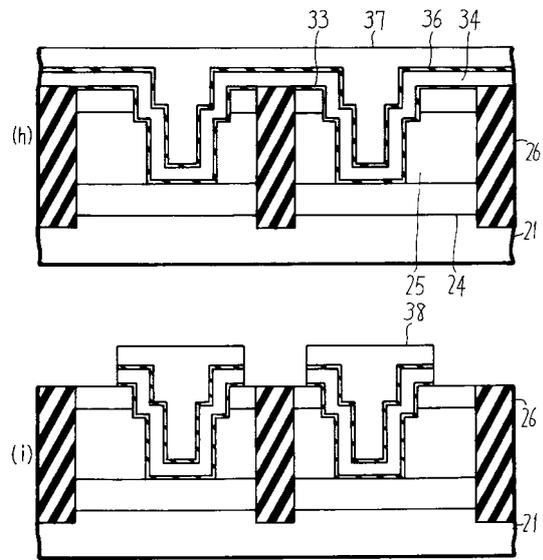
【 図 5 】

実施例1のフロッティング型半導体メモリセルアレイの製造工程を示し、図3のA-A' に示す線で切断した断面図(その2)



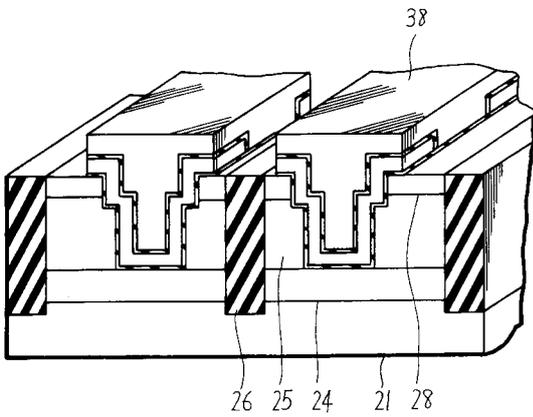
【 図 6 】

実施例1のフロッティング型半導体メモリセルアレイの製造工程を示し、図3のA-A' に示す線で切断した断面図(その3)



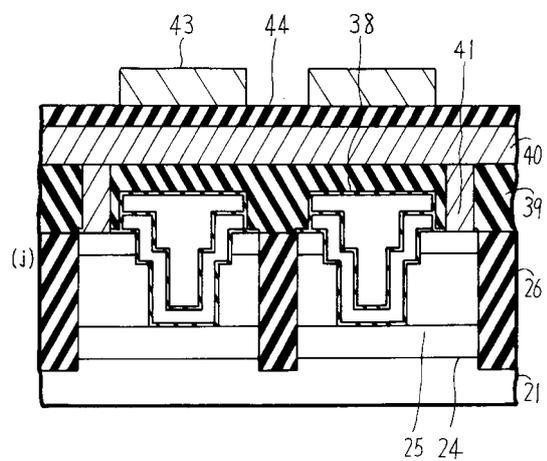
【 図 7 】

実施例1の図6の工程(i)における、図3のA-A' に示す線で切断した断面斜視図



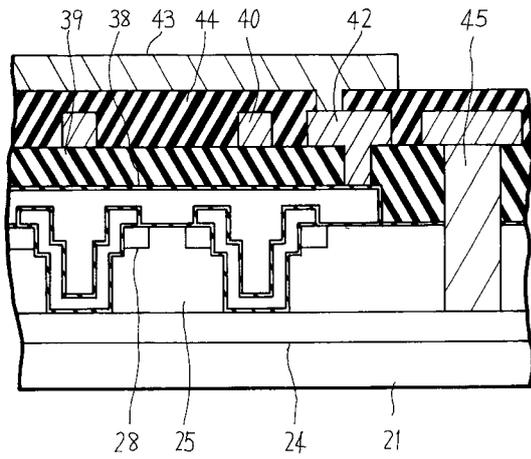
【 図 8 】

実施例1のフロッティング型半導体メモリセルアレイの製造工程を示し、図3のA-A' に示す線で切断した断面図(その4)



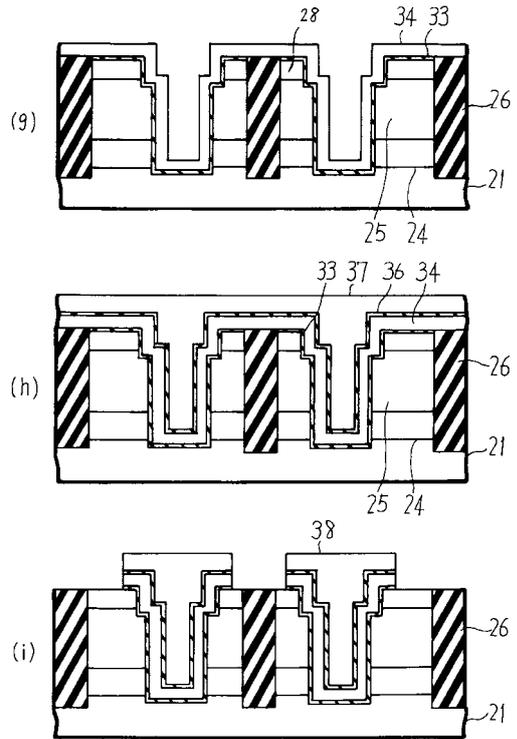
【 図 9 】

実施例1の図8の工程(j)における、図3のB-B'に示す線で切断した断面図



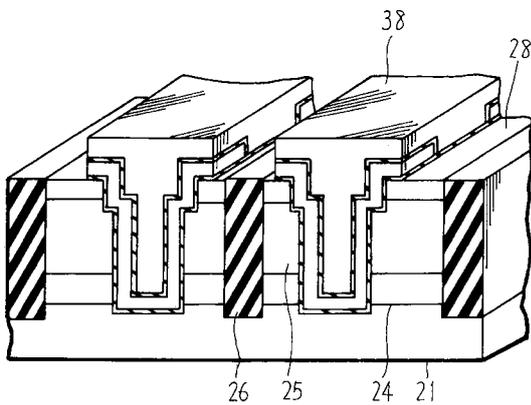
【 図 10 】

実施例2のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図 (xの1)



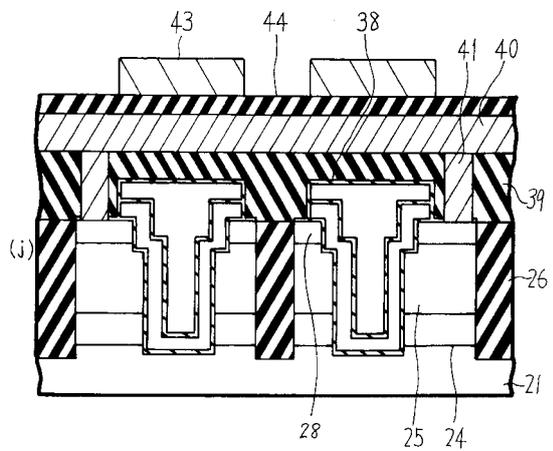
【 図 11 】

実施例2の図7の工程(i)における、図3のA-A'に示す線で切断した断面斜視図



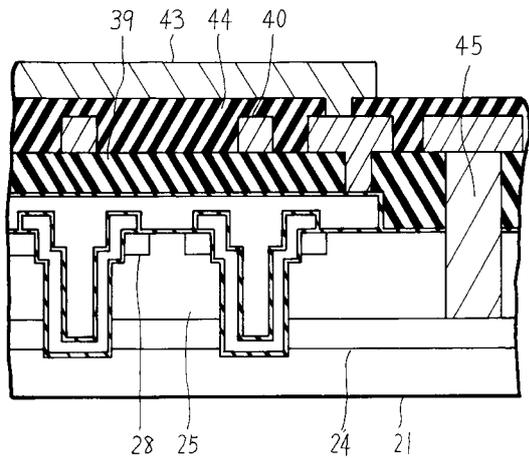
【 図 12 】

実施例2のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図 (xの2)



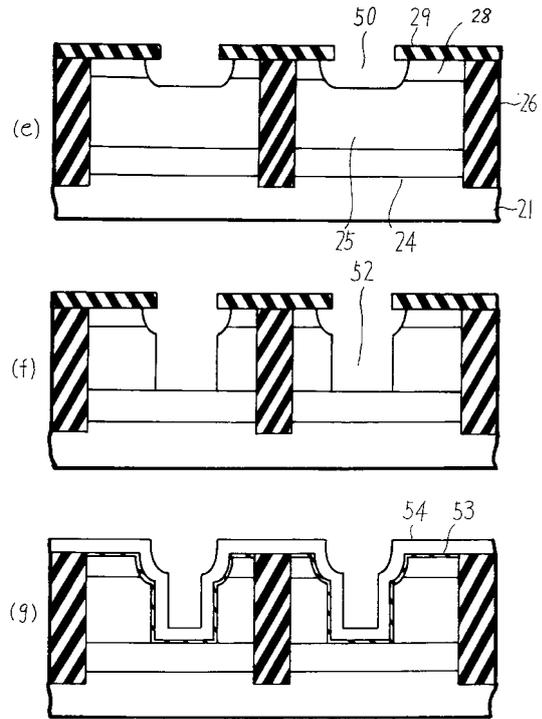
【 図 1 3 】

実施例2の図12の工程(j)における、図3のB-B'に示す線で切断した断面図



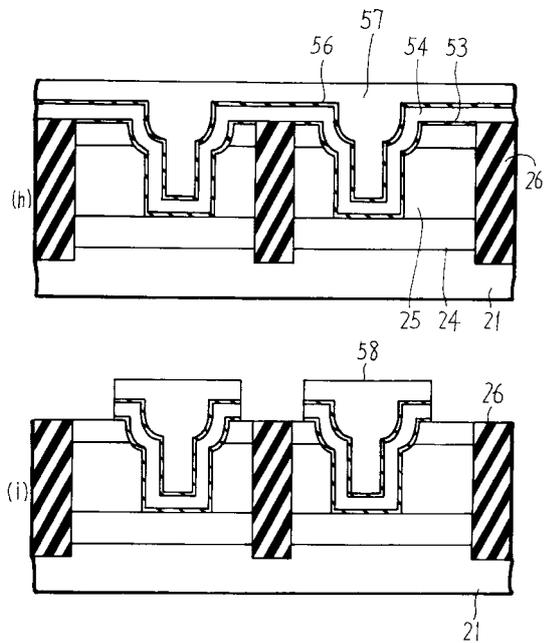
【 図 1 4 】

実施例3のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(χの1)



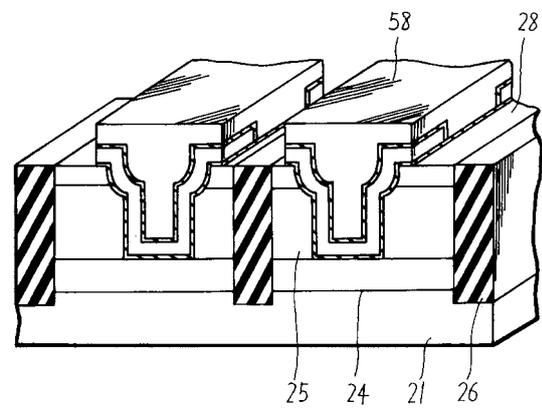
【 図 1 5 】

実施例3のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(χの2)



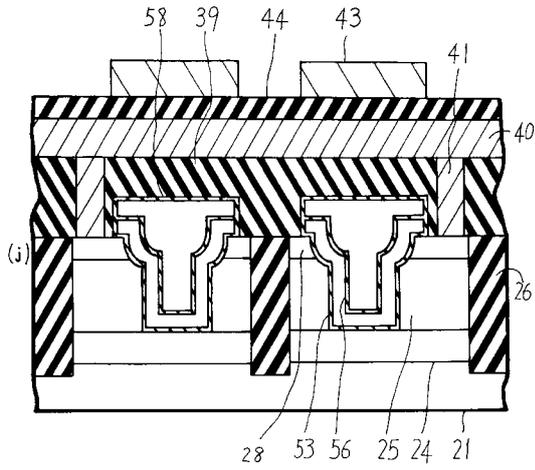
【 図 1 6 】

実施例3の図15の工程(i)における、図3のA-A'に示す線で切断した断面斜視図



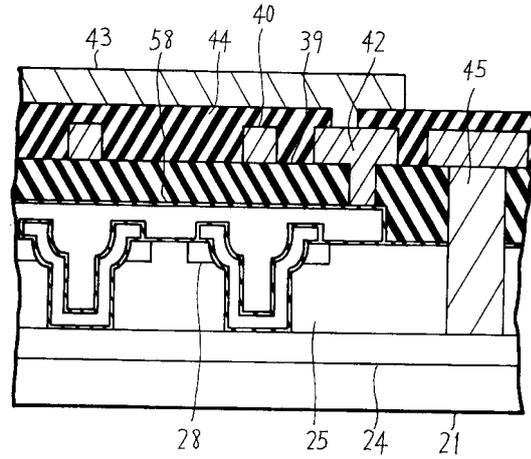
【 図 1 7 】

実施例3のフローティング型半導体メモリセルアレイの製造工程を示し、図3のA-A'に示す線で切断した断面図(その3)



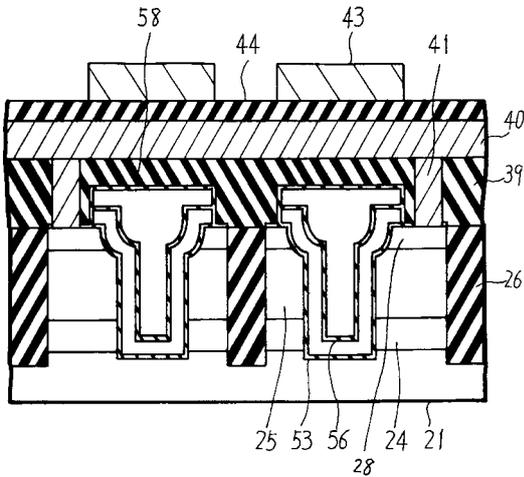
【 図 1 8 】

実施例3の図17の工程(j)における、図3のB-B'に示す線で切断した断面図



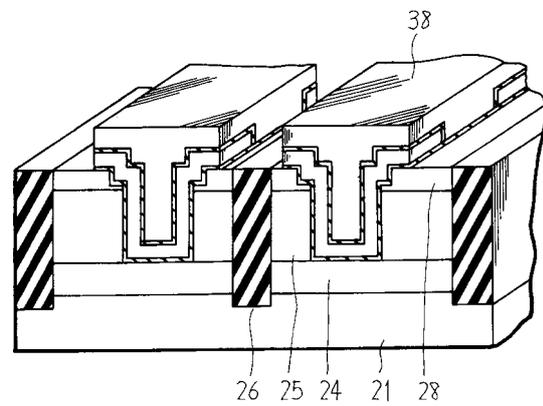
【 図 1 9 】

実施例4の、図3のA-A'に示す線で切断した断面図であり、実施例3の図15の工程(i)に対応する工程



【 図 2 0 】

実施例5の、図3のA-A'に示す線で切断した断面斜視図



フロントページの続き

- (56)参考文献 特開昭53-099885(JP,A)
特開平06-237003(JP,A)
特開平10-209407(JP,A)
特開昭63-160279(JP,A)
特開平02-128478(JP,A)
特開昭60-194573(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792