

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5928519号
(P5928519)

(45) 発行日 平成28年6月1日(2016.6.1)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int. Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 H
HO2M 3/335 (2006.01) HO2M 3/335 E

請求項の数 8 (全 19 頁)

<p>(21) 出願番号 特願2014-80485 (P2014-80485) (22) 出願日 平成26年4月9日(2014.4.9) (65) 公開番号 特開2015-202000 (P2015-202000A) (43) 公開日 平成27年11月12日(2015.11.12) 審査請求日 平成27年5月25日(2015.5.25)</p>	<p>(73) 特許権者 000003207 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地 (74) 代理人 100107766 弁理士 伊東 忠重 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 平野 高弘 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 審査官 鈴木 重幸</p>
---	---

最終頁に続く

(54) 【発明の名称】 電力変換装置及び電力変換方法

(57) 【特許請求の範囲】

【請求項1】

1次側回路に構成される複数の1次側ポートと、前記1次側回路と変圧器で磁気結合する2次側回路に構成される複数の2次側ポートとを備え、前記1次側回路のスイッチングと前記2次側回路のスイッチングとの位相差を変更して、前記1次側回路と前記2次側回路との間で伝送される伝送電力を調整する、電力変換方法であって、

前記位相差を、算出値に設定する設定ステップと、

前記2次側回路から前記1次側回路へと電力が伝送されるか否かを判定する判定ステップと、

伝送効率を、前記1次側回路の1次側電力算出値及び前記2次側回路の2次側電力算出値に基づいて、算出する算出ステップと、

前記位相差の調整値を、前記伝送効率を規定効率で除した値に設定する設定ステップと、

前記調整値が規定値より小さいか否かを判定する判定ステップと、

前記調整値が前記規定値より小さい場合に、前記位相差を、前記算出値を前記調整値で除した値に設定する設定ステップと、を有する、電力変換方法。

【請求項2】

前記2次側回路から前記1次側回路へと電力が伝送される場合、前記伝送効率を、前記1次側電力算出値を前記2次側電力算出値で除した値に設定する設定ステップと、

前記1次側回路から前記2次側回路へと電力が伝送される場合、前記伝送効率を、前記

10

20

2次側電力算出値を前記1次側電力算出値で除した値に設定する設定ステップと、を有する、請求項1に記載の電力変換方法。

【請求項3】

前記1次側電力算出値を、前記1次側ポートの検出電圧に基づいて、算出する算出ステップと、前記2次側電力算出値を、前記2次側ポートの検出電圧に基づいて、算出する算出ステップと、を有する、請求項1又は2の何れか一項に記載の電力変換方法。

【請求項4】

前記調整値が前記規定値以上である場合に、前記位相差を、前記算出値に設定する設定ステップと、を有する、請求項1乃至3の何れか一項に記載の電力変換方法。

【請求項5】

複数の1次側ポートを備える1次側回路と、
複数の2次側ポートを備え、前記1次側回路と変圧器で磁気結合する2次側回路と、
前記1次側回路のスイッチングと前記2次側回路のスイッチングとの位相差を変更することによって、前記1次側回路と前記2次側回路との間で伝送される伝送電力を制御する制御部と、を備える電力変換装置であって、

前記制御部は、

前記位相差を、算出値に設定し、

前記2次側回路から前記1次側回路へと電力が伝送されるか否かを判定し、

伝送効率を、前記1次側回路の1次側電力算出値及び前記2次側回路の2次側電力算出値に基づいて算出し、

前記位相差の調整値を、前記伝送効率を規定効率で除した値に設定し、

前記調整値が規定値より小さいか否かを判定し、

前記調整値が前記規定値より小さい場合に、前記位相差を、前記算出値を前記調整値で除した値に設定する、電力変換装置。

【請求項6】

前記制御部は、

前記2次側回路から前記1次側回路へと電力が伝送される場合、前記伝送効率を、前記1次側電力算出値を前記2次側電力算出値で除した値に設定し、

前記1次側回路から前記2次側回路へと電力が伝送される場合、前記伝送効率を、前記2次側電力算出値を前記1次側電力算出値で除した値に設定する、請求項5に記載の電力変換装置。

【請求項7】

前記制御部は、

前記1次側電力算出値を、前記1次側ポートの検出電圧に基づいて算出し、前記2次側電力算出値を、前記2次側ポートの検出電圧に基づいて算出する、請求項5又は6の何れか一項に記載の電力変換装置。

【請求項8】

前記制御部は、

前記調整値が前記規定値以上である場合に、前記位相差を、前記算出値に設定する、請求項5乃至7の何れか一項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置及び電力変換方法に関する。

【背景技術】

【0002】

従来、複数の1次側ポートを含む1次側変換回路と、複数の2次側ポートを含み、1次側変換回路と変圧器で磁気結合する2次側変換回路との間で伝送される伝送電力を、位相差に応じて調整する電力変換装置が知られている（例えば、特許文献1を参照）。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0003】

【特許文献1】特開2011-193713号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、位相差 に応じて調整される伝送電力は、伝送効率によっても影響を受ける。伝送効率が悪化すると、1次側変換回路と2次側変換回路との間で、所望の電力を伝送することが困難になり、各ポートの電圧が低下してしまう。

【0005】

そこで、各ポートの電圧低下を抑制することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するため、一態様によれば、

1次側回路に構成される複数の1次側ポートと、前記1次側回路と変圧器で磁気結合する2次側回路に構成される複数の2次側ポートとを備え、前記1次側回路のスイッチングと前記2次側回路のスイッチングとの位相差を変更して、前記1次側回路と前記2次側回路との間で伝送される伝送電力を調整する、電力変換方法であって、

前記位相差を、算出値に設定する設定ステップと、

前記2次側回路から前記1次側回路へと電力が伝送されるか否かを判定する判定ステップと、

伝送効率を、前記1次側回路の1次側電力算出値及び前記2次側回路の2次側電力算出値に基づいて、算出する算出ステップと、

前記位相差の調整値を、前記伝送効率を規定効率で除した値に設定する設定ステップと、

前記調整値が規定値より小さいか否かを判定する判定ステップと、

前記調整値が前記規定値より小さい場合に、前記位相差を、前記算出値を前記調整値で除した値に設定する設定ステップと、を有する、電力変換方法が提供される。

【発明の効果】

【0007】

一態様によれば、各ポートの電圧低下を抑制することができる。

【図面の簡単な説明】

【0008】

【図1】電力変換装置の構成例を示した図

【図2】制御部の構成例を示したブロック図

【図3】1次側回路及び2次側回路のスイッチング例を示したタイミングチャート

【図4】制御部の構成例を示したブロック図

【図5】電力補正方法の一例を示した図

【発明を実施するための形態】

【0009】

<電源装置101の構成>

図1は、電力変換装置の実施形態である電源装置101の構成例を示したブロック図である。電源装置101は、例えば、電源回路10と、制御部50と、センサ部70とを備えた電源システムである。電源装置101は、例えば、自動車等の車両に搭載され、車載の各負荷に配電するシステムである。このような車両の具体例として、ハイブリッド車、プラグインハイブリッド車、電気自動車などが挙げられる。

【0010】

電源装置101は、例えば、1次側高電圧系負荷（例えば、電動パワーステアリング装置（EPS）、等）61aが接続される第1入出力ポート60aと、1次側低電圧系負荷（例えば、電子制御装置（ECU）、電子制御ブレーキシステム（ECB）、等）61c

10

20

30

40

50

及び1次側低電圧系電源(例えば、補機バッテリー)62cが接続される第2入出力ポート60cとを、1次側ポートとして有している。1次側低電圧系電源62cは、1次側低電圧系電源62cと同じ電圧系(例えば、12V系)で動作する1次側低電圧系負荷61cに電力を供給する。また、1次側低電圧系電源62cは、1次側低電圧系電源62cと異なる電圧系(例えば、12V系よりも高い48V系)で動作する1次側高電圧系負荷61aに、電源回路10に構成される1次側変換回路20によって昇圧された電力を供給する。1次側低電圧系電源62cの具体例として、鉛バッテリー等の二次電池が挙げられる。

【0011】

電源装置101は、例えば、2次側高電圧系負荷61b及び2次側高電圧系電源(例えば、主機バッテリー)62bが接続される第3入出力ポート60bと、2次側低電圧系負荷61dが接続される第4入出力ポート60dとを、2次側ポートとして有している。2次側高電圧系電源62bは、2次側高電圧系電源62bと同じ電圧系(例えば、12V系及び48V系よりも高い288V系)で動作する2次側高電圧系負荷61bに電力を供給する。また、2次側高電圧系電源62bは、2次側高電圧系電源62bと異なる電圧系(例えば、288V系よりも低い72V系)で動作する2次側低電圧系負荷61dに、電源回路10に構成される2次側変換回路30によって降圧された電力を供給する。2次側高電圧系電源62bの具体例として、リチウムイオン電池等の二次電池が挙げられる。

【0012】

電源回路10は、上述の4つの入出力ポートを有し、それらの4つの入出力ポートのうちから任意の2つの入出力ポートが選択され、当該2つの入出力ポートの間で電力変換を行う機能を有する電力変換回路である。なお、電源回路10を備えた電源装置101は、少なくとも3つ以上の複数の入出力ポートを有し、少なくとも3つ以上の複数の入出力ポートのうちどの2つの入出力ポート間でも電力を変換することが可能な装置でもよい。例えば、電源回路10は、第4入出力ポート60dが無い3つの入出力ポートを有する回路でもよい。

【0013】

ポート電力 P_a 、 P_c 、 P_b 、 P_d は、それぞれ、第1入出力ポート60a、第2入出力ポート60c、第3入出力ポート60b、第4入出力ポート60dにおける入出力電力(入力電力又は出力電力)である。ポート電圧 V_a 、 V_c 、 V_b 、 V_d は、それぞれ、第1入出力ポート60a、第2入出力ポート60c、第3入出力ポート60b、第4入出力ポート60dにおける入出力電圧(入力電圧又は出力電圧)である。ポート電流 I_a 、 I_c 、 I_b 、 I_d は、それぞれ、第1入出力ポート60a、第2入出力ポート60c、第3入出力ポート60b、第4入出力ポート60dにおける入出力電流(入力電流又は出力電流)である。

【0014】

電源回路10は、第1入出力ポート60aに設けられるキャパシタC1と、第2入出力ポート60cに設けられるキャパシタC3と、第3入出力ポート60bに設けられるキャパシタC2と、第4入出力ポート60dに設けられるキャパシタC4とを備えている。キャパシタC1、C2、C3、C4の具体例として、フィルムコンデンサ、アルミニウム電解コンデンサ、セラミックコンデンサ、固体高分子コンデンサなどが挙げられる。

【0015】

キャパシタC1は、第1入出力ポート60aの高電位側の端子613と、第1入出力ポート60a及び第2入出力ポート60cの低電位側の端子614との間に挿入される。キャパシタC3は、第2入出力ポート60cの高電位側の端子616と、第1入出力ポート60a及び第2入出力ポート60cの低電位側の端子614との間に挿入される。キャパシタC2は、第3入出力ポート60bの高電位側の端子618と、第3入出力ポート60b及び第4入出力ポート60dの低電位側の端子620との間に挿入される。キャパシタC4は、第4入出力ポート60dの高電位側の端子622と、第3入出力ポート60b及び第4入出力ポート60dの低電位側の端子620との間に挿入される。

【0016】

キャパシタ $C1$ 、 $C2$ 、 $C3$ 、 $C4$ は、電源回路10の内部に設けられてもよいし、電源回路10の外部に設けられてもよい。

【0017】

電源回路10は、1次側変換回路20と、2次側変換回路30とを含んで構成された電力変換回路である。なお、1次側変換回路20と2次側変換回路30とは、1次側磁気結合リアクトル204及び2次側磁気結合リアクトル304を介して接続され、且つ、変圧器400（センタータップ式変圧器）で磁気結合されている。第1入出力ポート60a及び第2入出力ポート60cから構成される1次側ポートと、第3入出力ポート60b及び第4入出力ポート60dから構成される2次側ポートとは、変圧器400を介して接続されている。

10

【0018】

1次側変換回路20は、1次側フルブリッジ回路200と、第1入出力ポート60aと、第2入出力ポート60cとを含んで構成された1次側回路である。1次側フルブリッジ回路200は、変圧器400の1次側コイル202と、1次側磁気結合リアクトル204と、1次側第1上アーム $U1$ と、1次側第1下アーム $/U1$ と、1次側第2上アーム $V1$ と、1次側第2下アーム $/V1$ とを含んで構成された1次側電力変換部である。ここで、1次側第1上アーム $U1$ と、1次側第1下アーム $/U1$ と、1次側第2上アーム $V1$ と、1次側第2下アーム $/V1$ は、それぞれ、例えば、Nチャンネル型のMOSFETと、当該MOSFETの寄生素子であるボディダイオードとを含んで構成されたスイッチング素子である。当該MOSFETに並列にダイオードが追加接続されてもよい。

20

【0019】

1次側フルブリッジ回路200は、第1入出力ポート60aの高電位側の端子613に接続される1次側正極母線298と、第1入出力ポート60a及び第2入出力ポート60cの低電位側の端子614に接続される1次側負極母線299とを有している。

【0020】

1次側正極母線298と1次側負極母線299との間には、1次側第1上アーム $U1$ と、1次側第1下アーム $/U1$ とを直列接続した1次側第1アーム回路207が取り付けられている。1次側第1アーム回路207は、1次側第1上アーム $U1$ 及び1次側第1下アーム $/U1$ のオンオフのスイッチング動作による電力変換動作が可能な1次側第1電力変換回路部（1次側U相電力変換回路部）である。さらに、1次側正極母線298と1次側負極母線299との間には、1次側第2上アーム $V1$ と、1次側第2下アーム $/V1$ とを直列接続した1次側第2アーム回路211が1次側第1アーム回路207と並列に取り付けられている。1次側第2アーム回路211は、1次側第2上アーム $V1$ 及び1次側第2下アーム $/V1$ のオンオフのスイッチング動作による電力変換動作が可能な1次側第2電力変換回路部（1次側V相電力変換回路部）である。

30

【0021】

1次側第1アーム回路207の midpoint $207m$ と1次側第2アーム回路211の midpoint $211m$ を接続するブリッジ部分には、1次側コイル202と1次側磁気結合リアクトル204とが設けられている。ブリッジ部分についてより詳細に接続関係について説明すると、1次側第1アーム回路207の midpoint $207m$ には、1次側磁気結合リアクトル204の1次側第1リアクトル204aの一方端が接続される。そして、1次側第1リアクトル204aの他方端には、1次側コイル202の一方端が接続される。さらに、1次側コイル202の他方端には、1次側磁気結合リアクトル204の1次側第2リアクトル204bの一方端が接続される。それから、1次側第2リアクトル204bの他方端が1次側第2アーム回路211の midpoint $211m$ に接続される。なお、1次側磁気結合リアクトル204は、1次側第1リアクトル204aと、1次側第1リアクトル204aと結合係数 $k1$ で磁気結合する1次側第2リアクトル204bとを含んで構成される。

40

【0022】

midpoint $207m$ は、1次側第1上アーム $U1$ と1次側第1下アーム $/U1$ との間の1次側第1中間ノードであり、midpoint $211m$ は、1次側第2上アーム $V1$ と1次側第2下アーム

50

/ V 1 との間の 1 次側第 2 中間ノードである。

【 0 0 2 3 】

第 1 入出力ポート 6 0 a は、1 次側正極母線 2 9 8 と 1 次側負極母線 2 9 9 との間に設けられるポートである。第 1 入出力ポート 6 0 a は、端子 6 1 3 と端子 6 1 4 とを含んで構成される。第 2 入出力ポート 6 0 c は、1 次側負極母線 2 9 9 と 1 次側コイル 2 0 2 のセンタータップ 2 0 2 m との間に設けられるポートである。第 2 入出力ポート 6 0 c は、端子 6 1 4 と端子 6 1 6 とを含んで構成される。

【 0 0 2 4 】

第 1 入出力ポート 6 0 a のポート電圧 V_a 及び第 2 入出力ポート 6 0 c のポート電圧 V_c は、1 次側低電圧系電源 6 2 c の電圧に依存して変動する。

10

【 0 0 2 5 】

センタータップ 2 0 2 m は、第 2 入出力ポート 6 0 c の高電位側の端子 6 1 6 に接続されている。センタータップ 2 0 2 m は、1 次側コイル 2 0 2 に構成される 1 次側第 1 巻線 2 0 2 a と 1 次側第 2 巻線 2 0 2 b との中間接続点である。

【 0 0 2 6 】

2 次側変換回路 3 0 は、2 次側フルブリッジ回路 3 0 0 と、第 3 入出力ポート 6 0 b と、第 4 入出力ポート 6 0 d とを含んで構成された 2 次側回路である。2 次側フルブリッジ回路 3 0 0 は、変圧器 4 0 0 の 2 次側コイル 3 0 2 と、2 次側磁気結合リアクトル 3 0 4 と、2 次側第 1 上アーム U 2 と、2 次側第 1 下アーム / U 2 と、2 次側第 2 上アーム V 2 と、2 次側第 2 下アーム / V 2 とを含んで構成された 2 次側電力変換部である。ここで、2 次側第 1 上アーム U 2 と、2 次側第 1 下アーム / U 2 と、2 次側第 2 上アーム V 2 と、2 次側第 2 下アーム / V 2 は、それぞれ、例えば、N チャネル型の MOSFET と、当該 MOSFET の寄生素子であるボディダイオードとを含んで構成されたスイッチング素子である。当該 MOSFET に並列にダイオードが追加接続されてもよい。

20

【 0 0 2 7 】

2 次側フルブリッジ回路 3 0 0 は、第 3 入出力ポート 6 0 b の高電位側の端子 6 1 8 に接続される 2 次側正極母線 3 9 8 と、第 3 入出力ポート 6 0 b 及び第 4 入出力ポート 6 0 d の低電位側の端子 6 2 0 に接続される 2 次側負極母線 3 9 9 とを有している。

【 0 0 2 8 】

2 次側正極母線 3 9 8 と 2 次側負極母線 3 9 9 との間には、2 次側第 1 上アーム U 2 と、2 次側第 1 下アーム / U 2 とを直列接続した 2 次側第 1 アーム回路 3 0 7 が取り付けられている。2 次側第 1 アーム回路 3 0 7 は、2 次側第 1 上アーム U 2 及び 2 次側第 1 下アーム / U 2 のオンオフのスイッチング動作による電力変換動作が可能な 2 次側第 1 電力変換回路部 (2 次側 U 相電力変換回路部) である。さらに、2 次側正極母線 3 9 8 と 2 次側負極母線 3 9 9 との間には、2 次側第 2 上アーム V 2 と、2 次側第 2 下アーム / V 2 とを直列接続した 2 次側第 2 アーム回路 3 1 1 が 2 次側第 1 アーム回路 3 0 7 と並列に取り付けられている。2 次側第 2 アーム回路 3 1 1 は、2 次側第 2 上アーム V 2 及び 2 次側第 2 下アーム / V 2 のオンオフのスイッチング動作による電力変換動作が可能な 2 次側第 2 電力変換回路部 (2 次側 V 相電力変換回路部) である。

30

【 0 0 2 9 】

2 次側第 1 アーム回路 3 0 7 の中点 3 0 7 m と 2 次側第 2 アーム回路 3 1 1 の中点 3 1 1 m を接続するブリッジ部分には、2 次側コイル 3 0 2 と 2 次側磁気結合リアクトル 3 0 4 とが設けられている。ブリッジ部分についてより詳細に接続関係について説明すると、2 次側第 1 アーム回路 3 0 7 の中点 3 0 7 m には、2 次側磁気結合リアクトル 3 0 4 の 2 次側第 1 リアクトル 3 0 4 a の一方端が接続される。そして、2 次側第 1 リアクトル 3 0 4 a の他方端には、2 次側コイル 3 0 2 の一方端が接続される。さらに、2 次側コイル 3 0 2 の他方端には、2 次側磁気結合リアクトル 3 0 4 の 2 次側第 2 リアクトル 3 0 4 b の一方端が接続される。それから、2 次側第 2 リアクトル 3 0 4 b の他方端が 2 次側第 2 アーム回路 3 1 1 の中点 3 1 1 m に接続される。なお、2 次側磁気結合リアクトル 3 0 4 は、2 次側第 1 リアクトル 3 0 4 a と、2 次側第 1 リアクトル 3 0 4 a と結合係数 k_2 で磁

40

50

気結合する２次側第２リアクトル３０４ｂとを含んで構成される。

【００３０】

中点３０７ｍは、２次側第１上アームＵ２と２次側第１下アーム／Ｕ２との間の２次側第１中間ノードであり、中点３１１ｍは、２次側第２上アームＶ２と２次側第２下アーム／Ｖ２との間の２次側第２中間ノードである。

【００３１】

第３入出力ポート６０ｂは、２次側正極母線３９８と２次側負極母線３９９との間に設けられるポートである。第３入出力ポート６０ｂは、端子６１８と端子６２０とを含んで構成される。第４入出力ポート６０ｄは、２次側負極母線３９９と２次側コイル３０２のセンタータップ３０２ｍとの間に設けられるポートである。第４入出力ポート６０ｄは、10

【００３２】

第３入出力ポート６０ｂのポート電圧 V_b 及び第４入出力ポート６０ｄのポート電圧 V_d は、２次側低電圧系電源６２ｂの電圧に依存して変動する。

【００３３】

センタータップ３０２ｍは、第４入出力ポート６０ｄの高電位側の端子６２２に接続されている。センタータップ３０２ｍは、２次側コイル３０２に構成される２次側第１巻線３０２ａと２次側第２巻線３０２ｂとの中間接続点である。

【００３４】

図１において、電源装置１０１は、効率算出部８０、１次側電力算出部８１、２次側電力算出部８２を備えている。20

【００３５】

１次側電力算出部８１は、例えば、第１入出力ポート６０ａにおける入出力電圧であるポート電圧 V_a 、第２入出力ポート６０ｃにおける入出力電圧であるポート電圧 V_c を検出する。又、例えば、１次側電力算出部８１は、第１入出力ポート６０ａにおける入出力電流であるポート電流 I_a 、第２入出力ポート６０ｃにおける入出力電流であるポート電流 I_c を検出する。

【００３６】

１次側電力算出部８１は、第１入出力ポート６０ａ及び第２入出力ポート６０ｃにおける、入出力電圧、入出力電流の検出結果（ポート電圧 V_a 、ポート電圧 V_c 、ポート電流 I_a 、ポート電流 I_c ）に基づいて、１次側変換回路２０の電力を算出する。１次側変換回路２０により算出された電力算出値を、１次側電力算出値 P_1 とする。１次側電力算出部８１は、１次側電力算出値 P_1 を、効率算出部８０へと出力する。30

【００３７】

２次側電力算出部８２は、例えば、第３入出力ポート６０ｂにおける入出力電圧であるポート電圧 V_b 、第４入出力ポート６０ｄにおける入出力電圧であるポート電圧 V_d を検出する。又、例えば、２次側電力算出部８２は、第３入出力ポート６０ｂにおける入出力電流であるポート電流 I_b 、第４入出力ポート６０ｄにおける入出力電流であるポート電流 I_d を検出する。

【００３８】

２次側電力算出部８２は、第３入出力ポート６０ｂ及び第４入出力ポート６０ｄにおける、入出力電圧、入出力電流の検出結果（ポート電圧 V_b 、ポート電圧 V_d 、ポート電流 I_b 、ポート電流 I_d ）に基づいて、２次側変換回路３０の電力を算出する。２次側変換回路３０により算出された電力算出値を、２次側電力算出値 P_2 とする。２次側電力算出部８２は、２次側電力算出値 P_2 を、効率算出部８０へと出力する。40

【００３９】

効率算出部８０は、１次側電力算出値 P_1 、２次側電力算出値 P_2 に基づいて、効率（伝送電力の伝送効率）を算出し、算出した効率を、制御部５０に対して出力する。

【００４０】

例えば、２次側変換回路３０から１次側変換回路２０へと電力が伝送される場合、効率50

算出部 80 は、1 次側電力算出値 P 1 を 2 次側電力算出値 P 2 で除した値 (= 1 次側電力算出値 P 1 / 2 次側電力算出値 P 2) を、効率 として算出する。

【 0 0 4 1 】

又、例えば、1 次側変換回路 20 から 2 次側変換回路 30 へと電力が伝送される場合、効率算出部 80 は、2 次側電力算出値 P 2 を 1 次側電力算出値 P 1 で除した値 (= 2 次側電力算出値 P 2 / 1 次側電力算出値 P 1) を、効率 として算出する。

【 0 0 4 2 】

図 1 において、電源装置 101 は、センサ部 70 を備えている。センサ部 70 は、第 1 乃至第 4 入出力ポート 60a, 60c, 60b, 60d の少なくとも一つのポートにおける入出力値 Y を所定の検出周期で検出し、その検出した入出力値 Y に対応する検出値 Y d を制御部 50 に対して出力する検出手段である。検出値 Y d は、入出力電圧を検出して得られた検出電圧でもよいし、入出力電流を検出して得られた検出電流でもよいし、入出力電力を検出して得られた検出電力でもよい。センサ部 70 は、電源回路 10 の内部に備えられても外部に備えられてもよい。

10

【 0 0 4 3 】

センサ部 70 は、例えば、第 1 乃至第 4 入出力ポート 60a, 60c, 60b, 60d の少なくとも一つのポートに生ずる入出力電圧を検出する電圧検出部を有している。センサ部 70 は、例えば、入出力電圧 V a と入出力電圧 V c の少なくとも一方の検出電圧を 1 次側電圧検出値として出力する 1 次側電圧検出部と、入出力電圧 V b と入出力電圧 V d の少なくとも一方の検出電圧を 2 次側電圧検出値として出力する 2 次側電圧検出部とを有している。

20

【 0 0 4 4 】

センサ部 70 の電圧検出部は、例えば、少なくとも一つのポートの入出力電圧値をモニタする電圧センサと、該電圧センサによってモニタされた入出力電圧値に対応する検出電圧を制御部 50 に対して出力する電圧検出回路とを有している。

【 0 0 4 5 】

センサ部 70 は、例えば、第 1 乃至第 4 入出力ポート 60a, 60c, 60b, 60d の少なくとも一つのポートに流れる入出力電流を検出する電流検出部を有している。センサ部 70 は、例えば、入出力電流 I a と入出力電流 I c の少なくとも一方の検出電流を 1 次側電流検出値として出力する 1 次側電流検出部と、入出力電流 I b と入出力電流 I d の少なくとも一方の検出電流を 2 次側電流検出値として出力する 2 次側電流検出部とを有している。

30

【 0 0 4 6 】

センサ部 70 の電流検出部は、例えば、少なくとも一つのポートの入出力電流値をモニタする電流センサと、該電流センサによってモニタされた入出力電流値に対応する検出電流を制御部 50 に対して出力する電流検出回路とを有している。

【 0 0 4 7 】

電源装置 101 は、制御部 50 を備えている。制御部 50 は、例えば、CPU を内蔵するマイクロコンピュータを備えた電子回路である。制御部 50 は、電源回路 10 の内部に備えられても外部に備えられてもよい。

40

【 0 0 4 8 】

制御部 50 は、所定の制御パラメータ X の値を変化させることによって、電源回路 10 で行われる電力変換動作をフィードバック制御し、電源回路 10 の第 1 乃至第 4 の各入出力ポート 60a, 60c, 60b, 60d における入出力値 Y を調整できる。主な制御パラメータ X として、位相差 及びデューティ比 D (オン時間) の 2 種類の制御変数が挙げられる。

【 0 0 4 9 】

位相差 は、1 次側フルブリッジ回路 200 と 2 次側フルブリッジ回路 300 との間で同じ相の電力変換回路部間でのスイッチングタイミングのずれ (タイムラグ) である。デューティ比 D (オン時間) は、1 次側フルブリッジ回路 200 及び 2 次側フルブリッジ

50

回路 300 に構成される各電力変換回路部でのスイッチング波形のデューティ比（オン時間）である。

【0050】

これらの2つの制御パラメータXは、互いに独立に制御されることが可能である。制御部50は、位相差及びデューティ比D（オン時間）を用いた1次側フルブリッジ回路200及び2次側フルブリッジ回路300のデューティ比制御及び/又は位相制御によって、電源回路10の各入出力ポートにおける入出力値Yを変化させる。

【0051】

制御部50は、第1乃至第4入出力ポート60a, 60c, 60b, 60dの少なくとも一つのポートにおける入出力値Yの検出値Ydが、該ポートに設定された目標値Yoに収束するように、電源回路10による電力変換動作をフィードバック制御する。目標値Yoは、例えば、各入出力ポートに接続される負荷（例えば、1次側低電圧系負荷61c等）毎に規定される駆動条件に基づいて、制御部50又は制御部50以外の所定の装置によって設定される指令値である。目標値Yoは、電力がポートから出力されるときには出力目標値として機能し、電力がポートに入力されるときには入力目標値として機能し、目標電圧値でもよいし、目標電流値でもよいし、目標電力値でもよい。

10

【0052】

また、制御部50は、1次側変換回路20と2次側変換回路30との間で変圧器400を介して伝送される伝送電力Pが、設定された目標伝送電力に収束するように、電源回路10による電力変換動作をフィードバック制御する。伝送電力は、電力伝送量とも呼ばれる。目標伝送電力は、例えば、いずれかのポートにおける検出値Ydと目標値Yoとの偏差に基づいて、制御部50又は制御部50以外の所定の装置によって設定される指令値である。

20

【0053】

制御部50は、効率算出部80により算出された効率 $\{ (1次側電力算出値 P1 / 2次側電力算出値 P2) , 又は (2次側電力算出値 P2 / 1次側電力算出値 P1) \}$ に基づいて、位相差を調整し、1次側変換回路20と2次側変換回路30との間で伝送される伝送電力を制御する。この際、調整値h（= 効率 / 規定効率）を設定し、調整値hが規定値より小さいか否かに基づいて、制御部50は、位相差を調整する。

【0054】

なお、規定効率とは、電力変換装置毎に個別に設定される、所定の効率である。規定効率は、理想的には100%であることが好ましいが、通常は、80%~90%の間で設定されることが多い。又、規定値とは、効率が、1次側変換回路と2次側変換回路との間で、所望の電力を伝送するために最低限必要とされる効率を満たすか否か、を制御部50が判定する際の基準となる、所定の値である。

30

【0055】

例えば、調整値hが、規定値以上の場合、効率と規定効率との差が、許容範囲内に収まっており、1次側変換回路20と2次側変換回路30との間で、所望の電力が伝送される。

【0056】

例えば、調整値hが、規定値より小さい場合、効率と規定効率との差が、大きくなり過ぎており、1次側変換回路20と2次側変換回路30との間で、所望の電力が伝送されていない。この場合、制御部50は、位相差を調整し（大きくし）、効率と規定効率との差に相当する分の効率を補う。これにより、電源装置101は、所望の伝送電力を確保することが可能になる。

40

【0057】

具体的な例を挙げて説明する。例えば、規定効率 = 90%、規定値 = 0.8とする。

【0058】

効率 = 85%の場合、調整値h = 0.94となり、調整値hは、規定値より大きく

50

なる。この場合、効率 = 85%と規定効率 = 90%との差が、許容範囲内に収まっているため、制御部50は、位相差をPID算出値に設定する。

【0059】

一方、効率 = 65%の場合、調整値 $h = 0.72$ となり、調整値 h は、規定値より小さくなる。この場合、効率 = 65%と規定効率 = 90%との差が、大きくなり過ぎているため、制御部50は、位相差に、 $1 / \text{調整値 } h = (90\% / 65\%)$ を乗じて、位相差を調整する。

【0060】

このように、制御部50は、効率と規定効率との差を調整値 h として設定し、調整値 h と規定値との間の大小関係に基づいて、効率が悪化している（効率と規定効率との差が大きい）か否かを判定する。効率が悪化している場合には、制御部50は、位相差を調整することで、電力伝送される側の回路の電力不足を解消する。これにより、電源装置101における各ポートの電圧低下を抑制することが可能になる。

10

【0061】

図2は、制御部50のブロック図である。制御部50は、1次側変換回路20の1次側第1上アームU1等の各スイッチング素子と2次側変換回路30の2次側第1上アームU2等の各スイッチング素子のスイッチング制御を行う機能を有する制御部である。制御部50は、電力変換モード決定処理部502と、位相差決定処理部504と、オン時間決定処理部506と、1次側スイッチング処理部508と、2次側スイッチング処理部510等を含んで構成される。制御部50は、例えば、CPUを内蔵するマイクロコンピュータを備えた電子回路である。

20

【0062】

電力変換モード決定処理部502は、例えば、所定の外部信号（例えば、いずれかのポートにおける検出値 Y_d と目標値 Y_o との偏差を表す信号）に基づいて、次に述べる電源回路10の電力変換モードA～Lの中から動作モードを選択して決定する。電力変換モードは、第1入出力ポート60aから入力された電力を変換して第2入出力ポート60cへ出力するモードAと、第1入出力ポート60aから入力された電力を変換して第3入出力ポート60bへ出力するモードBと、第1入出力ポート60aから入力された電力を変換して第4入出力ポート60dへ出力するモードCがある。

【0063】

そして、第2入出力ポート60cから入力された電力を変換して第1入出力ポート60aへ出力するモードDと、第2入出力ポート60cから入力された電力を変換して第3入出力ポート60bへ出力するモードEと、第2入出力ポート60cから入力された電力を変換して第4入出力ポート60dへ出力するモードFがある。

30

【0064】

さらに、第3入出力ポート60bから入力された電力を変換して第1入出力ポート60aへ出力するモードGと、第3入出力ポート60bから入力された電力を変換して第2入出力ポート60cへ出力するモードHと、第3入出力ポート60bから入力された電力を変換して第4入出力ポート60dへ出力するモードIがある。

【0065】

それから、第4入出力ポート60dから入力された電力を変換して第1入出力ポート60aへ出力するモードJと、第4入出力ポート60dから入力された電力を変換して第2入出力ポート60cへ出力するモードKと、第4入出力ポート60dから入力された電力を変換して第3入出力ポート60bへ出力するモードLがある。

40

【0066】

位相差決定処理部504は、電源回路10をDC-DCコンバータ回路として機能させるために、1次側変換回路20と2次側変換回路30との間でのスイッチング素子のスイッチング周期運動の位相差を設定する機能を有する。

【0067】

オン時間決定処理部506は、1次側変換回路20と2次側変換回路30をそれぞれ

50

昇降圧回路として機能させるために、1次側変換回路20と2次側変換回路30のスイッチング素子のオン時間を設定する機能を有する。

【0068】

1次側スイッチング処理部508は、電力変換モード決定処理部502と位相差決定処理部504とオン時間決定処理部506の出力に基づいて、1次側第1上アームU1と、1次側第1下アーム/U1と、1次側第2上アームV1と、1次側第2下アーム/V1の各スイッチング素子をスイッチング制御する機能を有する。

【0069】

2次側スイッチング処理部510は、電力変換モード決定処理部502と位相差決定処理部504とオン時間決定処理部506の出力に基づいて、2次側第1上アームU2と、2次側第1下アーム/U2と、2次側第2上アームV2と、2次側第2下アーム/V2の各スイッチング素子をスイッチング制御する機能を有する。

10

【0070】

制御部50は、図2に示す処理に限定されず、1次側変換回路20と2次側変換回路30との間で伝送される伝送電力を制御するために必要とされる様々な処理を行うことが可能である。

【0071】

<電源装置101の動作>

上記電源装置101の動作について、図1及び図2を用いて説明する。例えば、電源回路10の電力変換モードをモードFとして動作させることを要求する外部信号が入力されてきた場合には、制御部50の電力変換モード決定処理部502は、電源回路10の電力変換モードをモードFとして決定する。このとき、第2入出力ポート60cに入力された電圧が1次側変換回路20の昇圧機能によって昇圧され、その昇圧された電圧の電力が電源回路10のDC-DCコンバータ回路としての機能によって第3入出力ポート60b側へと伝送され、さらに、2次側変換回路30の降圧機能によって降圧されて第4入出力ポート60dから出力される。

20

【0072】

ここで、1次側変換回路20の昇降圧機能について詳細に説明する。第2入出力ポート60cと第1入出力ポート60aについて着目すると、第2入出力ポート60cの端子616は、1次側第1巻線202aと、1次側第1巻線202aに直列接続される1次側第1リアクトル204aを介して、1次側第1アーム回路207の midpoint 207mに接続される。そして、1次側第1アーム回路207の両端は、第1入出力ポート60aに接続されているため、第2入出力ポート60cの端子616と第1入出力ポート60aとの間には昇降圧回路が取り付けられていることとなる。

30

【0073】

さらに、第2入出力ポート60cの端子616は、1次側第2巻線202bと、1次側第2巻線202bに直列接続される1次側第2リアクトル204bを介して、1次側第2アーム回路211の midpoint 211mに接続される。そして、1次側第2アーム回路211の両端は、第1入出力ポート60aに接続されているため、第2入出力ポート60cの端子616と第1入出力ポート60aとの間には、昇降圧回路が並列に取り付けられていることとなる。なお、2次側変換回路30は、1次側変換回路20とほぼ同様の構成を有する回路であるため、第4入出力ポート60dの端子622と第3入出力ポート60bとの間には、2つの昇降圧回路が並列に接続されていることとなる。したがって、2次側変換回路30は、1次側変換回路20と同様に昇降圧機能を有する。

40

【0074】

次に、電源回路10のDC-DCコンバータ回路としての機能について詳細に説明する。第1入出力ポート60aと第3入出力ポート60bについて着目すると、第1入出力ポート60aには、1次側フルブリッジ回路200が接続され、第3入出力ポート60bは、2次側フルブリッジ回路300が接続されている。そして、1次側フルブリッジ回路200のブリッジ部分に設けられる1次側コイル202と、2次側フルブリッジ回路300

50

のブリッジ部分に設けられる２次側コイル３０２とが結合係数 k_T で磁気結合することで、変圧器４００が巻き数１： N のセンタータップ式変圧器として機能する。したがって、１次側フルブリッジ回路２００と２次側フルブリッジ回路３００でのスイッチング素子のスイッチング周期運動の位相差を調整することで、第１入出力ポート６０ａに入力された電力を変換して第３入出力ポート６０ｂに伝送させ、あるいは、第３入出力ポート６０ｂに入力された電力を変換して第１入出力ポート６０ａに伝送させることができる。

【００７５】

図３は、制御部５０の制御によって、電源回路１０に構成される各アームのオンオフのスイッチング波形のタイミングチャートを示す図である。図３において、 U_1 は、１次側第１上アーム U_1 のオンオフ波形であり、 V_1 は、１次側第２上アーム V_1 のオンオフ波形であり、 U_2 は、２次側第１上アーム U_2 のオンオフ波形であり、 V_2 は、２次側第２上アーム V_2 のオンオフ波形である。１次側第１下アーム/ U_1 、１次側第２下アーム/ V_1 、２次側第１下アーム/ U_2 、２次側第２下アーム/ V_2 のオンオフ波形は、それぞれ、１次側第１上アーム U_1 、１次側第２上アーム V_1 、２次側第１上アーム U_2 、２次側第２上アーム V_2 のオンオフ波形を反転した波形である（図示省略）。なお、上下アームの両オンオフ波形間には、上下アームの両方がオンすることで貫通電流が流れないようにデッドタイムが設けられているとよい。また、図３において、ハイレベルがオン状態を表し、ローレベルがオフ状態を表している。

【００７６】

ここで、 U_1 と V_1 と U_2 と V_2 の各オン時間を変更することで、１次側変換回路２０と２次側変換回路３０の昇降圧比を変更することができる。例えば、 U_1 と V_1 と U_2 と V_2 の各オン時間を互いに等しくすることで、１次側変換回路２０の昇降圧比と２次側変換回路３０の昇降圧比を等しくできる。

【００７７】

オン時間決定処理部５０６は、１次側変換回路２０と２次側変換回路３０の昇降圧比が互いに等しくなるように、 U_1 と V_1 と U_2 と V_2 の各オン時間を互いに等しくする（各オン時間 t_{11} ＝１次側オン時間 t_{11} ＝２次側オン時間 t_{12} ＝時間値）。

【００７８】

１次側変換回路２０の昇降圧比は、１次側フルブリッジ回路２００に構成されるスイッチング素子（アーム）のスイッチング周期 T に占めるオン時間の割合であるデューティ比 D によって決まる。同様に、２次側変換回路３０の昇降圧比は、２次側フルブリッジ回路３００に構成されるスイッチング素子（アーム）のスイッチング周期 T に占めるオン時間の割合であるデューティ比 D によって決まる。１次側変換回路２０の昇降圧比は、第１入出力ポート６０ａと第２入出力ポート６０ｃとの間の変圧比であり、２次側変換回路３０の昇降圧比は、第３入出力ポート６０ｂと第４入出力ポート６０ｄとの間の変圧比である。

【００７９】

したがって、例えば、

１次側変換回路２０の昇降圧比

$$= \text{第２入出力ポート６０ｃの電圧} / \text{第１入出力ポート６０ａの電圧}$$

$$= t_{11} / T = D_1 / T$$

２次側変換回路３０の昇降圧比

$$= \text{第４入出力ポート６０ｄの電圧} / \text{第３入出力ポート６０ｂの電圧}$$

$$= t_{12} / T = D_2 / T$$

と表される。つまり、１次側変換回路２０と２次側変換回路３０の昇降圧比は互いに同じ値（ D_1 / T ）である。

【００８０】

なお、図３のオン時間 t_{11} は、１次側第１上アーム U_1 及び１次側第２上アーム V_1 のオン時間 t_{11} を表すとともに、２次側第１上アーム U_2 及び２次側第２上アーム V_2 のオン時間 t_{12} を表す。また、１次側フルブリッジ回路２００に構成されるアームのスイッ

10

20

30

40

50

チング周期 T と 2 次側フルブリッジ回路 3 0 0 に構成されるアームのスイッチング周期 T は等しい時間である。

【 0 0 8 1 】

また、U 1 と V 1 との位相差は、1 8 0 度 () で動作させ、U 2 と V 2 との位相差も 1 8 0 度 () で動作させる。さらに、U 1 と U 2 の位相差 を変更することで、1 次側変換回路 2 0 と 2 次側変換回路 3 0 の間の電力伝送量 P を調整することができ、位相差 > 0 であれば、1 次側変換回路 2 0 から 2 次側変換回路 3 0 に伝送し、位相差 < 0 であれば、2 次側変換回路 3 0 から 1 次側変換回路 2 0 に伝送することができる。

【 0 0 8 2 】

位相差 は、1 次側フルブリッジ回路 2 0 0 と 2 次側フルブリッジ回路 3 0 0 との間で同じ相の電力変換回路部間でのスイッチングタイミングのずれ (タイムラグ) である。例えば、位相差 は、1 次側第 1 アーム回路 2 0 7 と 2 次側第 1 アーム回路 3 0 7 との間でのスイッチングタイミングのずれであり、1 次側第 2 アーム回路 2 1 1 と 2 次側第 2 アーム回路 3 1 1 との間でのスイッチングタイミングのずれである。それらのずれは互いに等しいまま制御される。つまり、U 1 と U 2 の位相差 及び V 1 と V 2 の位相差 は、同じ値に制御される。

10

【 0 0 8 3 】

したがって、例えば、電源回路 1 0 の電力変換モードをモード F として動作させることを要求する外部信号が入力されてきた場合に、電力変換モード決定処理部 5 0 2 はモード F を選択することを決定する。そして、オン時間 決定処理部 5 0 6 は、1 次側変換回路 2 0 を第 2 入出力ポート 6 0 c に入力された電圧を昇圧して第 1 入出力ポート 6 0 a に出力する昇圧回路として機能させる場合の昇圧比を規定するオン時間 を設定する。なお、2 次側変換回路 3 0 では、オン時間 決定処理部 5 0 6 によって設定されたオン時間 によって規定された降圧比で第 3 入出力ポート 6 0 b に入力された電圧を降圧して第 4 入出力ポート 6 0 d に出力する降圧回路として機能する。さらに、位相差 決定処理部 5 0 4 は、第 1 入出力ポート 6 0 a に入力された電力を所望の電力伝送量 P で第 3 入出力ポート 6 0 b に伝送するための位相差 を設定する。

20

【 0 0 8 4 】

1 次側スイッチング処理部 5 0 8 は、1 次側変換回路 2 0 を昇圧回路として、かつ、1 次側変換回路 2 0 を DC - DC コンバータ回路の一部として機能させるように、1 次側第 1 上アーム U 1 と、1 次側第 1 下アーム / U 1 と、1 次側第 2 上アーム V 1 と、1 次側第 2 下アーム / V 1 の各スイッチング素子をスイッチング制御する。

30

【 0 0 8 5 】

2 次側スイッチング処理部 5 1 0 は、2 次側変換回路 3 0 を降圧回路として、かつ、2 次側変換回路 3 0 を DC - DC コンバータ回路の一部として機能させるように、2 次側第 1 上アーム U 2 と、2 次側第 1 下アーム / U 2 と、2 次側第 2 上アーム V 2 と、2 次側第 2 下アーム / V 2 の各スイッチング素子をスイッチング制御する。

【 0 0 8 6 】

上記のように、1 次側変換回路 2 0 および 2 次側変換回路 3 0 を昇圧回路あるいは降圧回路として機能させることができ、かつ、電源回路 1 0 を双方向 DC - DC コンバータ回路としても機能させることができる。したがって、電力変換モード A ~ L の全てのモードの電力変換を行うことができ、換言すれば、4 つの入出力ポートのうちから選択された 2 つの入出力ポート間で電力変換をすることができる。

40

【 0 0 8 7 】

制御部 5 0 により位相差 、等価インダクタンス L、等に応じて調整される伝送電力 P (電力伝送量 P ともいう) は、1 次側変換回路 2 0 と 2 次側変換回路 3 0 において一方の変換回路から他方の変換回路に変圧器 4 0 0 を介して送られる電力であり、

$$P = (N \times V a \times V b) / (\times \times L) \times F (D ,)$$

・・・式 1

で表される。

50

【0088】

なお、Nは、変圧器400の巻き数比、V_aは、第1入出力ポート60aの入出力電圧（1次側変換回路20の1次側正極母線298と1次側正極母線299との間の電圧）、V_bは、第3入出力ポート60bの入出力電圧（2次側変換回路30の1次側正極母線398と1次側正極母線399との間の電圧）である。θは、円周率、ω（=2π×f=2π/T）は、1次側変換回路20及び2次側変換回路30のスイッチングの角周波数である。fは、1次側変換回路20及び2次側変換回路30のスイッチング周波数、Tは、1次側変換回路20及び2次側変換回路30のスイッチング周期、Lは、磁気結合リアクトル204、304と変圧器400の電力伝送に関わる等価インダクタンスである。F(D, θ)は、デューティ比Dと位相差θを変数とする関数であり、デューティ比Dに依存せず、位相差θが増加するにつれて単調増加する変数である。デューティ比D及び位相差θは、所定の上下限值に挟まれた範囲内で変化するように設計された制御パラメータである。

10

【0089】

等価インダクタンスLは、1次側磁気結合リアクトル204及び/又は2次側磁気結合リアクトル304が接続された変圧器400の簡易等価回路上で定義できる。等価インダクタンスLは、簡易等価回路において、1次側磁気結合リアクトル204の漏れインダクタンス及び/又は2次側磁気結合リアクトルの漏れインダクタンスと、変圧器400の漏れインダクタンスとを合成した合成インダクタンスである。

【0090】

例えば、2次側変換回路30側から測定される等価インダクタンスL（2次側換算値L_{EQ2}）は、

$$L_{EQ2} = 2L_1(1 - k_1)N^2 + 2L_2(1 - k_2) + L_{T2}(1 - k_T^2)$$

・・・式2

と表すことができる。

【0091】

L₁は、1次側磁気結合リアクトル204の自己インダクタンス、k₁は、1次側磁気結合リアクトル204の結合係数、Nは、変圧器400の巻き数比、L₂は、2次側磁気結合リアクトル304の自己インダクタンス、k₂は、2次側磁気結合リアクトル304の結合係数、L_{T2}は、変圧器400の2次側の励磁インダクタンス、k_Tは、変圧器400の結合係数である。なお、第2入出力ポート60c又は第4入出力ポート60dを使用しない場合、式2において、第1項又は第2項で表される漏れインダクタンスが無い場合もありうる。

20

30

【0092】

又、制御部50は、1次側ポートと2次側ポートのうち少なくとも一つの所定のポートにおけるポート電圧V_pが目標ポート電圧V_oに収束するように、位相差θを変更することによって、伝送電力Pを調整する。したがって、当該所定のポートに接続される負荷の消費電流が増えても、制御部50は、位相差θを変化させることにより伝送電力Pを調整することによって、ポート電圧V_pが目標ポート電圧V_oに対して落ち込むことを防止できる。

40

【0093】

例えば、制御部50は、1次側ポートと2次側ポートのうち伝送電力Pの伝送先である片方のポートにおけるポート電圧V_pが目標ポート電圧V_oに収束するように、位相差θを変更することによって、伝送電力Pを調整する。したがって、伝送電力Pの伝送先のポートに接続される負荷の消費電流が増えても、制御部50は、位相差θを上昇変化させることにより伝送電力Pを増加方向に調整することによって、ポート電圧V_pが目標ポート電圧V_oに対して落ち込むことを防止できる。

【0094】

図4は、PID算出値を算出する制御部50の構成例を示したブロック図である。制御

50

部50は、PID制御部51、等を有している。PID算出値は、例えば、位相差の指令値 θ 、デューティ比Dの指令値 D_0 である。

【0095】

PID制御部51は、PID制御によって、1次側ポートと2次側ポートの少なくとも一つのポートのポート電圧を目標電圧に収束させるための位相差の指令値 θ を、スイッチング周期T毎に生成する位相差指令値生成部を有する。例えば、PID制御部51の位相差指令値生成部は、ポート電圧 V_a の目標電圧とセンサ部70によって取得されたポート電圧 V_a の検出電圧との偏差に基づいてPID制御を行うことによって、当該偏差を零に収束させるための指令値 θ をスイッチング周期T毎に生成する。

【0096】

制御部50は、PID制御部51によって生成された指令値 θ に従って、1次側変換回路20及び2次側変換回路30のスイッチング制御を行うことによって、ポート電圧が目標電圧に収束するように、式1によって定められる伝送電力Pを調整する。

【0097】

また、PID制御部51は、PID制御によって、1次側ポートと2次側ポートの少なくとも一つのポートのポート電圧を目標電圧に収束させるためのデューティ比Dの指令値 D_0 を、スイッチング周期T毎に生成するデューティ比指令値生成部を有する。例えば、PID制御部51のデューティ比指令値生成部は、ポート電圧 V_c の目標電圧とセンサ部70によって取得されたポート電圧 V_c の検出電圧との偏差に基づいてPID制御を行うことによって、当該偏差を零に収束させるための指令値 D_0 をスイッチング周期T毎に生成する。

【0098】

なお、PID制御部51は、デューティ比Dの指令値 D_0 に代えて、オン時間 t_{on} の指令値 t_{on0} を生成するオン時間指令値生成部を有してもよい。

【0099】

PID制御部51は、積分ゲイン I_1 、微分ゲイン D_1 、比例ゲイン P_1 に基づいて、位相差の指令値 θ を調整し、積分ゲイン I_2 、微分ゲイン D_2 、比例ゲイン P_2 に基づいて、デューティ比Dの指令値 D_0 を調整する。

【0100】

なお、ポート電圧 V_a 、ポート電圧 V_c 、デューティ比Dの間には、ポート電圧 $V_a \times$ デューティ比 $D =$ ポート電圧 V_c という関係が成立する。従って、一定のポート電圧 V_a （例えば、10V）を降圧して、ポート電圧 V_c を増やしたい場合（例えば、1Vから5V）は、デューティ比Dを増加させれば良い（例えば、10%から50%）。逆に、一定のポート電圧 V_c （例えば、5V）を昇圧して、ポート電圧 V_a を増やしたい場合（例えば、10Vから50V）は、デューティ比Dを減少させれば良い（例えば、50%から10%）。つまり、PID制御部51は、制御パラメータ x 、 y の値を、変更することによって、制御対象（第1入出力ポート60a又は第2入出力ポート60c）を切り替えることによって、デューティ比Dの制御方向（デューティ比Dを増減させる方向）を、昇圧動作する場合と、降圧動作する場合とで、逆にする。

【0101】

<電源装置101の動作のフローチャート>

図5は、電力変換方法の一例を示したフローチャートである。図5の電力変換方法は、制御部50によって実行される。

【0102】

ステップS110において、制御部50は、位相差の指令値を、Phase_TR1（PID算出値）に設定し、デューティ比Dの指令値を、Duty_TR1（PID算出値）に設定する。制御部50は、まず、位相差及びデューティ比DのPID算出値に基づいて、制御を行う。

【0103】

ステップS120において、制御部50は、2次側変換回路30から1次側変換回路2

10

20

30

40

50

0へと電力が伝送されるか否かを判定する。2次側変換回路30から1次側変換回路20へと伝送される場合(Y E S)、制御部50は、ステップS130へ進む。2次側変換回路30から1次側変換回路20へと伝送されない場合(N O)、制御部50は、ステップS140へ進む。

【0104】

ステップS130において、制御部50は、1次側電力算出部81により算出された1次側変換回路20の1次側電力算出値P1、2次側電力算出部82により算出された2次側変換回路30の2次側電力算出値P2に基づいて、効率 を算出する。制御部50は、1次側電力算出値P1 / 2次側電力算出値P2を、効率 として算出する。

【0105】

ステップS140において、制御部50は、1次側電力算出部81により算出された1次側変換回路20の1次側電力算出値P1、2次側電力算出部82により算出された2次側変換回路30の2次側電力算出値P2に基づいて、効率 を算出する。制御部50は、2次側電力算出値P2 / 1次側電力算出値P1を、効率 として算出する。

【0106】

制御部50は、ステップS120における判定に基づいて、ステップS130及びステップS140の算出を行うため、制御部50は、電力の伝送方向に応じて、効率 を算出することが可能になる。

【0107】

ステップS150において、制御部50は、位相差 の調整値hを、効率 を規定効率 で除した値(= 効率 / 規定効率)に設定する。

【0108】

ステップS160において、制御部50は、調整値hが規定値 より小さいか否かを判定する。調整値hが規定値 より小さい場合(Y E S)、制御部50は、ステップS170へ進む。調整値hが規定値 以上である場合(N O)、制御部50は、ステップS180へ進む。

【0109】

ステップS160における判定により、制御部50は、伝送効率が悪化しているか否かを判定することができる。伝送効率が悪化している場合、効率 と規定効率 との差が大きくなるため、調整値hは規定値 より小さくなる。又、伝送効率が悪化していない場合、効率 と規定効率 との差が小さくなるため、調整値hは規定値 以上になる。

【0110】

ステップS170において、制御部50は、位相差 の指令値を、Phase__TR2 = Phase__TR1 / 調整値h、に設定し、デューティ比Dの指令値を、Duty__TR2 = Duty__TR1 (PID算出値)に設定する。その後、制御部50は、再び、ステップS110の処理を行う。

【0111】

ステップS180において、制御部50は、位相差 の指令値を、Phase__TR2 = Phase__TR1 (PID算出値)に設定し、デューティ比Dの指令値Doを、Duty__TR2 = Duty__TR1 (PID算出値)に設定する。その後、制御部50は、再び、ステップS110の処理を行う。

【0112】

上述の様に、制御部50は、電力の伝送方向に応じて、予め伝送効率を算出し、算出した伝送効率と規定効率との差に基づいて、伝送効率が悪化している(所望の電力が伝送されている)か否かを判定する。制御部50は、伝送効率が悪化している場合には、位相差調整を行い、1次側変換回路と2次側変換回路との間で伝送される電力を、所望の電力とする。これにより、電源装置101における、各ポートの電圧低下を抑制することができる。

【0113】

以上、電力変換装置及び電力変換方法を実施形態例により説明したが、本発明は上記実

10

20

30

40

50

施形態例に限定されるものではない。他の実施形態例の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

【0114】

例えば、上述の実施形態では、スイッチング素子の一例として、オンオフ動作する半導体素子であるMOSFETを挙げた。しかしながら、スイッチング素子は、例えば、IGBT、MOSFETなどの絶縁ゲートによる電圧制御型パワー素子でもよいし、バイポーラトランジスタでもよい。

【0115】

また、第1入出力ポート60aに電源が接続されてもよいし、第4入出力ポート60dに電源が接続されてもよい。

10

【0116】

また、2次側を1次側と定義し、1次側を2次側と定義してもよい。

【0117】

また、本発明は、少なくとも3つ以上の複数の入出力ポートを有し、少なくとも3つ以上の複数の入出力ポートのうちどの2つの入出力ポート間でも電力を変換することが可能な電力変換装置に適用できる。例えば、本発明は、図1に例示された4つの入出力ポートのうちいずれか一つの入出力ポートが無い構成を有する電源装置に対しても適用できる。

【符号の説明】

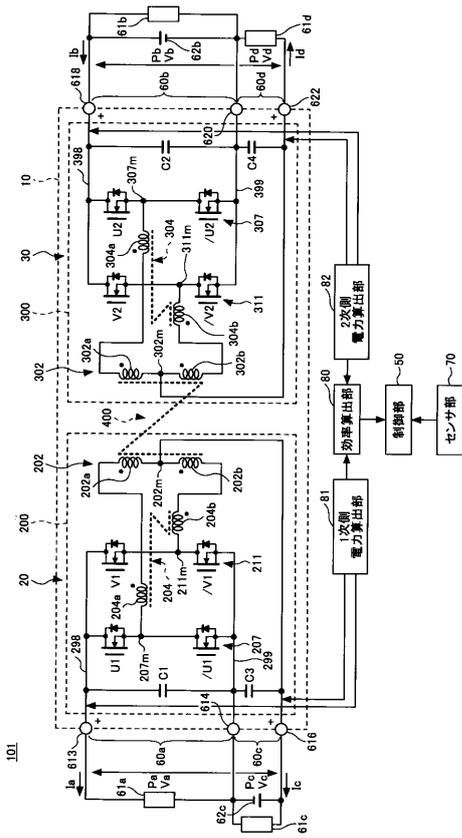
【0118】

- 20 1次側変換回路
- 30 2次側変換回路
- 50 制御部
- 60a 第1入出力ポート
- 60b 第3入出力ポート
- 60c 第2入出力ポート
- 60d 第4入出力ポート
- 62b 2次側高電圧系電源
- 62c 1次側低電圧系電源
- 101 電源装置(電力変換装置の一例)
- 400 変圧器
- U*, V* 上アーム
- /U*, /V* 下アーム

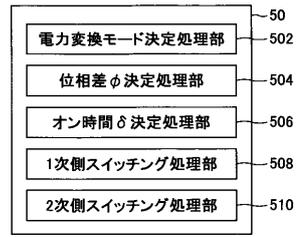
20

30

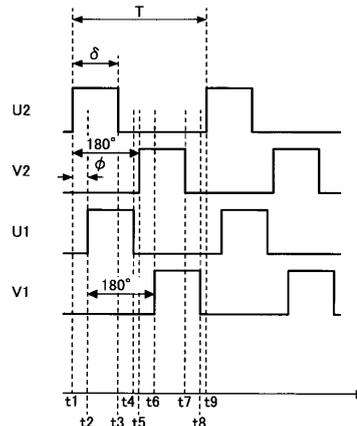
【図1】



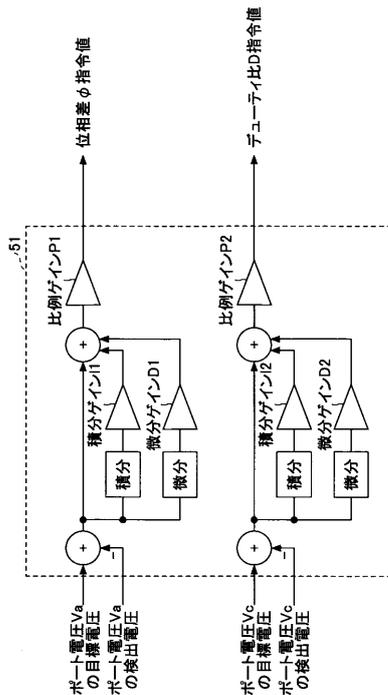
【図2】



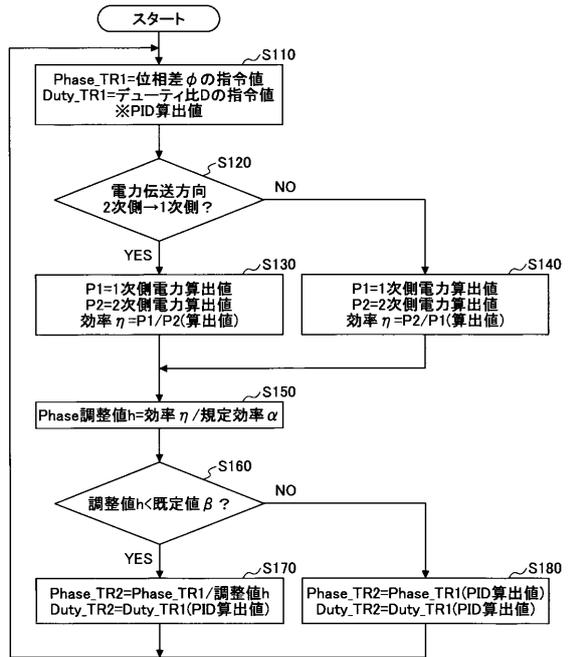
【図3】



【図4】



【図5】



フロントページの続き

- (56)参考文献 特開2011-193713(JP,A)
特開2012-125040(JP,A)
特開2013-251998(JP,A)
特開2013-176174(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M3/00-3/44
H02M7/00-7/40