



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I573013 B

(45)公告日：中華民國 106 (2017) 年 03 月 01 日

(21)申請案號：102102361

(22)申請日：中華民國 102 (2013) 年 01 月 22 日

(51)Int. Cl. : G06F1/26 (2006.01)

G06F1/32 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2012/01/23 日本

2012-011120

2012/01/23 日本

2012-011124

2012/05/03 日本

2012-105538

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：小山潤 KOYAMA, JUN (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 288117A

TW M394507U

US 2008/0239780A1

審查人員：潘世光

申請專利範圍項數：18 項 圖式數：22 共 93 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

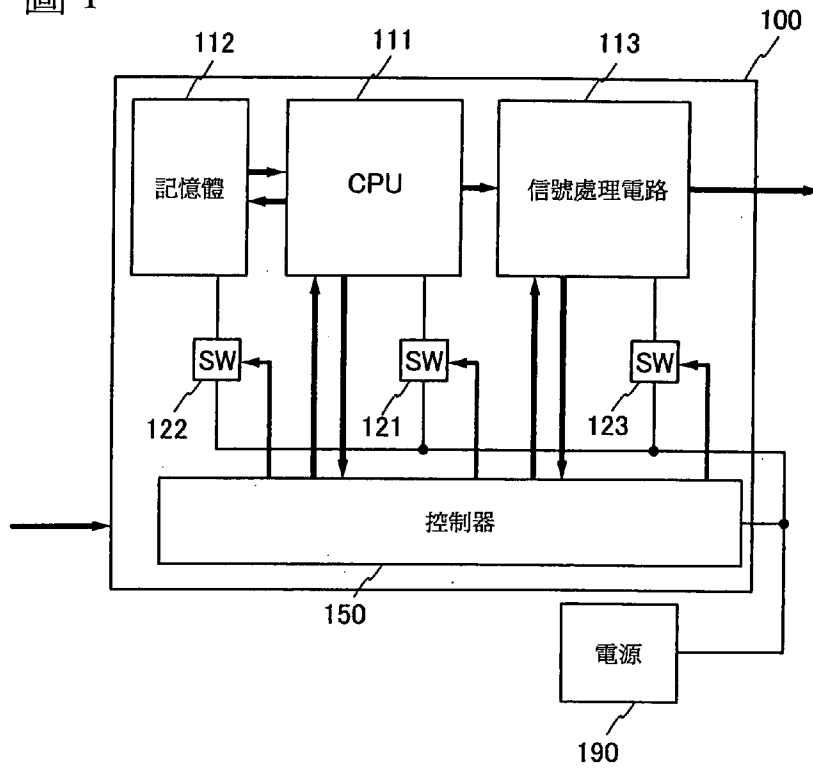
(57)摘要

分別控制對多個電路的電源電壓的供應，一種半導體裝置，包括：CPU；在 CPU 的運算處理時進行資料的讀出及寫入的記憶體；將藉由 CPU 的運算處理生成的資料信號轉換而生成輸出信號的信號處理電路；控制對 CPU 的電源電壓的供應的第一電源供應控制開關；控制對記憶體的電源電壓的供應的第二電源供應控制開關；控制對信號處理電路的電源電壓的供應的第三電源供應控制開關；以及至少具有根據輸入信號、從 CPU 輸入的指令信號、以及從信號處理電路輸入的指令信號分別控制第一至第三電源供應控制開關的功能的控制器。

To individually control supply of the power supply voltage to circuits, a semiconductor device includes a CPU, a memory that reads and writes data used in arithmetic operation of the CPU, a signal processing circuit that generates an output signal by converting a data signal generated by the arithmetic operation of the CPU, a first power supply control switch that controls supply of the power supply voltage to the CPU, a second power supply control switch that controls supply of the power supply voltage to the memory, a third power supply control switch that controls supply of the power supply voltage to the signal processing circuit, and a controller that at least has a function of controlling the first to third power supply control switches individually in accordance with an input signal and instruction signals input from the CPU and the signal processing circuit.

指定代表圖：

圖 1



符號簡單說明：

100 . . . 半導體裝置

111 . . . CPU

112 . . . 記憶體

113 . . . 信號處理電  
路121 . . . 電源供應控  
制開關122 . . . 電源供應控  
制開關123 . . . 電源供應控  
制開關

150 . . . 控制器

190 . . . 電源

## 發明摘要

公告本

※申請案號：102102361

※申請日：102年01月22日

※IPC分類：G06F 1/26 (2006.01)

G06F 1/32 (2006.01)

H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

分別控制對多個電路的電源電壓的供應，一種半導體裝置，包括：CPU；在CPU的運算處理時進行資料的讀出及寫入的記憶體；將藉由CPU的運算處理生成的資料信號轉換而生成輸出信號的信號處理電路；控制對CPU的電源電壓的供應的第一電源供應控制開關；控制對記憶體的電源電壓的供應的第二電源供應控制開關；控制對信號處理電路的電源電壓的供應的第三電源供應控制開關；以及至少具有根據輸入信號、從CPU輸入的指令信號、以及從信號處理電路輸入的指令信號分別控制第一至第三電源供應控制開關的功能的控制器。

## 【英文】

To individually control supply of the power supply voltage to circuits, a semiconductor device includes a CPU, a memory that reads and writes data used in arithmetic operation of the CPU, a signal processing circuit that generates an output signal by converting a data signal generated by the arithmetic operation of the CPU, a first power supply control switch that controls supply of the power supply voltage to the CPU, a second power supply control switch that controls supply of the power supply voltage to the memory, a third power supply control switch that controls supply of the power supply voltage to the signal processing circuit, and a controller that at least has a function of controlling the first to third power supply control switches individually in accordance with an input signal and instruction signals input from the CPU and the signal processing circuit.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：半導體裝置

111：CPU

112：記憶體

113：信號處理電路

121：電源供應控制開關

122：電源供應控制開關

123：電源供應控制開關

150：控制器

190：電源

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】 (中文/英文)

半導體裝置

Semiconductor device

## 【技術領域】

本發明係關於一種半導體裝置。

## 【先前技術】

近年來，對於降低如微電腦等半導體裝置功率消耗的技術發展已有進展。

作為上述半導體裝置，例如，可以舉出在不需要電源供應期間能夠停止對 CPU (Central Processing Unit; 中央處理器) 及記憶體等的電源電壓的供應 (例如，專利文獻 1) 的微電腦等。

[專利文獻 1] 日本專利申請公開第 2009-116851 號公報

然而，習知的微電腦的耗電量的降低是不足夠的。例如，因為在習知的微電腦中以同一時序控制對 CPU 及記憶體等的各電路的電源電壓的供應，所以對本來不必要電源供應的電路也供應了電源電壓，而浪費了電力。

## 【發明內容】

本發明的課題之一是獨立的控制對多個電路的電源電壓的供應。

另外，本發明的課題之一是耗電量的降低。

在本發明的一個實施例中，藉由設置控制器，並且使用該控制器分別控制對 CPU、記憶體及信號處理電路的電源電壓的供應，來設定各電路的最適電源供應期間，而降低浪費的電力消耗。

明確而言，設置控制對各電路的電源電壓的供應的開關（也稱為電源供應控制開關或電源閘），由控制器控制該開關。由此能夠分別控制對各電路的電源電壓的供應。

本發明的一個實施例是一種半導體裝置，包括：根據輸入信號進行運算處理的 CPU；在 CPU 的運算處理時進行資料的讀出或寫入的記憶體；將藉由 CPU 的運算處理生成的資料信號轉換而生成輸出信號的信號處理電路；控制對 CPU 的電源電壓的供應的第一電源供應控制開關；控制對記憶體的電源電壓的供應的第二電源供應控制開關；控制對信號處理電路的電源電壓的供應的第三電源供應控制開關；以及具有根據輸入信號、從 CPU 輸入的指令信號、以及從信號處理電路輸入的指令信號分別控制第一至第三電源供應控制開關的功能的控制器。

在本發明的一個實施例中，也可以利用包括具有低截止電流（off-state current）的電晶體的記憶體記憶體電路構成 CPU 或信號處理電路中的暫存器。

在本發明的一個實施例中，也可以利用包括具有低截

止電流的電晶體的記憶單元的記憶體裝置構成記憶體。

本發明的一個實施例是一種半導體裝置，包括具有暫存器的 CPU，該暫存器具有記憶體電路，該記憶體電路具有包括氧化物半導體的第一電晶體的源極或汲極，以及與包括矽的第二電晶體的閘極電連接的部分。

在本發明的一個實施例中，較佳是層疊第一電晶體和第二電晶體以使其間夾置絕緣層。

在本發明的一個實施例中，藉由使用與上述 CPU 不同的 CPU，由程式分別控制對 CPU、記憶體及信號處理電路的電源電壓的供應，來設定最適於各電路的電源供應期間，而降低浪費之電力消耗。

明確而言，對每個電路設置控制電源電壓的供應的開關（電源供應控制開關），使用與上述 CPU 不同的 CPU，由程式控制該開關。由此能夠分別地控制對電路的電源電壓的供應。

本發明的一個實施例是一種半導體裝置，包括：根據輸入信號進行運算處理的第一 CPU；在第一 CPU 的運算處理時進行資料的讀出及寫入的記憶體；將藉由第一 CPU 的運算處理生成的資料信號轉換而生成輸出信號的信號處理電路；控制對第一 CPU 的電源電壓的供應的第一電源供應控制開關；控制對記憶體的電源電壓的供應的第二電源供應控制開關；以及控制對信號處理電路的電源電壓的供應的第三電源供應控制開關，其中藉由使用與第一 CPU 不同的第二 CPU，由程式分別控制第一至第三電源供應控



制開關。

較佳以如下方式控制第三電源供應控制開關：在開始對第一 CPU 的電源電壓的供應之後，且在表示第一 CPU 的運算結果的資料輸入到信號處理電路之前，開始對信號處理電路的電源電壓的供應。

較佳以如下方式控制第一電源供應控制開關：在表示第一 CPU 的運算結果的資料輸入到信號處理電路之後，且在從信號處理電路輸出用作輸出信號的表示運算結果的資料的轉換資料之前，停止對第一 CPU 的電源電壓的供應。

較佳以如下方式控制第三電源供應控制開關：在開始對第一 CPU 的電源電壓的供應之後，且在表示第一 CPU 的運算結果的資料輸入到信號處理電路之前，開始對信號處理電路的電源電壓的供應，並且以如下方式控制第一電源供應控制開關：在表示第一 CPU 的運算結果的資料輸入到信號處理電路之後，且在從信號處理電路輸出用作輸出信號的表示運算結果的資料的轉換資料之前，停止對第一 CPU 的電源電壓的供應。

本發明的一個實施例較佳的是如下配置，第一 CPU 的暫存器包括記憶體電路，該記憶體電路具有：在對第一 CPU 供應電源電壓期間保持資料的第一記憶體電路；以及在停止對第一 CPU 的電源電壓的供應期間保持資料的第二記憶體電路，其中，第二記憶體電路具有控制資料的寫入及保持的場效應電晶體，在包括於第二記憶體電路的場

效應電晶體中，每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下。

本發明的一個實施例較佳的是如下配置，包括於第一 CPU 的暫存器中的記憶體電路中，第二記憶體電路所具有的場效應電晶體包括形成有通道且其能隙比矽寬的氧化物半導體的層，在該氧化物半導體的層中，結晶部的  $c$  軸在與被形成面的法線向量或表面的法線向量平行的方向上一致，並且在從垂直於  $ab$  面的方向看時具有三角形或六角形的原子排列，並且在從垂直於  $c$  軸的方向看時包括金屬原子排列為層狀或金屬原子及氧原子排列為層狀的相。

本發明的一個實施例較佳的是如下配置，記憶體包括記憶體裝置，該記憶體裝置包括記憶單元，該記憶單元包括控制資料的寫入及保持的場效應電晶體，在所述記憶單元所具有的該場效應電晶體中，每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下。

本發明的一個實施例較佳的是如下配置，記憶單元中的場效應電晶體包括形成有通道且其能隙比矽寬的氧化物半導體的層，在氧化物半導體的層中，結晶部的  $c$  軸在與被形成面的法線向量或表面的法線向量平行的方向上一致，並且在從垂直於  $ab$  面的方向看時具有三角形或六角形的原子排列，並且在從垂直於  $c$  軸的方向看時包括金屬原子排列為層狀或金屬原子及氧原子排列為層狀的相。

本發明的一個實施例較佳的是如下配置，信號處理電路包括暫存器，信號處理電路所包括的暫存器具有記憶體

電路，記憶體電路具有：在對信號處理電路供應電源電壓期間保持資料的第一記憶體電路；以及在停止對信號處理電路的電源電壓的供應期間保持資料的第二記憶體電路，所述第二記憶體電路包括組態以控制資料的寫入及保持，並具有每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下的場效應電晶體。

本發明的一個實施例較佳的是如下配置，在包括於信號處理電路的暫存器中，包括於記憶體電路中的場效應電晶體包括形成有通道且其能隙比矽寬的氧化物半導體的層，該氧化物半導體的層的結晶部的  $c$  軸與平行於被形成面的法線向量或表面的法線向量的方向一致，並且在從垂直於  $ab$  面的方向看時具有三角形或六角形的原子排列，並且在從垂直於  $c$  軸的方向看時包括金屬原子排列為層狀或金屬原子及氧原子排列為層狀的相。

上述第二 CPU 也可以包括在半導體裝置中。

根據本發明的一個實施例，能夠在各電路中使電源供應期間最適化，而使功率消耗降低。

#### 【圖式簡單說明】

在所附圖式中：

圖 1 說明半導體裝置的例子；

圖 2 說明半導體裝置的例子；

圖 3 說明電源供應控制開關的結構實例；

圖 4 說明控制器的結構實例；

圖 5 說明半導體裝置的例子；

圖 6 說明半導體裝置的例子；

圖 7 說明半導體裝置的例子；

圖 8 為說明用以驅動半導體裝置的方法的例子的時序圖；

圖 9 說明記憶體裝置的結構實例；

圖 10 說明記憶體裝置的結構實例；

圖 11A 和 11B 為說明用以驅動記憶體裝置的方法的例子的時序圖；

圖 12A 和 12B 說明記憶體電路的結構實例；

圖 13 為說明用以驅動記憶體電路的方法的例子的時序圖；

圖 14A 和 14B 是用來說明半導體裝置的結構實例的剖面示意圖；

圖 15 是用來說明半導體裝置的結構實例的剖面示意圖；

圖 16A 至 16F 各說明電子裝置的例子；

圖 17 說明 CPU 的例子；

圖 18 說明暫存器的例子；

圖 19 說明半導體裝置的例子；

圖 20 說明半導體裝置的例子；

圖 21 說明半導體裝置的例子；

圖 22A 和 22B 是用來說明半導體裝置的例子的圖。

## 【實施方式】

對本發明的實施例的例子進行說明如下。注意，所屬技術領域的普通技術人員在不脫離本發明的宗旨及其範圍的情況下可以很容易地將實施例的內容變換為各種各樣的形式。因此，本發明並不侷限於以下實施例的描述內容。

在本說明書中，各實施例的內容可以彼此適當地組合。此外，各實施例的內容可以適當地互相替換。

如“第一”、“第二”等序數詞是爲了避免構件間的混淆而使用的，而不限制該些構件的數目。

### 實施例 1

在本實施例中，對能夠對每個電路分別控制電源供應的半導體裝置的例子進行說明。

首先，對半導體裝置的組態實例參照圖 1 進行說明。

圖 1 所示的半導體裝置 100 包括：CPU111；記憶體 112；信號處理電路 113；電源供應控制開關（表示爲 SW）121 至 123；以及控制器 150。CPU111、記憶體 112、信號處理電路 113 及控制器 150 分別利用匯流排而能夠彼此進行信號的輸入及輸出。另外，從電源 190 藉由電源供應線對半導體裝置 100 供應電源電壓。另外，在電源 190 是二次電池的情況下，也可以將電源 190 設置在半導體裝置 100 中。

CPU111 具有根據輸入信號進行運算處理的功能。作爲輸入信號範例，可以舉出如時脈信號、用來控制

CPU111 的工作的信號、用來控制信號處理電路 113 的工作的信號、以及從輸入裝置輸入的信號等。注意，在本說明書中，有時即使是多種信號也簡單寫為信號，除非另外有規定。

CPU111 的暫存器例如也可以使用第一記憶體電路及第二記憶體電路而構成。此時，在即將停止對 CPU111 供應電源前，將資料儲存到第二記憶體電路。此外，在再次開始電源供應之後，立即將儲存在第二記憶體電路中的資料輸入到第一記憶體電路。由此，能夠使再次開始電源供應時的 CPU111 的狀態迅速恢復。然而，實施例不侷限於此結構，也可以使用其他的記憶體電路而構成暫存器。

上述第二記憶體電路例如使用具有低截止電流的電晶體而構成。此時，上述具有低截止電流的電晶體具有控制寫入至第二記憶體電路的資料及資料保持的功能。

此時，作為上述具有低截止電流的電晶體的截止電流，每  $1\mu\text{m}$  通道寬度為  $100\text{zA}$  或以下。

作為上述具有低截止電流的電晶體，可以使用例如具有包含其能隙比矽寬的氧化物半導體的通道形成區且該通道形成區實質上為 i 型的場效應電晶體。上述包含氧化物半導體的場效應電晶體例如藉由儘量除去氫及水等雜質且供應氧而儘量減少氧缺陷來製造。

藉由使用上述具有低截止電流的電晶體構成記憶體電路，只藉由使該電晶體處於截止狀態就能夠在長期間保持資料，因此可以由簡單配置構成記憶體電路。

記憶體 112 讀取及寫入使用於 CPU111 的運算處理的資料。

作為記憶體 112，例如可以使用具備多個包括上述具有低截止電流的電晶體的記憶單元的記憶體裝置。具有低截止電流的電晶體具有控制記憶單元的資料的寫入及保持的功能。上述記憶體裝置即使在電源供應停止時也能夠長時間保持資料。因為使用上述記憶體裝置構成記憶體 112，所以在不需要資料的重寫及讀出期間可以停止對記憶體 112 的電源電壓的供應，因此能夠使耗電量降低。然而，實施例不侷限於此結構，也可以使用其他的記憶體裝置構成記憶體 112。

信號處理電路 113 具有藉由轉換作為 CPU111 的運算結果的資料信號（運算資料信號）以產生輸出信號的功能。例如，信號處理電路 113 具有產生用於輸出裝置的信號的功能。作為輸出裝置例子如顯示器、揚聲器及印表機等。此外，，也可以產生用於代替輸出裝置之如觸控面板等輸入/輸出裝置的信號。

信號處理電路 113 例如使用處理器及暫存器構成。再者，信號處理電路 113 也可以額外包括儲存用於信號處理電路 113 的運算處理的資料的記憶體。然而，實施例不侷限於此結構，也可以使用其他的積體電路構成信號處理電路 113。

包括於信號處理電路 113 的暫存器例如使用可適用於 CPU111 的暫存器的第一記憶體電路及第二記憶體電路構

成。因此在停止電源供應並在之後再次開始電源供應後能夠迅速恢復信號處理電路 113 的狀態。然而，實施例不侷限於此結構，也可以使用其他的記憶體電路構成暫存器。

另外，圖 2 顯示半導體裝置 100、作為第一 CPU 的 CPU110 及電源 190。圖 2 所示的半導體裝置 100 包括：作為第二 CPU 的 CPU111、記憶體 112、信號處理電路 113、以及電源供應控制開關 121 至 123。CPU111、記憶體 112 及信號處理電路 113 分別利用匯流排而能夠彼此進行信號的輸入及輸出。另外，從電源 190 藉由電源供應線對半導體裝置 100 供應電源電壓。另外，在電源 190 是二次電池的情況下，也可以將電源 190 設置在半導體裝置 100 中。

電源供應控制開關 121 至 123 由 CPU110 控制。電源供應控制開關 121 至 123 的各者以有線或無線的方式利用傳輸自 CPU110 的信號由程式控制。

注意，CPU110 可以包含在半導體裝置 100 中。也就是說，CPU110 可以設置在與 CPU111、記憶體 112 及信號處理電路 113 的同一個晶片上。

CPU110 包括程式記憶體 1100。程式記憶體 1100 中儲存有用以控制電源供應控制開關 121 至 123 的程式。

但是，實施例不侷限於此結構，程式記憶體 1100 也可以不設置在 CPU110 中而另行設置且連接到 CPU110。

程式記憶體 1100 可以是揮發性記憶體或是非揮發性記憶體。在程式記憶體 1100 是揮發性記憶體的情況下，



當開始半導體裝置 100 的工作時，需要對程式記憶體 1100 進行寫入程式的初期設定。另一方面，在程式記憶體 1100 是非揮發性記憶體的情況下，可以預先儲存程式。

此外，程式記憶體 1100 可以是可重寫記憶體或是不可重寫記憶體，但是較佳是可重寫的記憶體。這是因為使用可重寫的記憶體為程式記憶體 1100，能夠對用以控制電源供應控制開關 121 至 123 的程式進行改變或更新等的緣故。

注意，如圖 2 所示，CPU110 和 CPU111 較佳採用能夠以有線或無線的方式進行通訊的配置。CPU110 和信號處理電路 113 也較佳採用能夠以有線或無線的方式進行通訊的結構。

電源供應控制開關 121 具有控制對 CPU111 的電源電壓的供應的功能。

電源供應控制開關 122 具有控制對記憶體 112 的電源電壓的供應的功能。

電源供應控制開關 123 具有控制對信號處理電路 113 的電源電壓的供應的功能。

電源供應控制開關 121 至 123 之各者係使用場效應電晶體構成。場效應電晶體可為上述具有低截止電流的電晶體。

作為電源供應控制開關 121 至 123 的結構實例，參照圖 3 進行說明。

圖 3 所示的電源供應控制開關包括電晶體 21 及電晶體 22。

電晶體 21 設置在電源 190 和由電源供應控制開關 121 至 123 控制電源供應的各電路（CPU111、記憶體 112 或信號處理電路 113 等）之間。在圖 1 所示的結構中，對電晶體 21 的閘極從控制器 150（或在圖 2 所示的結構中 CPU110）供應控制信號 SW\_ON。藉由使電晶體 21 開啓或關閉，來控制是否對 CPU111、記憶體 112 或信號處理電路 113 等各電路供應電源電壓。

對電晶體 22 的閘極從控制器 150（或在圖 2 所示的結構中 CPU110）供應以控制信號 SW\_OFF。藉由使電晶體 22 開啓或關閉，來控制是否將接地電位（GND）供應至 CPU111、記憶體 112 或信號處理電路 113 等各電路。

當電晶體 21 處於導通狀態且電晶體 22 處於截止狀態時圖 3 所示的電源供應控制開關處於導通狀態。當電晶體 21 處於截止狀態且電晶體 22 處於導通狀態時圖 3 所示的電源供應控制開關處於截止狀態。

以上是圖 3 所示的電源供應控制開關的結構實例的說明。

圖 1 所示的控制器 150 至少具有根據如時脈信號之上述輸入信號、從 CPU111 輸入的指令信號、以及從信號處理電路 113 輸入的指令信號分別控制電源供應控制開關 121 至 123 的功能。此外，控制器 150 具有控制 CPU111 及信號處理電路 113 的驅動的功能。此外，對控制器 150

供應電源電壓。

圖 2 所示的 CPU110 由程式分別控制電源供應控制開關 121 至 123。另外，從電源 190 對 CPU110 供應電源電壓。然而，實施例不侷限於此結構，CPU110 也可以採用接受從與電源 190 不同的電源藉由電源供應線供應電源電壓的結構。

參照圖 4 對控制器 150 的結構實例進行說明。

圖 4 所示的控制器 150 包括：介面單元 151；時脈生成單元 152；輸出信號控制單元 153；以及緩衝單元 154。

如上述輸入信號、從 CPU111 輸入的指令信號、以及從信號處理電路 113 輸入的指令信號等的信號藉由介面單元 151 輸入到輸出信號控制單元 153。

藉由使用被輸入的時脈信號，時脈生成單元 152 產生在控制器 150 中使用的時脈信號，並將生成之時脈信號輸出到該些電路（包括輸出信號控制單元 153）。此時，藉由對待使用於 150 中的被輸入的時脈信號進行分頻，可以降低控制器 150 的耗電量。

輸出信號控制單元 153 包括計數電路 155。輸出信號控制單元 153 具有如下功能，即：藉由計數電路 155 對時脈信號進行計數，並且根據對控制器 150 輸入的信號設定多個輸出信號的狀態（高/低）。多個輸出信號例如用來分別控制電源供應控制開關 121 至 123 的控制信號（例如，多個控制信號 SW\_ON、多個控制信號 SW\_OFF）、

用來控制 CPU111 的工作的信號、以及用來控制信號處理電路 113 的工作的信號等。

在輸出信號控制單元 153 中生成的各信號藉由緩衝單元 154 輸出到各電路。

上述是圖 4 所示的控制器的結構實例的說明。

在圖 1 所示的半導體裝置 100 中設置有電源供應控制開關 121 至 123，根據輸入信號、從 CPU111 輸入的指令信號、以及從信號處理電路 113 輸入的指令信號，由控制器 150 分別控制電源供應控制開關 121 至 123。

在圖 2 所示的半導體裝置 100 中設置有電源供應控制開關 121 至 123，且由 CPU110 分別控制。

在 CPU111、記憶體 112 及信號處理電路 113 之間，電源供應的最適時序互不相同。因此，藉由分別使對 CPU111、記憶體 112 及信號處理電路 113 的每一個的電源供應的時序最適化，可以降低不需要的功率消耗。

再者，參照圖 5 至圖 8 對本實施模式的半導體裝置的具體例子進行說明。另外，對與圖 1 或圖 2 相同符號的電路的說明可以適當地援用圖 1 或圖 2 的說明。

圖 5 所示的半導體裝置除了作為信號處理電路 113 的一例的影像處理電路 113A 及圖 1 所示的電路之外，還包括記憶體 114 及電源供應控制開關 124。由 CPU111、記憶體 112、影像處理電路 113A（信號處理電路 113）、記憶體 114、電源供應控制開關 121 至 124、以及控制器 150 可以整合至作為微電腦 100A 的一晶片。可以設置有

觸控面板 171 及觸控面控制器 172 作為輸入裝置 101。然而，實施例不侷限於此結構，可以設置有鍵盤 173 及鍵盤控制器 174 作為圖 6 所示之輸入裝置 101。此外，可以設置有顯示器 181 及顯示器控制器 182 作為輸出裝置 102。顯示器 181 之範例為液晶顯示器及電致發光（也稱為 EL）顯示器。

圖 7 所示的半導體裝置除了作為信號處理電路 113 的一例的影像處理電路 113A 及圖 2 所示的電路之外，還包括記憶體 114 及電源供應控制開關 124。微電腦 100A 可以由包括 CPU111、記憶體 112、影像處理電路 113A（信號處理電路 113）、記憶體 114、以及電源供應控制開關 121 至 124 的一晶片所構成。觸控面板 171 及觸控面控制器 172 可以作為輸入裝置 101。然而，實施例不侷限於此結構，鍵盤 173 及鍵盤控制器 174 可以設置作為輸入裝置 101，也有。此外，顯示器 181 及顯示器控制器 182 可以設置作為輸出裝置 102。顯示器 181 之範例為液晶顯示器與電致發光顯示器。

包括於 CPU111 中的暫存器 1110 使用多個包括第一記憶體電路及第二記憶體電路的記憶體電路構成。

作為記憶體 112，可以使用多個各包括低截止電流的電晶體的記憶單元的記憶體裝置。

影像處理電路 113A 具有將藉由 CPU111 的運算處理生成的資料信號轉換而生成輸出到輸出裝置的影像信號的功能。

包括於影像處理電路 113A 的暫存器 1130 例如使用可以適用於信號處理電路 113 的記憶體電路構成。

在記憶體 114，藉由影像處理電路 113A 的轉換處理以進行資料的讀出或寫入。待成爲查找表（也稱爲 LUT）的資料儲存在記憶體 114 中。記憶體 114 例如使用 ROM 和 RAM 中的一者或兩者構成。

記憶體 114 例如使用各包括有低截止電流的電晶體的記憶單元的記憶體裝置構成。

電源供應控制開關 124 具有控制對記憶體 114 的電源電壓的供應的功能。

控制器 150 根據輸入信號（包含來自輸入裝置 101 的信號）、從 CPU111 輸入的指令信號、以及從信號處理電路 113 輸入的指令信號分別控制電源供應控制開關 121 至 124。

在圖 7 中，CPU110 由程式分別控制電源供應控制開關 121 至 124。

電源供應控制開關 124 使用場效應電晶體構成。例如，電源供應控制開關 124 可具有如圖 3 所示的結構。

在圖 5 及圖 6 所示的半導體裝置的一例中設置有電源供應控制開關 121 至 124，係根據來自輸入裝置 101 的輸入信號、從 CPU111 輸入的指令信號、從信號處理電路 113 輸入的指令信號而分別被控制。另外，也可以將 CPU111 分成多個區，並且另行設置電源供應控制開關 121 以外的電源供應控制開關，由控制器 150 分別控制上

述多個電源供應控制開關。此外，也可以將影像處理電路 113A 分成多個區，並且另行設置電源供應控制開關 123 以外的電源供應控制開關，由控制器 150 分別控制上述多個電源供應控制開關。

在圖 7 所示的半導體裝置的一例中設置有電源供應控制開關 121 至 124，CPU110 藉由程式分別控制電源供應控制開關 121 至 124。另外，也可以將 CPU111 分成多個區，並且設置與電源供應控制開關 121 不同的電源供應控制開關，藉由利用程式由 CPU110 分別控制上述多個電源供應控制開關。此外，也可以將影像處理電路 113A 分成多個區，設置與電源供應控制開關 123 不同的電源供應控制開關，藉由利用程式由 CPU110 分別控制上述多個電源供應控制開關。

就是說，在藉由電源供應控制開關控制的一個電路中也可以設置有多個電源供應控制開關。

再者，本實施例中作為用以驅動半導體裝置的方法之範例，參照圖 8 的時序圖說明圖 5 及圖 7 所示的半導體裝置的電源供應方法的範例。

如圖 8 所示，例如，當在時刻 T1 操作觸控面板 171，將觸控面板控制器 172 的輸出信號（OUT172）的資料（OUT172 的脈衝部分）輸入到控制器 150（圖 7 所示的結構中的 CPU110）。

此時，由控制器 150（圖 7 所示的結構中的 CPU110），在時刻 T2 使電源供應控制開關 121 處於導通

狀態（也稱為 ON）而開始對 CPU111 的電源電壓的供應，並且在時刻 T3 使電源供應控制開關 122 處於導通狀態而開始對記憶體 112 的電源電壓的供應。例如，將從控制器 150 輸出的控制信號（多個控制信號 SW\_ON、多個控制信號 SW\_OFF）的值設定為使電源供應控制開關 121 及 122 處於導通狀態的值。另外，雖然對 CPU111 及記憶體 112 供應電源電壓可以於相同時間開始，但是藉由分別控制電源供應控制開關 121 及 122 來在開始對 CPU111 供應電源電壓之後，直到需要訪問記憶體 112 的時刻為止停止對記憶體 112 供應電源電壓，可以進一步地降低耗電量。

在開始對 CPU111 及記憶體 112 的電源電壓的供應之後，將延遲的觸控面板控制器 172 的輸出信號（OUT172）輸入到 CPU111。另外，使用延遲電路而實現輸出信號（OUT172）的延遲。

此時，CPU111 根據包括觸控面板控制器 172 的輸出信號（OUT172）的輸入信號（IN111）的資料（IN111 的脈衝部分）及記憶體 112 的資料進行運算處理。再者，在時刻 T4 使電源供應控制開關 123 處於導通狀態而開始對影像處理電路 113A 的電源電壓的供應，並且在時刻 T5 使電源供應控制開關 124 處於導通狀態而開始對記憶體 114 的電源電壓的供應。例如，根據來自 CPU111 的指令信號，將從控制器 150 輸出的控制信號（多個控制信號 SW\_ON、多個控制信號 SW\_OFF）的值設定為使電源供應



控制開關 123 及 124 處於導通狀態的值。但是，實施例不侷限於此結構，根據觸控面板控制器 172 的輸出信號（OUT172），將從控制器 150 輸出的控制信號的值設定為使電源供應控制開關 123 及 124 處於導通狀態的值。注意，雖然也可以使開始對影像處理電路 113A 及記憶體 114 的電源電壓的供應的時序相同，但是藉由分別控制電源供應控制開關 123 及 124 來在開始對影像處理電路 113A 的電源電壓的供應之後直到需要存取記憶體 114 的時刻為止停止對記憶體 114 的電源電壓的供應，可以進一步地降低功率消耗。

再者，CPU111 將包含表示藉由運算處理結果的資料（OUT111 的脈衝部分）的資料信號（OUT111）輸出到影像處理電路 113A。在結束對影像處理電路 113A 的資料信號的輸出之後，在時刻 T6，使電源供應控制開關 122 處於截止狀態（也稱為 OFF）而停止對記憶體 112 的電源電壓的供應，並且在時刻 T7 使電源供應控制開關 121 處於截止狀態而停止對 CPU111 的電源電壓的供應。例如，根據來自 CPU111 的指令信號，將從控制器 150 輸出的控制信號的值設定為使電源供應控制開關 121 及 122 處於截止狀態的值。但是，實施例不侷限於此結構，根據來自影像處理電路 113A 的指令信號，將從控制器 150 輸出的控制信號的值設定為使電源供應控制開關 121 及 122 處於截止狀態的值。另外，雖然也可以使停止對 CPU111 及記憶體 112 的電源電壓的供應的時序相同，但是藉由分別控制電

源供應控制開關 121 及 122，而進行對 CPU111 的電源電壓的供應，且在不需存取記憶體 112 的時刻停止對記憶體 112 的電源電壓的供應，可以進一步地降低耗電量。另外，在即將停止對 CPU111 的電源電壓的供應前，將資料移動到暫存器 1110 的多個記憶體電路所具有的第二記憶體電路，並且在再次開始電源電壓的供應後立刻將儲存在第二記憶體電路中的資料輸入到第一記憶體電路中，由此可以使再次開始電源電壓的供應之後的 CPU111 的狀態迅速恢復。

影像處理電路 113A 將被輸入的 CPU111 的輸出信號（OUT111）轉換來生成輸出到顯示器控制器 182 的信號。在轉換處理結束後，將包含所生成的資料（OUT113A 的脈衝部分）的信號（OUT113A）輸出到顯示器控制器 182，在時刻 T8，使電源供應控制開關 124 處於截止狀態而停止對記憶體 114 的電源電壓的供應，並且在時刻 T9 使電源供應控制開關 123 處於截止狀態而停止對影像處理電路 113A 的電源電壓的供應。例如，根據來自影像處理電路 113A 的指令信號，將從控制器 150 輸出的控制信號（多個控制信號 SW\_ON、多個控制信號 SW\_OFF）的值設定為使電源供應控制開關 123 及 124 處於截止狀態的值。另外，雖然也可以使停止對影像處理電路 113A 及記憶體 114 的電源電壓的供應的時序相同，但是可以分別控制電源供應控制開關 123 及 124，而進行對影像處理電路 113A 的電源電壓的供應，並且在不需存取記憶體 114

時停止對記憶體 114 的電源電壓的供應，由此可以進一步地降低耗電量。另外，在即將停止對影像處理電路 113A 的電源電壓的供應前，將資料移動到暫存器 1130 的第二記憶體電路中，並在再次開始電源電壓的供應後立即將儲存在第二記憶體電路中的資料輸入到第一記憶體電路，由此可以使再次開始電源電壓的供應之後的影像處理電路 113A 的狀態迅速恢復。

上述是對於圖 5 及圖 7 所示的半導體裝置的電源供應方法的一例。

如參照圖 1 至圖 8 所述，在本實施例的半導體裝置的一例中，在每個電路中設置有電源供應控制開關（第一至第三電源供應控制開關），根據輸入信號、從 CPU 輸入的指令信號、以及從信號處理電路輸入的指令信號，由控制器或用作第一 CPU 的 CPU 分別控制多個電源供應控制開關。

在電路（CPU、記憶體及信號處理電路）間的電源供應的最適時序互不相同。因此，分別使對各電路的電源供應的時序最適化，而可以降低不需要的功率消耗。

例如，藉由控制第三電源供應控制開關以降低功率消耗如下：在開始對 CPU 的電源電壓的供應之後且在將表示 CPU 的運算結果的資料輸入到信號處理電路之前開始對信號處理電路的電源電壓的供應，由此可以降低功率消耗。

另外，以如下方式控制第一電源供應控制開關：在將

表示 CPU 的運算結果的資料輸入到信號處理電路之後且在從信號處理電路輸出用作輸出信號的該表示運算結果的資料的轉換資料之前停止對 CPU 的電源電壓的供應，由此可以降低功率消耗。

## 實施例 2

在本實施例中，對能夠適用於上述實施例中的半導體裝置的記憶體的記憶體裝置的一例進行說明。

本實施例中的記憶體裝置的一例為具備包括排列為  $i$  行（ $i$  是 2 以上的自然數） $j$  列（ $j$  是自然數）的矩陣狀的多個記憶單元的記憶單元陣列。記憶單元相當於上述實施模式 1 的半導體裝置中的記憶體電路。

對本實施例的記憶體裝置中的記憶單元陣列的例子參照圖 9 進行說明。

圖 9 所示的記憶單元陣列具有排列為  $i$  行  $j$  列的矩陣狀的多個記憶單元 200、第一至第  $j$  的位元線 BL、第一至第  $i$  的字線 WL、第一至第  $i$  的電容線 CL 以及被供應預定值的電位的源極線 SL。

在圖 9 所示的記憶單元陣列中，第  $M$ （ $M$  是 1 以上且  $i$  以下的自然數）行  $N$ （ $N$  是 1 以上且  $j$  以下的自然數）列的記憶單元 200（記憶單元 200（ $M,N$ ））具備電晶體 211（ $M,N$ ）、電晶體 212（ $M,N$ ）以及電容器 213（ $M,N$ ）。

另外，電晶體 211（ $M,N$ ）的源極和汲極中的一方電

連接到位元線  $BL_N$ 。此外，電晶體  $211(M,N)$  的閘極電連接到字線  $WL_M$ 。

電晶體  $211(M,N)$  是  $n$  通道型電晶體，它是控制資料的寫入及保持的電晶體。

另外，作為電晶體  $211(M,N)$  可以使用實施例 1 所記載的截止電流低的電晶體。

電晶體  $212(M,N)$  是  $p$  通道型電晶體。電晶體  $212(M,N)$  的源極和汲極中的一方電連接到位元線  $BL_N$ ，源極和汲極中的另一方電連接到源極線  $SL$ 。此外，電晶體  $212(M,N)$  的閘極電連接到電晶體  $211(M,N)$  的源極和汲極中的另一方。

電晶體  $212(M,N)$  具有設定所輸出的資料的電位的用作輸出電晶體的功能。

電容器  $213(M,N)$  的一對電極中的一方電連接到電晶體  $211(M,N)$  的源極和汲極中的另一方，電容器  $213(M,N)$  的一對電極中的另一方電連接到電容線  $CL_M$ 。

電容器  $213(M,N)$  具有保持資料的用作儲存電容的功能。

上述是圖 9 所示的記憶單元陣列的結構實例的說明。

另外，記憶單元可以不必設置電晶體  $212$ 。例如，記憶單元也可以採用圖 10 所示的結構。此時，也可以將電容線  $CL$  配置為代替源極線  $SL$  一個線。

接著，對圖 9 所示的包括記憶單元陣列的記憶體裝置的驅動方法的一例，參照圖 11A 和 11B 進行說明。圖

11A 和 11B 是用來說明記憶體裝置的驅動方法的一例的時序圖。在此作為一例，對第 M 行的記憶單元 200 按順序寫入資料，然後讀出所寫入的資料的情況進行說明，但是不侷限於此。例如，也可以不進行讀出操作而重複進行寫入工作。

首先，當對第 M 行的記憶單元 200 寫入資料時（也稱為 Writing），如圖 11A 所示，將第 M 的字線  $WL_M$  的電位轉換為 VH，將除它之外的所有字線  $WL_{other}$  的電位都轉換為 VL。

另外，VH 例如是比參考電位（例如接地電位）的值的電位，且例如是高電源電位。VL 例如是參考電位以下的電位，且例如是低電源電位。

此時，在第 M 行的記憶單元 200 的各者中，電晶體 211 處於導通狀態，並且電容器 213 的一對電極中的一者的電位成為與每個位元線 BL 的電位相等的電位值。

然後，電晶體 211 處於截止狀態，電晶體 212 的閘極處於浮動狀態，而電晶體 212 的閘極的電位被保持。

藉由在每行中重複進行上述工作，可以對所有的記憶單元 200 寫入資料。

另外，當從第 M 行的記憶單元 200 讀出資料時（也稱為 Reading），如圖 11B 所示，將所有字線 WL 的電位轉換為 VL，將第 M 電容線  $CL_M$  轉換為 VL，並且將除此之外的所有電容線  $CL_{other}$  的電位轉換為 VH。

另外，在第 M 行的記憶單元 200 中，根據電晶體 212

的閘極的電壓決定電晶體 212 的源極和汲極間的電阻值。另外，可以將對應於流過電晶體 212 的源極和汲極間的電流量的電位用作資料而從記憶單元 200 讀出。

再者，藉由在每行中重複進行上述工作，可以從所有的記憶單元 200 讀出資料。上述是驅動圖 9 所示的半導體裝置方法的例子說明。

如參照圖 9 至圖 11B 所述，在本實施例中的半導體裝置的一例中，藉由作為控制資料的寫入及保持的電晶體使用截止電流低的場效應電晶體，可以延長資料的保持期間。因此，即使在停止電源電壓的供應的情況下，也可以保持資料。

### 實施例 3

在本實施例中，對構成實施例 1 的半導體裝置所具有的暫存器的記憶體電路的一例進行說明。

參照圖 12A 和 12B 對本實施例的記憶體電路的結構實例進行說明。

如圖 12A 所示，本實施例的記憶體電路包括正反器（也稱為 FF）601、記憶體電路（NVM）602 及選擇器（SEL）603。

對正反器 601 輸入重設信號 RST、時脈信號 CLK 及藉由選擇器 603 所選擇的資料信號 D。例如從實施例 1 所示的半導體裝置的控制器 150 輸入重設信號 RST 及時脈信號 CLK。正反器 601 具有保持根據時脈信號 CLK 被輸

入的資料信號 D 的資料且作為資料信號 Q 輸出的功能。

對記憶體電路 602 輸入寫入控制信號 WE、讀取控制信號 RD 及藉由選擇器 603 所選擇的資料信號。例如從實施例 1 所示的半導體裝置的控制器 150 輸入寫入控制信號 WE 及讀取控制信號 RD。另外，在採用圖 2 的結構的情況下，根據來自 CPU110 的指令，從設置在半導體裝置中的信號生成電路輸出寫入控制信號 WE 及讀取控制信號 RD。

記憶體電路 602 具有根據寫入控制信號 WE 儲存被輸入的資料信號的資料，並且根據讀取控制信號 RD 將所儲存的資料用作資料信號並輸出的功能。

對選擇器 603，藉由第一端子輸入讀取控制信號 RD，藉由第二端子輸入資料信號 D，並且藉由第三端子輸入從記憶體電路 602 輸出的資料信號 D\_NVM。

選擇器 603 具有根據讀取控制信號 RD，選擇資料信號 D 和資料信號 D\_NVM 中的任何一者藉由第四端子輸出的功能。

再者，對記憶體電路 602 的一個結構實例參照圖 12B 進行說明。

如圖 12B 所示，記憶體電路 602 包括資料保持部 621 及資料讀出部 622。

資料保持部 621 包括有電晶體 631 及電容器 632。

電晶體 631 是 n 通道型電晶體。電晶體 631 的源極和汲極中的一者電連接到選擇器 603 的輸出端子（第四端



子)。電晶體 631 具有根據寫入控制信號 WE 控制從選擇器 603 輸入的資料信號的保持的功能。

作為電晶體 631，可以使用實施例 1 所示的具有低截止電流的電晶體。

電容器 632 的一對電極中的一者電連接到電晶體 631 的源極和汲極中的另一者，對電容器 632 的一對電極中的另一者供應接地電位 (GND)。電容器 632 具有根據所儲存的資料信號的資料 D\_HLD 的保持電荷的功能。因為電晶體 631 的截止電流極低，所以即使停止電源電壓的供應，電容器 632 中的電荷被保持，而保持資料 D\_HLD。

資料讀出部 622 設置有電晶體 633、電晶體 634、電晶體 635 及反相器 636。

電晶體 633 是 p 通道型電晶體。對電晶體 633 的源極和汲極中的一者供應電源電位 (VDD)，對閘極輸入讀取控制信號 RD。該電源電位和接地電位差成為電源電壓 PWR。

電晶體 634 是 n 通道型電晶體。電晶體 634 的源極和汲極中的一者電連接到電晶體 633 的源極和汲極中的另一者。對電晶體 634 的閘極輸入讀取控制信號 RD。

電晶體 635 是 n 通道型電晶體。電晶體 635 的源極和汲極中的一者電連接到電晶體 634 的源極和汲極中的另一者，對源極和汲極中的另一者供應接地電位。電晶體 635 的閘極的電位為資料 D\_HLD。

反相器 636 的輸入端子電連接到電晶體 633 的源極和

汲極中的另一者。反相器 636 的輸出端子電連接到選擇器 603 的輸入端子（第三端子）。反相器 636 的輸出信號是資料信號 D\_NVM。

接著，將參照圖 13 的時序圖對驅動圖 12A 所示的記憶體電路的方法的範例進行說明。

首先，在作為正常工作期間的期間 T11 中，記憶體電路被供給電源電壓 PWR、重設信號 RST 以及時脈信號 CLK。此時，選擇器 603 將資料信號 D 的資料輸出到正反器 601。正反器 601 根據時脈信號 CLK 保持所輸入的資料信號 D 的資料。

接著，在作為即將停止供應電源電壓 PWR 前的備份期間的期間 T12 中，根據寫入控制信號 WE 的脈衝，使記憶體電路 602 儲存資料信號 D 的資料，而作為資料 D\_HLD 保持。然後停止對記憶體電路的時脈信號 CLK 的供應，然後停止對記憶體電路的重設信號 RST 的供應。

接著，在作為電源停止期間的期間 T13 中，停止對記憶體電路的電源電壓 PWR 的供應。此時，在記憶體電路 602 中，電晶體 631 的截止電流低，因此保持資料 D\_HLD 的值。

接著，在作為鄰近正常工作期間前的恢復期間的期間 T14 中，再次開始對記憶體電路的電源電壓 PWR 的供應，然後再次開始時脈信號 CLK 的供應，然後再次開始重設信號 RST 的供應。再者，根據讀取控制信號 RD 的脈衝，將根據資料 D\_HLD 的值的資料信號 D\_NVM 從記憶

體電路 602 的資料讀出部 622 輸出到選擇器 603。選擇器 603 根據讀取控制信號 RD 的脈衝將資料信號 D\_NVM 輸入到正反器 601。因此，可以將正反器 601 恢復到電源即將停止期間前的狀態。

然後，在作為正常工作期間的期間 T15 中，再次進行正反器 601 的正常工作。

上述是驅動記憶體電路的方法範例。

如參照圖 12A 至圖 13 所述，在本實施例中的記憶體電路包括第一記憶體電路（正反器）和包括有具有低截止電流的電晶體的第二記憶體電路。在即將停止電源供應前將資料移動到第二記憶體電路，並且在再次開始電源供應時將該資料輸入到第一記憶體電路，而可以恢復到即將停止電源供應前的狀態。藉由這樣，可以使再次開始電源電壓的供應之後的狀態迅速恢復。

#### 實施例 4

在本實施例中，對作為本發明的一個實施例的半導體裝置的結構一例進行說明。

首先，對可以適用於本發明的一個實施例的半導體裝置的電晶體的結構的一例，參照圖 14A 和 14B 的剖面示意圖進行說明。注意，圖 14A 和 14B 所示的各構成要素有時與實際上的尺寸不同。

圖 14A 所示的電晶體包括半導體層 711、絕緣層 714、導電層 715、絕緣層 716a 及絕緣層 716b、絕緣層

717、導電層 718a 及導電層 718b、以及絕緣層 719。

半導體層 711 隔著絕緣層 701 設置在元件形成層 700 上。注意，半導體層 711 並不一定設置在絕緣層 701 上，也可以在元件形成層 700 上直接設置半導體層 711。

半導體層 711 包括彼此離開並添加有摻雜劑的區域 712a 及 712b，並且包括在區域 712a 和 712b 之間的通道形成區 713。

絕緣層 714 設置在半導體層 711 的一部份上。

導電層 715 與半導體層 711 隔著絕緣層 714 重疊。

絕緣層 716a 與導電層 715 的一對側面的其一接觸地設置，絕緣層 716b 與該對側面的另一者接觸地設置。

絕緣層 717 設置在導電層 715 上。

導電層 718a 與區域 712a 接觸地設置，導電層 718b 與區域 712b 接觸地設置。此外，導電層 718a 與絕緣層 716a 的側面接觸地設置，導電層 718b 與絕緣層 716b 的側面接觸地設置。

絕緣層 719 設置在導電層 718a 及導電層 718b 上。

導電層 718a 及 718b、以及絕緣層 719 例如藉由對導電膜及絕緣層的堆疊進行平坦化處理（例如 CMP 處理）而形成。

此外，圖 14B 所示的電晶體包括導電層 751、絕緣層 752、絕緣層 753、半導體層 754、導電層 755a 及 755b、導電層 756a 及 756b、以及絕緣層 757。

導電層 751 設置在元件形成層 750 上。

絕緣層 752 設置在元件形成層 750 上，絕緣層 752 及導電層 751 的表面較佳為平坦。

導電層 751 及絕緣層 752 例如藉由對導電膜及絕緣層的堆疊進行平坦化處理（例如 CMP 處理）而形成。

絕緣層 753 設置在導電層 751 及絕緣層 752 上。

半導體層 754 與導電層 751 隔著絕緣層 753 重疊。

導電層 755a 及 755b 彼此分離且與半導體層 754 接觸地設置。此時，導電層 755a 和 755b 之間の間隔相當於電晶體的通道長度，較佳為例如短於 50nm。例如，藉由使用利用電子束曝光而形成的光阻遮罩，對導電膜的一部分進行蝕刻，可以使導電層 755a 及 755b 之間の間隔成為短於 50nm。另外，例如導電層 755a 及 755b 之間の間隔較佳為短於導電層 756a 及 756b 之間の間隔。

導電層 756a 設置於導電層 755a 上且與導電層 755a 的一部分接觸，導電層 756b 設置於導電層 755b 上且與導電層 755b 的一部分接觸。此外，導電層 756a 及 756b 的電阻值較佳為低於導電層 755a 及 755b 的電阻值。

絕緣層 757 設置於半導體層 754 上，以覆蓋半導體層 754 上表面。

再者，下面對各結構要素進行說明。各結構要素並不限於單層，也可以為堆疊。

絕緣層 701 是基本層。作為絕緣層 701，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、或氧化鉛等材料的層。



金屬元素具有用作穩定劑 (stabilizer) 的功能。注意，這些金屬元素的添加量是金屬氧化物能夠作為半導體發揮功能的量。藉由使用與鎵相比能夠與更多的氧原子結合的金屬元素且對金屬氧化物供應氧，可以減少金屬氧化物中的氧缺陷。

例如，當使用錫代替上述 In-Ga-Zn 類金屬氧化物所包含的 Ga (鎵) 的全部時得到 In-Sn-Zn 類金屬氧化物，並且當使用 Ti (鈦) 代替上述 In-Ga-Zn 類金屬氧化物所包含的 Ga (鎵) 的一部分時得到 In-Ti-Ga-Zn 類金屬氧化物。

上述氧化物半導體層可以是包括 c 軸配向結晶氧化物半導體 (CAAC-OS) 的氧化物半導體層。

CAAC-OS 不是完全的單晶，也不是完全的非晶，而是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體。再者，包括在 CAAC-OS 中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子或者金屬原子和氧原子排列為層狀。注意，在本說明書中，專門名詞“垂直”包括 85°至 95°的範圍，專門名詞“平行”包括 -5°至 5°的範圍。

在將包括含有上述 CAAC-OS 的氧化物半導體層用作通道形成層的場效應電晶體中，因可見光或紫外光的照射所引起的電特性的變動少，所以其可靠性高。

此外，當使用半導體層 711 及 754 作為氧化物半導體層時，例如藉由進行脫水化、脫氫化，去除氧化物半導體層中的氫、水、羥基或氫化物（也稱為氫化合物）等雜質且對氧化物半導體層供應氧，可以使氧化物半導體層高度純化。例如，藉由作為與氧化物半導體層接觸的層使用包含氧的層並進行加熱處理，可以使氧化物半導體層高度純化。

此外，剛剛成膜後的氧化物半導體層較佳處於氧多於化學計量組成的過飽和狀態。例如，在藉由使用濺射法形成氧化物半導體層的情況下，較佳以成膜氣體中的氧所占的比率多的條件進行成膜，特別較佳在氧氛圍（氧氣體為 100%）下進行成膜。此外，為了對氧化物半導體層供應充分的氧以使它處於氧的過飽和狀態，可以形成包含過剩氧的絕緣層（例如  $\text{SiO}_x$  層（ $x>2$ ）等）並將它用作與氧化物半導體層接觸的絕緣層（例如絕緣層 701、714、753、以及 757 等）。

包含過剩氧的絕緣層藉由適當地設定電漿 CVD 法（PCVD）或濺射法中的成膜條件而在膜中包含多量的氧來形成。此外，在需要使絕緣層包含更多量的氧的情況下，氧可藉由離子植入法、離子摻雜法或電漿處理加入。此外，也可以對氧化物半導體層添加氧。

在濺射裝置中，沉積室內的殘留水分較佳是少，因此較佳使用吸附型真空泵。此外，也可以使用冷阱。

此外，對氧化物半導體層較佳以  $350^\circ\text{C}$  以上且低於基



板的應變點的基板溫度，更較佳以 350°C 以上且 450°C 以下的基板溫度進行加熱處理。再者，也可以在之後的製程中進行加熱處理。對在此所使用的加熱處理裝置沒有特別的限制，可以使用電爐，也可以使用如 GRTA ( Gas Rapid Thermal Annealing : 氣體快速熱退火 ) 裝置或 LRTA ( Lamp Rapid Thermal Annealing : 燈快速熱退火 ) 裝置等的 RTA ( Rapid Thermal Annealing : 快速熱退火 ) 裝置。加熱處理也可以進行多次。

在進行上述加熱處理之後，也可以在維持該加熱溫度的同時或在從該加熱溫度降溫的過程中對與進行該加熱處理的爐相同的爐中引入高純度的氧氣體、高純度的 N<sub>2</sub>O 氣體或超乾燥空氣 ( 露點為 -40°C 以下，較佳為 -60°C 以下 )。此時，氧氣體或 N<sub>2</sub>O 氣體較佳不包含水、氫等。此外，較佳將引入到加熱處理裝置中的氧氣體或 N<sub>2</sub>O 氣體的純度設定為 6N 以上，較佳設定為 7N 以上。即，將氧氣體或 N<sub>2</sub>O 氣體中的雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下。藉由此步驟，氧被供給至氧化物半導體層，從而可以降低起因於氧化物半導體層中的氧空缺的缺陷。另外，也可以在進行上述加熱處理時引入上述高純度的氧氣體、高純度的 N<sub>2</sub>O 氣體或超乾燥氣體。

被高度純化的氧化物半導體層的氫濃度藉由 SIMS 測量，為  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 或以下，較佳為  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 或以下，更佳為  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 或以下。

藉由將被高度純化的氧化物半導體層用於場效應電晶

體，可以將氧化物半導體層的載流子密度設定為低於  $1 \times 10^{14}/\text{cm}^3$ ，較佳為低於  $1 \times 10^{12}/\text{cm}^3$ ，更佳為低於  $1 \times 10^{11}/\text{cm}^3$ 。如此低的載流子密度，可以將每  $1 \mu\text{m}$  通道寬度的場效應電晶體的截止電流降低到  $1 \times 10^{-19}\text{A}$  ( $100\text{zA}$ ) 或以下，更較佳為  $1 \times 10^{-22}\text{A}$  ( $100\text{yA}$ ) 或以下。場效應電晶體的截止電流越低越好，但是，場效應電晶體的截止電流的下限值被估計為  $1 \times 10^{-30}\text{A}/\mu\text{m}$  左右。

作為區域 712a 及 712b 所包含的摻雜劑，例如可以舉出元素週期表中的 13 族元素（例如硼等），15 族元素（例如氮、磷、及砷中的一者或多者）、及/或稀有氣體元素（例如氦、氬及氙中的一者或多者）。摻雜劑可以選自上述族中的至少一者。

絕緣層 714 及 753 各用作為電晶體的閘極絕緣層。絕緣層 714 及 753 各者例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、或氧化鉛等材料的層。

導電層 715 及 751 各用作為電晶體的閘極。導電層 715 及 751 之各者例如可以使用如包含鉬、鈦、鉻、鉭、鎂、銀、鎢、鋁、銅、鈳或鈾等金屬材料的層。

作為絕緣層 716a、絕緣層 716b 及絕緣層 717 之各者例如可以使用如包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、或氧化鉛等材料的層。

導電層 718a 及 718b、導電層 755a 及 755b、以及導

電層 756a 及 756b 各用作電晶體的源極或汲極。導電層 718a 及 718b、導電層 755a 及 755b、以及導電層 756a 及 756b 之各者例如可以使用如包含鉬、鈦、鉻、鋁、鎂、銀、鎢、鋁、銅、鈦、銦或鈦等金屬材料的層。

絕緣層 719 及 757 各用作保護層。作為絕緣層 719 及 757 之各者可以使用如包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、或氧化鉛等材料的層。

上述是圖 14A 和 14B 所示的電晶體的一個結構實例的說明。

接著，參照圖 15 對包括圖 14A 所示的電晶體的半導體裝置的結構的一例進行說明。圖 15 是說明本實施例的半導體裝置的結構的一例的剖面示意圖。注意，實施例不侷限於此結構，也可以使用圖 14B 所示的電晶體。

圖 15 所示的半導體裝置包括：包括用作通道形成層的單晶矽層 813 的電晶體 801；隔著絕緣層 815 至 817 層疊在電晶體 801 上並具有圖 14A 所示的結構的電晶體 802。注意，作為電晶體 802 的說明，可以適當地參考圖 14A 所示的電晶體的說明。

單晶矽層 813 隔著絕緣層 811（也稱為 BOX 層）設置在基板 810 上。注意，代替基板 810、絕緣層 811 及單晶矽層 813，也可以使用單晶半導體基板中被埋入絕緣區域圍繞的半導體區域而構成電晶體 801。

絕緣層 815 用作保護層。此外，絕緣層 816 除了用作

保護層之外，還用作平坦化層。此外，絕緣層 817 用作基底層。作為絕緣層 815 至 817 各者，也可以使用包含與絕緣層 701 類似材料的層。

具有電晶體 802 的源極或汲極的功能的導電層 818 與用作電晶體 801 的閘極的導電層 814 連接。注意，導電層 818 和導電層 814 也可以隔著多個導電層彼此連接。

此外，藉由將具有低截止電流的電晶體用作電晶體 802，能夠延長記憶單元的資料保持時間。

此外，藉由使用電晶體 801 可以構成 CPU 中的邏輯電路（包括記憶體電路）、信號處理電路及類此者等。由此，可以提高工作速度。

上述是圖 15 所示的半導體裝置的結構實例的說明。

如參照圖 14A 至圖 15 所說明，在本實施例的半導體裝置中，由氧化物半導體層構成控制暫存器或其他記憶體裝置中的資料的寫入及保持的電晶體，並且由單晶矽層構成用於 CPU 中的邏輯電路及信號處理電路等的電晶體。如此，在使半導體裝置的工作高速化的同時可以延長暫存器或其他記憶體裝置中的資料的保持時間。

## 實施例 5

在本實施例中，對使用本發明的一個方式的半導體裝置的電子裝置的例子參照圖 16A 至 16F 進行說明。

圖 16A 所示的電子裝置是可攜式資訊終端的一例。

圖 16A 所示的電子裝置具有外殼 1011、設置在外殼

1011 中的面板 1012、按鈕 1013、以及揚聲器 1014。

另外，在外殼 1011 中也可以設置用來與外部設備連接的連接端子及操作按鈕。

面板 1012 是顯示面板（顯示器）且較佳具有觸控面板的功能。

按鈕 1013 設置在外殼 1011 上。在按鈕 1013 是電源按鈕的情況下，藉由按下按鈕 1013 可以開啓或關閉電子裝置。

揚聲器 1014 設置在外殼 1011 上。揚聲器 1014 輸出聲音。

注意，外殼 1011 可以設有麥克風。藉由在外殼 1011 中設有麥克風，可以將圖 16A 所示的電子裝置用作電話機。

如圖 16A 所示的電子裝置，在外殼 1011 的內部具有實施例 1 所說明的 CPU（CPU111）、記憶體、影像處理電路及控制器等。注意，也可以安裝有用作第一 CPU 的 CPU 而代替控制器。

圖 16A 所示的電子裝置例如用作電話機、電子閱讀器、個人電腦及遊戲機中的一種或多種。

圖 16B 所示的電子裝置是折疊式的資訊終端的一例。

圖 16B 所示的電子裝置包括外殼 1021a、外殼 1021b、設置在外殼 1021a 中的面板 1022a、設置在外殼 1021b 中的面板 1022b、鉸鏈 1023、按鈕 1024、連接端子 1025、儲存媒體插入部 1026 以及揚聲器 1027。

外殼 1021a 和外殼 1021b 由鉸鏈 1023 連接。

面板 1022a 及面板 1022b 各者是顯示面板（顯示器）且較佳具有觸控面板的功能。

因爲圖 16B 所示的電子裝置包括鉸鏈 1023，所以可以折疊而使面板 1022a 和面板 1022b 彼此相對。

按鈕 1024 設置在外殼 1021b 上。可以在外殼 1021a 上設置按鈕 1024。例如，當設置具有電源按鈕的功能的按鈕 1024 時，藉由按下按鈕 1024 可以控制是否對電子裝置中的電路供應電力。

連接端子 1025 設置在外殼 1021a 中。另外，也可以在外殼 1021b 中設置連接端子 1025。此外，也可以將多個連接端子 1025 設置在外殼 1021a 和外殼 1021b 中的一者或兩者。連接端子 1025 是用來使圖 16B 所示的電子裝置與其他裝置連接的端子。

儲存媒體插入部 1026 設置在外殼 1021a 中。也可以在外殼 1021b 中設置儲存媒體插入部 1026。此外，也可以將多個儲存媒體插入部 1026 設置在外殼 1021a 和外殼 1021b 中的一者或兩者。例如，藉由對儲存媒體插入部 1026 插入卡型儲存媒體，可以將資料自卡型儲存媒體讀取並發送到電子裝置，或將電子裝置中的資料寫入卡型儲存媒體。

揚聲器 1027 設置在外殼 1021b 中。揚聲器 1027 輸出聲音。揚聲器 1027 也可以設置在外殼 1021a 中。

外殼 1021a 或外殼 1021b 也可以設有麥克風。藉由在

外殼 1021a 或外殼 1021b 中設有麥克風，可以將圖 16B 所示的電子裝置用作電話機。

圖 16B 所示的電子裝置在外殼 1021a 或外殼 1021b 的內部具有實施例 1 所說明的 CPU (CPU111)、記憶體、影像處理電路及控制器等。注意，也可以安裝有用作第一 CPU 的 CPU 而代替控制器。

圖 16B 所示的電子裝置例如用作電話機、電子閱讀器、個人電腦及遊戲機中的一種。

圖 16C 所示的電子裝置是固定式的資訊終端的一例。圖 16C 所示的固定式的資訊終端包括外殼 1031、設置在外殼 1031 中的面板 1032、按鈕 1033 以及揚聲器 1034。

面板 1032 是顯示面板 (顯示器)。面板 1032 較佳具有觸控面板的功能。

另外，也可以在外殼 1031 的甲板部 1035 上設置有與面板 1032 同樣的面板，該面板較佳具有觸控面板的功能。

再者，也可以在外殼 1031 設置用來輸出票券等的票券輸出部、硬幣投入部和紙幣投入部等。

按鈕 1033 設置在外殼 1031 中。例如，在按鈕 1033 是電源按鈕的情況下，藉由按下按鈕 1033，可以控制是否對電子裝置中的電路供應電力。

揚聲器 1034 設置在外殼 1031 中。揚聲器 1034 輸出聲音。

圖 16C 所示的電子裝置在外殼 1031 的內部具有實施

例 1 所說明的 CPU (CPU111)、記憶體、影像處理電路及控制器等。注意，也可以安裝有作為第一 CPU 的 CPU 來代替控制器。

圖 16C 所示的電子裝置例如可以用作自動存取款機、用於訂票等訂購的資訊通信終端（也稱為多媒體電子便利站）或用作遊戲機。

圖 16D 是固定式資訊端末的一例。圖 16D 所示的電子裝置包括外殼 1041、設置在外殼 1041 中的面板 1042、支撐外殼 1041 的支架 1043、按鈕 1044、連接端子 1045 以及揚聲器 1046。

另外，也可以在外殼 1041 上設置用來連接到外部設備的連接端子，又可以設置圖 16D 所示的電子裝置的操作按鈕。

面板 1042 具有顯示面板（顯示器）的功能。

按鈕 1044 設置在外殼 1041 中。例如，在按鈕 1044 是電源按鈕的情況下，藉由按下按鈕 1044，可以控制是否對電子裝置中的電路供應電力。

連接端子 1045 設置在外殼 1041 中。連接端子 1045 是用來使圖 16D 所示的電子裝置與其他電子裝置連接的端子。例如，藉由由連接端子 1045 使圖 16D 所示的電子裝置與個人電腦連接，面板 1042 可以顯示對應於從個人電腦輸入的資料信號的影像。例如，當圖 16D 所示的電子裝置的面板 1042 大於與該面板 1042 連接的上述其他電子裝置的面板時，可以擴大該其他電子裝置的顯示影像，而可



以容易使多個人同時輕易地看見該影像。

揚聲器 1046 設置在外殼 1041 中。揚聲器 1046 輸出聲音。

圖 16D 所示的電子裝置在外殼 1041 的內部具有實施模式 1 所說明的 CPU (CPU111)、記憶體、影像處理電路及控制器等。注意，也可以安裝有用作第一 CPU 的 CPU 而代替控制器。

圖 16D 所示的電子裝置例如用作輸出監視器、個人電腦或電視機。

圖 16E 是電冷藏冷凍箱的一例。圖 16E 所示的電子裝置 1050 包括外殼 1051、冷藏室門 1052、冷凍室門 1053。

圖 16E 所示的電子裝置在外殼 1051 的內部具有實施模式 1 所說明的 CPU (CPU111)、記憶體、信號處理電路及控制器等。注意，也可以安裝有用作第一 CPU 的 CPU 而代替控制器。藉由採用上述結構，根據冷藏室門 1052 及冷凍室門 1053 的開閉，可以控制對外殼 1051 中的 CPU、記憶體及信號處理電路的電源供應。

圖 16F 是空調機的一例。圖 16F 所示的電子裝置由室內單元 1060 和室外單元 1064 構成。

室內單元 1060 包括外殼 1061、送風口 1062。

圖 16F 所示的電子裝置在外殼 1061 的內部具有實施例 1 所說明的 CPU (CPU111)、記憶體、信號處理電路及控制器等。注意，也可以安裝有用作第一 CPU 的 CPU

而代替控制器。藉由採用上述結構，根據來自遙控器的信號，可以控制對外殼 1061 中的 CPU、記憶體及信號處理電路的電源供應。

另外，雖然圖 16F 例示出由室內單元和室外單元構成的分離型空調機，但是也可以是在一個外殼中具有室內單元和室外單元的功能的空調機。

另外，電子裝置之範例不侷限於此，也可以將實施例 1 至實施例 4 的半導體裝置應用於微波爐等高頻加熱裝置、或電鍋等。

上述是圖 16A 至 16F 所示的電子裝置的說明。

如參照圖 16A 至 16F 所說明，在本實施例的電子裝置中，藉由使用實施例 1 至實施例 4 的半導體裝置，可以降低耗電量。

## 實施例 6

對上述實施例 1 所說明的 CPU 的具體的一個方式進行說明。在圖 17 中示出 CPU 的方塊圖的一例。

CPU300 包括：具有資料鎖存及選擇器的功能的電路 301；具有內部時脈生成單元及重設控制器的功能的電路 302；具有指令暫存器及解碼部的功能的電路 303；CPU 控制部 304；暫存器組 305；計算單元 306；以及位址緩衝器 307。

CPU 控制部 304 包括狀態生成部 308。暫存器組 305 包括多個暫存器 309。計算單元 306 包括 ALU310

( Arithmetic Logic Unit ; 算術邏輯單元 ) 。

對 CPU300 輸入寫入控制信號 WE 及讀取控制信號 RD 。此外，對 CPU300 藉由資料匯流排輸入 8 位元的資料。CPU 控制信號亦可輸入至 CPU300 。

從 CPU300 輸出 16 位元位址及匯流排控制信號。

寫入控制信號 WE 及讀取控制信號 RD 輸入到電路 303、CPU 控制部 304、暫存器組 305 以及位址緩衝器 307。8 位元的資料藉由資料匯流排輸入到電路 303、暫存器組 305 及計算單元 306。CPU 控制信號輸入到電路 302 以及 CPU 控制部 304。

16 位元位址從位址緩衝器 307 輸出。另外，匯流排控制信號從 CPU 控制部 304 輸出。

具有指令暫存器及解碼部的功能的電路 303 具有 8 位元的暫存器。

CPU 控制部 304 包括 3 位元暫存器。

位址緩衝器 307 包括 16 位元暫存器。

狀態生成部 308 包括 24 位元暫存器。

暫存器組 305 包括作為多個暫存器 309 之 204 位元暫存器。暫存器 309 是用作程式計數器、通用暫存器及運算暫存器的暫存器。另外，在圖 17 中，暫存器 309 內所示的 A、F、A'、F'、B、C、B'、C'、D、E、D'、E'、H、L、H'、L'、I、R、IX、IY、SP、PC 分別表示暫存器。

在本實施例中，作為一例說明的 CPU300 包括總計 255 個暫存器。

CPU300 的每個電路除了資料匯流排之外，可以藉由位址匯流排、控制器匯流排進行資料、位址及 CPU 控制信號的輸入及輸出。

另外，在如圖 17 所示的 CPU300 中，可以將具有指令暫存器及解碼部的功能的電路 303、CPU 控制部 304、狀態生成部 308 及暫存器組 305 所具有的總計 255 個暫存器用作使用氧化物半導體的暫存器。

在圖 18 中示出能夠保持 1 位元的資料的上述暫存器的電路結構的一例。圖 18 所示的電路結構是對上述實施例 3 的圖 12B 的記憶體電路的結構追加電路的電路結構。因此，對重複部分的說明只簡單地說明，並且援用上述實施例 3 的說明。

圖 18 所示的暫存器的電路結構包括正反器 601、記憶體電路 602 及選擇器 603。

對正反器 601 輸入重設信號 RST、時脈信號 CLK、以及資料信號 D。正反器 601 具有保持根據時脈信號 CLK 被輸入的資料信號 D 的資料且作為資料信號 Q 輸出的功能。

對記憶體電路 602 輸入寫入控制信號 WE、讀取控制信號 RD 及資料信號。

記憶體電路 602 具有根據寫入控制信號 WE 儲存被輸入的資料信號的資料，並且根據讀取控制信號 RD 將所儲存的資料作為資料信號輸出的功能。

選擇器 603 根據讀取控制信號 RD，選擇資料信號 D

或記憶體電路 602 輸出的資料信號並輸入到正反器 601。

如圖 18 所示，記憶體電路 602 包括有電晶體 631 及電容器 632。

電晶體 631 是 n 通道型電晶體。電晶體 631 的源極和汲極中的一方電連接到正反器 601 的輸出端子。電晶體 631 具有根據輸入控制信號 WE 控制從正反器 601 輸出的資料信號的保持的功能。

作為電晶體 631，可以使用實施例 1 所示的包括氧化物半導體並具有低截止電流的電晶體。

電容器 632 的一對電極中的一者電連接到電晶體 631 的源極和汲極中的另一者，對電容器 632 的一對電極中的另一方供應接地電位 (GND)。電容器 632 具有根據所儲存的資料信號的資料保持電荷的功能。因為電晶體 631 的截止電流極低，所以即使停止電源電壓的供應，也保持電容器 632 中的電荷，而保持資料。

電晶體 633 是 p 通道型電晶體。對電晶體 633 的源極和汲極中的一方供應電源電位 (VDD)，對閘極輸入讀取控制信號 RD。該電源電位和接地電位差成為電源電壓 PWR。

電晶體 634 是 n 通道型電晶體。電晶體 634 的源極和汲極中的一方電連接到電晶體 633 的源極和汲極中的另一方。對閘極輸入讀取控制信號 RD。

電晶體 635 是 n 通道型電晶體。電晶體 635 的源極和汲極中的一方電連接到電晶體 634 的源極和汲極中的另一

方，對源極和汲極中的另一方供應接地電位。

反相器 636 的輸入端子電連接到電晶體 633 的源極和汲極中的另一方。此外，反相器 636 的輸出端子電連接到選擇器 603 的輸入端子。

電容器 637 的一對電極的一方電連接到反相器 636 的輸入端子，對電容器 637 的另一方供應接地電位。電容器 637 具有根據輸入到反相器 636 的資料信號的資料保持電荷的功能。

在圖 19 中作為一例示意性地示出 CPU111、電源供應控制開關 121、以及控制器 150 之間的信號的流動。

除了 CPU111、控制器 150 以及電源供應控制開關 121 以外，圖 19 還示出設置在 CPU111 和電源供應控制開關 121 之間的位準偏移器 501、設置在控制器 150 和 CPU111 之間的位準偏移器 502、相當於 CPU111 中的各種資料的通路的緩衝器 (BUF) 500。

控制器 150 具有如下功能，即根據 CPU111 的控制信號及包括常關閉和通常狀態的切換指令的 VCE 信號，將控制常關閉和通常狀態的切換的信號傳送到 CPU111。VCE 信號由位準偏移器 502 調整其電壓位準位準，而輸入到 CPU111。另外，常關閉是指停止來自控制器 150 的電源電壓及控制信號的供應，這意味著 CPU111 處於停止狀態。CPU111 藉由接受來自控制器 150 的電源電壓及控制信號的供應，而處於工作的狀態，即處於通常狀態。

明確而言，當由 VCE 信號發出切換為常關閉的指令

時，在 CPU111 中，在 CPU111 中的暫存器中將資料移動到 NVM。另外，控制器 150 具有生成用來控制電源供應控制開關 121 處於導通狀態的控制信號 SW\_ON 及用來控制電源供應控制開關 121 處於截止狀態的控制信號 SW\_OFF 的功能。控制信號 SW\_ON 由位準偏移器 501 調整電壓位準，然後供應到 CPU111。在電源供應控制開關 121 處於導通狀態的情況下，電源電壓 PWR 藉由電源供應控制開關 121 供應到 CPU111，並且在電源供應控制開關 121 處於截止狀態的情況下，電源電壓 PWR 不供應到 CPU111。

控制器 150 亦具有由輸入到半導體裝置 100 的時脈信號 CLK 及重設信號 RESETB 生成 CPU111 所使用的時脈信號 C-CLK 的功能。

本實施例可以適當地與上述實施例組合而實施。

## 實施例 7

在圖 20 中作為一例示出根據本發明的一個方式的半導體裝置的剖面結構的一部分。另外，在圖 20 中例示出電晶體 631、電容器 632 及電晶體 635。

另外，在本實施例中，電晶體 635 形成在單晶矽基板上，並且將氧化物半導體用於活性層的電晶體 631 及電容器 632 形成在電晶體 635 上。電晶體 635 也可以將作為非晶、微晶、多晶或單晶的矽或鍺等的薄膜半導體用於活性層。或者，電晶體 635 也可以將氧化物半導體用於活性

層。在所有的電晶體都將氧化物半導體用於活性層的情況下，電晶體 631 也可以不層疊在電晶體 635 上，電晶體 631 及電晶體 635 也可以形成在同一個層上。

在使用薄膜矽形成電晶體 635 的情況下，也可以使用：藉由電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射退火法等處理使非晶矽結晶化的多晶矽；以及對單晶矽晶片注入氫離子等而使其表層部分剝離的單晶矽等。

另外，在作為上述實施例 6 所說明的記憶體電路的暫存器所具有的電晶體中，在對電晶體 631 使用氧化物半導體且對包括電晶體 635 的其他電晶體使用矽的情況下，相對於使用矽的電晶體的個數，使用氧化物半導體的電晶體的個數少。因此，藉由在使用矽的電晶體上層疊電晶體 631，可以緩和電晶體 631 的設計規則。

這樣，藉由採用層疊使用矽的電晶體和使用氧化物半導體的電晶體的結構的暫存器，可以縮小 CPU 的晶片面積。另外，在一個電路方塊中，使用矽的電晶體的個數比使用氧化物半導體的電晶體的個數多，因此實際上的 CPU 的晶片面積根據使用矽的電晶體的個數而決定。在上述實施例 6 所示的暫存器的結構中，使用矽的電晶體的個數和使用氧化物半導體的電晶體的個數的比率成為 20:1 至 40:1。

在圖 20 中，在半導體基板 400 上形成有 n 通道型電晶體 635。



作為半導體基板 400 例如可以使用具有 n 型或 p 型導電型的矽基板、鍺基板、矽鍺基板、化合物半導體基板（GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等）等。在圖 20 中例示使用具有 n 型導電性的單晶矽基板的情況。

另外，電晶體 635 由元件分離絕緣膜 401 與其他電晶體電性地分離。作為元件分離絕緣膜 401 的形成方法，可以使用矽的局部氧化（LOCOS；Local Oxidation of Silicon）法或溝槽隔離法等。

明確而言，電晶體 635 包括：形成在半導體基板 400 中並用作源極區或汲極區的雜質區 402 及雜質區 403；閘極電極 404；以及設置在半導體基板 400 和閘極電極 404 之間的閘極絕緣膜 405。閘極電極 404 隔著閘極絕緣膜 405 重疊於形成在雜質區 402 和雜質區 403 之間的通道形成區。

在電晶體 635 上設置有絕緣膜 409。在絕緣膜 409 中形成有開口部。在上述開口部中形成有接觸於雜質區 402 的佈線 410、接觸於雜質區 403 的佈線 411、以及接觸於閘極電極 404 的佈線 412。

佈線 410 連接到形成在絕緣膜 409 上的佈線 415，佈線 411 連接到形成在絕緣膜 409 上的佈線 416，並且佈線 412 連接到形成在絕緣膜 409 上的佈線 417。

在佈線 415 至 417 上形成有絕緣膜 420。在絕緣膜 420 中形成有開口部，在上述開口部中形成有連接到佈線

417 的佈線 421。

在圖 20 中，在絕緣膜 420 上形成有電晶體 631 及電容器 632。

電晶體 631 在絕緣膜 420 上包括：包含氧化物半導體的半導體膜 430；半導體膜 430 上的用作源極電極或汲極電極的導電膜 432 及導電膜 433；半導體膜 430、導電膜 432 及導電膜 433 上的閘極絕緣膜 431；以及位於閘極絕緣膜 431 上並在導電膜 432 和導電膜 433 之間重疊於半導體膜 430 的閘極電極 434。另外，導電膜 433 連接到佈線 421。

另外，在閘極絕緣膜 431 上並重疊於導電膜 433 的位置設置有導電膜 435。隔著閘極絕緣膜 431 重疊於導電膜 433 及導電膜 435 的部分用作電容器 632。

另外，在圖 20 中例示電容器 632 與電晶體 631 一起設置在絕緣膜 420 上的情況，但是電容器 632 也可以與電晶體 635 一起設置在絕緣膜 420 下。

在電晶體 631 及電容器 632 上設置有絕緣膜 441。在絕緣膜 441 中設置有開口部，在上述開口部中接觸於閘極電極 434 的導電膜 443 設置在絕緣膜 441 上。

另外，在圖 20 中，電晶體 631 在半導體膜 430 的至少一側具有閘極電極 434 即可，但是也可以具有隔著半導體膜 430 存在的一對閘極電極。

在電晶體 631 具有隔著半導體膜 430 存在的一對閘極電極的情況下，對一方閘極電極供應用來控制導通或截止

的信號，另一方閘極電極既可以處於浮動狀態（例如電絕緣），又可以處於被提供有電位的狀態。在後者情況下，既可以對一對電極施加相同位準的電位，又可以只對另一方閘極電極供應接地電位等固定電位。藉由控制供應至另一方閘極電極的電位位準，可以控制電晶體 631 的臨界電壓。

本實施例可以與任一其他實施例適當地組合而實施。

### 實施例 8

在本實施例中，對能夠由程式控制電源閘的結構進行說明，該電源閘能夠對每個電路獨立地控制電源電壓的供應。

圖 21 和圖 22A 和 22B 示出由程式控制電源閘的結構的一例。在圖 21 中，對由作為電源閘的電源供應控制開關 121、電源供應控制開關 122 及電源供應控制開關 123 控制於圖 1 中所說明的 CPU111、記憶體 112 及信號處理電路 113 的電源供應電壓的供應的情況進行說明。在本實施例中，以對 CPU111 供應電源電壓的電源供應控制開關 121 作為例子進行說明。

上述程式儲存於加入實施例 1 所說明的控制器 150 中的程式記憶體 551 中。在本實施例中，控制器 150 除了程式記憶體 551 之外，還具有用以截止電源閘的計數器 552 及用以導通電源閘的計數器 553。

對電源閘截止用計數器 552 輸入時脈信號 CLK 及前

處理結束信號 1。對電源閘導通用計數器 553 輸入時脈信號 CLK 及前處理結束信號 2。

程式記憶體 551 既可以作為揮發性記憶體而從外部輸入程式，又可以作為非揮發性記憶體。

由該程式記憶體 551 所儲存的程式，可以設定電源供應控制開關 121、電源供應控制開關 122、電源供應控制開關 123、以及連接的 CPU111、記憶體 112 及信號處理電路 113 的電路等的上升及下降的順序，上升及下降時的準備時間等。藉由程式的重寫，可以改變這些順序和準備時間，可以確保設定的自由度，而不用改變內部電路。

下面示出當由程式改變準備時間時的結構及流程圖。

首先，如圖 21 所示，此情形下之結構為控制器 150 具有程式記憶體 551、電源閘截止用計數器 552、以及電源閘導通用計數器 553。

接著，圖 22A 示出流程圖說明截止電源閘的情形。從程式記憶體 551 讀出關於準備時間的資料（A01：從程式記憶體讀出時間資料）。接著，對電源閘截止用計數器 552 及電源閘導通用計數器 553 輸入該資料（A02：對電源閘截止用計數器輸入資料）。接著，當輸入前處理結束信號 1 時（A03：輸入前處理結束信號 1），電源閘截止用計數器 552 開始計數（A04：開始計數）。當到達從程式記憶體 551 輸入的計數值時，電源閘截止用計數器 552 停止計數（A05：結束計數），並且輸出信號以使電源供應控制開關 121 截止（A06：截止電源供應控制開關

121)。藉由改變程式記憶體 551 的內容，可以任意改變準備時間。

接著，在圖 22B 中示出使電源供應控制開關 121 導通時的流程圖。從程式記憶體 551 讀出關於準備時間的資料（B01：從程式記憶體讀出時間資料）。接著，對電源開截止用計數器 552 及電源開導通用計數器 553 輸入該資料（B02：對電源開導通用計數器輸入資料）。接著，當輸入前處理結束信號 2 時（B03：輸入前處理結束信號 2），電源開導通用計數器 553 開始計數（B04：開始計數）。當計數達到從程式記憶體 551 輸入的計數值時，電源開導通用計數器 553 停止計數（B05：結束計數），並且輸出信號以使電源供應控制開關 121 導通（B06：導通電源供應控制開關 121）。藉由改變程式記憶體 551 的內容，可以任意改變準備時間。

根據上述流程圖，僅藉由改變程式，可以任意改變設定。

#### 【符號說明】

21：電晶體

22：電晶體

100：半導體裝置

100A：微電腦

101：輸入裝置

102：輸出裝置

- 110 : CPU
- 111 : CPU
- 112 : 記憶體
- 113 : 信號處理電路
- 113A : 影像處理電路
- 114 : 記憶體
- 121 : 電源供應控制開關
- 122 : 電源供應控制開關
- 123 : 電源供應控制開關
- 124 : 電源供應控制開關
- 150 : 控制器
- 151 : 介面單元
- 152 : 時脈生成單元
- 153 : 輸出信號控制單元
- 154 : 緩衝單元
- 155 : 計數電路
- 171 : 觸控面板
- 172 : 觸控面板控制器
- 173 : 鍵盤
- 174 : 鍵盤控制器
- 181 : 顯示器
- 182 : 顯示器控制器
- 190 : 電源
- 200 : 記憶單元

- 211 : 電晶體
- 212 : 電晶體
- 213 : 電容器
- 300 : CPU
- 301 : 電路
- 302 : 電路
- 303 : 電路
- 304 : CPU 控制部
- 305 : 暫存器組
- 306 : 計算單元
- 307 : 位址緩衝器
- 308 : 狀態生成部
- 309 : 暫存器
- 310 : ALU
- 400 : 半導體基板
- 401 : 元件分離絕緣膜
- 402 : 雜質區
- 403 : 雜質區
- 404 : 閘極電極
- 405 : 閘極絕緣膜
- 409 : 絕緣膜
- 410 : 佈線
- 411 : 佈線
- 412 : 佈線

- 415 : 佈線
- 416 : 佈線
- 417 : 佈線
- 420 : 絕緣膜
- 421 : 佈線
- 430 : 半導體膜
- 431 : 閘極絕緣膜
- 432 : 導電膜
- 433 : 導電膜
- 434 : 閘極電極
- 435 : 導電膜
- 441 : 絕緣膜
- 443 : 導電膜
- 500 : 緩衝器
- 501 : 位準偏移器
- 502 : 位準偏移器
- 551 : 程式記憶體
- 552 : 電源閘截止用計數器
- 553 : 電源閘導通用計數器
- 601 : 正反器
- 602 : 記憶體電路
- 603 : 選擇器
- 621 : 資料保持部
- 622 : 資料讀出部



- 631 : 電晶體
- 632 : 電容器
- 633 : 電晶體
- 634 : 電晶體
- 635 : 電晶體
- 636 : 反相器
- 637 : 電容器
- 700 : 元件形成層
- 701 : 絕緣層
- 711 : 半導體層
- 712a : 區域
- 712b : 區域
- 713 : 通道形成區
- 714 : 絕緣層
- 715 : 導電層
- 716a : 絕緣層
- 716b : 絕緣層
- 717 : 絕緣層
- 718a : 導電層
- 718b : 導電層
- 719 : 絕緣層
- 750 : 元件形成層
- 751 : 導電層
- 752 : 絕緣層

753 : 絕緣層

754 : 半導體層

755a : 導電層

755b : 導電層

756a : 導電層

756b : 導電層

757 : 絕緣層

801 : 電晶體

802 : 電晶體

810 : 基板

811 : 絕緣層

813 : 單晶矽層

814 : 導電層

815 : 絕緣層

816 : 絕緣層

817 : 絕緣層

818 : 導電層

1011 : 外殼

1012 : 面板

1013 : 按鈕

1014 : 揚聲器

1021a : 外殼

1021b : 外殼

1022a : 面板

- 1022b : 面板
- 1023 : 鉸鏈
- 1024 : 按鈕
- 1025 : 連接端子
- 1026 : 儲存媒體插入部
- 1027 : 揚聲器
- 1031 : 外殼
- 1032 : 面板
- 1033 : 按鈕
- 1034 : 揚聲器
- 1035 : 甲板部
- 1041 : 外殼
- 1042 : 面板
- 1043 : 支架
- 1044 : 按鈕
- 1045 : 連接端子
- 1046 : 揚聲器
- 1050 : 電子裝置
- 1051 : 外殼
- 1052 : 冷藏室門
- 1053 : 冷凍室門
- 1060 : 室內單元
- 1061 : 外殼
- 1062 : 送風口

1064 : 室外單元

1100 : 程式記憶體

1110 : 暫存器

1130 : 暫存器

## 申請專利範圍

1. 一種半導體裝置，包括：

與第一開關電連接的 CPU；

與第二開關電連接的記憶體；

與第三開關電連接的信號處理電路；以及

控制器，

其中該信號處理電路係組態以轉換該 CPU 的運算資料信號為被輸入到輸出裝置的輸出信號，

其中該第一開關、該第二開關及該第三開關之各者與電源供應線電連接，

其中，該 CPU 係組態以輸出被輸入到該控制器的第一信號，

其中，該控制器係組態以根據該第一信號控制該第一開關，

其中，該信號處理電路係組態以輸出被輸入到該控制器的第二信號，

其中，該控制器係組態以根據該第二信號控制該第三開關，以及

其中，該控制器係組態以個別地控制該第一開關、該第二開關及該第三開關。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中該 CPU 包括：

在對該 CPU 供應電源電壓的期間中組態以保持資料的第一記憶體電路；以及

在不對該 CPU 供應電源電壓的期間中組態以保持資料的第二記憶體電路，

其中該第二記憶體電路包括場效應電晶體，以及

其中該場效應電晶體的每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下。

3. 根據申請專利範圍第 2 項之半導體裝置，

其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及

其中該結晶部的  $c$  軸在與形成有該氧化物半導體層的表面的法線向量平行的方向上排列。

4. 根據申請專利範圍第 2 項之半導體裝置，

其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及

其中該結晶部的  $c$  軸在與該氧化物半導體層的表面的法線向量平行的方向上排列。

5. 一種半導體裝置，包括：

與第一開關電連接的第一 CPU；

與第二開關電連接的記憶體；

與第三開關電連接的信號處理電路；以及

第二 CPU，

其中該信號處理電路係組態以轉換該第一 CPU 的運算資料信號，

其中該第一開關、該第二開關及該第三開關之各者與電源供應線電連接，以及

其中該第二 CPU 係組態以控制該第一開關、該第二開關及該第三開關。

6. 根據申請專利範圍第 5 項之半導體裝置，其中該第二 CPU 控制該第三開關以致在開始對該第一 CPU 供應電源電壓之後開始對該信號處理電路供應電源電壓。

7. 根據申請專利範圍第 5 項之半導體裝置，其中該第二 CPU 控制該第一開關以致在該第一 CPU 輸出該運算資料信號之後停止對該第一 CPU 供應電源電壓。

8. 根據申請專利範圍第 5 項之半導體裝置，其中該第一開關、該第二開關及該第三開關之各者由該第二 CPU 使用的程式控制。

9. 根據申請專利範圍第 1 或 5 項之半導體裝置，其中該記憶體包括場效應電晶體，以及其中該場效應電晶體的每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下。

10. 根據申請專利範圍第 9 項之半導體裝置，其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及其中該結晶部的  $c$  軸在與形成有該氧化物半導體層的表面的法線向量平行的方向上排列。

11. 根據申請專利範圍第 9 項之半導體裝置，其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及其中該結晶部的  $c$  軸在與該氧化物半導體層的表面的

法線向量平行的方向上排列。

12. 根據申請專利範圍第 5 項之半導體裝置，

其中該第一 CPU 包括：

在對該第一 CPU 供應電源電壓的期間中組態以保持資料的第一記憶體電路；以及

在不對該第一 CPU 供應電源電壓的期間中組態以保持資料的第二記憶體電路，

其中該第二記憶體電路包括場效應電晶體，以及

其中該場效應電晶體的每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下。

13. 根據申請專利範圍第 12 項之半導體裝置，

其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及

其中該結晶部的  $c$  軸在與形成有該氧化物半導體層的表面的法線向量平行的方向上排列。

14. 根據申請專利範圍第 12 項之半導體裝置，

其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及

其中該結晶部的  $c$  軸在與該氧化物半導體層的表面的法線向量平行的方向上排列。

15. 根據申請專利範圍第 1 或 5 項之半導體裝置，

其中該信號處理電路包括：

在對該信號處理電路供應電源電壓的期間中組態以保持資料的第一記憶體電路；以及



在不對該信號處理電路供應電源電壓的期間中組態以保持資料的第二記憶體電路，

其中該第二記憶體電路包括場效應電晶體，以及

其中該場效應電晶體的每  $1\mu\text{m}$  通道寬度的截止電流為  $100\text{zA}$  或以下。

16.根據申請專利範圍第 15 項之半導體裝置，

其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及

其中該結晶部的  $c$  軸在與形成有該氧化物半導體層的表面的法線向量平行的方向上排列。

17.根據申請專利範圍第 15 項之半導體裝置，

其中該場效應電晶體包括具有結晶部的氧化物半導體層，以及

其中該結晶部的  $c$  軸在與該氧化物半導體層的表面的法線向量平行的方向上排列。

18.根據申請專利範圍第 1 項之半導體裝置，

其中該 CPU 包括：

在對該 CPU 供應電源電壓的期間中組態以保持資料的第一記憶體電路；以及

在不對該 CPU 供應電源電壓的期間中組態以保持資料的第二記憶體電路，

其中該第二記憶體電路包括場效應電晶體，以及

其中該場效應電晶體包括含有氧化物半導體的通道形成區域。

圖式

圖 1

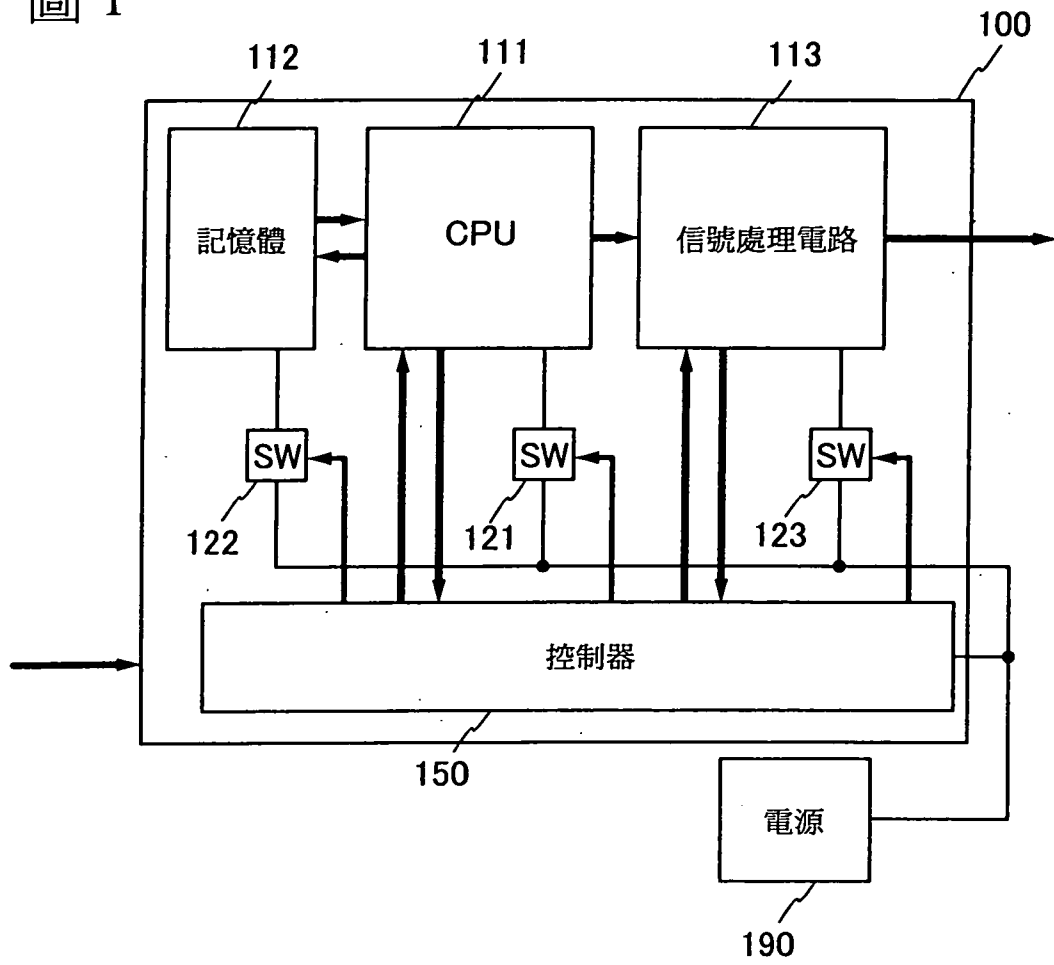


圖 2

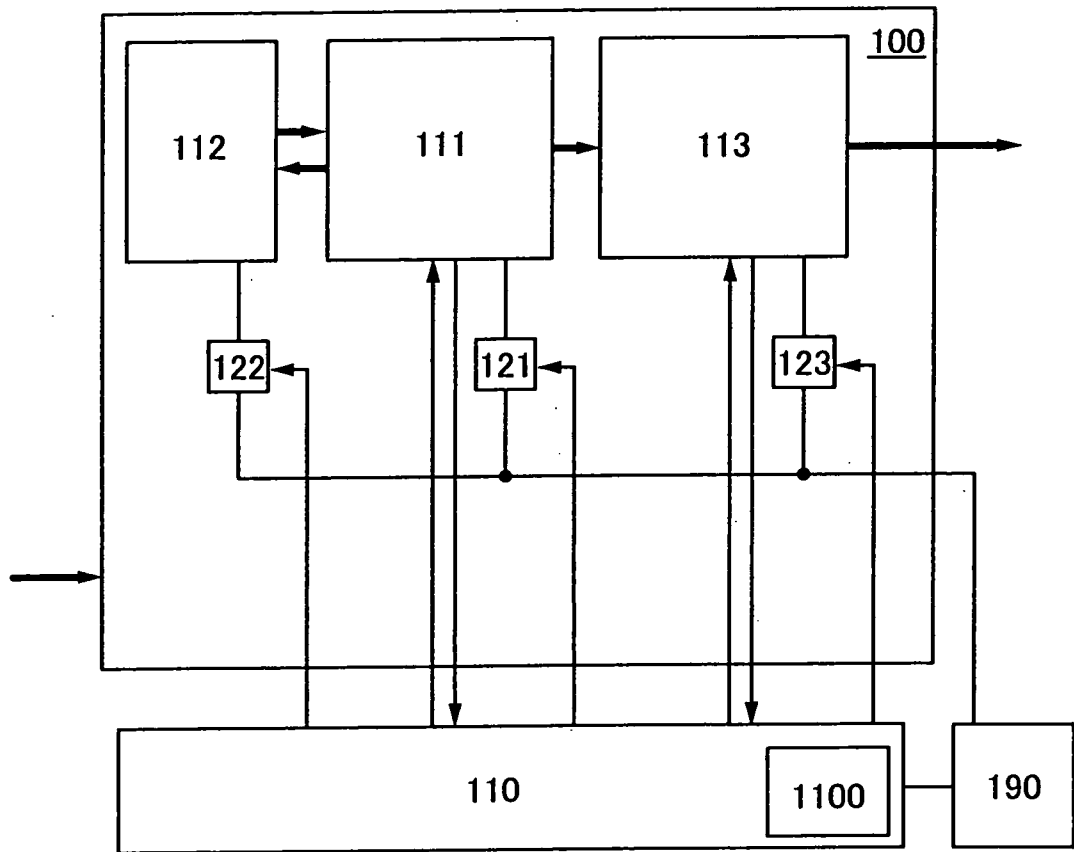


圖 3

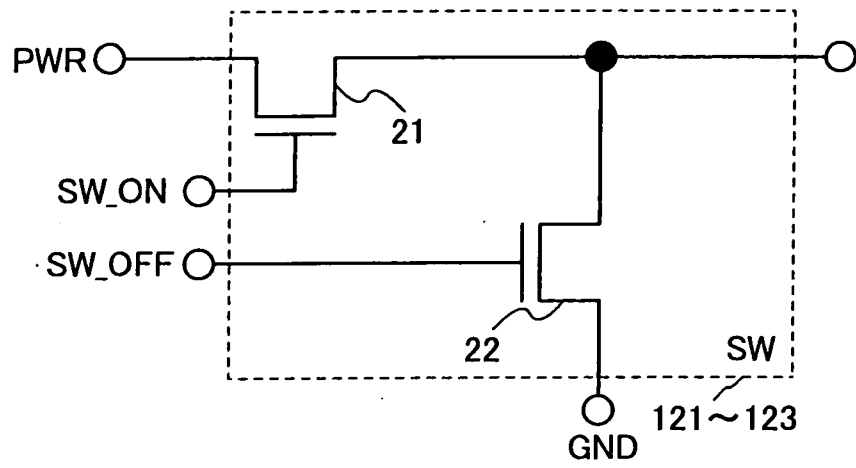


圖 4

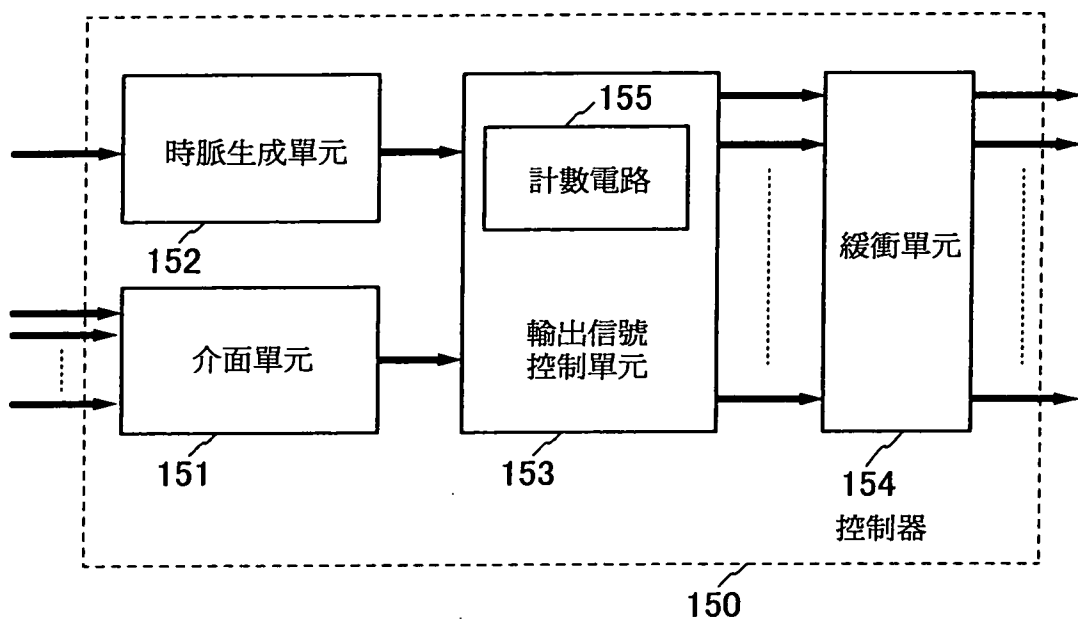


圖 5

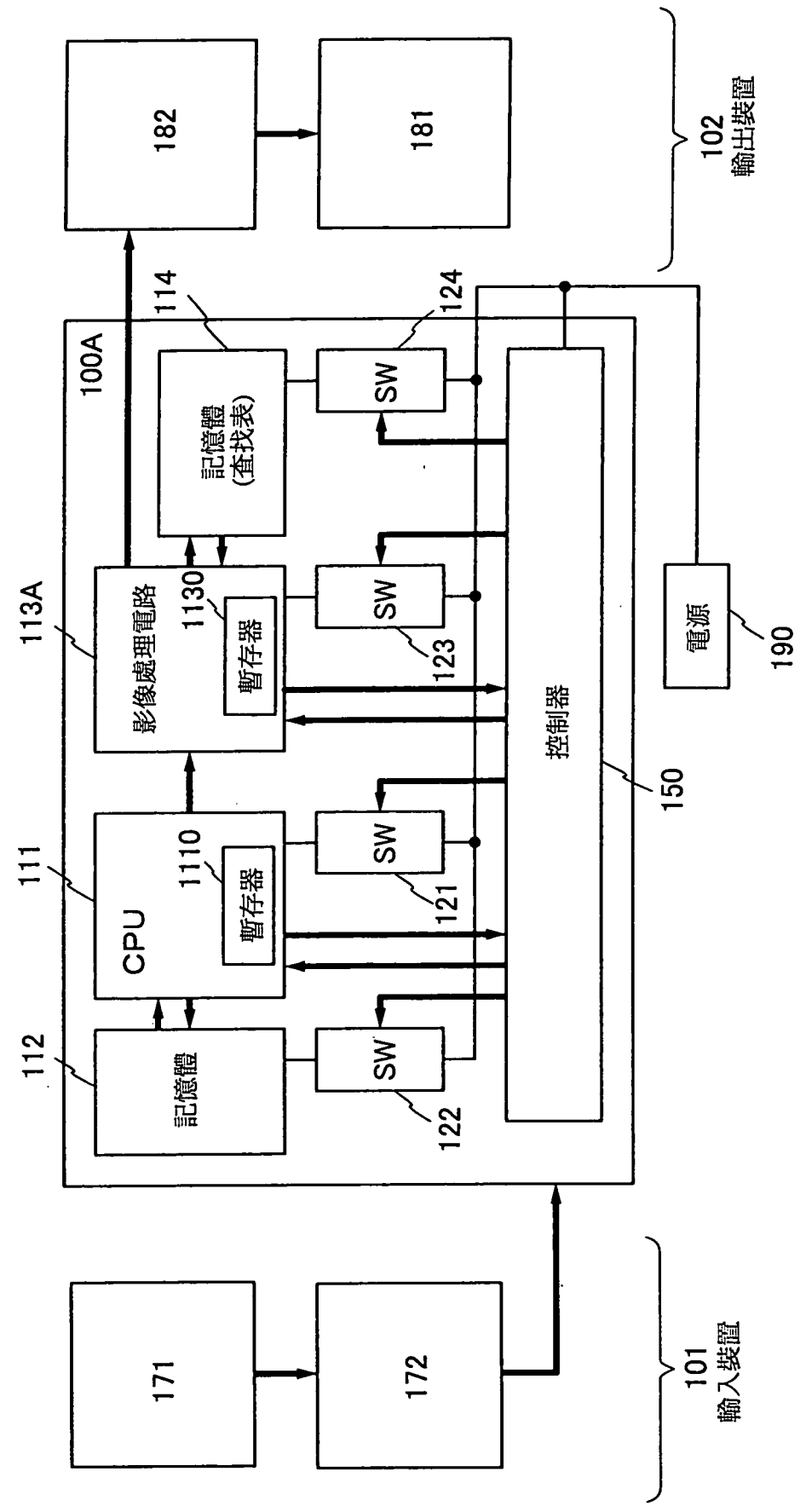


圖 6

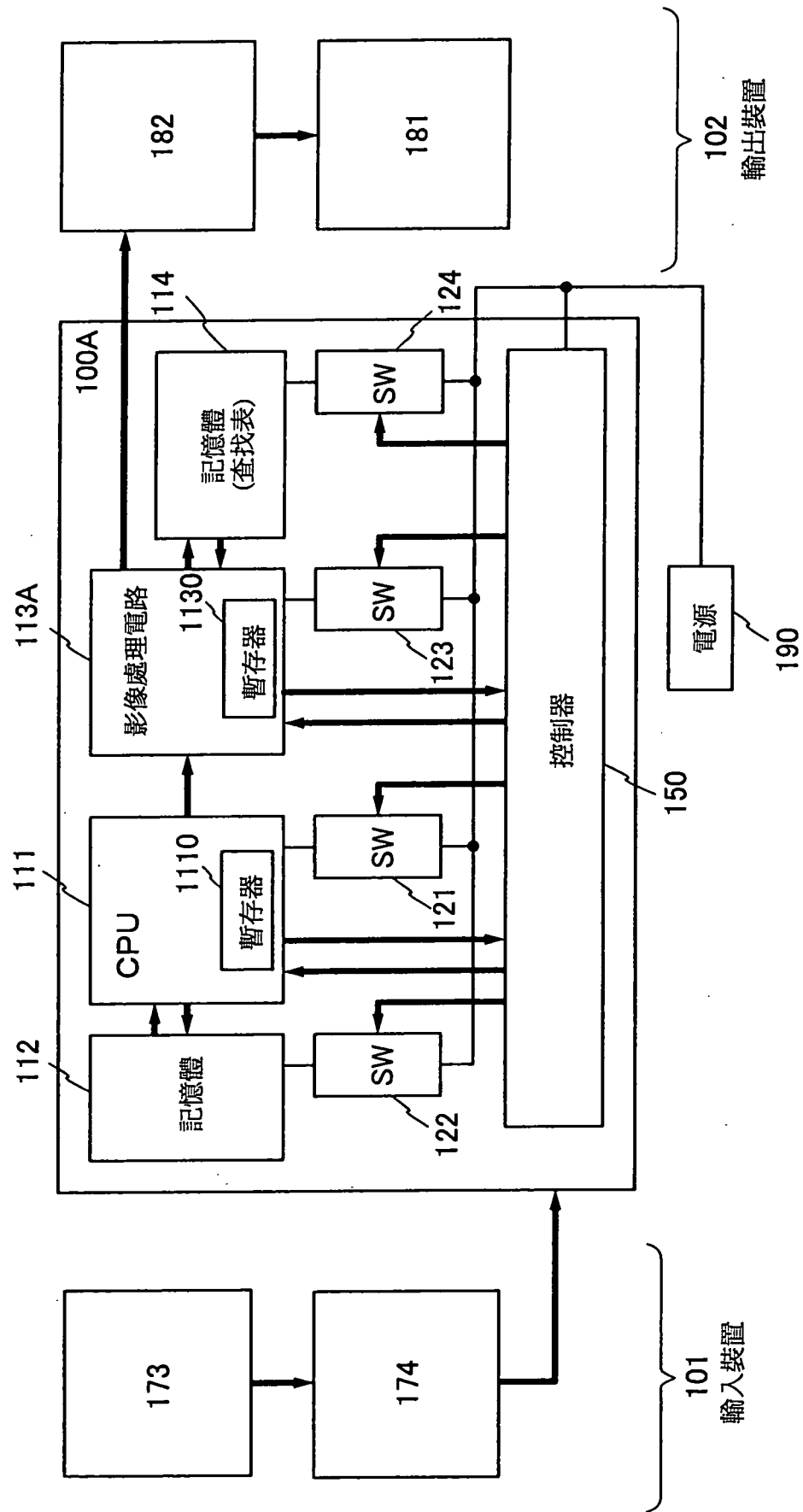


圖 7

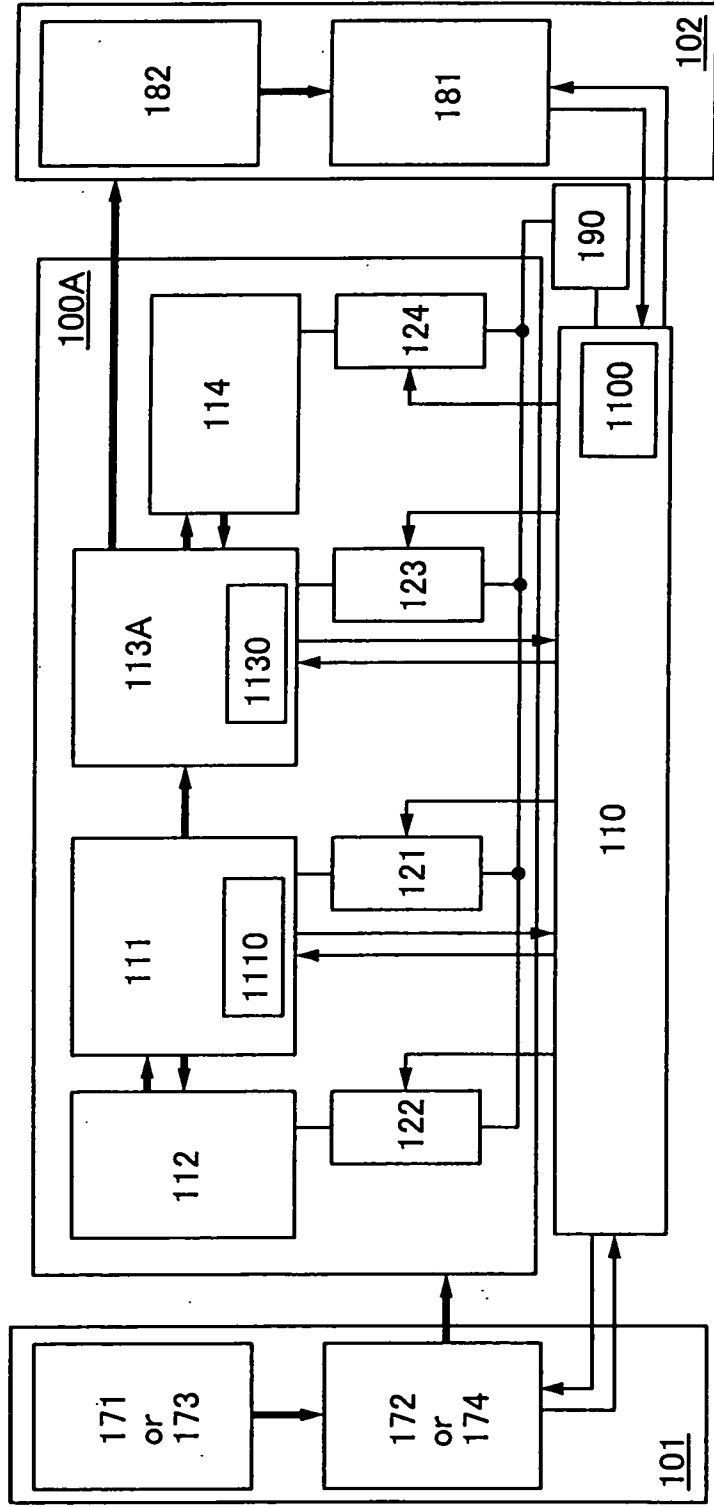




圖 8

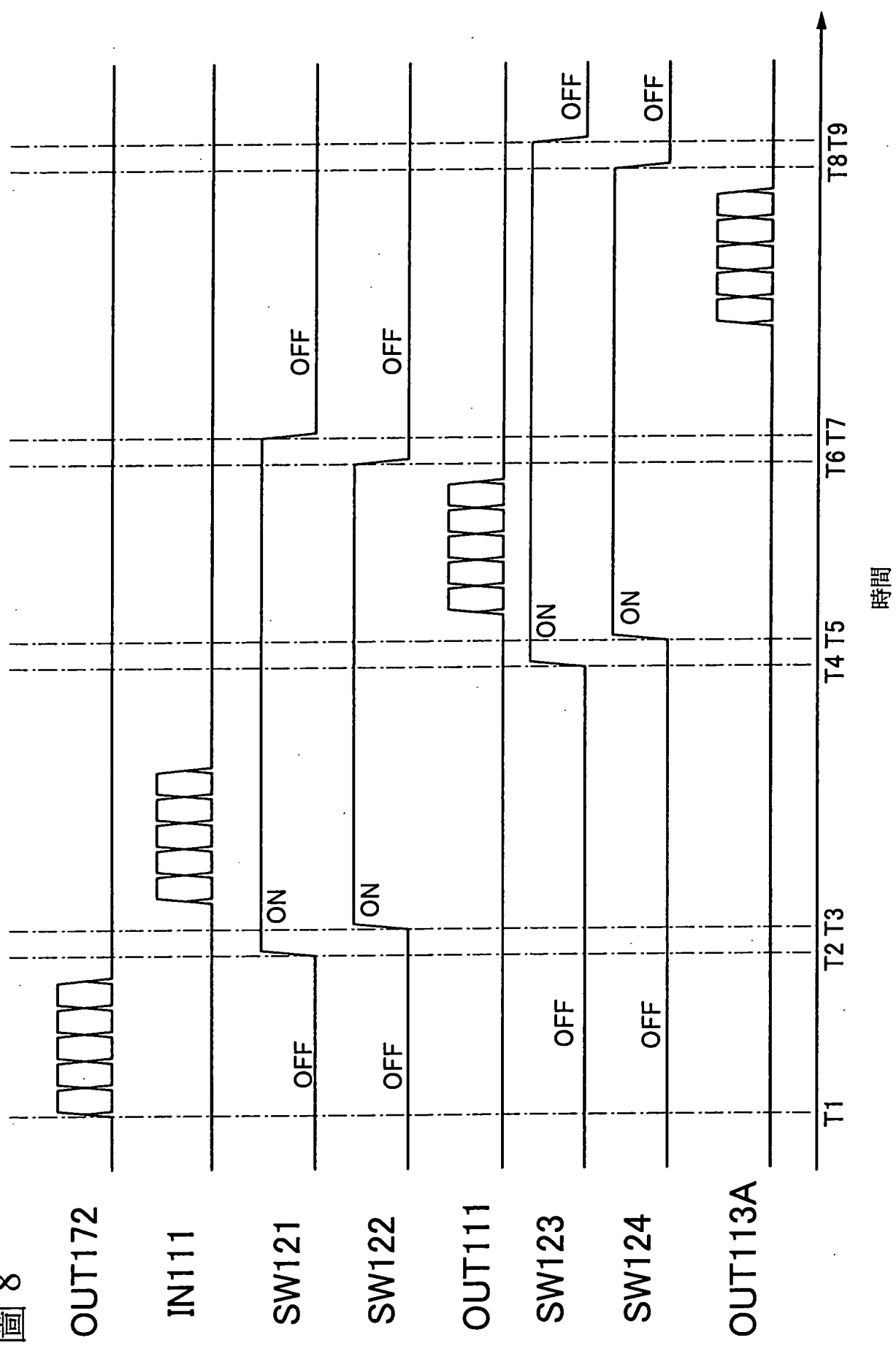


圖 9

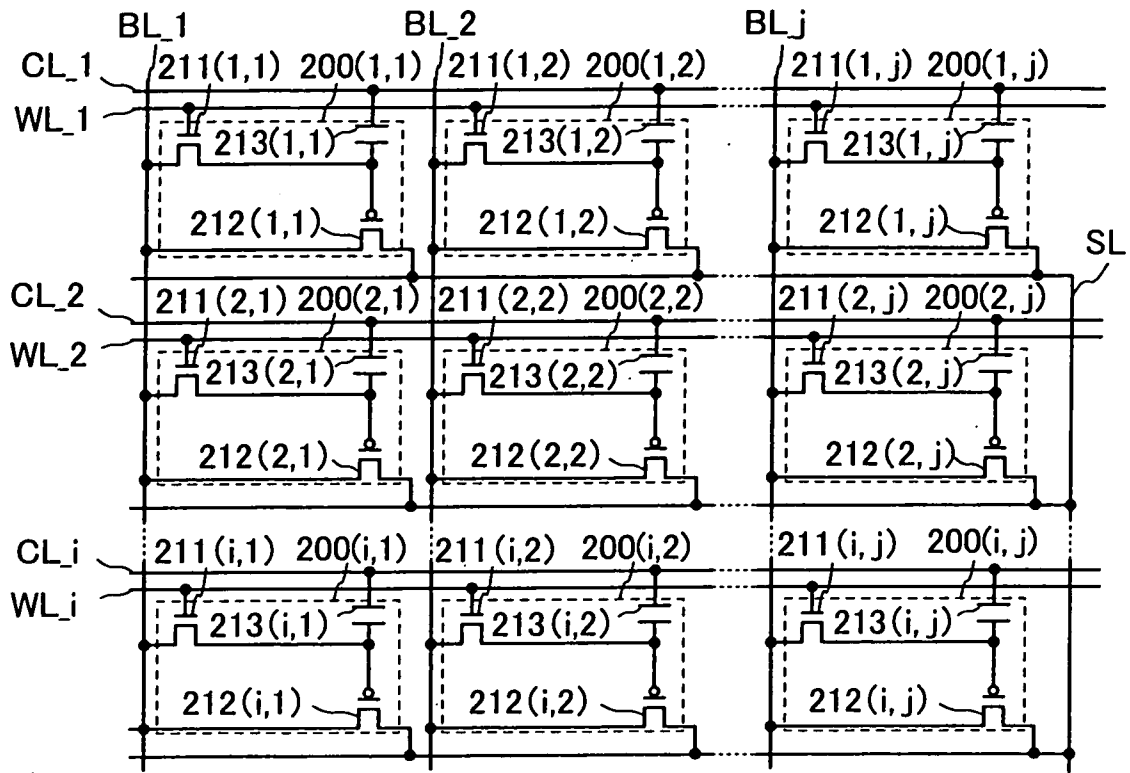


圖 10

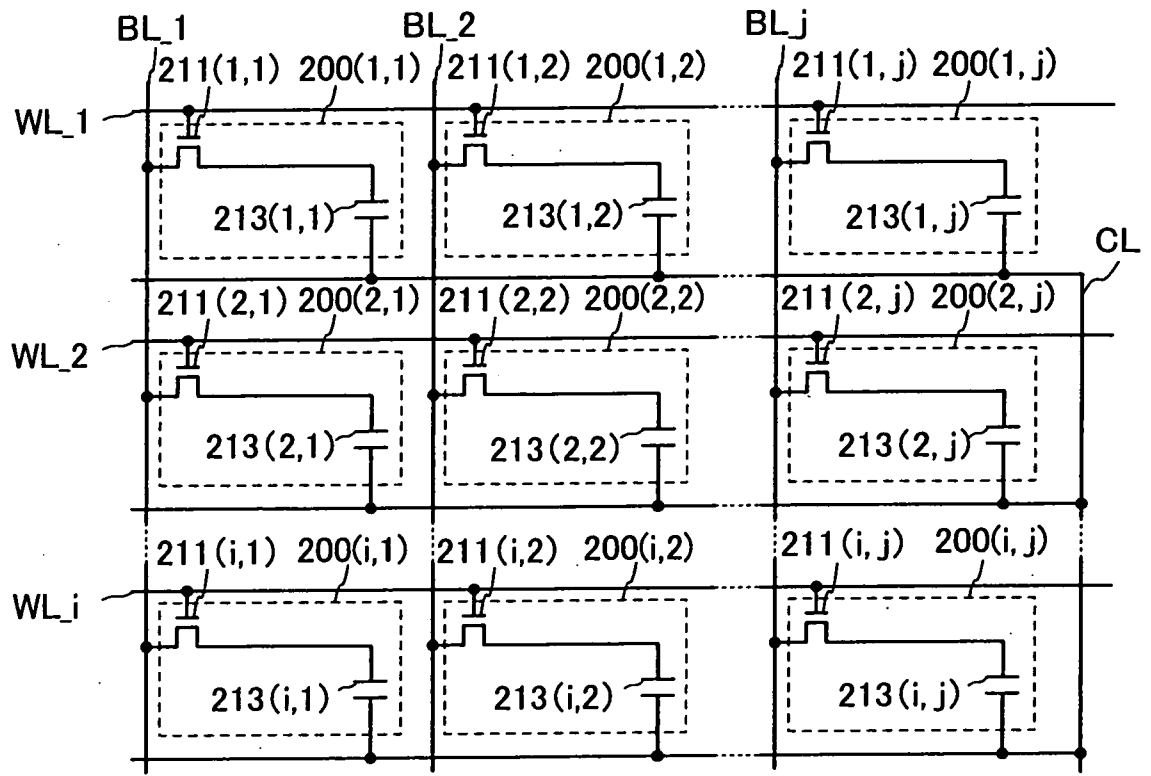


圖 11A

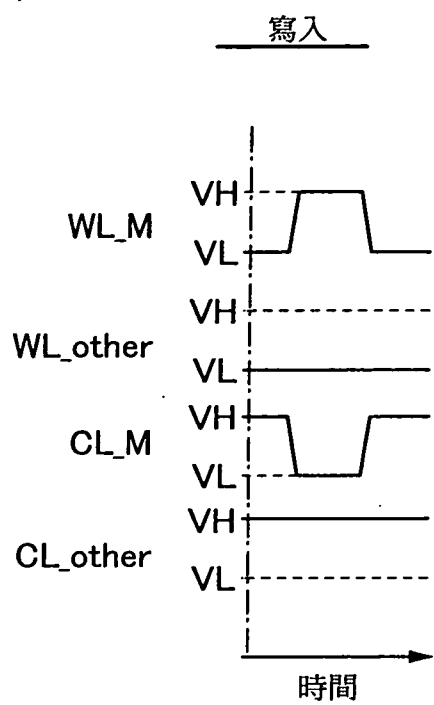


圖 11B

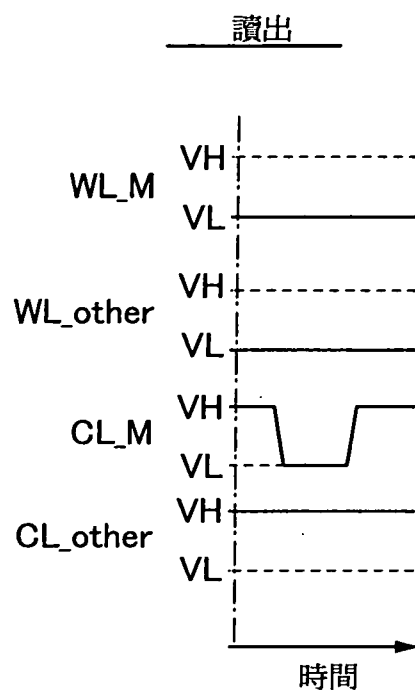


圖 12A

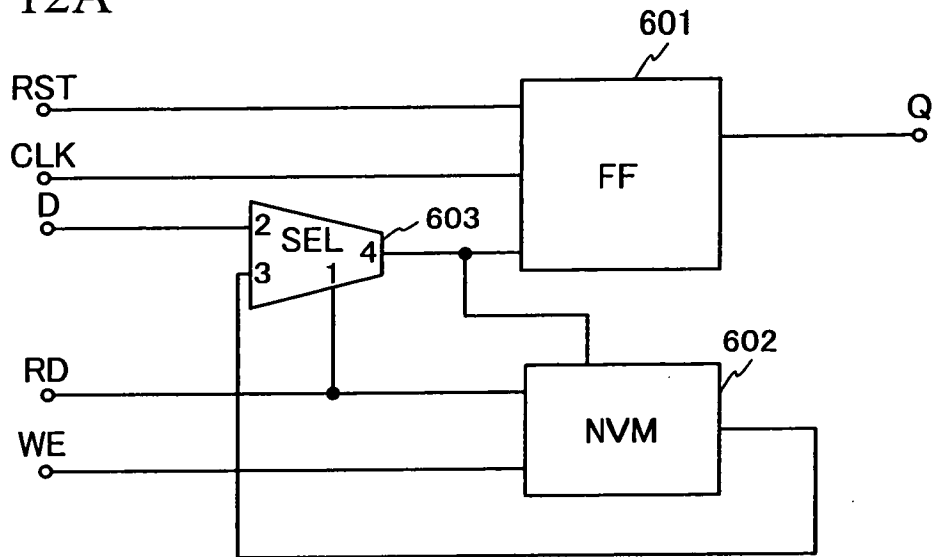


圖 12B

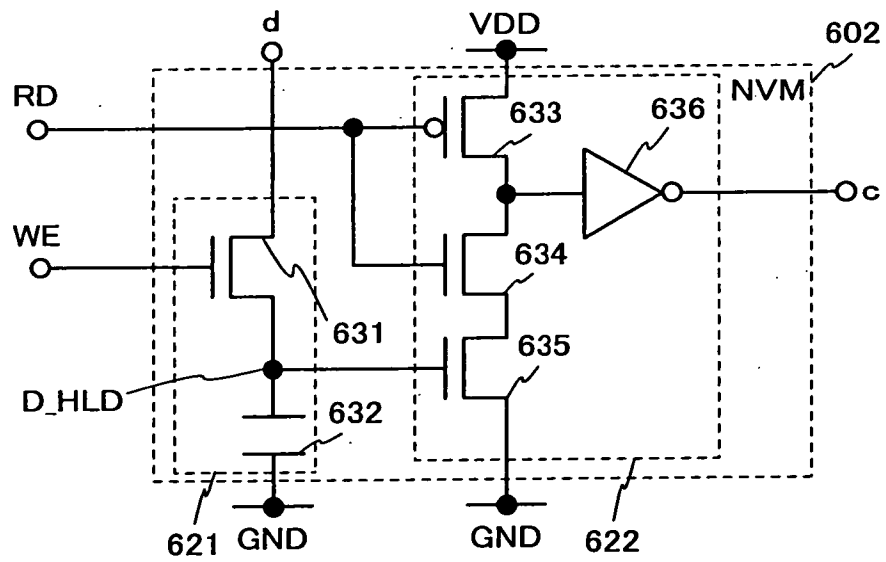


圖 13

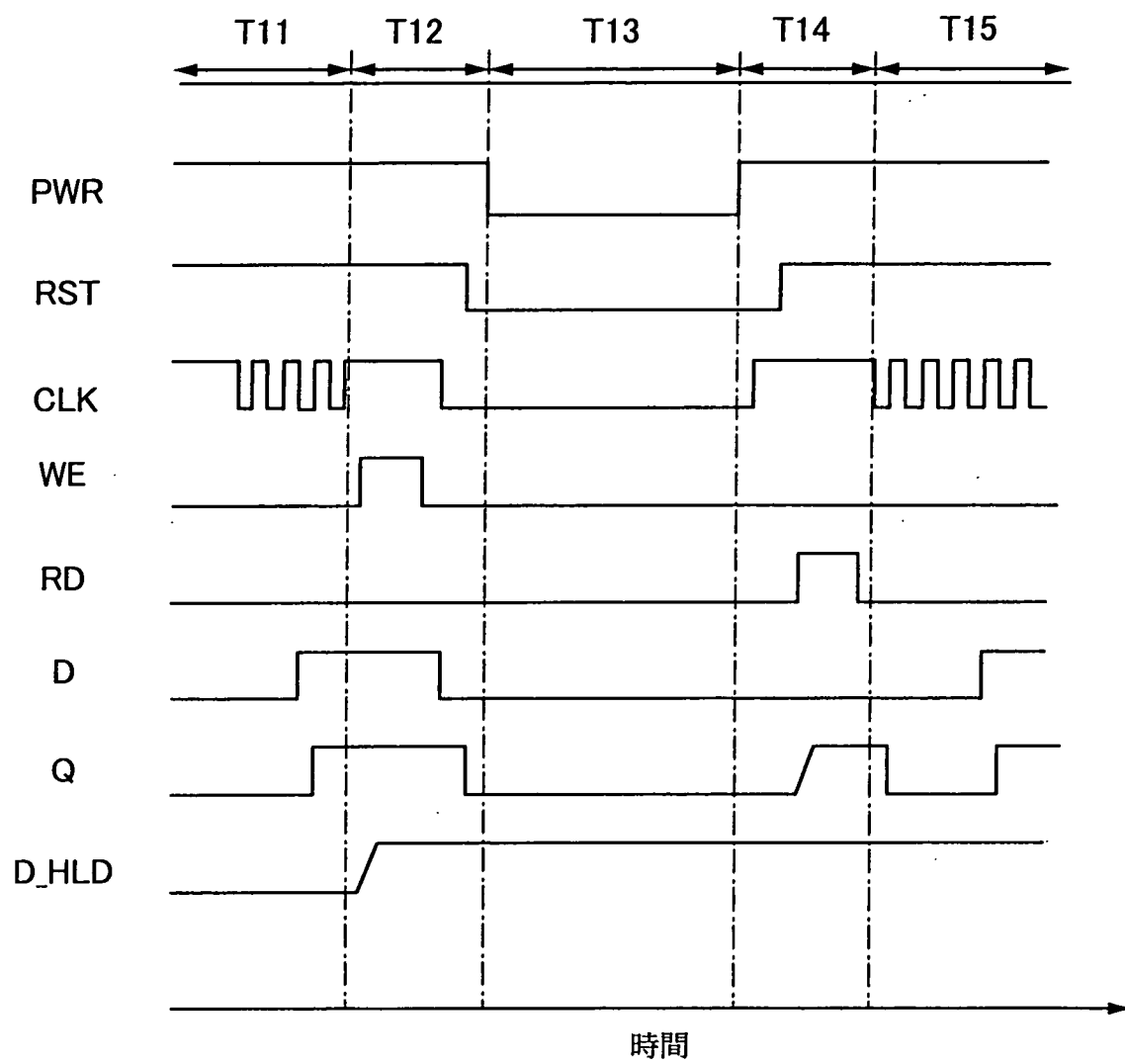


圖 14A

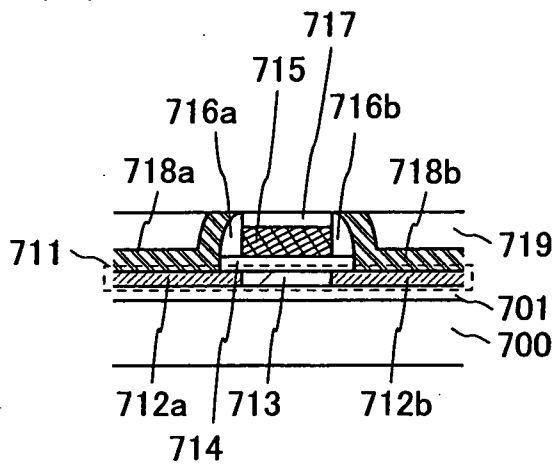


圖 14B

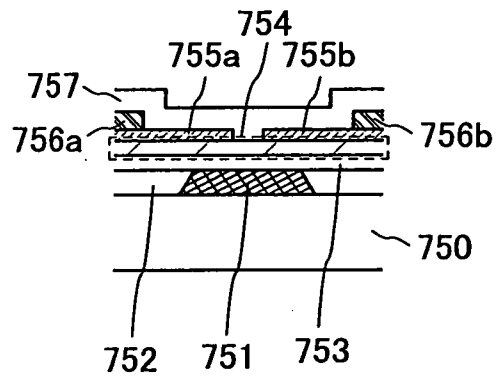


圖 15

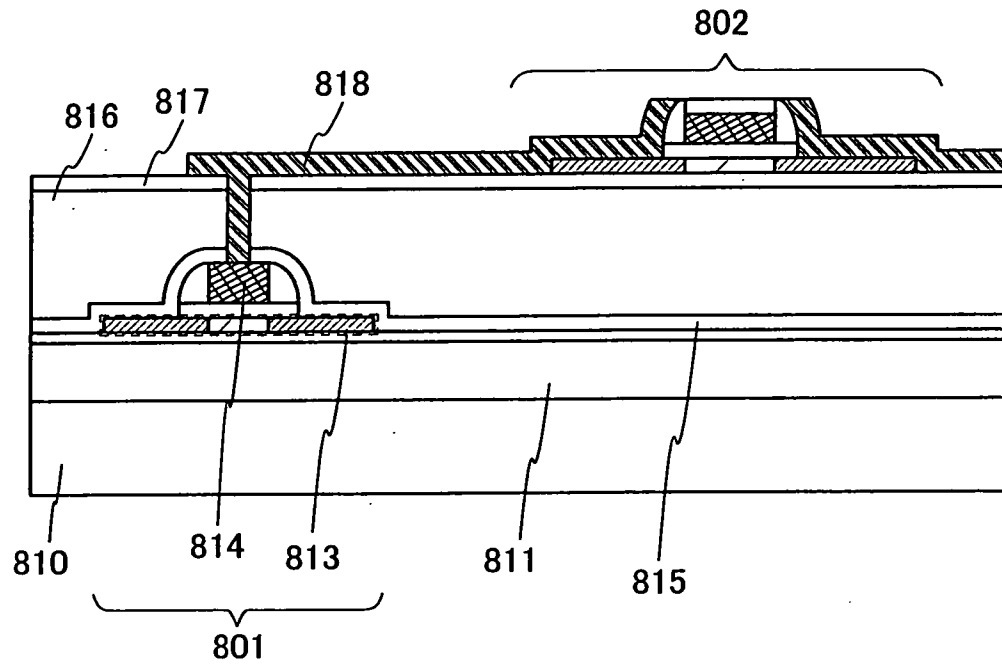




圖 16A

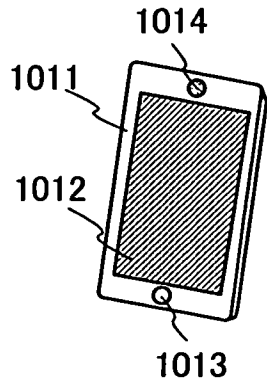


圖 16B

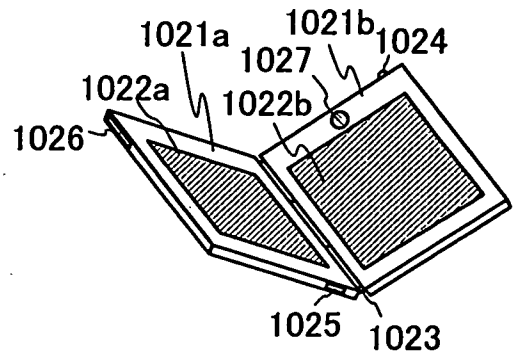


圖 16C

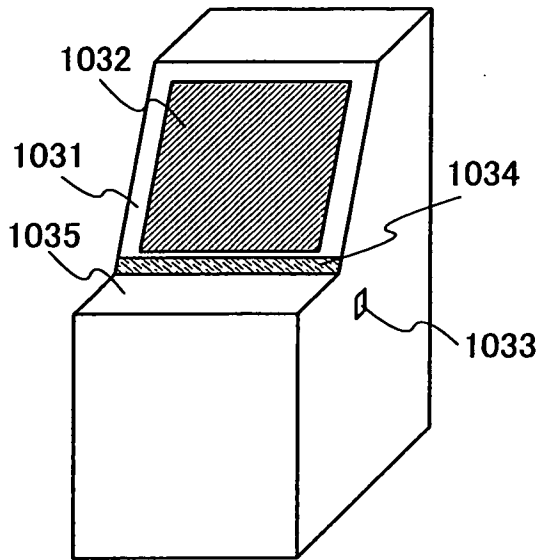


圖 16D

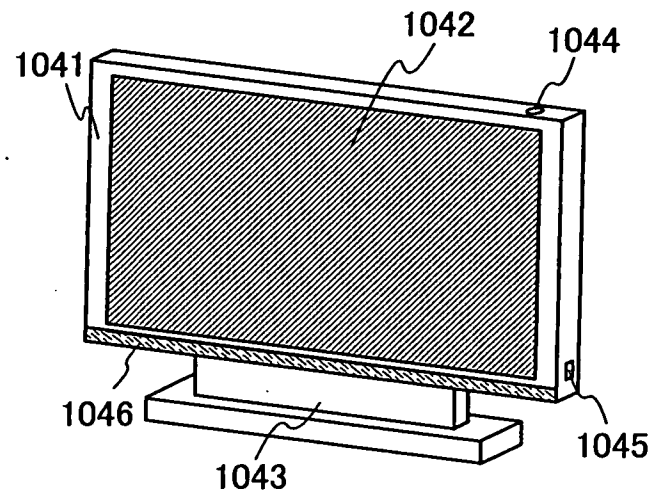


圖 16E

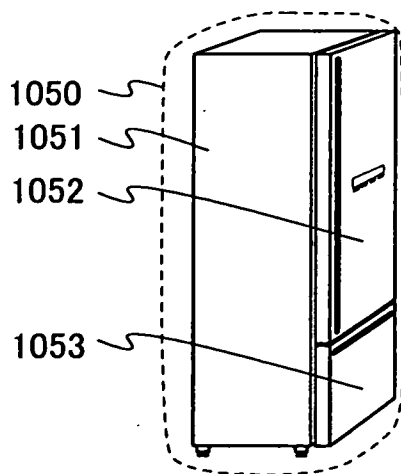


圖 16F

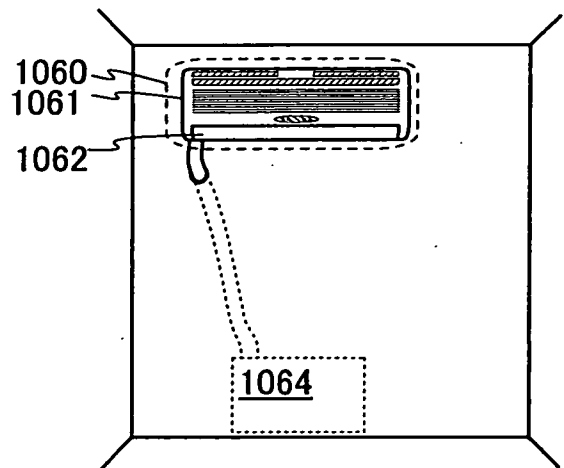


圖 17

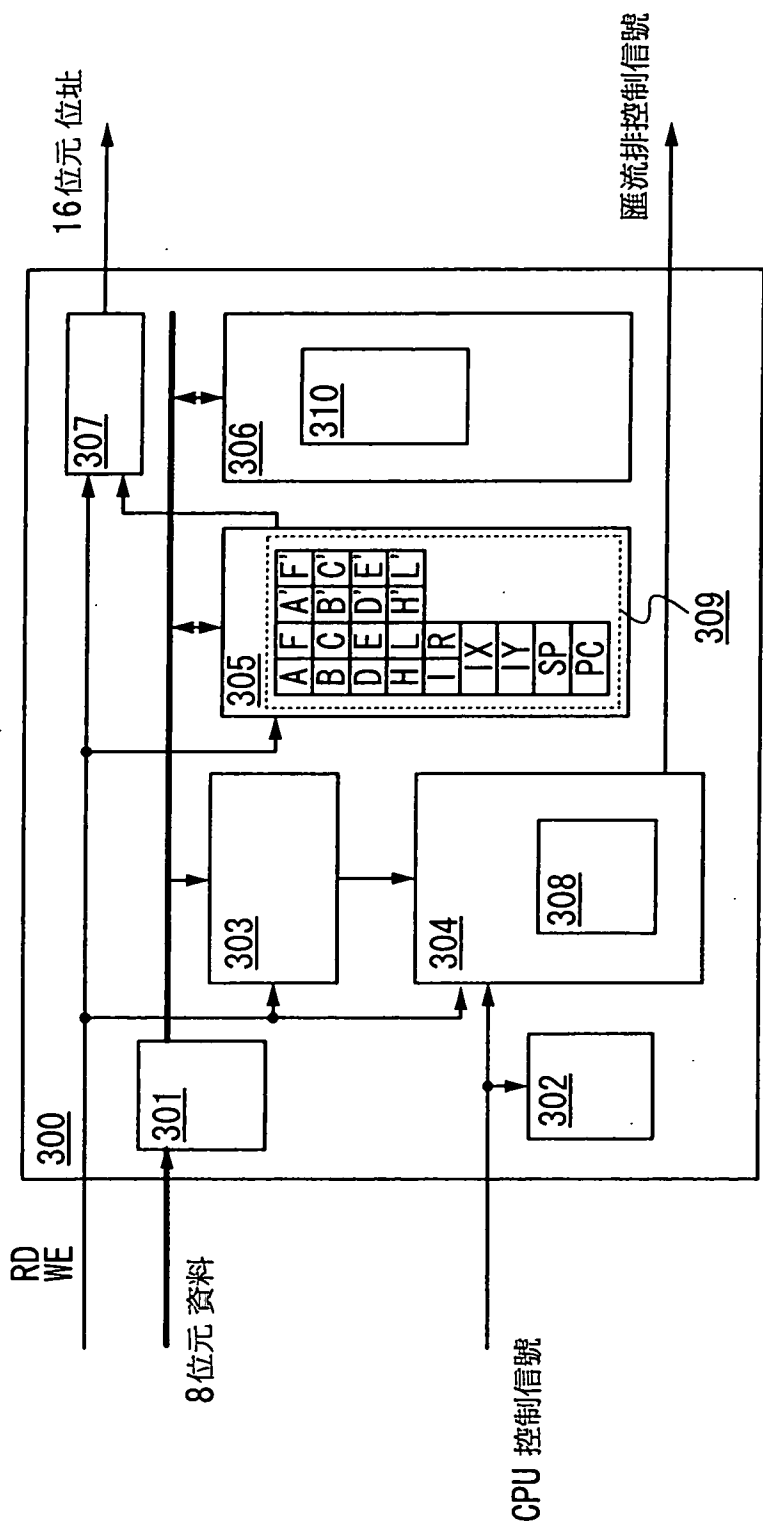
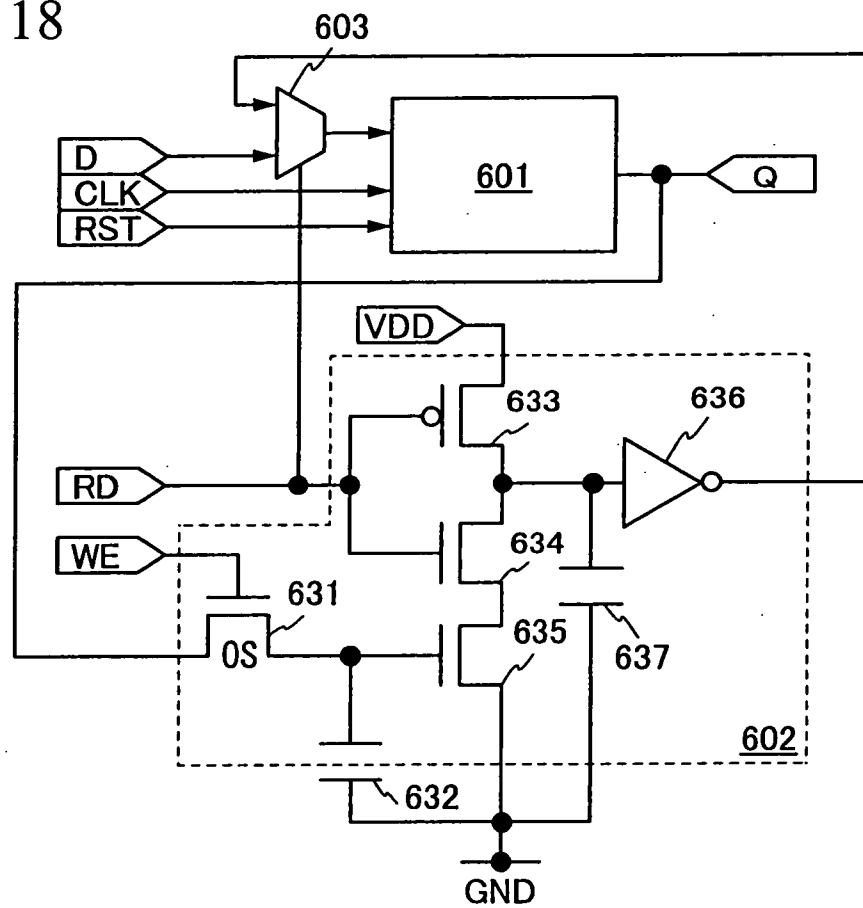


圖 18



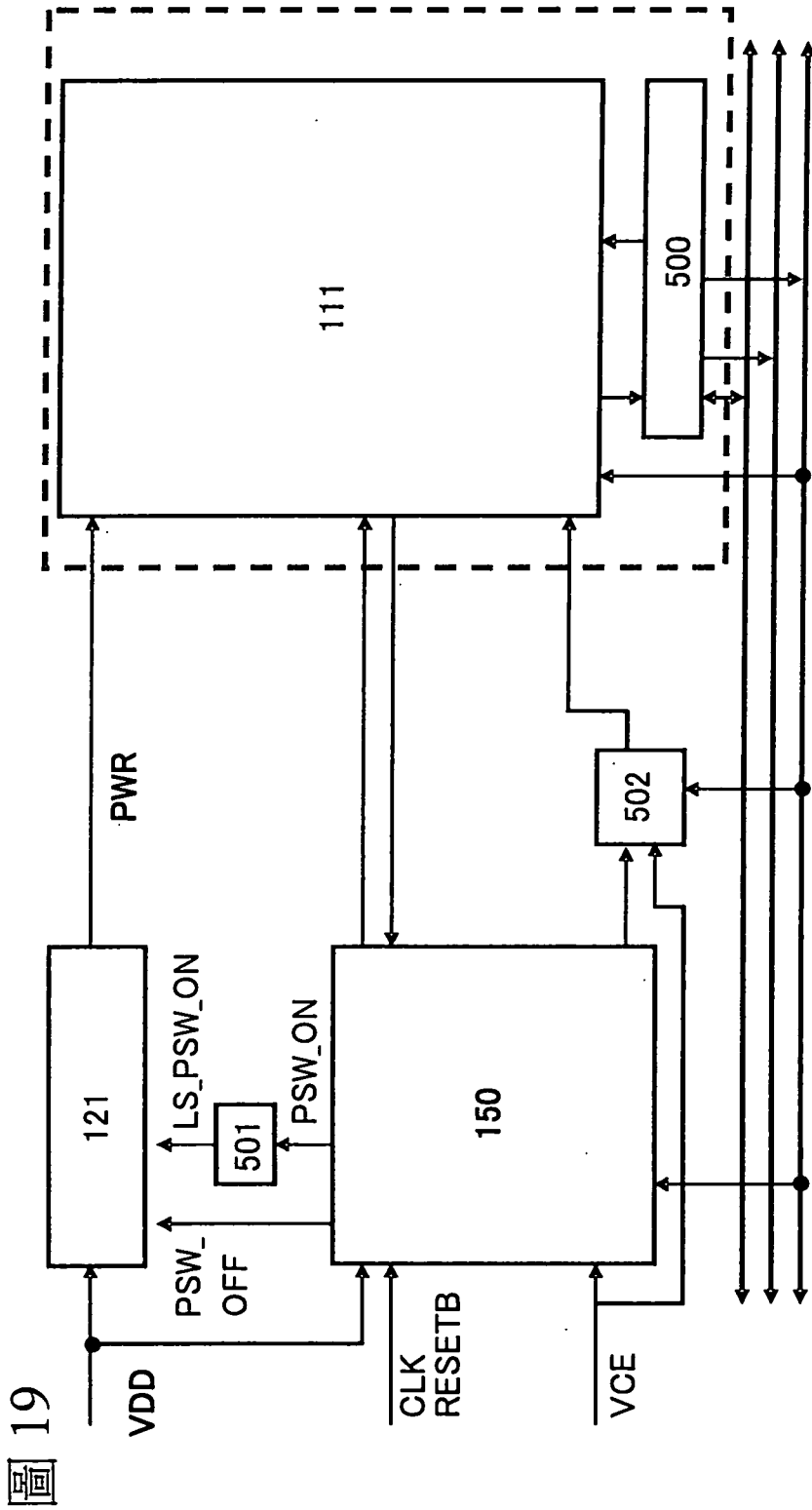
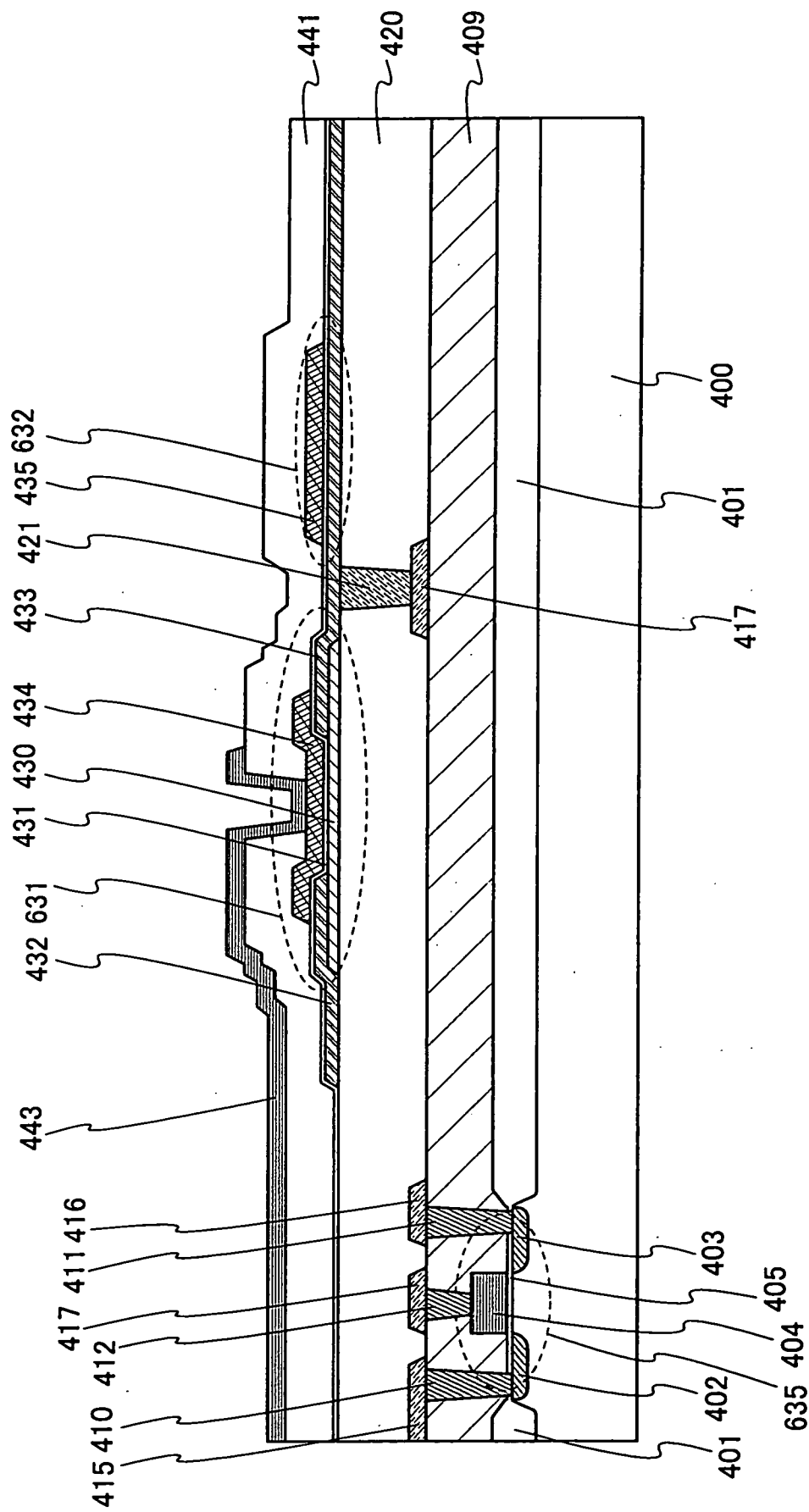


圖 19

圖 20



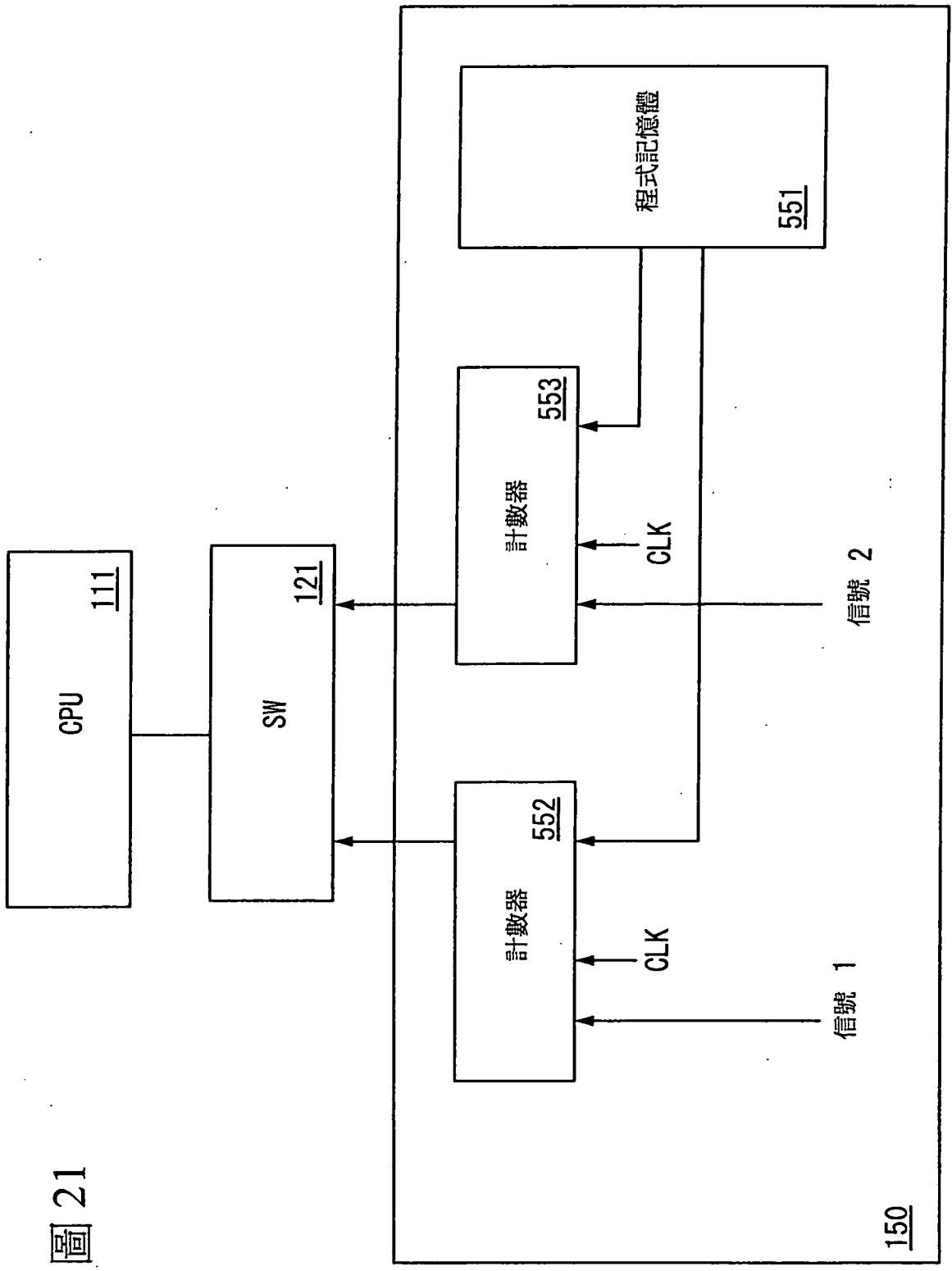


圖 21

圖 22A

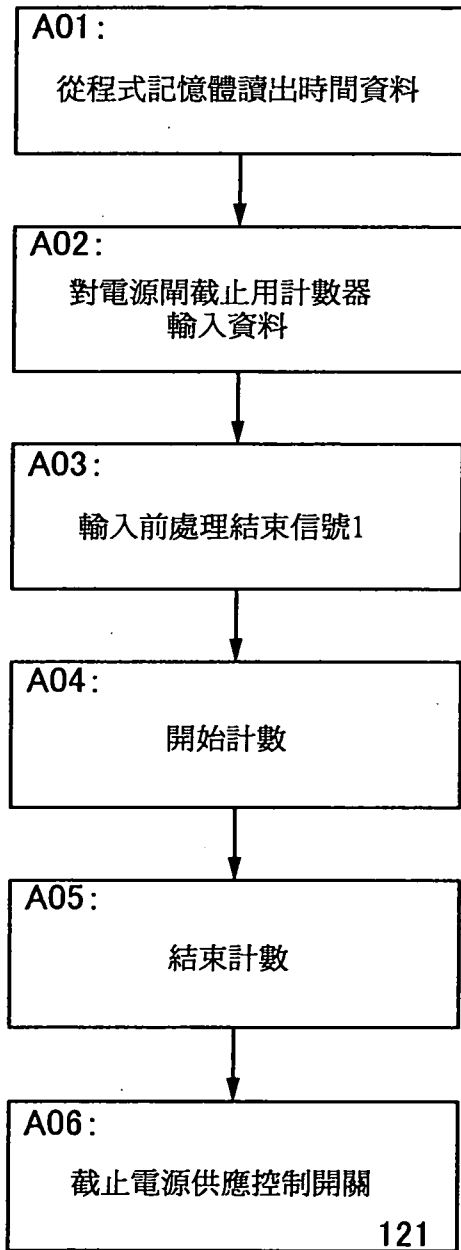


圖 22B

