

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4318892号
(P4318892)

(45) 発行日 平成21年8月26日(2009.8.26)

(24) 登録日 平成21年6月5日(2009.6.5)

(51) Int.Cl.		F I		
HO 1 L 21/82	(2006.01)	HO 1 L 21/82		D
HO 1 L 21/822	(2006.01)	HO 1 L 27/04		A
HO 1 L 27/04	(2006.01)	HO 1 L 21/76		L
HO 1 L 21/76	(2006.01)	G 1 1 B 5/31		M
G 1 1 B 5/31	(2006.01)			

請求項の数 10 (全 24 頁)

(21) 出願番号	特願2002-158276 (P2002-158276)	(73) 特許権者	308014341
(22) 出願日	平成14年5月30日(2002.5.30)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2003-347406 (P2003-347406A)		東京都新宿区西新宿二丁目7番1号
(43) 公開日	平成15年12月5日(2003.12.5)	(74) 代理人	100070150
審査請求日	平成17年2月4日(2005.2.4)		弁理士 伊東 忠彦
前置審査		(74) 代理人	100146776
			弁理士 山口 昭則
		(72) 発明者	井谷 直毅
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	池淵 立

最終頁に続く

(54) 【発明の名称】 電子装置の設計方法および製造方法

(57) 【特許請求の範囲】

【請求項1】

(1) 化学機械的研磨により研磨速度が大きい易研磨領域と研磨速度が小さい難研磨領域との両方を含んで画定されるレイアウト領域を第1の小領域に等しく複数に分割する工程と、

(2) 各々の該第1の小領域について、前記難研磨領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記難研磨領域が占めてよい許容面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ易研磨領域を拡大あるいは追加し、前記許容面積率よりも小さければ難研磨領域を拡大あるいは追加する工程と、

(3) 前記レイアウト領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、

(4) 各々の該第2の小領域について、前記難研磨領域が占める第2の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記難研磨領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ易研磨領域を拡大あるいは追加し、前記許容最大面積率よりも小さければ難研磨領域を拡大あるいは追加する工程と、を有し、

前記第2の小領域の許容面積率の範囲は、前記第1の小領域の許容面積率の範囲よりも小さく、

前記第2の小領域は前記第1の小領域より大きく、

前記第2の小領域の許容面積率の範囲が前記第1の小領域の許容面積率の範囲に含まれていることを特徴とする電子装置の設計方法。

【請求項2】

(1) 化学機械的研磨により研磨速度が異なる素子分離領域と、該素子分離領域により画成された基板領域との両方を含む素子形成領域を第1の小領域に等しく複数に分割する工程と、

(2) 各々の該第1の小領域について、前記基板領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記基板領域が占めてよい許容最大面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ素子分離領域を拡大あるいは追加し、前記許容面積率よりも小さければ基板領域を拡大あるいは追加する工程と、

(3) 前記素子形成領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、

(4) 各々の該第2の小領域について、前記基板領域が占める第2の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記基板領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ素子分離領域を拡大あるいは追加し、前記許容面積率よりも小さければ基板領域を拡大あるいは追加する工程と、を有し、

前記第2の小領域の許容面積率の範囲は、前記第1の小領域の許容面積率の範囲よりも小さく、

前記第2の小領域は前記第1の小領域より大きく、

前記第2の小領域の許容面積率の範囲が前記第1の小領域の許容面積率の範囲に含まれていることを特徴とする電子装置の設計方法。

【請求項3】

(1) 化学機械的研磨により研磨速度が異なる配線層領域と絶縁層領域との両方を含む配線領域を第1の小領域に等しく複数に分割する工程と、

(2) 各々の該第1の小領域について、前記絶縁層領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記絶縁層領域が占めてよい許容面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ配線層領域を拡大あるいは追加し、前記許容面積率よりも小さければ絶縁層領域を拡大あるいは追加する工程と、

(3) 前記配線領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、

(4) 各々の該第2の小領域について、前記絶縁層領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記絶縁層領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ配線層領域を拡大あるいは追加し、前記許容面積率よりも小さければ絶縁層領域を拡大あるいは追加する工程と、を有し、

前記第2の小領域の許容面積率の範囲は、前記第1の小領域の許容面積率の範囲よりも小さく、

前記第2の小領域は前記第1の小領域より大きく、

前記第2の小領域の許容面積率の範囲が前記第1の小領域の許容面積率の範囲に含まれていることを特徴とする電子装置の設計方法。

【請求項4】

前記(1)または(3)の工程において、前記第1または第2の小領域の各々が、隣り合う対応する第1または第2の該小領域と互いに所定量だけ重なり合っていることを特徴とする請求項1～3のうち、いずれか一項記載の電子装置の設計方法。

【請求項5】

前記所定量は、前記第1または第2の小領域の一辺の長さの3/4以下であることを特徴とする請求項4記載の電子装置の設計方法。

10

20

30

40

50

【請求項 6】

前記第 2 の小領域は前記第 1 の小領域の 4 倍から 16 倍の範囲内の面積を有することを特徴とする請求項 1 ~ 5 のうち、いずれか一項記載の電子装置の設計方法。

【請求項 7】

前記電子装置は、シャロートレンチアイソレーションを有するものであり、前記易研磨領域はシャロートレンチアイソレーション領域であり、前記難研磨領域は前記シャロートレンチアイソレーション領域以外の領域であることを特徴とする請求項 1 および 4 ~ 6 のうち、いずれか一項記載の電子装置の設計方法。

【請求項 8】

前記 (2) の工程を、前記第 1 の小領域を変更し、繰り返して行うことを特徴とする請求項 1 ~ 7 にうち、いずれか一項記載の電子装置の設計方法。

10

【請求項 9】

前記 (4) の工程を、前記第 2 の小領域を変更し、繰り返して行うことを特徴とする請求項 1 ~ 7 にうち、いずれか一項記載の電子装置の設計方法。

【請求項 10】

請求項 1 ~ 9 のうち、いずれか一項記載の電子装置の設計方法を使った設計工程を含むことを特徴とする電子装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、化学機械的研磨 (CMP) 法が適用される STI (Shallow Trench Isolation) 構造あるいは配線構造等を有する電子装置の設計方法およびその設計方法が適用される電子装置の製造方法に関する。なお、電子装置には、半導体装置に限定されず、CMP 法が適用される、薄膜磁気ヘッド、CCD 素子、および半導体レーザ等が含まれる。

【0002】

【従来の技術】

半導体装置、磁気ヘッドなどの電子装置では、薄膜を積層した構造となっている素子や配線構造が採用されている。これらの素子等の製造において、積層した面を平坦化するために CMP 法が用いられている。

30

【0003】

例えば、CMP 法は、MOS (Metal Oxide Semiconductor) デバイスの製造において、STI 工程に用いられている。STI 工程は、半導体基板上の素子領域間を電氣的に分離するために、絶縁性の材料を埋め込んで素子分離領域を形成するものである。以下、図 1 を参照しながら、従来の STI 工程について説明する。

【0004】

図 1 (A) ~ (E) は、STI 工程を示した図である。

【0005】

図 1 (A) を参照するに、シリコン基板 11 を熱酸化により、シリコン酸化膜 12 を形成する。その上に、スパッタ法、CVD (化学気相成長) 法等によりシリコン窒化膜 13 を形成する。

40

【0006】

図 1 (B) を参照するに、次に、素子分離領域となる部分のシリコン窒化膜 13 を、フォトリソグラフィ法およびドライエッチングを用いて除去する。次に、残留するシリコン窒化膜 13 をマスクとして、ドライエッチング法により、素子分離領域のシリコン酸化膜 12 および Si を除去し、トレンチ (溝) 14 を形成する。

【0007】

図 1 (C) を参照するに、次に、トレンチ 14 の内壁を熱酸化し、シリコン酸化膜 15 を形成し、TEOS (tetra ethyl ortho silicate)、HDP (High Density Plasma) 等を用いた CVD 法によりシリコン酸化膜

50

16を堆積させる。

【0008】

図1(D)を参照するに、シリコン窒化膜13とほぼ同一面を形成するようになるまでCMP法によりシリコン酸化膜16を研磨する。この際、シリコン窒化膜13は研磨ストップパとして作用する。すなわち、通常、シリコン酸化膜16の研磨速度は、シリコン窒化膜13の研磨速度に対し3~4倍程度となっている。

【0009】

図1(E)を参照するに、シリコン窒化膜13をリン酸を用いたウエットエッチング等で除去し、HFを用いたウエットエッチングでシリコン酸化膜12を除去する。以上により、シリコン酸化膜16が埋め込まれた素子分離領域17と素子領域18が形成される。

10

【0010】

ところで、CMP法によって研磨された基板の平坦度は、素子配置のレイアウトに依存することが知られている。つまり、シリコン窒化膜13が形成されている素子領域18が密の部分と疎の部分では、シリコン窒化膜13が研磨される量が異なることがある。例えば、シリコン窒化膜13が形成されている素子領域18が密の部分は、シリコン窒化膜13上に堆積しているシリコン酸化膜16の体積が大きいため、シリコン窒化膜13を露出させるまでの研磨時間が長くなる。一方、素子領域18が疎の部分は、シリコン窒化膜13上に堆積しているシリコン酸化膜16の体積が小さいため、シリコン窒化膜13を露出させるまでの研磨時間が短くなる。その結果、疎の部分を通研磨しないようにすると、密の部分で研磨が不十分となり、密の部分を通研磨しようとする、疎の部分は過研磨状態となる。

20

【0011】

これに対して、CMP法により均一に研磨する技術が、特開平9-102539号公報に開示されている(以下、「従来技術1」という。)。従来技術1を、図2を参照して、以下に説明する。

【0012】

図2(A)~(F)は、従来技術1のSTI工程を示した図である。

【0013】

図2(A)を参照するに、シリコン基板21にシリコン酸化膜22とシリコン窒化膜23をこの順に積層し、前述した方法により深さ0.4 μ mのトレンチ24および凸部の素子領域25を形成する。

30

【0014】

図2(B)を参照するに、次に、CVD法によりシリコン酸化膜26を堆積する。この際、堆積するシリコン酸化膜26の厚さは、トレンチ24の深さと同程度でよい。

【0015】

図2(C)を参照するに、次に、シリコン酸化膜26上にフォトレジスト膜を塗布し、パターンニングして、素子領域25の直上に開口部を形成する。このフォトレジスト膜27のパターンは、素子領域25とトレンチ24とからなるパターンの反転パターンとなっている。

【0016】

40

図2(D)を参照するに、次に、フォトレジスト膜27をマスクとして、異方性エッチングにより、素子領域25上のシリコン酸化膜26を除去する。

【0017】

図2(E)を参照するに、次に、フォトレジスト膜27を除去し、Arイオンを用いたドライエッチングにより、Arイオンを基板に垂直に入射し、シリコン酸化膜26をエッチングする。これによって、シリコン酸化膜26がほぼ平坦となる。

【0018】

図2(F)を参照するに、次に、CMP法によりシリコン窒化膜23上のシリコン酸化膜26が除去されるまで研磨を行う。シリコン酸化膜26とシリコン窒化膜23からなる平坦な研磨面が形成され、素子分離領域28が形成される。このように、従来技術1によれ

50

ば、研磨前の研磨面がほぼ平坦なので、研磨布の変形が抑制され、それによって局部的な研磨速度のばらつきが抑制され、研磨後の平坦性を向上できるとするものである。

【0019】

また、CMP法により均一に研磨する他の技術としては、特開平10-173035号公報に開示されている(以下、「従来技術2」という。)。本公報によれば、各素子間の距離を100 μ m以下にして、100 μ m以上になる場合はダミー領域を追加して、素子の粗密を平均化することにより、均一に研磨しようとするものである。

【0020】

【発明が解決しようとする課題】

しかしながら、従来技術1の場合、従来のSTI工程と比較して、フォトレジストをパターンニングするために必要なマスク工程およびドライエッチング処理等が新たに必要となり、製造コストが増大するという問題がある。

【0021】

また、従来技術2の場合、以下に説明する問題がある。図3は、素子領域と素子分離領域を有する基板の一例である。図3を参照するに、例えば、一辺が500 μ mの素子領域31が1 μ m幅の素子分離領域32を挟んで1mm程度にわたって形成され、続いて、図3において拡大して示すように、一辺が0.5 μ mの正方形の素子領域33が1 μ mの素子分離領域34を挟んで1mm程度形成されている。かかる基板30は、図1(C)に示した積層構造を形成している。図1において説明したSTI工程と同様にして基板30の表面のシリコン酸化膜35をCMP法により研磨する。図4は、図3に示した基板30を研磨した後の要部断面図である。図4を参照するに、一辺が500 μ mの素子領域31には、シリコン酸化膜35がシリコン窒化膜36上に残留し、研磨不足の状態になっている。また、一辺が0.5 μ mの素子領域33は、凹み(エロージョン)が生じ、過研磨状態となっている。このように一つの基板に研磨不足と過研磨の2つの状態が生じ、研磨時間等の研磨量の最適化を行ってもこの状態は解消されないという問題がある。

【0022】

さらに、従来技術2の問題の対応案として、特開2001-7114号公報に開示されている技術(以下、「従来技術3」という。)は、素子の面積率を規定して素子を配置することにより均一に研磨しようとするものである。なお、従来技術3は、配線構造に関するものであるが、ここでは素子領域に当てはめて説明する。

【0023】

図5は、素子領域と素子分離領域とからなる領域のパターンを100 μ m角の小領域に分割して示した図である。図5において、面積率80%の小領域51を白ぬきで、面積率20%の小領域52をハッチングで表す。図5を参照するに、面積率は、素子領域の面積の総和/小領域の面積 \times 100で表される。例えば、面積率が20%の小領域と80%の小領域がランダムに配置されている場合に基づいて、規定の平坦度を満足する面積率を規定する。そして、この小領域ごとに規定された面積率の範囲に含まれるように素子等を配置する。すなわち、従来技術3によれば、ある一の大きさの小領域が所定の面積率の範囲に含まれれば、均一に研磨できるとするものである。

【0024】

しかしながら、素子領域と素子分離領域とからなる領域のパターンの他の例を図6に示すように、面積率が20%の小領域52が数ミリメートルに渡って連続し、続いて、80%の小領域51が数ミリメートルに渡って連続する場合は、これらの小領域のすべてにわたって均一に研磨することはできず、平坦性に問題が生ずる。すなわち、80%の領域では、研磨不足の状態が生じ、20%の領域では過研磨状態が生じて、両状態を同時に解決することができない。

【0025】

したがって、本発明は、上記の問題に鑑みてなされたものであり、本発明の目的は、CMP法を用いてSTI構造、配線構造等を形成する場合に、研磨速度が異なる領域の疎密により生ずるエロージョン等の凹みを防止し、良好な平坦度を有する研磨面を得ることがで

10

20

30

40

50

きる設計方法および製造方法を提供すると共に、自由度のより大きい設計方法を提供することである。

【0026】

【課題を解決するための手段】

本発明の第1の観点によれば、(1)化学機械的研磨により研磨速度が大きい易研磨領域と研磨速度が小さい難研磨領域との両方を含んで画定されるレイアウト領域を第1の小領域に等しく複数に分割する工程と、(2)各々の該第1の小領域について、前記難研磨領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記難研磨領域が占めてよい許容面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ易研磨領域を拡大あるいは追加し、前記許容面積率よりも小さければ難研磨領域を拡大あるいは追加する工程と、(3)前記レイアウト領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、(4)各々の該第2の小領域について、前記難研磨領域が占める第2の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記難研磨領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ易研磨領域を拡大あるいは追加し、前記許容最大面積率よりも小さければ難研磨領域を拡大あるいは追加する工程とを有し、前記第2の小領域の許容面積率の範囲は、前記第1の小領域の許容面積率の範囲よりも小さく、前記第2の小領域の許容面積率の範囲が前記第1の小領域の許容面積率の範囲に含まれていることを特徴とする電子装置の設計方法が提供される。

10

20

【0027】

本発明によれば、化学機械的研磨(CMP)が適用される場合に、前記(1)の工程では、研磨速度の異なる易研磨および難研磨領域を含むレイアウト領域を、まずある大きさの小領域に等しく分割する。次に前記(2)の工程では、この小領域に対して面積率を計算する。面積率は、難研磨領域の面積/小領域の面積×100と表される。次に、おのおの小領域ごとに計算された面積率が予め規定されている許容面積率の範囲内か否かを判別する。面積率が許容面積率より大きい場合は、易研磨領域を拡大あるいは追加して、その小領域の面積率を低下させる。面積率が許容面積率より小さい場合は難研磨領域を拡大あるいは追加して、面積率を増加させる。なお、許容面積率は、後述する本発明に至った経緯における試験と同様にして求めることができる。すべての小領域について判別後、前記(3)の工程では、第1の小領域とは異なる大きさの第2の小領域に等しく分割する。次に前記(4)の工程では、第2の小領域に対して許容面積率を規定し、前記(2)の工程と同様に判別・処理する。

30

【0028】

後述する本願発明者により得られた知見によれば、一の大きさの小領域のみで面積率を規定すると、平坦度の良好な研磨面を形成するためには、面積率を著しく狭い範囲に規定する必要がある。これに対し、本発明では、2つの大きさの小領域について面積率を規定しており、それらのうちの小さい小領域では面積率をより広い範囲で規定することができる。すなわち、設計の自由度がより大きくなり設計を容易化することができる。そして、他方の大きい小領域では、一の大きさの小領域のみで面積率を規定した場合と同等の面積率の範囲で規定することができる。したがって、本発明によれば、研磨速度が異なる領域の疎密により生ずるエロージョン等の凹みを防止し、良好な平坦度を有する研磨面を得ることができるとともに、設計の自由度を大きくすることができる。

40

【0029】

本発明の第2の観点によれば、(1)化学機械的研磨により研磨速度が異なる素子分離領域と、該素子分離領域により画成された基板領域との両方を含む素子形成領域を第1の小領域に等しく複数に分割する工程と、(2)各々の該第1の小領域について、前記基板領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記基板領域が占めてよい許容最大面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ素子分離領域を拡大あるいは追加し、前記許容面積

50

率よりも小さければ基板領域を拡大あるいは追加する工程と、(3)前記素子形成領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、(4)各々の該第2の小領域について、前記基板領域が占める第2の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記基板領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ素子分離領域を拡大あるいは追加し、前記許容面積率よりも小さければ基板領域を拡大あるいは追加する工程とを有し、前記第2の小領域の許容面積率の範囲は、前記第1の小領域の許容面積率の範囲よりも小さく、前記第2の小領域は前記第1の小領域より大きく、前記第2の小領域の許容面積率の範囲が前記第1の小領域の許容面積率の範囲に含まれていることを特徴とする電子装置の設計方法が提供される。

10

【0030】

基板上的素子形成領域に素子分離領域を形成するSTI工程ではCMP法が適用される。STI工程において、素子分離領域と素子分離領域以外の領域である基板領域とは研磨速度が異なる。例えば、素子分離領域は易研磨領域であり、基板領域は難研磨量領域である。本発明によれば、上述した第1の観点の作用と同様の作用により、研磨速度が異なる領域の疎密により生ずるエロージョン等の凹みを防止し、良好な平坦度を有する研磨面を得ることができるとともに、素子の配置等の設計の自由度を大きくすることができる。

【0031】

本発明の第3の観点によれば、(1)化学機械的研磨により研磨速度が異なる配線層領域と絶縁層領域との両方を含む配線領域を第1の小領域に等しく複数に分割する工程と、(2)各々の該第1の小領域について、前記絶縁層領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記絶縁層領域が占めてよい許容面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ配線層領域を拡大あるいは追加し、前記許容面積率よりも小さければ絶縁層領域を拡大あるいは追加する工程と、(3)前記配線領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、(4)各々の該第2の小領域について、前記絶縁層領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記絶縁層領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ配線層領域を拡大あるいは追加し、前記許容面積率よりも小さければ絶縁層領域を拡大あるいは追加する工程とを有し、前記第2の小領域の許容面積率の範囲は、前記第1の小領域の許容面積率の範囲よりも小さく、前記第2の小領域は前記第1の小領域より大きく、前記第2の小領域の許容面積率の範囲が前記第1の小領域の許容面積率の範囲に含まれていることを特徴とする電子装置の設計方法が提供される。

20

30

【0032】

半導体装置の配線構造の製造工程には、Cu膜などからなる配線層を絶縁層に埋め込み、配線層領域と絶縁層領域を研磨して平坦化するためにCMP法が適用される。配線層領域と絶縁層領域とは研磨速度が異なり、例えば、配線層領域が易研磨領域であり、絶縁層領域が難研磨領域である。ここで、面積率は、配線層領域の面積の総和/小領域の面積×100と表される。本発明によれば、上述した第1の観点の作用と同様の作用により、研磨速度が異なる領域の疎密により生ずるエロージョン等の凹みを防止し、良好な平坦度を有する研磨面を得ることができるとともに、配線層の配置等の設計の自由度を大きくすることができる。

40

【0033】

本発明の第4の観点によれば、請求項1～9のうち、いずれか一項記載の電子装置の設計方法を使った設計工程を含む電子装置の製造方法が提供される

本発明によれば、研磨速度が異なる領域の疎密により生ずるエロージョン等の凹みを防止し、良好な平坦度を有する研磨面を得ることができるとともに、設計の自由度を大きくすることができる。

【0034】

50

なお、上記において、面積率は一方の領域が占める割合としたが、他方の領域が占める割合としてもよい。例えば、本発明の第1の観点において、面積率を易研磨領域が占める割合としてもよい。なお、この場合小領域に対する許容面積率も変更される。

【0035】

【発明の実施の形態】

まず、本願発明者が、本発明に至った経緯を図面に基づいて説明する。

【0036】

本願発明者は、半導体装置の素子領域と素子分離領域を有する様々なパターンの半導体基板について、CMP法により研磨を行い、研磨量の評価を行った。

【0037】

図7は、試験に用いた半導体基板を示す平面図である。図7を参照するに、半導体基板60は、中央の活性化領域61とその周囲のダミー領域62とからなっている。活性化領域61は、 $250\mu\text{m} \times 250\mu\text{m}$ 、 $500\mu\text{m} \times 500\mu\text{m}$ 、 $1000\mu\text{m} \times 1000\mu\text{m}$ の正方形とした。

【0038】

図8は、活性化領域61を拡大して示した図である。図8(A)は平面図、図8(B)は、図8(A)のX-X断面図である。図8(A)および(B)を参照するに、活性化領域61は、ラインとスペースのパターンで形成されている。ラインの部分は、素子領域63に相当する。素子領域63は、シリコンからなる基板60の凸部になっており、厚さ10nmのシリコン酸化膜64と厚さ85nmのシリコン窒化膜65がこの順に積層されている。ラインの部分は、素子分離領域に相当し、深さ500nmのトレンチ66となっている。

【0039】

活性化領域61のパターンは、面積率10%から100%までの10%刻みのものを用いた。面積率は、前述したように、素子領域63の面積 / (素子領域の面積 + 素子分離領域の面積) $\times 100$ と定義される。本パターンは、ラインとスペースからなっているので、面積率は、シリコン窒化膜65幅(凸部の幅) / (シリコン窒化膜65幅 + トレンチ66幅(凹部の幅))と表される。シリコン窒化膜65幅を $1\mu\text{m}$ と固定し、トレンチ66幅を所定の面積率になるように設定した。例えば、面積率30%の場合は、トレンチ66幅を $2.38\mu\text{m}$ とした。つまり $1\mu\text{m} / (1\mu\text{m} + 2.38\mu\text{m}) \times 100 = 30\%$ となる。また、面積率100%の場合は、シリコン窒化膜65を活性化領域61に全面に形成した。

【0040】

図9は、ダミー領域62を拡大して示した図である。図9(A)は平面図、図9(B)は、図9(A)のX-X断面図である。図9(A)および(B)を参照するに、ダミー領域62のパターンは、面積率40%とした。パターンは、一辺が $1\mu\text{m}$ の正方形をなす凸部71と、 $0.58\mu\text{m}$ の幅のトレンチ72が交互に形成されている。凸部71には、活性化領域61の素子領域63と同様に、厚さ10nmのシリコン酸化膜64と厚さ85nmのシリコン窒化膜65がこの順に積層されている。トレンチ72の深さは、300nmである。

【0041】

次に、半導体基板60の表面に、厚さ500nmのシリコン酸化膜を高密度プラズマを用いたCVD法により形成する。図10は、シリコン酸化膜を形成した活性化領域61を示す断面図である。図10を参照するに、活性化領域61のトレンチ66にシリコン酸化膜68が埋め込まれる。同様にダミー領域62のトレンチ72に埋め込まれる。

【0042】

次にCMP法により、シリコン窒化膜上65のシリコン酸化膜を完全に除去するまで研磨を行った。研磨は、12wt%程度のシリカからなる研磨砥粒と、KOHを主成分とする添加剤とにより、pHが10から11に調製された研磨剤を用いた。公知の研磨機に研磨剤を毎分0.2L程度供給し、研磨布をローテルニッタ社製IC1000、研磨圧力を0

10

20

30

40

50

、 $3 \text{ kg} / \text{cm}^2$ 、ウェハ中心部における研磨線速度を $1.3 \text{ m} / \text{s}$ とした。

【0043】

図11は、研磨後の活性化領域61を示す断面図である。図11を参照するに、シリコン窒化膜65は、研磨速度がシリコン酸化膜68より小さいため、研磨ストッパとして作用する。シリコン窒化膜65上のシリコン酸化膜68を完全に研磨すると、シリコン酸化膜68はシリコン窒化膜65とほぼ同一平面となり、平坦な研磨面が形成される。

【0044】

次に、活性化領域61およびダミー領域62のシリコン窒化膜65の膜厚 t を光学式により測定し、膜厚の最小値を求めた。そして、この最小値が 70 nm 以下または 83 nm 以上を不適と判断した。すなわち、研磨前に厚さ 85 nm であったシリコン窒化膜65が、
10 過度に研磨されている場合およびほとんど研磨されていない場合を不適と判断した。

【0045】

図12は、活性化領域61の大きさおよび面積率に対して、シリコン窒化膜65の膜厚 t の最小値と、最小値を示した領域を示した図である。図12において、「AC」を付した欄は、シリコン窒化膜の膜厚が最小となったのが活性化領域の場合を示し、「DM」を付した欄は、ダミー領域の場合を示す。例えば、活性化領域の大きさが $250 \mu\text{m} \times 250 \mu\text{m}$ 、面積率が30%の場合、最小となったのが活性化領域であり、その最小値が 76.8 nm であることを表す。

【0046】

図12を参照するに、活性化領域61の大きさが $250 \mu\text{m} \times 250 \mu\text{m}$ の場合、許容範囲内となったものは、面積率が20%から80%のものである。また $500 \mu\text{m} \times 500 \mu\text{m}$ の場合は30%から80%、 $1000 \mu\text{m} \times 1000 \mu\text{m}$ の場合は30%から50%のものである。これらの結果によれば、例えば、20%の面積率は、活性化領域の大きさが $250 \mu\text{m} \times 250 \mu\text{m}$ の場合は許容されても、 $500 \mu\text{m} \times 500 \mu\text{m}$ および $1000 \mu\text{m} \times 1000 \mu\text{m}$ の場合は許容されないことがわかる。すなわち、 $250 \mu\text{m} \times 250 \mu\text{m}$ の領域で面積率を規定して素子の配置を設計しても、 $500 \mu\text{m} \times 500 \mu\text{m}$ などのより大きな領域において面積率をさらに規定しないと、研磨不足あるいは過研磨の状態が生ずることを本願発明者は知得した。
20

【0047】

したがって、以上よりCMP法が適用される工程において、研磨不足あるいは過研磨の状態を生ずることを防止し、平坦性の良好な研磨面を得るためには、半導体装置などの電子装置の設計において、複数の異なる大きさの領域で面積率を規定し、これらの規定の範囲内の面積率を有するように素子等の配置をする必要があることを本願発明者は認識し、本願発明に至ったものである。また、以上の結果より、面積率を規定する領域として、ある小さな領域と、その領域の大きさに対して4倍から16倍の大きさを有する領域が選択されることが望ましいことを本願発明者は認識した。
30

【0048】

さらに、一の大きさの領域で面積率を規定する場合は、例えば、 $250 \mu\text{m} \times 250 \mu\text{m}$ の領域で面積率を規定する場合、面積率は30%から50%の範囲としなければならない。しかし、 $250 \mu\text{m} \times 250 \mu\text{m}$ と $1000 \mu\text{m} \times 1000 \mu\text{m}$ の領域で面積率を規定
40 する場合は、許容される規定値の範囲を $250 \mu\text{m} \times 250 \mu\text{m}$ の領域では20%から80%の範囲にすることができるので、設計の自由度が大きくなり、設計方法としてより優れていることがわかる。

(第1の実施の形態)

以下、図面に基づいて本発明の実施の形態である電子装置の設計方法を説明する。図13は、本発明の実施の形態である半導体装置の設計方法の一例を示したフローチャートである。

【0049】

本実施の形態である半導体装置の設計方法は、半導体装置を構成するMOSトランジスタの活性化領域のパターンを自動的に設計するものである。具体的には、半導体基板にST
50

I工程により形成される素子分離領域と素子領域とよりなる領域のパターンを自動的に設計するものである。

【0050】

まず、半導体装置に要求される機能から決定された回路設計データを公知の設計手法により生成する(ステップ101)。

【0051】

次に、前記回路設計データよりMOSトランジスタの活性化領域のパターンを生成する(ステップ102)。

【0052】

次に、前記活性化領域のパターンを等しい大きさの領域(以下、発明の実施の形態の欄において「小領域」という。)に分割する(ステップ103)。ここで、小領域は、後述するステップ111の大領域より小さくする。例えば $250\mu\text{m} \times 250\mu\text{m}$ とする。

【0053】

次に、小領域ごとに面積率を計算する(ステップ104)。面積率は、素子領域面積の総和/小領域の面積 $\times 100$ と表される。

【0054】

次に、前記小領域の面積率が所定の範囲内であるか否かを判別する(ステップ105)。所定の範囲は前述した本発明に至った経緯で説明した手法と同様にして導くことができ、小領域の大きさに対応して規定される。例えば、 $250\mu\text{m} \times 250\mu\text{m}$ の小領域に対して、所定の範囲を20%以上80%以下の範囲とすることができる。

【0055】

前記所定の範囲内の場合、次ステップであるステップ106に進み、前記所定の範囲から外れた場合は、前記所定の範囲より大きいか否かを判別する(ステップ107)。

【0056】

前記所定の範囲より小さい場合は素子領域のダミーパターンを挿入する(ステップ108)。ダミーパターンを挿入することにより、その面積率を増加することができる。前記所定の範囲より大きい場合は小領域内のパターンの分割、もしくは一機能を有する領域の配置間隔を調整する(ステップ109)。これにより面積率を低減することができる。次にステップ104に戻り、面積率を再び計算する。面積率が前記所定の範囲内になるまで、これらのステップを繰り返す。

【0057】

次に、全ての小領域において面積率の判別が終了したか否かを判別する(ステップ106)。終了していない場合は、次の小領域に移動する(ステップ110)。そしてステップ104に戻って前述したステップを繰り返す。

【0058】

次に、全ての小領域において面積率が所定の範囲内である場合は、前記活性化領域のパターンを小領域とは異なる大きさの領域(以下、発明の実施の形態の欄において「大領域」という。)に分割する(ステップ111)。大領域の大きさは小領域より大きく設定することが好ましい。仮に大領域を小領域より小さく設定すると、大領域についての面積率の判別後に小領域について再び調整が必要になる場合が生じ、手間が増え煩雑となってしまう。大領域の大きさは小領域より大きく設定することにより、かかる手間を省くことができ、効率よく設計することができる。具体的には、大領域の大きさは小領域に対して4倍から16倍に設定することが特に好ましい。このような大きさにすると、小領域に対する面積率の所定の範囲と大領域に対する面積率の所定の範囲との差異が大きくなり、小領域に対する面積率の所定の範囲を広くとることができ、設計の自由度を一層大きくすることができる。例えば、 $1000\mu\text{m} \times 1000\mu\text{m}$ とすることができる。

【0059】

次に、大領域ごとに面積率を計算する(ステップ112)。面積率は、素子領域面積の総和/大領域の面積 $\times 100$ と表される。

【0060】

次に、前記大領域の面積率が所定の範囲内であるか否かを判別する（ステップ113）。所定の範囲は、前述した本発明に至った経緯で説明した手法と同様にして導かれ、大領域の大きさに対応して規定される。例えば、 $1000\mu\text{m} \times 1000\mu\text{m}$ の小領域に対して、所定の範囲を30%以上50%以下の範囲とすることができる。

【0061】

前記所定の範囲内の場合、次ステップであるステップ114に進み、前記所定の範囲から外れた場合は、前記所定の範囲より大きいかな否かを判別する（ステップ115）。

【0062】

前記所定の範囲より小さい場合はダミーターンを挿入し（ステップ116）、大きい場合は、大領域内のパターンの分割、もしくは一機能を有する領域の配置間隔を調整し（ステップ117）、ステップ112に戻り、面積率を再び計算する。面積率が前記所定の範囲内になるまで、これらのステップを繰り返す。

【0063】

次に、全ての大領域において面積率の判別が終了したか否かを判別する（ステップ114）。終了していない場合は、次の大領域に移動する（ステップ118）。そしてステップ112に戻って前述したステップを繰り返す。

【0064】

全て大領域において面積率が所定の範囲内である場合は、処理を終了する（ステップ119）。

【0065】

なお、全ての大領域において面積率が所定の範囲内にならない場合は、小領域の面積率の所定の範囲を変更して、ステップ104～ステップ119のステップを再び行ってもよい。

【0066】

また、本実施の形態においては活性化領域のパターンの設計について説明したが、配線領域等のCMPが適用される領域には、総て適用することができる。

[実施例1]

本実施例は、第1の実施の形態に係る設計方法を適用してMOSトランジスタの活性化領域のパターンを設計し、素子領域と素子分離領域とからなる活性化領域を形成したのである。

【0067】

図14は、本発明の実施例に係るMOSトランジスタの活性化領域の面積率を示した図である。図14において、1つの小領域71, 72の大きさは $250\mu\text{m} \times 250\mu\text{m}$ であり、太線で囲んで示す大領域73, 74の大きさは $1000\mu\text{m} \times 1000\mu\text{m}$ である。また、面積率80%の小領域71をハッチングで、面積率20%の小領域72を白ぬきで示している。

【0068】

図14に示すように、活性化領域のパターン70は、第1の実施の形態で説明した設計方法を適用して得られたものである。この設計方法において、小領域は $250\mu\text{m} \times 250\mu\text{m}$ の大きさとし、この小領域に対する面積率の所定の範囲を20%以上80%以下とした。大領域は $1000\mu\text{m} \times 1000\mu\text{m}$ の大きさとし、この大領域に対する面積率の所定の範囲を30%以上50%以下とした。なお、これらの所定の範囲は、研磨後のシリコン窒化膜の膜厚が70nm以上83nm以下を許容するとして規定されたものである。

【0069】

図14を参照するに、第1の実施の形態で説明した設計方法を適用して得られたパターン70は、 $250\mu\text{m} \times 250\mu\text{m}$ の小領域71, 72では面積率は20%以上80%以下の範囲内であり、 $1000\mu\text{m} \times 1000\mu\text{m}$ の大領域73, 74は、面積率が30%以上50%以下の範囲内である。なお、大領域の面積率は、前述したように素子領域面積の総和/大領域の面積 $\times 100$ と計算されるが、本実施例では、簡便的に大領域に含まれる小領域の面積率の平均値として計算される。

10

20

30

40

50

【 0 0 7 0 】

次に、半導体基板にこのパターン 7 0 の活性化領域を形成し、前述した本発明に至った経緯で説明した手法と同様にして、S T I 構造を形成するための研磨を行った。

【 0 0 7 1 】

図 1 5 は、本実施例に係る研磨後のシリコン窒化膜の膜厚を示した図である。図 1 5 において、パターン 7 0 の小領域 7 1、7 2 に対応させてシリコン窒化膜の膜厚を示している。面積率 8 0 % の小領域 7 1 に対応する領域をハッチングで示し、面積率 2 0 % の小領域 7 2 に対応する領域を白ぬきで示している。

【 0 0 7 2 】

図 1 5 を参照するに、全ての領域において、シリコン窒化膜の膜厚は、7 0 n m 以上 8 3 n m 以下の範囲内であることが確認できた。

10

[比較例 1]

図 1 6 は、本発明によらない比較例に係る M O S トランジスタの活性化領域の面積率を示した図である。図 1 6 において、図 1 4 と同様に、1 つの小領域の大きさは $2 5 0 \mu m \times 2 5 0 \mu m$ であり、面積率 8 0 % の小領域 7 1 をハッチングで、面積率 2 0 % の小領域 7 2 を白ぬきで表してある。

【 0 0 7 3 】

図 1 6 を参照するに、活性化領域のパターン 7 5 は、 $2 5 0 \mu m \times 2 5 0 \mu m$ の小領域 7 1、7 2 は、この小領域 7 1 に対する面積率の所定の範囲である 2 0 % 以上 8 0 % 以下の範囲内である。しかし、 $1 0 0 0 \mu m \times 1 0 0 0 \mu m$ の大領域 7 6、7 7 での面積率は、許容される面積率である 3 0 % 以上 5 0 % 以下の範囲から外れている。例えば、図 1 6 に示す大領域 7 6 は、面積率が 5 7 . 5 % となっている。

20

【 0 0 7 4 】

次に、半導体基板にこのパターン 7 5 の活性化領域を形成し、実施例 1 と同様にして、S T I 構造を形成するための研磨を行った。

【 0 0 7 5 】

図 1 7 は、比較例に係る研磨後のシリコン窒化膜の膜厚を示した図である。図 1 7 において、パターン 7 5 の小領域 7 1、7 2 に対応させてシリコン窒化膜の膜厚を示している。面積率 8 0 % の小領域 7 1 に対応する領域をハッチングで示し、面積率 2 0 % の小領域 7 2 に対応する領域を白ぬきで示している。

30

【 0 0 7 6 】

図 1 7 を参照するに、図 1 6 に示す面積率が所定の範囲から外れている大領域 7 6 に対応する領域 7 8 に隣接した領域 7 9 において、シリコン窒化膜の膜厚が 7 0 n m より小さくなっており、許容範囲の 7 0 n m 以上 8 3 n m 以下の範囲から外れていることがわかる。

【 0 0 7 7 】

実施例 1 および比較例 1 によれば、 $2 5 0 \mu m \times 2 5 0 \mu m$ の小領域では面積率は 2 0 % 以上 8 0 % 以下の範囲内であっても、 $1 0 0 0 \mu m \times 1 0 0 0 \mu m$ の大領域は、面積率が 3 0 % 以上 5 0 % 以下の範囲からはずれている場合は、所定のシリコン窒化膜の膜厚が得られないことがわかる。したがって、異なる大きさの領域に分割して、それらの各々について所定の範囲の面積率を設けて活性化領域のパターンの設計をすることにより、所望の範囲の膜厚が得られ、よって研磨速度が異なる領域の疎密により生ずるエロージョン等の凹みを防止して平坦度の良好な研磨面を有する半導体基板が得られることがわかる。

40

(第 2 の実施の形態)

以下、図面に基づいて本発明の実施の形態である電子装置の設計方法を説明する。図 1 8 は、本発明の実施の形態である設計方法のその他の例を示したフローチャートである。

【 0 0 7 8 】

本実施の形態である半導体装置の設計方法は、ダマシン、デュアルダマシン構造を有する配線領域のパターンを自動的に設計するものである。具体的には、層間絶縁膜に形成される配線層のパターンを自動的に設計するものである。

【 0 0 7 9 】

50

まず、半導体装置に要求される機能から決定された回路設計データを公知の設計手法により生成する（ステップ201）。

【0080】

次に、前記回路設計データより配線領域のパターンを生成する（ステップ202）。

【0081】

次に、前記配線領域のパターンを小領域に等しく分割する（ステップ203）。ここで、小領域は、後述するステップ211の大領域より小さくする。例えば $25\mu\text{m} \times 25\mu\text{m}$ とする。

【0082】

次に、小領域ごとに面積率を計算する（ステップ204）。面積率は、配線層の上面の面積の総和 / 小領域の面積 $\times 100$ と表される。ここで、配線層の上面とは、CMP法により平坦化された際の配線層の上面である。

10

【0083】

次に、前記小領域の面積率が規定値以下であるか否かを判別する（ステップ205）。規定値は、前述した本発明に至った経緯で説明した手法と同様にして、配線構造を形成する場合にあてはめて導かれる。例えば、研磨面の段差の最大値を 50nm とした場合、 $25\mu\text{m} \times 25\mu\text{m}$ の小領域に対して面積率の既定値を 80% とすることができる。

【0084】

前記所定の規定値以下である場合、次ステップであるステップ206に進み、前記所定の規定値より大きい場合は、小領域内の配線間隔を拡大するなどして調整し（ステップ208）、ステップ204に戻り、面積率を再び計算する。面積率が前記既定値以下になるまで、これらのステップを繰り返す。

20

【0085】

次に、全ての小領域において面積率の判別が終了したか否かを判別する（ステップ206）。終了していない場合は、次の小領域に移動する（ステップ210）。そしてステップ204に戻って前述したステップを繰り返す。

【0086】

次に、全て小領域において面積率が既定値以下である場合は、前記配線領域のパターンを小領域とは異なる大きさの大領域に分割する（ステップ211）。第1の実施の形態で述べた理由と同様の理由により、大領域の大きさは小領域より大きく設定する。具体的には、小領域に対して4倍から16倍に設定することが好ましい。例えば、 $100\mu\text{m} \times 100\mu\text{m}$ とすることができる。

30

【0087】

次に、大領域ごとに面積率を計算する（ステップ212）。面積率は、配線層の上面の面積の総和 / 大領域の面積 $\times 100$ と表される。

【0088】

次に、前記大領域の面積率が規定値以下であるか否かを判別する（ステップ213）。既定値は、前述した本発明に至った経緯で説明した手法と同様にして、配線構造を形成する場合にあてはめて導かれる。例えば、 $100\mu\text{m} \times 100\mu\text{m}$ の大領域に対して、既定値を 40% とすることができる。

40

【0089】

前記規定値以下の場合、次ステップであるステップ214に進み、前記既定値より大きい場合は、大領域内の配線間隔を拡大するなどして調整し（ステップ216）、ステップ212に戻り、面積率を再び計算する。面積率が前記規定値以下になるまで、これらのステップを繰り返す。

【0090】

次に、全ての大領域において面積率の判別が終了したか否かを判別する（ステップ214）。終了していない場合は、次の大領域に移動する（ステップ218）。そしてステップ212に戻って前述したステップを繰り返す。

【0091】

50

全ての大領域において面積率の判別が終了した場合は処理を終了する（ステップ219）。

【0092】

なお、本実施の形態においては、小領域および大領域に対する面積率の規定値は最大値のみを規定しているが、第1の実施の形態と同様に、必要に応じて許容される面積率の最小値もあわせて規定してもよい。

[実施例2]

実施例2は、第2の実施の形態の設計方法を適用して配線パターンを設計し、配線構造を形成したものである。

【0093】

本実施例では、第2の実施の形態において、小領域の大きさを $25\mu\text{m}$ 、大領域の大きさを $100\mu\text{m}$ とした。また、小領域に対する面積率の規定値を70%、80%、90%とし、大領域に対する面積率の規定値を40%、60%、80%とし、これらを組み合わせて配線パターンを生成し、配線構造の上面である研磨面の平坦性の試験を行った。なお、平坦性は、後述する配線層を形成するCu膜87と絶縁層84との段差で表す。この段差が 50nm 以下の場合を許容範囲とした。以下、前記生成したパターンを用いて、配線構造を作製し、段差の測定を行った。

【0094】

図19は、配線構造を形成する工程を示した図である。

【0095】

図19(A)を参照するに、シリコン基板81上に、プラズマCVD法により、厚さ 300nm の SiO_2 からなる絶縁層82を形成し、その上にプラズマCVD法により、厚さ 20nm の SiN からなるエッチングストップ層83を形成する。その上にプラズマCVD法により、厚さ 450nm の SiO_2 からなる絶縁層84を形成する。

【0096】

図19(B)を参照するに、フォトリソグラフィ法により、レジスト85を塗布しパターニングする。次にレジスト85をマスクとして、ドライエッチングにより絶縁層84の一部を研削し、Cu埋込み用の溝84-1を形成する。

【0097】

図19(C)を参照するに、次に、スパッタ法により、厚さ 25nm の TaN からなる拡散バリア層86を形成し、その上に、スパッタ法により、厚さ 20nm のCu膜をメッキベースとして形成し（図示せず）、その上に、メッキ法により、厚さ $1.3\mu\text{m}$ のCu膜87を形成する。

【0098】

図19(D)を参照するに、次に、CMP法により、Cu膜87を研磨し、さらに絶縁層84上の拡散バリア層86が完全に除去され絶縁層84が露出するまで研磨を行う。以上によりCu膜87からなる配線層および配線層を分離する絶縁層84からなる配線構造が形成される。なお、CMP法による研磨では、 TaN および SiO_2 の研磨速度に対して、Cuの研磨速度が大きな研磨剤が採用される。

【0099】

研磨面の段差を、AFM（原子間力顕微鏡）を用いて評価した。ここで、段差は、各々の配線パターンが形成されている領域の凹みの最下点と、配線パターンの周囲の絶縁層84、例えば配線層が設けられていない絶縁層84の領域の上面との差で表される。

【0100】

図20は、段差の最大値を示した図である。

【0101】

図20を参照するに、許容される段差の最大値を 50nm であるので、許容される面積率は、 $25\mu\text{m} \times 25\mu\text{m}$ の領域と $100\mu\text{m} \times 100\mu\text{m}$ 角の領域との組み合わせで示すと、 $(25\mu\text{m} \times 25\mu\text{m}, 100\mu\text{m} \times 100\mu\text{m} \text{角}) = (70\%, 40\%)$ 、 $(70\%, 60\%)$ 、 $(80\%, 40\%)$ 、 $(80\%, 60\%)$ である。最も規定値が大きくな

10

20

30

40

50

る組み合わせ、すなわち設計の自由度が大きくなる組み合わせは、 $(25\ \mu\text{m} \times 25\ \mu\text{m}$ 、 $100\ \mu\text{m} \times 100\ \mu\text{m}$ 角) $= (80\%、60\%)$ である。つまり、 $25\ \mu\text{m} \times 25\ \mu\text{m}$ の領域において面積率が80%以下になるようにパターンの設計を行い、 $100\ \mu\text{m} \times 100\ \mu\text{m}$ 角の領域において面積率が60%以下になるようにパターンの設計を行うことによって、段差が50 nm以下に抑制されることがわかる。

【0102】

仮に一の大きさの領域、例えば小領域においてのみ面積率を規定する設計方法を採用すると、段差を50 nm以下に抑制するためには面積率の規定値を60%しなければならない。一方、本実施例のように、 $25\ \mu\text{m} \times 25\ \mu\text{m}$ および $100\ \mu\text{m} \times 100\ \mu\text{m}$ の2つ領域、例えば小領域および大領域により面積率を規定すると、 $25\ \mu\text{m} \times 25\ \mu\text{m}$ の小領域では、規定値を80%に拡大することができ、配線領域のパターンの設計の自由度を大きくすることができる。それと共に、それぞれの大きさの領域に対して面積率を規定しているので、単一の領域に分割した場合より、配線領域のパターンの粗密をより正確に均一化でき、平坦性の良好な研磨面を得ることができる。

10

[実施例3]

本実施例は、複合型の薄膜磁気ヘッドの設計工程において適用される設計方法の一例である。具体的には、薄膜磁気ヘッドは半導体製造プロセスと同様に、薄膜磁気ヘッドの基板上の配置を設計するものである。

【0103】

まず、第1の実施の形態である設計方法により、薄膜磁気ヘッドの基板上の配置のパターンを決定する。例えば、第1の実施の形態における小領域の大きさを $250\ \mu\text{m} \times 250\ \mu\text{m}$ とし、大領域の大きさを $1000\ \mu\text{m} \times 1000\ \mu\text{m}$ とした。また、小領域に対する面積率の所定の範囲を10%から20%とし、大領域に対する面積率の所定の範囲を1%から10%とした。これは、後述する図21(D)に示す Al_2O_3 膜96と NiFe 膜95の段差を30 nm以下に抑制するためである。なお、面積率は、 NiFe 膜95の面積 / (小領域もしくは大領域の面積) $\times 100$ とした。

20

【0104】

次に、かかるパターンを用いて、膜磁気ヘッドの再生用ヘッド部の下部シールドを形成する。

【0105】

図21は、薄膜磁気ヘッドの再生用ヘッド部の下部シールドを形成する工程を示す図である。

30

【0106】

図21(A)を参照するに、直径6インチのアルティック(Al_2O_3 -TiC)基板91上に、スパッタ法、CVD法などにより厚さ $5\ \mu\text{m}$ の Al_2O_3 膜92を形成する。次に、この上にスパッタ法などにより厚さ $1\ \mu\text{m}$ の NiFe 膜93を形成する。

【0107】

図21(B)を参照するに、前記 NiFe 膜93上に、フォトリソグラフィ法によりレジスト94をパターンニングして、下部シールドを形成するための開口部を形成する。次にメッキ法により、厚さ $2\ \mu\text{m}$ の NiFe 膜95を形成する。なお、レジスト94上には NiFe 膜は形成されない。

40

【0108】

図21(C)を参照するに、次に、レジスト94を除去し、レジスト94の下部の NiFe 膜93をドライエッチングにより除去する。次に、その上にCVD法により厚さ $4\ \mu\text{m}$ の Al_2O_3 膜96を形成する。

【0109】

図21(D)を参照するに、次に、前記 Al_2O_3 膜96をCMP法により NiFe 膜95が露出するまで研磨する。研磨面は、 NiFe 膜95および Al_2O_3 膜96の上面からなり、研磨面はほぼ平坦となる。この後、この研磨面上に再生用感磁素子であるGMR(巨大磁気抵抗効果型)素子等が形成され、再生用ヘッド部が形成される。この研磨面は

50

GMR素子等の基準面となるので平坦性が良好であることを要する。

【0110】

ここで研磨条件は、以下の通りである。図22は、CMP装置の構成を模式的に示した図である。CMP装置300は、アルティック基板91を保持する研磨ヘッド301と、研磨パッド302が貼られた研磨テーブル303と、スラリーを供給するスラリー供給ノズル304等から構成されている。アルティック基板91に対する荷重は3920Pa、研磨ヘッド301および研磨テーブル303の回転数は約60回転/min、スラリー流量は約0.1L/minである。研磨パッド302は、例えば、ローデルニッタ社製IC1000を使用することができ、スラリーはアルミナ砥粒を主成分とし、pH3から4のものを使用できる。

10

【0111】

NiFe膜および Al_2O_3 膜の上面の段差をAFM(原子間力顕微鏡)を用いて評価した。段差は最大25nmであった。これは、設計において許容した段差である30nmより小さいことがわかった。

【0112】

実施例3によれば、第1の実施の形態による設計方法を適用することにより、薄膜磁気ヘッドの下部シールドを形成するNiFe膜の基板上の配置を決定し、NiFe膜と Al_2O_3 膜からなる研磨面の平坦性を良好とすることが可能となる。

【0113】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。

20

【0114】

上記の第1および第2の実施の形態ならびに実施例1から3では、活性化領域あるいは配線領域等を等しく小領域もしくは大領域に分割したが、隣り合う小領域同士もしくは隣り合う大領域同士が互いに所定量だけ重なり合うように分割してもよい。さらに小領域同士のみあるいは大領域のみ重なり合うように分割してもよく、小領域同士および大領域同士の両方とも重なり合うようにしてもよい。このようにすると、分割を開始する基点の位置の影響を抑制するとともにより精緻に判別しかつ所定の面積率の範囲内に含まれるように設計することができ、より均一なパターンを設計することができる。

30

【0115】

また、重なり合う所定量は、小領域に分割する場合は、その小領域の一辺の長さの3/4以下であることが好ましい。大領域に分割する場合も同様である。面積率が所定の範囲内であるか否かを一層精緻に判別できる。

【0116】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) (1) 化学機械的研磨により研磨速度が大きい易研磨領域と研磨速度が小さい難研磨領域との両方を含んで画定されるレイアウト領域を第1の小領域に等しく複数に分割する工程と、

(2) 各々の該第1の小領域について、前記難研磨領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記難研磨領域が占めてよい許容面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ易研磨領域を拡大あるいは追加し、前記許容面積率よりも小さければ難研磨領域を拡大あるいは追加する工程と、

40

(3) 前記レイアウト領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、

(4) 各々の該第2の小領域について、前記難研磨領域が占める第2の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記難研磨領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ易研磨領域を拡大あるいは追加し、前記許容最大面積率よりも小さければ難研磨領域を拡大

50

あるいは追加する工程と、
を有する電子装置の設計方法。

(付記2) (1) 化学機械的研磨により研磨速度が異なる素子分離領域と、該素子分離領域により画成された基板領域との両方を含む素子形成領域を第1の小領域に等しく複数に分割する工程と、

(2) 各々の該第1の小領域について、前記基板領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記基板領域が占めてよい許容最大面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ素子分離領域を拡大あるいは追加し、前記許容面積率よりも小さければ基板領域を拡大あるいは追加する工程と、

(3) 前記素子形成領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、

(4) 各々の該第2の小領域について、前記基板領域が占める第2の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記基板領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ素子分離領域を拡大あるいは追加し、前記許容面積率よりも小さければ基板領域を拡大あるいは追加する工程と、

を有する電子装置の設計方法。

(付記3) (1) 化学機械的研磨により研磨速度が異なる配線層領域と絶縁層領域との両方を含む配線領域を第1の小領域に等しく複数に分割する工程と、

(2) 各々の該第1の小領域について、前記絶縁層領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第1の小領域中に前記絶縁層領域が占めてよい許容面積率と前記第1の面積率を対比し、前記第1の面積率が前記許容面積率よりも大きければ配線層領域を拡大あるいは追加し、前記許容面積率よりも小さければ絶縁層領域を拡大あるいは追加する工程と、

(3) 前記配線領域を前記第1の小領域と異なる大きさの第2の小領域に等しく複数に分割する工程と、

(4) 各々の該第2の小領域について、前記絶縁層領域が占める第1の面積率を求め、研磨後平坦度を確保するために前記第2の小領域中に前記絶縁層領域が占めてよい許容面積率と前記第2の面積率を対比し、前記第2の面積率が前記許容面積率よりも大きければ配線層領域を拡大あるいは追加し、前記許容面積率よりも小さければ絶縁層領域を拡大あるいは追加する工程と、

を有する電子装置の設計方法。

(付記4) 前記(1)または(3)の工程において、第1または第2の小領域の各々が、隣り合う対応する該小領域と互いに所定量だけ重なり合っていることを特徴とする付記1~3のうち、いずれか一項記載の電子装置の設計方法。

(付記5) 前記所定量は、前記小領域の一辺の長さの3/4以下であることを特徴とする付記4記載の電子装置の設計方法。

(付記6) 前記第2の小領域は前記第1の小領域より大きいことを特徴とする付記1~5のうち、いずれか一項記載の電子装置の設計方法。

(付記7) 前記第2の小領域は前記第1の小領域の4倍から16倍の範囲内の面積を有することを特徴とする付記1~6のうち、いずれか一項記載の電子装置の設計方法。

(付記8) 前記電子装置は、シャロートレンチアイソレーションを有するものであり、前記易研磨領域はシャロートレンチアイソレーション領域であり、前記難研磨領域は前記シャロートレンチアイソレーション領域以外の領域であることを特徴とする付記1および4~7のうち、いずれか一項記載の電子装置の設計方法。

(付記9) 前記第1の小領域は一辺が250 μ mの正方形であり、前記(2)における許容面積率は20%以上80%以下の範囲内であり、前記第2の小領域は一辺が1000 μ mの正方形であり、前記(4)における許容面積率は30%以上50%以下の範囲内であることを特徴とする付記1~8のうち、いずれか一項記載の電子装置の設計方法。

10

20

30

40

50

(付記10) 前記(2)または(4)の工程を繰り返して行うことを特徴とする付記1~9のうち、いずれか一項記載の電子装置の設計方法。

(付記11) 付記1~10のうち、いずれか一項記載の電子装置の設計方法を使った設計工程を含むことを特徴とする電子装置の製造方法。

【0117】

【発明の効果】

以上詳述したところから明らかなように、本発明によれば、CMP法を用いてSTI構造、配線構造等を形成する場合に、研磨速度のより大きな領域が占める面密度の大小により生ずる凹みを防止することができる。また、本発明によれば、より自由度の大きい設計方法を提供することができる。

10

【図面の簡単な説明】

【図1】従来のSTI工程を示した図である。

【図2】従来技術1のSTI工程を示した図である。

【図3】素子領域と素子分離領域を有する基板の一例である。

【図4】図3に示した基板の研磨後の要部断面図である。

【図5】素子領域と素子分離領域とからなる領域のレイアウトパターンを100 μ m角の小領域に分割して示した図である。

【図6】素子領域と素子分離領域とからなる領域のレイアウトパターンの他の例を示した図である。

【図7】試験に用いた半導体基板を示す平面図である。

20

【図8】活性化領域を拡大して示した図である。

【図9】ダミー領域を拡大して示した図である。

【図10】シリコン酸化膜を形成した活性化領域を示す断面図である。

【図11】研磨後の活性化領域を示す断面図である。

【図12】シリコン窒化膜の膜厚の最小値と、最小値を示した領域を示した図である。

【図13】本発明の実施の形態である設計方法の一例を示したフローチャートである。

【図14】本実施例に係るMOSトランジスタの活性化領域の面積率を示した図である。

【図15】本実施例に係る研磨後の各小領域のシリコン窒化膜の膜厚を示した図である。

【図16】比較例に係るMOSトランジスタの活性化領域の面積率を示した図である。

【図17】比較例に係る研磨後の各領域のシリコン窒化膜の膜厚を示した図である。

30

【図18】本発明の実施の形態である設計方法のその他の例を示したフローチャートである。

【図19】本実施例に係る配線構造を形成する工程を示した図である。

【図20】段差の最大値を示した図である。

【図21】本実施例に係る薄膜磁気ヘッドの再生用ヘッド部の下部シールドを形成する工程を示す図である。

【図22】CMP装置の構成を模式的に示した図である。

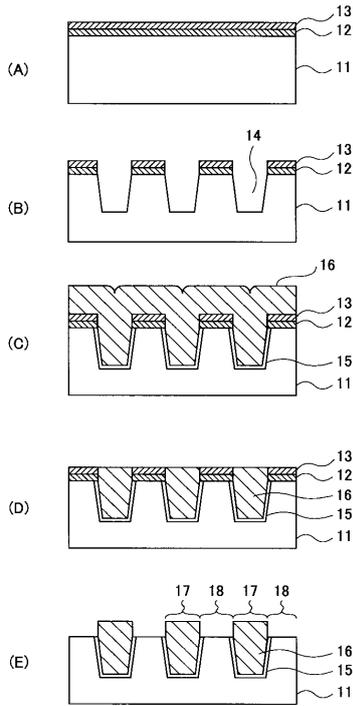
【符号の説明】

- 60 半導体基板
- 61 活性化領域
- 62 ダミー領域
- 63 素子領域
- 64、68 シリコン酸化膜
- 65 シリコン窒化膜
- 66 トレンチ
- 70、75 レイアウト領域
- 71、72 小領域

40

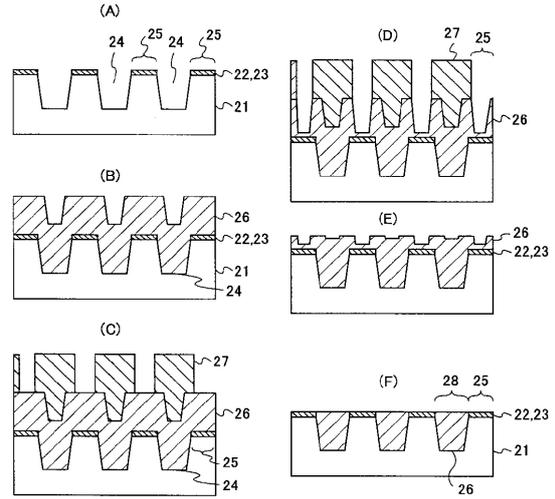
【図1】

従来のSTI工程を示した図



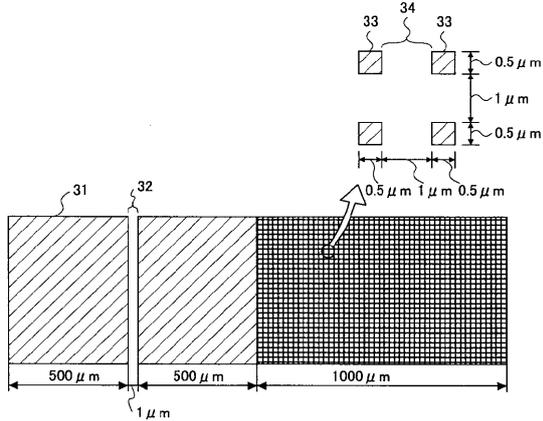
【図2】

従来技術1のSTI工程を示した図



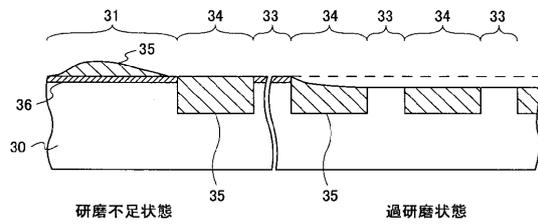
【図3】

素子領域と素子分離領域を有する基板の一例



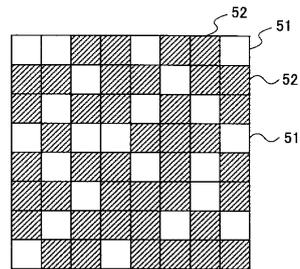
【図4】

図3に示した基板の研磨後の要部断面図



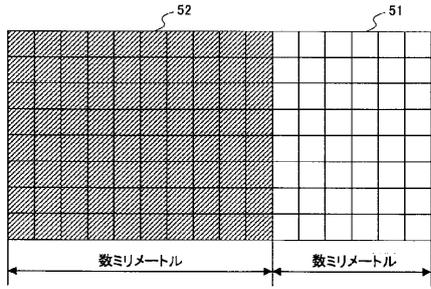
【図5】

素子領域と素子分離領域とからなる領域のレイアウトパターンを100 μm角の小領域に分割して示した図



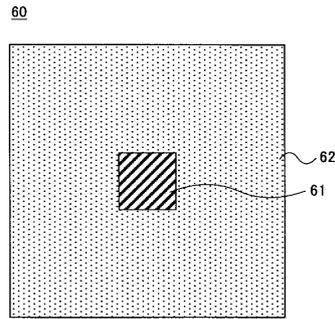
【図6】

素子領域と素子分離領域とからなる領域のレイアウトパターン別の例を示した図



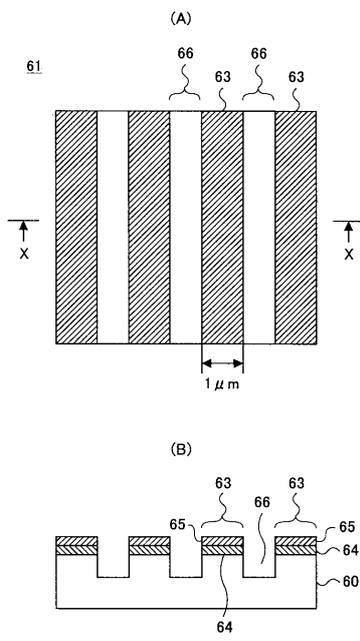
【図7】

試験に用いた半導体基板を示す平面図



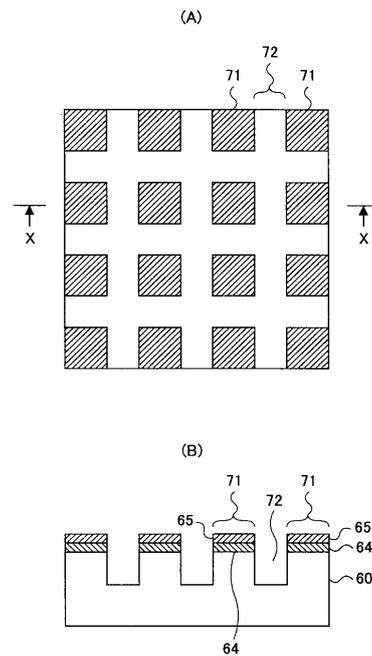
【図8】

活性化領域を拡大して示した図



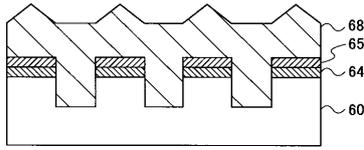
【図9】

ダミー領域を拡大して示した図



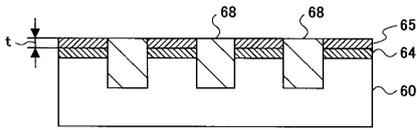
【図10】

シリコン酸化膜を形成した活性化領域を示す断面図



【図11】

研磨後の活性化領域を示す断面図



【図12】

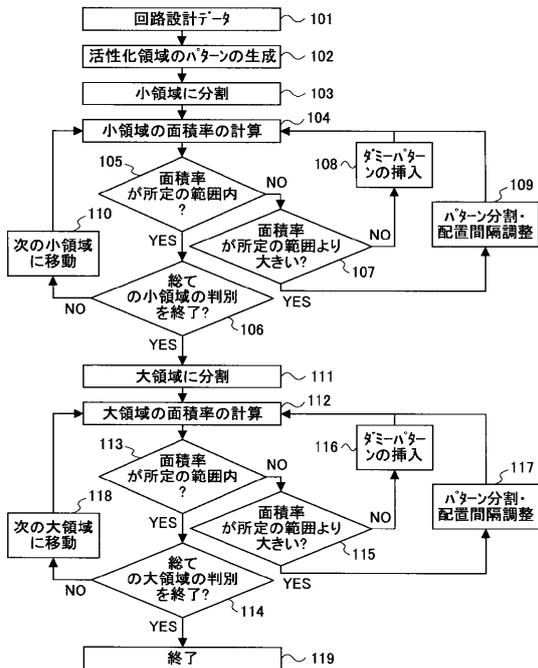
シリコン酸化膜の膜厚の最小値と、最小値を示した領域を示した図

面積率	250 μm × 250 μm		500 μm × 500 μm		1000 μm × 1000 μm		単位: nm
	最小値	領域	最小値	領域	最小値	領域	
100%	69.6	DM	63.9	DM	—	—	—
90%	70.0	DM	69.0	DM	—	—	—
80%	74.1	DM	74.1	DM	63.1	DM	—
70%	79.5	DM	73.9	DM	68.4	DM	—
60%	79.1	DM	73.9	DM	68.0	DM	—
50%	78.8	DM	73.3	DM	73.4	DM	—
40%	77.8	DM	78.7	DM	73.1	DM	—
30%	76.8	AC	77.4	AC	71.8	AC	—
20%	71.0	AC	70.0	AC	65.6	AC	—
10%	68.9	AC	68.4	AC	—	—	—

AC: 活性化領域, DM: ダミー領域を示す

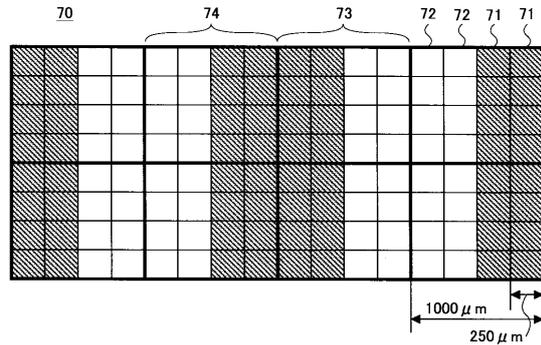
【図13】

本発明の実施の形態である設計方法の一例を示したフローチャート



【図14】

本実施例に係るMOSTランジスタの活性化領域の面積率を示した図



【図15】

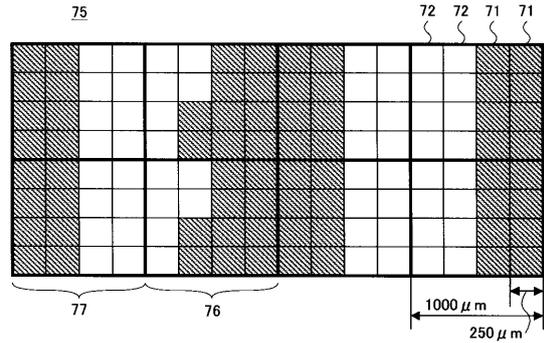
本実施例に係る研磨後の各小領域のシリコン窒化膜の膜厚を示した図

79	78	75	73	73	74	78	78	78	77	74	72	72	73	77	77
80	79	76	74	74	76	79	79	79	78	75	73	73	74	77	78
81	80	77	75	75	77	79	80	80	79	76	74	74	75	78	79
81	80	78	76	76	77	80	80	80	79	77	75	74	76	78	79
82	81	78	77	76	78	80	81	81	80	77	75	75	76	79	79
82	81	79	77	77	78	80	81	81	80	77	75	75	76	79	79
82	81	79	77	77	78	80	81	81	80	78	76	75	77	79	80
82	81	79	77	77	78	80	81	81	80	78	76	75	77	79	80

単位：nm

【図16】

比較例に係るMOSトランジスタの活性化領域の面積率を示した図



【図17】

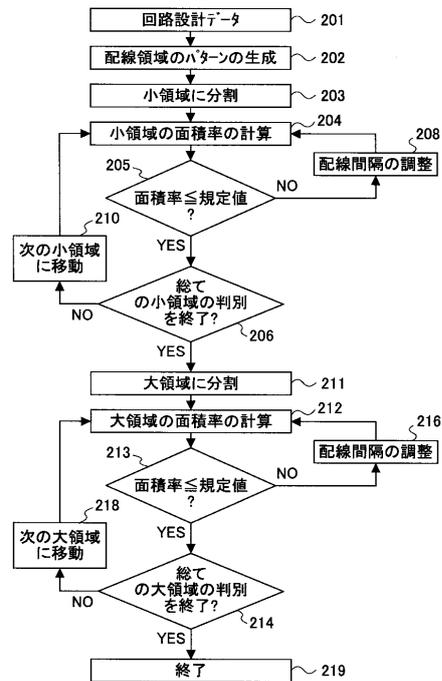
比較例に係る研磨後の各領域のシリコン窒化膜の膜厚を示した図

73	69	68	68	70	73	76	77	77	76	72	70	70	71	74	75
74	70	69	69	71	74	77	78	78	77	73	71	71	72	75	76
75	71	70	70	72	76	78	79	78	77	74	72	72	73	76	76
75	72	70	70	72	76	78	79	79	78	75	73	72	74	76	77
75	72	68	68	73	76	78	79	79	78	75	73	73	74	77	77
76	73	69	69	73	76	79	79	79	78	76	74	73	74	77	77
76	73	71	71	73	77	79	80	79	78	76	74	73	75	77	77
76	73	71	71	73	77	79	80	79	78	76	74	73	75	77	78

単位：nm

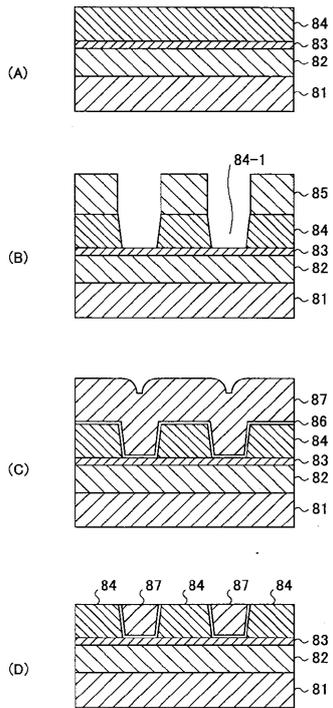
【図18】

本発明の実施の形態である設計方法の他の例を示したフローチャート



【図19】

本実施例に係る配線構造を形成する工程を示した図



【図20】

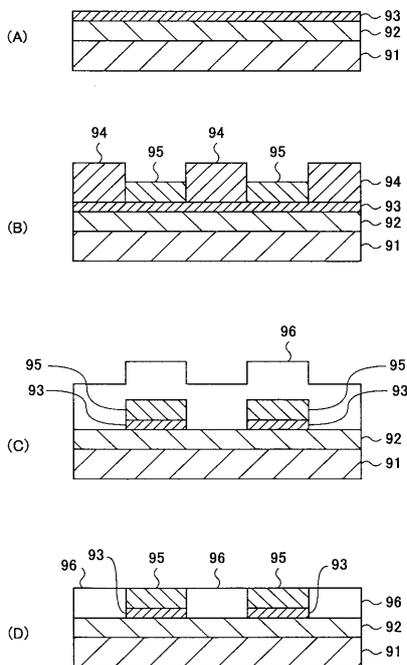
段差の最大値を示した図

		100 μm × 100 μmの領域に対する規定値		
		40%	60%	80%
25 μm × 25 μmの領域に対する規定値	70%	36	38	74
	80%	40	50	84
	90%	86	86	110

単位 : nm

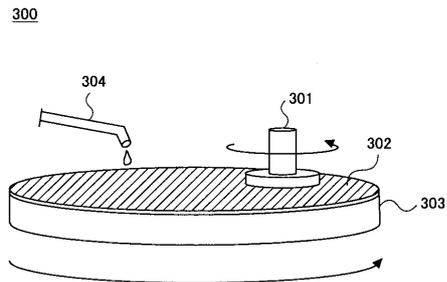
【図21】

本実施例に係る薄膜磁気ヘッドの再生用ヘッド部の下部シールドを形成する工程を示す図



【図22】

CMP装置の構成を模式的に示した図



フロントページの続き

- (56)参考文献 特開2002-217294(JP,A)
特開2002-319585(JP,A)
特開2002-009161(JP,A)
特開2002-190516(JP,A)
特開2001-044276(JP,A)
特開平11-016999(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/76