



(12) 发明专利申请

(10) 申请公布号 CN 103208496 A

(43) 申请公布日 2013. 07. 17

(21) 申请号 201210193481. 3

(22) 申请日 2012. 06. 12

(30) 优先权数据

13/349, 349 2012. 01. 12 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 廖忠志

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 27/11 (2006. 01)

G11C 11/412 (2006. 01)

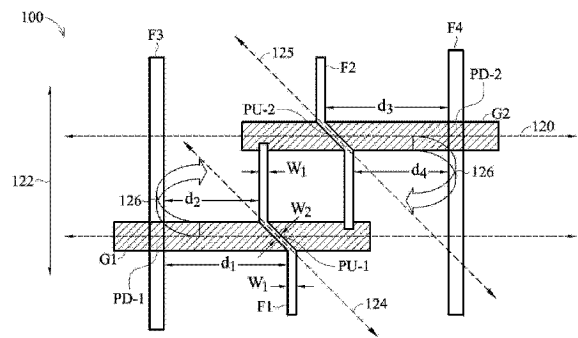
权利要求书2页 说明书12页 附图12页

(54) 发明名称

SRAM 单元和阵列

(57) 摘要

公开了静态随机存取存储器(SRAM)单元和SRAM单元阵列。在一个实施例中,SRAM单元包括上拉晶体管。上拉晶体管包括鳍式场效应晶体管(FinFET),其具有半导体材料的鳍。有源区域设置在鳍内。接触件设置在上拉晶体管的有源区域的上方。接触件是在第一方向上设置的槽式接触件。在第二方向上设置上拉晶体管的有源区域。第二方向不与第一方向垂直。



1. 一种静态随机存取存储器(SRAM)单元,包括:

上拉晶体管,所述上拉晶体管包括鳍型场效应晶体管(FinFET),所述上拉晶体管包括半导体材料的鳍、设置在所述鳍内的有源区域;以及

接触件,设置在所述上拉晶体管的所述有源区域的上方,其中,所述接触件包括在第一方向上设置的槽式接触件,所述上拉晶体管的所述有源区域设置在第二方向上,其中,所述第二方向不与所述第一方向垂直。

2. 根据权利要求1所述的SRAM单元,其中,所述第二方向被定位为相对于所述第一方向具有大约35至50度的夹角。

3. 根据权利要求1所述的SRAM单元,其中,所述上拉晶体管包括p沟道金属氧化物半导体(PMOS)器件,其中,所述上拉晶体管包括第一上拉晶体管,所述接触件包括第一接触件,所述SRAM单元还包括:

第二上拉晶体管,包括FinFET;以及

第二接触件,设置在所述第二上拉晶体管的有源区域的上方,其中,所述第二接触件包括在所述第一方向上设置的槽式接触件,其中,在第三方向上设置所述第二上拉晶体管的有源区域,其中,所述第三方向不与所述第一方向垂直。

4. 根据权利要求3所述的SRAM单元,其中,所述第一上拉晶体管的鳍包括第一鳍,所述第二上拉晶体管的鳍包括第二鳍,所述第一鳍和所述第二鳍在有源区域中包括弯曲形状,所述SRAM单元还包括:

第一下拉晶体管,连接至所述第一上拉晶体管;

第二下拉晶体管,连接至所述第二上拉晶体管;

第一传输门晶体管,连接至所述第一下拉晶体管;以及

第二传输门晶体管,连接至所述第二下拉晶体管,其中,所述第一传输门晶体管的有源区域和所述第一下拉晶体管的有源区域包括半导体材料的第三鳍,所述第二传输门晶体管的有源区域和所述第二下拉晶体管的有源区域包括半导体材料的第四鳍,以及其中,所述第三鳍和所述第四鳍基本上平直并且分别设置在所述第一鳍和所述第二鳍的任一侧。

5. 一种静态随机存取存储器(SRAM)单元,包括:

第一反相器,包括第一n型器件和第一p型器件,所述第一n型器件和所述第一p型器件包括鳍型金属氧化物半导体场效应晶体管(MOSFET),所述第一p型器件在有源区域中包括弯曲状布局;

第一栅电极,设置在所述第一p型器件的有源区域的上方;

第二反相器,包括第二n型器件和第二p型器件,所述第二n型器件和所述第二p型器件包括鳍型MOSFET,所述第二p型器件在有源区域中包括弯曲状布局;以及

第二栅电极,设置在所述第二p型器件的有源区域的上方,其中,所述第一反相器的输出端连接至所述第二反相器的输入端,以及所述第二反相器的输出端连接至所述第一反相器的输入端。

6. 根据权利要求5所述的SRAM单元,其中,所述第一n型器件包括具有漏极的至少一个鳍型MOSFET,所述第二n型器件包括具有漏极的至少一个鳍型MOSFET,其中,所述第一p型器件和所述第二p型器件都包括漏极,所述SRAM单元还包括:

第一加长接触件,将所述第一n型器件的漏极和所述第一p型器件的漏极连接在一起;

以及

第二加长接触件,将所述第二 n 型器件的漏极和所述第二 p 型器件的漏极连接在一起。

7. 根据权利要求 6 所述的 SRAM 单元,其中,所述第一加长接触件将所述第一 n 型器件的漏极节点和所述第一 p 型器件的漏极节点连接在一起,其中,所述第一 p 型器件的源极电连接至 Vdd 节点,所述第一 n 型器件的源极电连接至 Vss 节点,以及其中,所述 Vdd 节点与所述 Vss 节点之间的第一距离比所述第一 n 型器件的漏极节点与所述第一 p 型器件的漏极节点之间的第二距离大至少约 20%。

8. 根据权利要求 5 所述的 SRAM 单元,还包括:第一传输门晶体管,连接至所述第一反相器;第二传输门晶体管,连接至所述第二反相器;位线和字线,连接至所述第一传输门晶体管;位线条和字线,连接至所述第二传输门晶体管;Vss 线,连接至所述第一 n 型器件和所述第二 n 型器件;以及 Vdd 线,连接至所述第一 p 型器件和所述第二 p 型器件。

9. 根据权利要求 5 所述的 SRAM 单元,其中,所述第一 p 型器件或所述第二 p 型器件包括上拉晶体管,所述上拉晶体管包括具有第一宽度的源极区域或漏极区域以及具有第二宽度的沟道区域,其中,所述第二宽度比所述第一宽度窄至少约 10%。

10. 一种静态随机存取存储器(SRAM)单元阵列,具有以多行和多列配置的多个 SRAM 单元,所述 SRAM 单元阵列包括:

Vdd 线和 Vss 线,用于向所述多个 SRAM 单元提供电能;

多条位线和多个位线条,用于访问所述多列中的列;以及

多条字线,用于访问所述多行中的行,其中,所述 SRAM 单元阵列中的每个 SRAM 单元都包括:

第一反相器,包括具有有源区域的第一 p 型器件,所述第一 p 型器件包括弯曲状鳍,

第二反相器,与所述第一反相器交叉连接,所述第二反相器包括具有有源区域的第二 p 型器件,所述第二 p 型器件包括弯曲状鳍,

第一传输门晶体管,连接至所述第一反相器,和

第二传输门晶体管,连接至所述第二反相器。

SRAM 单元和阵列

技术领域

[0001] 本发明一般地涉及半导体技术领域,更具体地来说,涉及 SRAM 单元和阵列。

背景技术

[0002] 作为实例,半导体器件被用于各种电子应用,诸如个人计算机、手机、数码相机和其他电子设备。通常通过在半导体衬底的上方顺序沉积绝缘层或介电层、导电层和半导体材料层以及使用光刻对各种材料层进行图案化以在其上形成电路部件和元件来制造半导体器件。

[0003] 存储器件是用于存储数字信息的半导体器件。一种类型的存储器件是静态随机存取存储器(SRAM)器件,其是不要求如动态随机存取存储器(DRAM)器件的周期性刷新来存储信息的存储器件。SRAM 器件使用双稳态锁存电路来存储数据位。一些最近的 SRAM 器件的设计将鳍式场效应晶体管(FinFET)作为 SRAM 单元的晶体管器件。FinFET 是具有在集成电路的半导体表面外垂直凸起的鳍式半导体沟道的晶体管结构。

[0004] 半导体工业持续通过不断减小最小部件尺寸来提高各种电子部件的集成密度,这允许更多的部件集成到给定面积中。在许多应用中期望减小 SRAM 单元的大小,以提高器件性能、减小功率要求和允许更多的 SRAM 单元位于集成电路管芯上的给定量的表面积内。

发明内容

[0005] 为了解决现有技术中所存在的缺陷,根据本发明的一方面,提供了一种静态随机存取存储器(SRAM)单元,包括:上拉晶体管,所述上拉晶体管包括鳍型场效应晶体管(FinFET),所述上拉晶体管包括半导体材料的鳍、设置在所述鳍内的有源区域;以及接触件,设置在所述上拉晶体管的所述有源区域的上方,其中,所述接触件包括在第一方向上设置的槽式接触件,所述上拉晶体管的所述有源区域设置在第二方向上,其中,所述第二方向不与所述第一方向垂直。

[0006] 在该 SRAM 单元中,所述第二方向被定位为相对于所述第一方向具有大约 35 至 50 度的夹角。

[0007] 在该 SRAM 单元中,所述上拉晶体管包括 p 沟道金属氧化物半导体(PMOS)器件,其中,所述上拉晶体管包括第一上拉晶体管,所述接触件包括第一接触件,所述 SRAM 单元还包括:第二上拉晶体管,包括 FinFET;以及第二接触件,设置在所述第二上拉晶体管的有源区域的上方,其中,所述第二接触件包括在所述第一方向上设置的槽式接触件,其中,在第三方向上设置所述第二上拉晶体管的有源区域,其中,所述第三方向不与所述第一方向垂直。

[0008] 在该 SRAM 单元中,所述第一上拉晶体管的鳍包括第一鳍,所述第二上拉晶体管的鳍包括第二鳍,所述第一鳍和所述第二鳍在有源区域中包括弯曲形状,所述 SRAM 单元还包括:第一下拉晶体管,连接至所述第一上拉晶体管;第二下拉晶体管,连接至所述第二上拉晶体管;第一传输门晶体管,连接至所述第一下拉晶体管;以及第二传输门晶体管,连接至

所述第二下拉晶体管,其中,所述第一传输门晶体管的有源区域和所述第一下拉晶体管的有源区域包括半导体材料的第三鳍,所述第二传输门晶体管的有源区域和所述第二下拉晶体管的有源区域包括半导体材料的第四鳍,以及其中,所述第三鳍和所述第四鳍基本上平直并且分别设置在所述第一鳍和所述第二鳍的任一侧。

[0009] 根据本发明的另一方面,提供了一种静态随机存取存储器(SRAM)单元,包括:第一反相器,包括第一 n 型器件和第一 p 型器件,所述第一 n 型器件和所述第一 p 型器件包括鳍型金属氧化物半导体场效应晶体管(MOSFET),所述第一 p 型器件在有源区域中包括弯曲状布局;第一栅电极,设置在所述第一 p 型器件的有源区域的上方;第二反相器,包括第二 n 型器件和第二 p 型器件,所述第二 n 型器件和所述第二 p 型器件包括鳍型 MOSFET,所述第二 p 型器件在有源区域中包括弯曲状布局;以及第二栅电极,设置在所述第二 p 型器件的有源区域的上方,其中,所述第一反相器的输出端连接至所述第二反相器的输入端,以及所述第二反相器的输出端连接至所述第一反相器的输入端。

[0010] 在该 SRAM 单元中,所述第一 n 型器件包括具有漏极的至少一个鳍型 MOSFET,所述第二 n 型器件包括具有漏极的至少一个鳍型 MOSFET,其中,所述第一 p 型器件和所述第二 p 型器件都包括漏极,所述 SRAM 单元还包括:第一加长接触件,将所述第一 n 型器件的漏极和所述第一 p 型器件的漏极连接在一起;以及第二加长接触件,将所述第二 n 型器件的漏极和所述第二 p 型器件的漏极连接在一起。

[0011] 在该 SRAM 单元中,所述第一加长接触件将所述第一 n 型器件的漏极节点和所述第一 p 型器件的漏极节点连接在一起,其中,所述第一 p 型器件的源极电连接至 Vdd 节点,所述第一 n 型器件的源极电连接至 Vss 节点,以及其中,所述 Vdd 节点与所述 Vss 节点之间的第一距离比所述第一 n 型器件的漏极节点与所述第一 p 型器件的漏极节点之间的第二距离大至少约 20%。

[0012] 该 SRAM 单元还包括:第一传输门晶体管,连接至所述第一反相器;第二传输门晶体管,连接至所述第二反相器;位线和字线,连接至所述第一传输门晶体管;位线条和字线,连接至所述第二传输门晶体管;Vss 线,连接至所述第一 n 型器件和所述第二 n 型器件;以及 Vdd 线,连接至所述第一 p 型器件和所述第二 p 型器件。

[0013] 在该 SRAM 单元中,所述第一 p 型器件或所述第二 p 型器件包括上拉晶体管,所述上拉晶体管包括具有第一宽度的源极区域或漏极区域以及具有第二宽度的沟道区域,其中,所述第二宽度比所述第一宽度窄至少约 10%。

[0014] 在该 SRAM 单元中,所述 SRAM 单元包括具有 x 间距和 y 间距的位单元,其中,所述第一 p 型器件包括第一上拉晶体管,所述第一上拉晶体管包括设置在第一鳍内的鳍型有源区域上方的第一栅电极,所述第一 n 型器件包括第一下拉晶体管,所述第一下拉晶体管包括设置在第二鳍内的鳍型有源区域上方的所述第一栅电极,其中,所述 SRAM 单元还包括第一传输门晶体管,所述第一传输门晶体管包括设置在所述第二鳍内的鳍型有源区域上方的第二栅电极,其中,所述第二 p 型器件包括第二上拉晶体管,所述第二上拉晶体管包括设置在第三鳍内的鳍型有源区域上方的第三栅电极,所述第二 n 型器件包括第二下拉晶体管,所述第二下拉晶体管包括设置在第四鳍内的鳍型有源区域上方的所述第三栅电极,其中,所述 SRAM 单元还包括第二传输门晶体管,所述第二传输门晶体管包括设置在所述第四鳍内的鳍型有源区域上方的第四栅电极,其中,所述第一栅电极、所述第二栅电极、所述第三

栅电极和所述第四栅电极的布线方向包括第一方向,以及设置在所述第一栅电极下方的第一鳍内的鳍型有源区域的布线方向包括第二方向,所述第二方向不同于所述第一方向,所述第二方向不与所述第一方向垂直。

[0015] 在该 SRAM 单元中,每个位单元还包括:位线、位线条、字线、CVdd 线和 CVss 线,其中,所述位线和所述位线条的布线方向包括第三方向,所述字线的布线方向包括第四方向,其中,所述第四方向基本上与所述第一方向平行,所述第三方向基本上与所述第一方向垂直,并且所述第二方向与所述第一方向的交叉角包括大约 35 至 80 度范围内的角度。

[0016] 根据本发明的又一方面,提供了一种静态随机存取存储器(SRAM)单元阵列,具有以多行和多列配置的多个 SRAM 单元,所述 SRAM 单元阵列包括:Vdd 线和 Vss 线,用于向所述多个 SRAM 单元提供电能;多条位线和多个位线条,用于访问所述多列中的列;以及多条字线,用于访问所述多行中的行,其中,所述 SRAM 单元阵列中的每个 SRAM 单元都包括:第一反相器,包括具有有源区域的第一 p 型器件,所述第一 p 型器件包括弯曲状鳍,第二反相器,与所述第一反相器交叉连接,所述第二反相器包括具有有源区域的第二 p 型器件,所述第二 p 型器件包括弯曲状鳍,第一传输门晶体管,连接至所述第一反相器,和第二传输门晶体管,连接至所述第二反相器。

[0017] 在该 SRAM 单元阵列中,所述第一反相器的栅电极、所述第二反相器的栅电极、所述第一传输门晶体管的栅电极和所述第二传输门晶体管的栅电极被设置为与所述多条字线的布线方向平行。

[0018] 在该 SRAM 单元阵列中,所述第一反相器或所述第二反相器的晶体管、所述第一传输门晶体管或所述第二传输门晶体管包括:含 Si 外延层,设置在源极区域和漏极区域的上方;以及硅化物层,完全或部分地形成在所述含 Si 外延层的上方。

[0019] 在该 SRAM 单元阵列中,所述第一反相器的晶体管、所述第二反相器的晶体管、所述第一传输门晶体管或所述第二传输门晶体管的源极区域和漏极区域包括含碳(C)外延层、含磷(P)外延层、SiP 外延层、SiC 外延层或它们的组合,或者其中,所述第一反相器或所述第二反相器的晶体管的源极区域和漏极区域包括含 Ge 外延层、SiGe 外延层或它们的组合。

[0020] 在该 SRAM 单元阵列中,所述第一反相器的晶体管和所述第二反相器的晶体管包括单个鳍或多个鳍。

[0021] 在该 SRAM 单元阵列中,所述多条字线设置在所述第一金属层中,所述 SRAM 单元阵列还包括设置在所述第一金属层上方的介电材料,以及其中,所述多条位线、所述多个位线条、用于所述 Vdd 线的接触件和用于所述 Vss 线的接触件被设置在第二金属层中,所述第二金属层设置在所述介电材料的上方。

[0022] 在该 SRAM 单元阵列中,所述多个 SRAM 单元的每一个都包括位单元,所述位单元具有 x 间距和 y 间距并且还包括第一 Vss (CVss) 节点、第二 CVss 节点、第一 Vdd (CVdd) 节点、第二 CVdd 节点、第一 N 数据节点、第一 P 数据节点、第一 N 数据节点条、第一 P 数据节点条、多个单元接触件和多个单元器件,其中,所述多个单元接触件用作通孔与基本上跟随第一布线方向的有源区域之间的连接路径,其中,所述多个单元接触件包括:第一加长接触件,连接至所述第一 CVdd 节点;第二加长接触件,连接至所述第二 CVdd 节点;第三加长接触件,连接至所述第一 CVss 节点;第四加长接触件,连接至所述第二 CVss 节点;第五加长

接触件,连接至所述第一 P 数据节点和所述第一 N 数据节点;以及第六加长接触件,连接至第二 P 数据节点条和第二 N 数据节点条,其中,所述第一加长接触件和所述第三加长接触件具有在 x 间距方向上的投影覆盖,所述第二加长接触件和所述第四加长接触件具有在 x 间距方向上的投影覆盖,所述第三加长接触件和所述第五加长接触件具有在 y 间距方向上的部分投影覆盖,所述第四加长接触件和所述第六加长接触件具有在 y 间距方向上的部分投影覆盖,其中,在所述 y 间距方向上没有用于所述第一加长接触件和所述第五加长接触件的投影覆盖,在所述 y 间距方向上,没有用于所述第一加长接触件和所述第六加长接触件的投影覆盖;其中,所述第一反相器包括连接至第一下拉器件的第一上拉器件,所述第二反相器包括连接至第二下拉器件的第二上拉器件,其中,所述第一上拉器件包括设置在作为第一鳍的弯曲部分的有源区域上方的第一栅电极,所述第一下拉器件包括设置在作为第二鳍的一部分的有源区域上方的所述第一栅电极,所述第一传输门晶体管包括设置在作为所述第二鳍的一部分的有源区域上方的第二栅电极,其中,所述第二上拉器件包括设置在作为第三鳍的弯曲部分的有源区域上方的第三栅电极,所述第二下拉器件包括设置在作为第四鳍的一部分的有源区域上方的所述第三栅电极,所述第二传输门晶体管包括设置在作为所述第四鳍的一部分的有源区域上方的第四栅电极,其中,所述第一栅电极、所述第二栅电极、所述第三栅电极和所述第四栅电极的布线方向包括第一方向,设置在所述第一栅电极下方的第一有源区域的布线方向包括第二方向,所述第二方向不同于所述第一方向;其中,每个位单元进一步包括位线、位线条、字线、CVdd 线和 CVss 线;其中,所述位线和所述位线条的布线方向包括第三方向,所述字线的布线方向包括第四方向,其中,所述第四方向基本上与所述第一方向平行,所述第三方向基本上与所述第一方向垂直;以及其中,每个位单元进一步包括连接至所述第三栅电极和所述第五加长接触件的第一对接接触件以及连接至所述第一栅电极和所述第六加长接触件的第二对接接触件。

[0023] 在该 SRAM 单元阵列中,每个位单元进一步包括位线节点、位线条节点、连接在所述位线节点和上覆位线之间的第七接触件、连接在所述位线条节点和上覆位线条之间的第八接触件,其中,所述第七接触件和所述第八接触件位于第一接触件组层中,其中,每个位单元进一步包括设置在所述第一接触件组层上方的第二接触件组层,以及其中,所述第二接触件组层包括连接至所述第一加长接触件的第九接触件、连接至所述第二加长接触件的第十接触件、连接至所述第三加长接触件的第十一接触件、连接至所述第四加长接触件的第十二接触件、连接至所述第七接触件的第十三接触件和连接至所述第八接触件的第十四接触件。

[0024] 在该 SRAM 单元阵列中,第二有源区域和第三有源区域的布局形状包括弯曲线,其中,每条弯曲线都在每个 SRAM 单元内不连续并且不完全横跨 SRAM 单元边界来延伸。

附图说明

[0025] 为了更好地理解本公开内容及其优点,现在将结合附图进行以下描述作为参考,其中:

[0026] 图 1 是根据本公开内容实施例的新 SRAM 单元布局的一部分的俯视图;

[0027] 图 2 是 SRAM 单元布局的另一部分的俯视图;

[0028] 图 3A、图 3B、和图 3C 是图 1 和图 2 所示布局的多个部分的截面图;

- [0029] 图 4 示出了图 1 的布局的定向；
- [0030] 图 5 示出了图 1 的布局的角度和尺寸；
- [0031] 图 6 是图 1 和图 2 所示 SRAM 单元布局的示意图；
- [0032] 图 7 是图 1 和图 2 的 SRAM 单元布局的另一示意图；
- [0033] 图 8 示出了本文所述实施例的各种材料层的覆盖未对准的效应；
- [0034] 图 9 示出了根据本公开内容的 SRAM 单元布局的另一实施例的俯视图；以及
- [0035] 图 10 至图 13 示出了本文所述新 SRAM 单元的晶体管的 FinFET 的鳍的横截面图。
- [0036] 除非另有指定，否则不同附图中的对应符号和标号通常是指对应部件。绘制附图以清楚地示出实施例的相关方面，并且不需要按比例绘制。

具体实施方式

[0037] 以下详细讨论各个实施例的制造和使用。然而，应该理解，本公开内容提供了许多可以在各种具体环境中实现的可应用的发明概念。所讨论的特定实施例仅仅是制造和使用本公开内容的具体方式，并不用于限制本公开内容的范围。

[0038] 本公开内容的实施例涉及 SRAM 单元和阵列。本文将描述用于 SRAM 单元和 SRAM 单元阵列的新布局。

[0039] 首先，参照图 1，示出了根据本公开内容实施例的 SRAM 单元布局的俯视图。图 1 中的示意图示出了用于包括 6 个晶体管 (6T) SRAM 单元的半导体器件 100 的一部分的前道工序 (FEOL) 布局 102，其中，SRAM 单元的两个上拉晶体管 PU-1 和 PU-2 的有源区域包括相对于栅电极 G1 和 G2 以非垂直角度定位的半导体材料的鳍 F1 和 F2，其中，栅电极 G1 和 G2 分别设置在鳍 F1 和 F2 的上方。图 2 是图 1 所示 6T SRAM 单元布局的另一俯视图。示出了金属层的后道工序 (BEOL) 布局 110，该后道工序 (BEOL) 布局 110 覆盖图 1 所示的 6T SRAM 单元的 FEOL 布局 102。

[0040] 图 3A、图 3B 和图 3C 是图 1 和图 2 所示布局的多个部分的截面图，示出了 SRAM 单元的一些 FEOL 器件和 BEOL 金属层。图 3A 示出了形成在金属层 M1、M2 和 M3 中的接触件和导电片段以及形成在通孔层 V0、V1 和 V2 中的导电通孔，这些导电通孔将导电片段 (conductive segment) 连接至下面的部件。介电材料 (未示出) 形成在每个通孔层 V0、V1 和 V2 中的通孔之间以及每个金属层 M1、M2 和 M3 中的接触件和导电片段之间。图 3B 示出了鳍 F2、F3 和 F4 以及上覆的金属层 M2 的截面。图 3C 示出了沿着鳍 F4 和金属层 M2 中的位线条 (BLB) 与图 3B 所示示图垂直的截面。在图 6 和图 7 中示出了 SRAM 单元的示意图 130 和 140。

[0041] 再次参照图 1，接下来将更加详细地描述新 SRAM 单元的 FEOL 布局 102。示出了用于单个 SRAM 单元的布局 102，在 104 处示出 SRAM 单元单元的边界。每个单元都包括四个鳍 F1、F2、F3 和 F4。鳍 F1、F2、F3 和 F4 包括半导体材料的鳍，这些半导体鳍远离 SRAM 单元形成在其上的工件或衬底 (参见图 3A 的工件 112) 垂直凸起。鳍 F1、F2、F3 和 F4 包括 FinFET 器件的鳍。鳍 F1、F2、F3 和 F4 包括栅电极 G1、G2、 C_{WL1} 和 C_{WL2} 下方的晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 的有源区域。栅电极 G1、G2、 C_{WL1} 和 C_{WL2} 包括槽式接触件 (slot contact)，并且在本文也被称为栅极接触件。栅电极 C_{WL1} 和 C_{WL2} 还在 BEOL 中用作字线 WL 的接触件，因此在本文也被称为字线接触件。鳍 F1、F2、F3 和 F4 还在晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 的有源区域的任一侧上形成源极区域和漏极区域。

[0042] 如图所示,鳍 F1 和 F2 在栅 F1 和 F2 的有源区域中的栅电极 G1 和 G2 的下方弯曲,而鳍 F3 和 F4 在栅电极 C_{wl1} 和 C_{wl2} 的下方平直。鳍 F1 和 F2 在 SRAM 单元内不连续,并且不完全横跨 SRAM 单元边界 104 延伸。相反,鳍 F3 和 F4 完全从 SRAM 单元边界 104 的一个边缘到相对边缘延伸。鳍 F3 和 F4 沿着整个长度基本平直,并且分别设置在鳍 F1 和 F2 的任一侧。

[0043] SRAM 单元包括两个上拉晶体管 PU-1 和 PU-2、两个下拉晶体管 PD-1 和 PD-2 以及两个传输门晶体管 PG-1 和 PG-2。以与晶体管 PU-2、PD-2 和 PG-2 互补的布置的方式来形成晶体管 PU-1、PD-1 和 PG-1。第一下拉晶体管 PD-1 连接至第一上拉晶体管 PU-1,以及第二下拉晶体管 PD-2 连接至第二上拉晶体管 PU-2。第一传输门晶体管 PG-1 连接至第一下拉晶体管 PD-1,以及第二传输门晶体管 PG-2 连接至第二下拉晶体管 PD-2。

[0044] 在图 1 中还示出了各种部件(诸如接触件 CVss-N1,用于 Vss 节点 1 的接触件; CVdd-N1,用于 Vdd 节点 1 的接触件; CVss-N2,用于 Vss 节点 2 的接触件; CVdd-N2,用于 Vdd 节点 2 的接触件; BL-N,位线节点接触件; BLB-N,位线条节点接触件; DN,数据节点接触件; SNB,存储节点条接触件; 以及对接触件 C_{BUTT1} 、 C_{BUTT2} 、 C_{BUTT3} 和 C_{BUTT4}),这些部件提供晶体管、其他部件和 SRAM 单元的配线之间的互连。根据一些实施例,接触件 CVss-N1、CVdd-N1、CVss-N2、CVdd-N2、BL-N、BLB-N、DN 和 SNB 被延长,并包括槽式接触件。

[0045] 例如,延长的数据节点 DN 接触件将第一下拉晶体管 PD-1 的漏极和第一上拉晶体管 PU-1 的漏极连接在一起。例如,延长的数据节点 DN 接触件将第一下拉晶体管 PD-1 的漏极节点(未示出)和第一上拉晶体管 PU-1 的漏极节点(也没有示出)连接在一起。类似地,延长的存储节点条(bar) SNB 接触件将第二下拉晶体管 PD-2 的漏极和第二上拉晶体管 PU-2 的漏极连接在一起。第一上拉晶体管 PU-1 的源极使用接触件 CVdd-N1 电连接至 Vdd 节点,以及第一下拉晶体管 PD-1 的源极使用接触件 CVss-N1 电连接至 Vss 节点。分别使用 CVdd-N2 和 CVss-N2 对用于第二上拉晶体管 PU-2 和第二下拉晶体管 PD-2 的 Vdd 和 Vss 节点进行类似连接。

[0046] 鳍 F1 和 F2 的弯曲形状布局导致包括 Vdd 节点至 Vss 节点之间的尺寸 d_1 的第一有源区域距离以及包括上拉晶体管 PU-1 和下拉晶体管 PD-1 (还有 PU-2 和 PD-2)的漏极节点之间的尺寸 d_2 的第二有源区域距离。例如,在一些实施例中,尺寸 d_1 可以比尺寸 d_2 大至少约 20%。

[0047] 如图 3A 中的通孔层 V0 的截面图所示,通孔 V0 形成在通孔层中以进行层之间的连接。栅极接触件和字线接触件 G1、G2、 C_{wl1} 和 C_{wl2} 可以形成在包括接触件 118 的接触件层 C0 中。还可以形成其他接触件 116 以提供与衬底 112 和其他区域的连接。可以在单一步骤中形成接触件 116。可选地,如图 3A 中的虚线所示,可以在两个步骤中形成接触件 116;可以在第一接触件组层中形成接触件 116 的下部,以及可以在第二接触件组层中(例如,在与形成接触件 118 相同的层 C0 中)形成接触件 116 的上部。可以在工件 112 中(例如,在器件或存储单元之间)形成可以包括浅沟槽隔离区域或其它绝缘区域的隔离区域 114。

[0048] 图 2 示出了图 3A、图 3B 和图 3C 中所示的金属层 M1、V1 和 M2 的 BEOL 布局 110 的俯视图。通孔 V1 提供金属层 M1 和 M2 之间的连接。字线 WL 和接合焊盘形成在第一金属层 M1 中。用于 Vdd 线(CVdd 线)的接触件、用于 Vss 线(CVss 线)的接触件、位线 BL 和位线条 BLB 形成在第二金属层 M2 中。介电材料(未示出)设置在金属层 M1 和 M2 之间,并且通孔 V1

形成在介电材料中。

[0049] 再次参照图 1, 根据本公开内容的实施例, 上拉晶体管 PU-1 和 PU-2 包括鳍型金属氧化物半导体场效应晶体管(MOSFET)。在一些实施例中, 下拉晶体管 PD-1 和 PD-2 也包括鳍型 MOSFET。例如, 传输门晶体管 PG-1 和 PG-2 也可以包括鳍型 MOSFET。在工件 112 中形成的 N 阱 106 的上方形成上拉晶体管 PU-1 和 PU-2 并且上拉晶体管 PU-1 和 PU-2 包括 p 型器件。例如, 晶体管 PU-1 和 PU-2 可以包括 p 沟道金属氧化物半导体(PMOS)器件。下拉晶体管 PD-1 和 PD-2 形成在 P 阱 108 的上方并包括 n 型器件。传输门晶体管 PG-1 和 PG-2 也形成在 P 阱 108 的上方并包括 n 型器件。

[0050] 上拉晶体管 PU-1 和下拉晶体管 PD-1 进行连接以形成第一反相器 132(参见图 6 和图 7 的示意图), 并且上拉晶体管 PU-2 和下拉晶体管 PD-2 进行连接以形成第二反相器 134。反相器 132 和 134 进行交叉连接; 例如, 第一反相器 132 的输出连接至第二反相器 134 的输入, 以及第二反相器 134 的输出连接至第一反相器 132 的输入。

[0051] 新的 SRAM 单元布局在每个单元中利用平直的鳍 F3 和 F4 以及弯曲的鳍 F1 和 F2, 并且将槽式接触件用于单元局部互连件。由于上拉晶体管 PU-1 的鳍 F1 和上拉晶体管 PU-2 的鳍 F2 的弯曲形状以及由于布局, 该布局提供了减小的总单元尺寸。例如, 用于上拉晶体管 PU-1 和 PU-2 的有源区域的布局形状在俯视图中包括弯曲线。鳍 F1 和 F2 在栅电极 G1 和 G2 的下方以非垂直角度进行设置, 由此晶体管 PU-1 和 PU-2 的有源区域也以非垂直角度进行设置。在分别接近栅电极 G1 和 G2 的基本垂直的方向上形成鳍 F1 和 F2 的剩余部分。例如, 在除上拉晶体管 PU-1 和 PU-2 的有源区域之外的区域中, 即, 在接近有源区域的形成在鳍 F1 和 F2 中的晶体管 PU-1 和 PU-2 的源极和漏极区域中, 上拉晶体管 PU-1 和 PU-2 的半导体材料的鳍 F1 和 F2 基本上垂直于栅接触件 G1 和 G2。

[0052] 上拉晶体管 PU-1 和 PU-2 的弯曲鳍 F1 和 F2 有效地使用集成电路管芯上的空间。此外, 半导体材料的鳍 F3 和 F4 以及栅极接触件 G1 和 G2 被晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 共享, 进一步增加了面积效率(area efficiency)。例如, 鳍 F3 的多个部分用作晶体管 PD-1 和 PG-1 的有源区域, 鳍 F4 的多个部分用作晶体管 PD-2 和 PG-2 的有源区域。栅极接触件(或栅电极 G1)的多个部分用作晶体管 PU-1 和 PD-1 的栅极接触件, 以及栅极接触件 G2 的多个部分用作晶体管 PU-2 和 PD-2 的栅极接触件。

[0053] 参照图 1 和图 2, 位线 BL (图 2) 使用位线节点 BL-N (图 1) 连接至第一传输门晶体管 PG-1, 以及字线 WL 使用字线接触件 C_{wl1} (其还有用作第一传输门晶体管 PG-1 的栅电极) 连接至第一传输门晶体管 PG-1。位线条 BLB 和字线 WL 分别使用位线条节点 BLB-N 和字线接触件 C_{wl2} (也为栅电极) 连接至第二传输门晶体管 PG-2。Vss 线使用接触件 CVss-N1 连接至第一下拉晶体管 PD-1, 以及 Vss 线使用接触件 CVss-N2 连接至第二下拉晶体管 PD-2。Vdd 线使用接触件 CVdd-N1 连接至第一上拉晶体管 PU-1, 以及 Vdd 线使用接触件 CVdd-N2 连接至第二上拉晶体管 PU-2。

[0054] 图 4 示出了图 1 所示布局的多个部分的定向。以 x 间距和 y 间距配置 SRAM 单元。在包括 x 方向或 x 间距的第一方向 120 上配置接触件 CVss-N1、CVdd-N1、CVss-N2、CVdd-N2、BL-N、BLB-N、DN 和 SNB。在包括 y 方向或 y 间距的第二方向 122 上配置或定向鳍 F3 和 F4。鳍 F1 和 F2 的非弯曲部分也在第二方向 122 上进行定向。第二方向基本上与第一方向 120 垂直。

[0055] 图 5 示出了根据实施例的新 SRAM 单元的多个部分的角度、方向和尺寸。分别在方向 124 和 125 上定向鳍 F1 和 F2 的弯曲部分,方向 124 和 125 不同于第一方向 120 和第二方向 122。鳍 F1 和 F2 的弯曲部分(包括晶体管 PU-1 和 PU-2 的有源区域)分别以与第一方向 120 不垂直的角度 126 进行定向。例如,在一些实施例中,有源区域可以以相对于第一方向 120 大约 35 至 80 度的角度来定位。

[0056] 可替换地,可以在本文中使用术语“第一方向、第二方向和第三方向”(以及其他方向),以引入本公开内容的特定章节,诸如权利要求。

[0057] 例如,栅极接触件 G1 可以包括在第一方向 120 上设置的槽式接触件,并且上拉晶体管 PU-1 的有源区域可以设置在第二方向 124 上,第二方向 124 不同于第一方向 120。第二方向 124 与第一方向 120 不垂直。栅极接触件 G2 可以设置在第一方向 120 上,并且上拉晶体管 PU-2 的有源区域可以设置在第三方向 125 上,第三方向 125 不同于第一方向 120。第三方向 125 与第一方向 120 也不垂直。例如,第三方向 125 可以不同于第二方向 124,或者第三方向 125 可以包括与第二方向 124 基本相同的方向。

[0058] 可替换地,还可以在本文中使用术语“第一鳍、第二鳍、第三鳍”和附加数量的鳍以及术语“第一栅电极、第二栅电极、第三栅电极”以及附加数量的栅电极,以引入本公开内容的特定章节,诸如权利要求。例如,在一个实施例中,SRAM 单元包括具有 x 间距和 y 间距的位单元。SRAM 单元包括第一 p 型器件,其包括第一上拉晶体管 PU-1,该第一上拉晶体管 PU-1 包括设置在第一鳍 F1 内的鳍型有源区域上方的第一栅电极 G1。SRAM 单元包括第一 n 型器件,其包括第一下拉晶体管 PD-1,该第一下拉晶体管 PD-1 包括设置在第二鳍 F3 内的鳍型有源区域上方的第一栅电极 G1。SRAM 单元包括第一传输门晶体管 PG-1,其包括设置在第二鳍 F3 内的鳍型有源区域上方的第二栅电极 C_{wl1} 。晶体管 PU-2、PD-2 和 PG-2 具有类似配置。SRAM 单元包括第二 p 型器件,其包括第二上拉晶体管 PU-2,该第二上拉晶体管 PU-2 包括设置在第三鳍 F2 内的鳍型有源区域上方的第三栅电极 G2 的。SRAM 单元包括第二 n 型器件,其包括第二下拉晶体管 PD-2,该第二下拉晶体管 PD-2 包括设置在第四鳍 F4 内的鳍型有源区域上方的第三栅电极 G2。SRAM 单元还包括第二传输门晶体管 PG-2,其包括设置在第四鳍 F4 内的鳍型有源区域上方的第四栅电极 C_{wl2} 。第一栅电极 G1、第二栅电极 C_{wl1} 、第三栅电极 G2 和第四栅电极 C_{wl2} 的布线方向包括第一方向。设置在第一栅电极 G1 下方的第一鳍 F1 内的鳍型有源区域的布线方向包括第二方向,第二方向不同于第一方向,并且第二方向与第一方向不垂直。每个 SRAM 单元都包括位单元,其进一步包括位线 BL、位线条 BLB、字线 WL、CVdd 线和 CVss 线,其中,位线 BL 和位线条 BLB 的布线方向包括第三方向,其中,字线 WL 的布线方向包括第四方向。第四方向基本上与第一方向平行,并且第三方向基本上与第一方向垂直。第二方向与第一方向的交叉角(cross-angle)包括大约 35 至 80 度范围内的角度。

[0059] 图 5 还示出了与有源区域中的弯曲部分相比,弯曲鳍 F1 和 F2 可以包括在 y 间距 122 上对准的平直部分的不同宽度。例如,鳍 F1 在源极区域和漏极区域的俯视图中具有第一宽度 w_1 ,以及在具有弯曲形状布局的有源区域中具有第二宽度 w_2 。在一些实施例中,第二宽度 w_2 可以比第一宽度 w_1 窄至少约 10%。

[0060] 图 6 是图 1 和图 2 所示 SRAM 单元布局的示意图,示出了单端口 SRAM 单元电路的电连接。图 7 是图 1 和图 2 的 SRAM 单元布局的另一示意图,功能性示出了反相器 132 和 134。

通过字线 WL 控制传输门晶体管 PG-1 和 PG-2 的栅极, 字线 WL 确定是否选择当前的 SRAM 单元。由上拉晶体管 PU-1 和 PU-2 以及下拉晶体管 PD-1 和 PD-2 形成的锁存器将数据位存储为“0”或“1”。所存储的位可以通过位线 BL 和位线条 BLB 写入 SRAM 单元或从 SRAM 单元中读出。SRAM 单元通过正电源节点 Vdd 和电源节点 Vss 供电, 它们可以为电接地或电源反馈。

[0061] 图 8 示出了本文所述实施例的栅电极 G1 和 G2 与鳍 F1 和 F2 有源区域未对准的效果。优选地, 鳍 F1 和 F2 的弯曲部分为晶体管 PU-1 和 PU-2 提供有源区域的附加量或长度。例如, 栅电极 G1 和 G2 下方的鳍 F1 和 F2 的长度比鳍 F1 和 F2 非弯曲且以垂直角度在栅电极 G1 和 G2 的下方平直的情况下的长度长。如果鳍 F1 和 F2 与栅电极 G1 和 G2 的对准为“偏离”或未对准, 则导致鳍 F1 和 F2 的弯曲部分不位于栅电极 G1 和 G2 下方的未对准 144 以及鳍 F1 和 F2 的平直部分位于栅电极 G1 和 G2 下方的未对准 146, 优选地, 由于由鳍 F1 和 F2 的有角部分或弯曲部分创建的较长有源区域, 没有对器件性能产生负面影响。

[0062] 在图 1 中, 仅为每个晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 示出了一个鳍 F1、F2、F3 和 F4; 可选地, 晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 可以包括两个或多个鳍。例如, 图 9 示出了根据本公开内容的 SRAM 单元布局的另一实施例的俯视图, 其中, 晶体管 PD-1 和 PG-1 以及 PD-2 和 PG-2 分别包括两个鳍 F3 和 F5 以及 F4 和 F6。根据实施例, 晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 可以包括一个鳍或者多个鳍。在一些实施例中, 作为实例, 晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 可以包括大约 1 至 16 个鳍。可选地, 对于每个晶体管, 可以使用 17 个以上的鳍。

[0063] 图 10 至图 13 示出了本文所述实施例的多个部分的截面图, 示出新 SRAM 单元的晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 的 FinFET 的鳍 F1、F2、F3、F4、F5 或 F6 (在图 10 至图 13 中的 150 处示出)。可以使用工件 112 的多种方法和类型来制造鳍 F1、F2、F3、F4、F5 和 F6。在一些实施例中, 如图 10 的截面图所示, 工件 112 包括衬底, 其包括块状衬底。例如, 衬底 112 可以包括体 Si、体 SiP、体 SiGe、体 SiC、体 Ge 或其组合。鳍 150 由包括块状衬底的工件 112 形成, 并且可包括场氧化物或其他绝缘材料的绝缘材料 152 设置在鳍 150 之间。栅极介电层和栅极(统一示为栅叠层 154) 形成在鳍 150 的上方, 并且绝缘材料 156 形成在栅叠层 154 的上方。在 160 处示出鳍 150 的有源区域。

[0064] 在其他实施例中, 如图 11 所示, 鳍 150 可以由包括绝缘体上半导体(SOI)衬底的工件 112 形成。SOI 衬底包括设置在绝缘材料 152 的两侧的两层半导体材料 112a 和 112b。在该实施例中, 图案化半导体材料 112b 的一层以形成鳍 150。例如, 工件 112 可以包括 SOI-Si 工件、SOI-SiGe 工件或者其组合, 和如图 10 所述的块状衬底。

[0065] 作为实例, 栅叠层 154 的栅极介电层可以包括氧化物、氮氧化物、高介电常数(k)材料或者其多层或组合。例如, 栅叠层 154 的栅极可以包括多晶硅、具有硅化物或金属层的多晶硅或者其多层或组合。如果包括, 则硅化物层可以包括例如难熔金属、镍、钴、Pt、Ti、或者其组合。晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 的栅极结构(例如, 栅叠层 154) 可以包括多晶硅栅极 / SiON 结构、金属栅极 / 高 k 电介质结构、硅化物 / 金属 / 高 k 电介质结构或者其组合。可选地, 栅极结构可以包括其他材料。

[0066] 在一些实施例中, 如图 12 和图 13 所示, 鳍 150 可以包括在鳍顶面上方生长的外延层 158。例如, 外延层 158 可以包括用于增强迁移率的一种或多种掺杂物。如图 12 所示,

外延层 158 对于宽间隔隔开的鳍 150 可以是非合并的,或者如图 13 所示,外延层 158 对于紧密间隔的鳍 150 可以是合并的并且可以包括合并区域 162。鳍型有源区域 160 设置在鳍 150 的顶部附近。例如,在有源区域 160 的任一侧(例如,在图 10 至图 13 中进出纸张)上,源极和漏极区域形成在鳍 150 上。

[0067] 在一些实施例中,例如,晶体管 PG-1、PG-2、PD-1 和 PD-2 的源极和漏极区域可以包括含碳(C)外延层、含磷(P)外延层、SiP 外延层、SiC 外延层或其组合。在其他实施例中,晶体管 PU-1 和 PU-2 的源极和漏极区域可以包括含 Ge 外延层、SiGe 外延磁层或者其组合。在又一些实施例中,晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 可以包括设置在源极和漏极区域上方的含 Si 外延层以及完全或部分形成在含 Si 外延层上方的硅化物层。可选地,源极和漏极区域上方的任选外延层可以包括其他材料。

[0068] 例如,SRAM 单元可以包括贝塔比 1 单元设计,其中,下拉晶体管 PD-1 和 PD-2 以及传输门晶体管 PG-1 和 PG-2 包括相同类型的 FinFET 晶体管。本文所描述的晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2 可以包括 2D-FinFET 结构、3D-FinFET 结构或其组合。

[0069] 本公开内容的实施例包括本文所描述的新 SRAM 单元。实施例还包括包含 SRAM 单元的 SRAM 单元阵列。例如,本文所述多个 SRAM 单元可以以行和列进行配置,并且使用字线 WL 以及位线 BL 和 BLB 进行寻址。SRAM 单元阵列包括用于向 SRAM 单元提供电能的 Vdd 线和 Vss 线。SRAM 单元包括新晶体管 PU-1 和 PU-2,他们具有包括本文所述的弯曲状的鳍 F1 和 F2 的有源区域。阵列中的每个 SRAM 单元都具有第一反相器 132 和与第一反相器 132 交叉连接的第二反相器 134。每个反相器 132 和 134 的至少一个晶体管包括上拉晶体管 PU-1 和 PU-2,他们具有本文所述弯曲状的鳍 F1 或 F2。每个反相器 132 和 134 的至少一个晶体管还包括下拉晶体管 PD-1 和 PD-2,他们具有包括平直鳍 F3 或 F4 的有源区域。阵列中的每个 SRAM 单元还包括两个传输门晶体管 PG-1 和 PG-2。

[0070] 对于每个 SRAM 单元,从图 1 和图 2 可以看出,第一反相器 132 的栅电极(例如,用于上拉晶体管 PU-1 和下拉晶体管 PD-1 的栅电极 G1)、第二反相器 134 的栅电极 G2 以及传输门晶体管 PG-1 和 PG-2 的栅电极 C_{WL1} 和 C_{WL2} 分别被设置为与多条字线 WL 的布线方向平行。

[0071] 根据一个实施例,SRAM 单元阵列包括本文所述的多个 SRAM 单元,其中,每个 SRAM 单元都包括具有 x 间距和 y 间距的位单元。每个 SRAM 单元都包括第一 Vss (CVss) 节点、第二 CVss 节点、第一 Vdd (CVdd) 节点、第二 CVdd 节点、第一 N 数据节点、第一 P 数据节点条(包括通过接触件 DN 连接的晶体管 PU-1 和 PD-1 的漏极区域)、第一 N 数据节点条、第一 P 数据节点条(包括通过接触件 SNB 连接的晶体管 PU-2 和 PD-2 的漏极区域)、多个单元接触件以及多个单元器件(包括晶体管 PU-1、PU-2、PD-1、PD-2、PG-1 和 PG-2)。多个单元接触件用作通孔与基本上跟随第一布线方向的有源区域之间的连接路径。多个单元接触件包括:第一加长接触件 CVdd-N1,连接至第一 CVdd 节点;第二加长接触件 CVdd-N2,连接至第二 CVdd 节点;第三加长接触件 CVss-N1,连接至第一 CVss 节点;第四加长接触件 CVss-N2,连接至第二 CVss 节点;第五加长接触件 DN,连接至第一 P 数据节点和第一 N 数据节点;以及第六加长接触件 SNB,连接至第二 P 数据节点条和第二 N 数据节点条。第一加长接触件 CVdd-N1 和第三加长接触件 CVss-N1 具有在 x 间距方向上的投影覆盖(projection overlay),以及第二加长接触件 CVdd-N2 和第四加长接触件 CVss-N2 具有在 x 间距方向上的投影覆盖(参见

图 4,用于示出 x 和 y 方向上的投影覆盖)。第三加长接触件 CVss-N1 和第五加长接触件 DN 具有在 y 间距方向上的部分投影覆盖,以及第四加长接触件 CVss-N2 和第六加长接触件 SNB 具有在 y 间距方向上的部分投影覆盖。在 y 间距方向上,没有用于第一加长接触件 CVdd-N1 和第五加长接触件 DN 的覆盖,以及在 y 间距方向上,没有用于第一加长接触件 CVdd-N1 和第六加长接触件 SNB 的投影覆盖。第一反相器 132 包括连接至第一下拉器件 PD-1 的第一上拉器件 PU-1,以及第二反相器 134 包括连接至第二下拉器件 PD-2 的第二上拉器件 PU-2。第一上拉器件 PU-1 包括第一栅电极 G1,被设置在作为第一鳍 F1 的弯曲部分的有源区域上方,以及第一下拉器件 PD-1 包括第一栅电极 G1,被设置在作为平直第二鳍 F3 的一部分的有源区域上方。第一传输门晶体管 PG-1 包括第二栅电极 C_{WL1} ,被设置在作为平直第二鳍 F3 的一部分的第二有源区域上方。第二上拉器件 PU-2 包括第三栅电极 G2,被设置在作为第三鳍 F2 的弯曲部分的有源区域上方。第二下拉器件 PD-2 包括第三栅电极 G2,被设置在作为平直第四鳍 F4 的一部分的有源区域上方。第二传输门晶体管 PG-2 包括第四栅电极 C_{WL2} ,被设置在作为平直鳍 F4 的一部分的第四有源区域上方。第一栅电极 G1、第二栅电极 C_{WL1} 、第三栅电极 G2 和第四栅电极 C_{WL2} 的布线方向包括在 x 间距上定向的第一方向 120(参见图 5)。设置在第一栅电极 G1 下方的第一有源区域的布线方向包括第二方向 124,第二方向 124 不同于第一方向 120。每个位单元进一步包括位线 BL、位线条 BLB、字线 WL、CVdd 线和 CVss 线。位线 BL 和位线条 BLB 的布线方向包括第三方向(例如,参见图 2,在 y 间距上定向),以及字线 WL 的布线方向包括第四方向(例如,在 x 间距上定向),其中,第四方向基本上与第一方向 120 平行,其中,第三方向基本上与第一方向 120 垂直。每个位单元进一步包括连接至第三栅电极 G2 和第五加长接触件 DN 的第一对接接触件 C_{BUTT2} 以及连接至第一栅电极 G1 和第六加长接触件 SNB 的第二对接接触件 C_{BUTT3} 。

[0072] 每个位单元进一步包括:位线节点、位线条节点、连接在位线节点和上覆位线 BL 之间的第七接触件、连接在位线条节点和上覆位线条 BLB 之间的第八接触件,其中,第七接触件和第八接触件是位于第一接触件组层(例如,位于图 3A 中的接触件层 C0 的下方)中的通孔。每个位单元都进一步包括设置在第一接触件组层上方的第二接触件组层(例如,在图 3A 中形成接触件 118 相同的接触件层 C0 中),其中,第二接触件组层包括连接至第一加长接触件 CVdd-N1 的第九接触件、连接至第二加长接触件 CVdd-N2 的第十接触件、连接至第三加长接触件 CVss-N1 的第十一接触件、连接至第四加长接触件 CVss-N2 的第十二接触件、连接至第七接触件的第十三接触件以及连接至第八接触件的第十四接触件。

[0073] 本公开内容实施例的优点包括提供了面积效率较高的新 SRAM 单元布局以及提供了尺寸减小、节省集成电路管芯上的实际区域的较小 SRAM 单元。根据本文所述实施例,可以在芯片上放置更多的 SRAM 单元。由于新 SRAM 单元的加长接触件,实现了宽工艺裕度。增加了鳍有源区域的结合区域的接触件线端(line end),也增加了接触件线端工艺裕度。新 SRAM 单元具有低接触件阻抗和增加的稳定性。还实现了接触件层和有源层之间的宽未对准裕度。对于到有源区域的线端延伸和线端之间的间隔实现了积极布局规则(Aggressive layout rule)。在制造工艺流程中,可以容易地实现新 SRAM 单元结构和设计。

[0074] 根据本公开内容的一个实施例,SRAM 单元包括上拉晶体管。上拉晶体管包括具有半导体材料的鳍的 FinFET。有源区域设置在鳍内。接触件设置在上拉晶体管的有源区域的上方。接触件为在第一方向上设置的槽式接触件。在第二方向上设置上拉晶体管的有源区

域。第二方向与第一方向不垂直。

[0075] 根据另一实施例,SRAM 单元包括第一反相器,包括第一 n 型器件和第一 p 型器件。第一 P 型器件包括鳍型 MOSFET,并在有源区域中具有弯曲状布局。SRAM 单元包括设置在第一 p 型器件的有源区域上方的第一栅电极。SRAM 还包括第二反相器,包括第二 n 型器件和第二 p 型器件。第二 P 型器件包括鳍型 MOSFET,并在有源区域中具有弯曲状布局。第二栅电极设置在第二 p 型器件的有源区域的上方。第一反相器的输出连接至第一反相器的输入,以及第二反相器的输出连接至第一反相器的输入。

[0076] 根据又一实施例,公开了 SRAM 单元阵列。SRAM 单元阵列具有在多行和多列中配置的多个 SRAM 单元。SRAM 单元阵列包括用于向多个 SRAM 单元提供电能的 Vdd 线和 Vss 线。SRAM 单元阵列包括:多条位线和多个位线条,用于访问多列中的列;以及多条字线,用于访问多行中的行。SRAM 单元阵列中的每个 SRAM 单元都包括:第一反相器,包括第一 p 型器件,其具有包括弯曲状鳍的有源区域;以及第二反相器,与第一反相器交叉连接,第二反相器包括第二 p 型器件,其具有包括弯曲状鳍的有源区域。每个 SRAM 单元还包括连接至第一反相器的第一传输门晶体管和连接至第二反相器的第二传输门晶体管。

[0077] 尽管已经详细描述了本公开内容的实施例及其优点,但应该理解,在不背离由所附权利要求限定的公开内容的精神和范围的情况下,可以进行各种改变、替换和变化。例如,本领域技术人员应该理解,本文所述的部件、功能、工艺、以及材料中的一些可以改变,而保持在本公开内容的范围内。此外,本申请的范围不限于说明书中描述的工艺、机器、制造、物质组分、装置、方法和步骤的特定实施例。本领域的技术人员应该容易地从本发明的公开内容中理解,可以根据公开利用现有或稍后开发的执行与本文所描述对应实施例基本相同的功能或实现基本相同的结果的工艺、机器、制造、物质组分、装置、方法和步骤。因此,所附权利要求用于在其范围内包括这些工艺、机器、制造、物质组分、装置、方法或步骤。

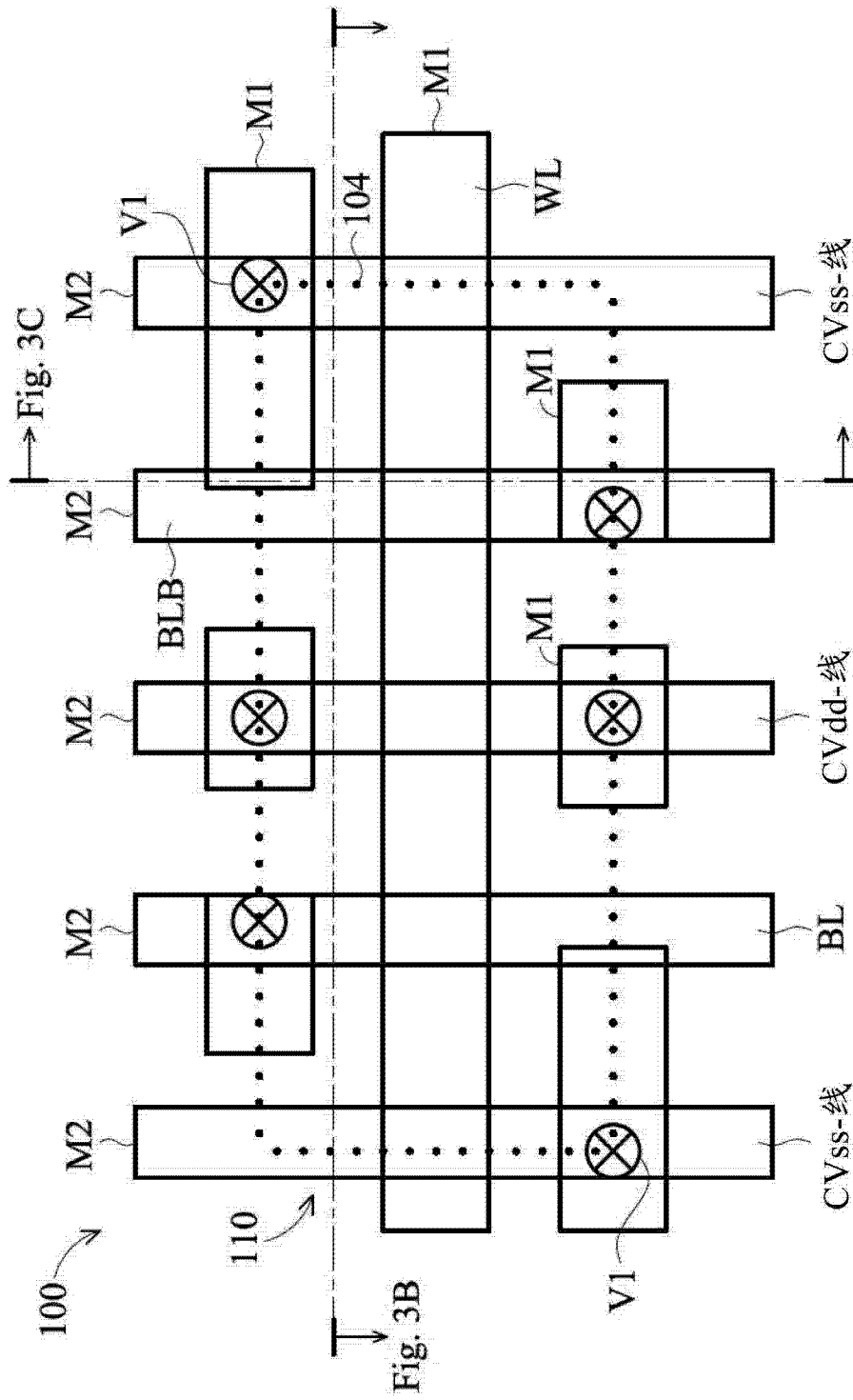


图 2

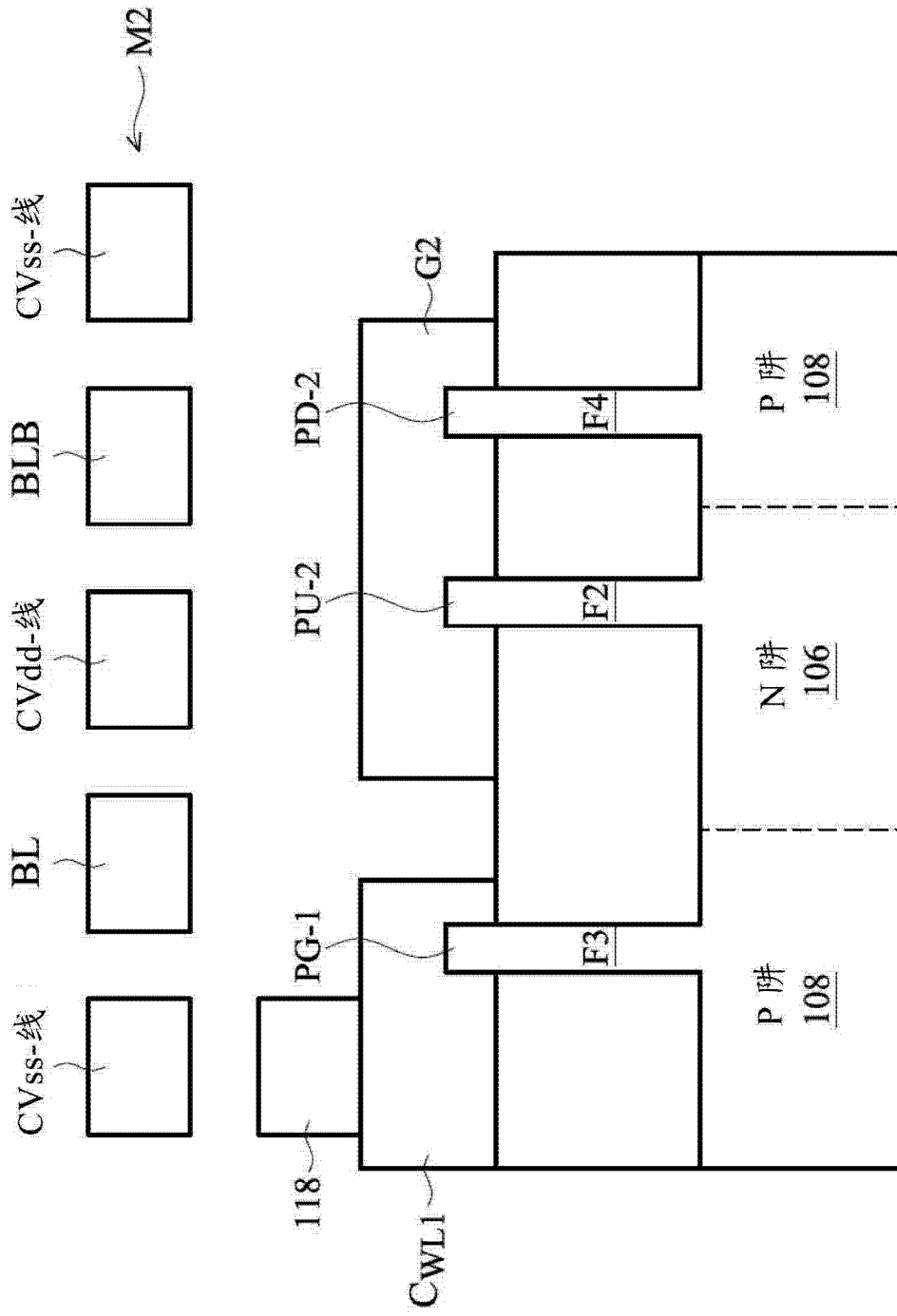


图 3B

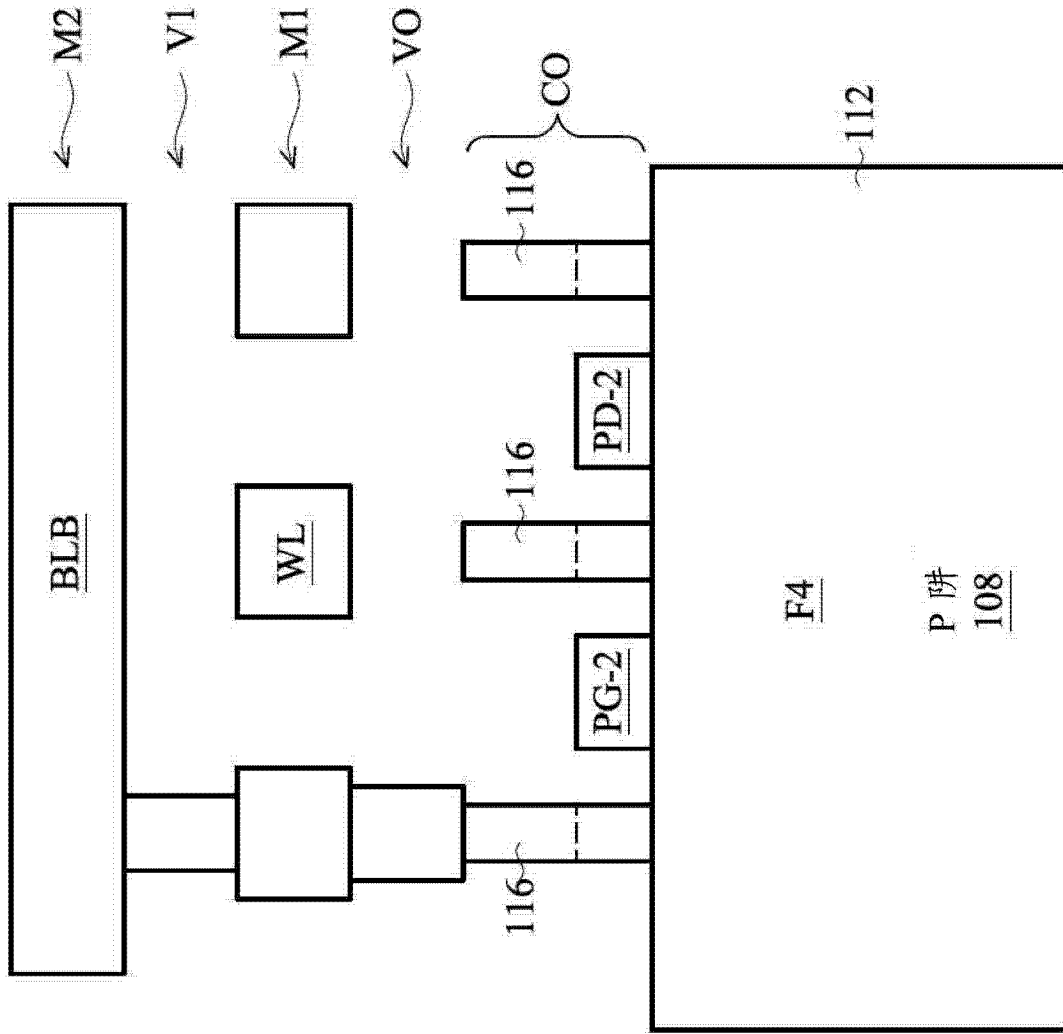


图 3C

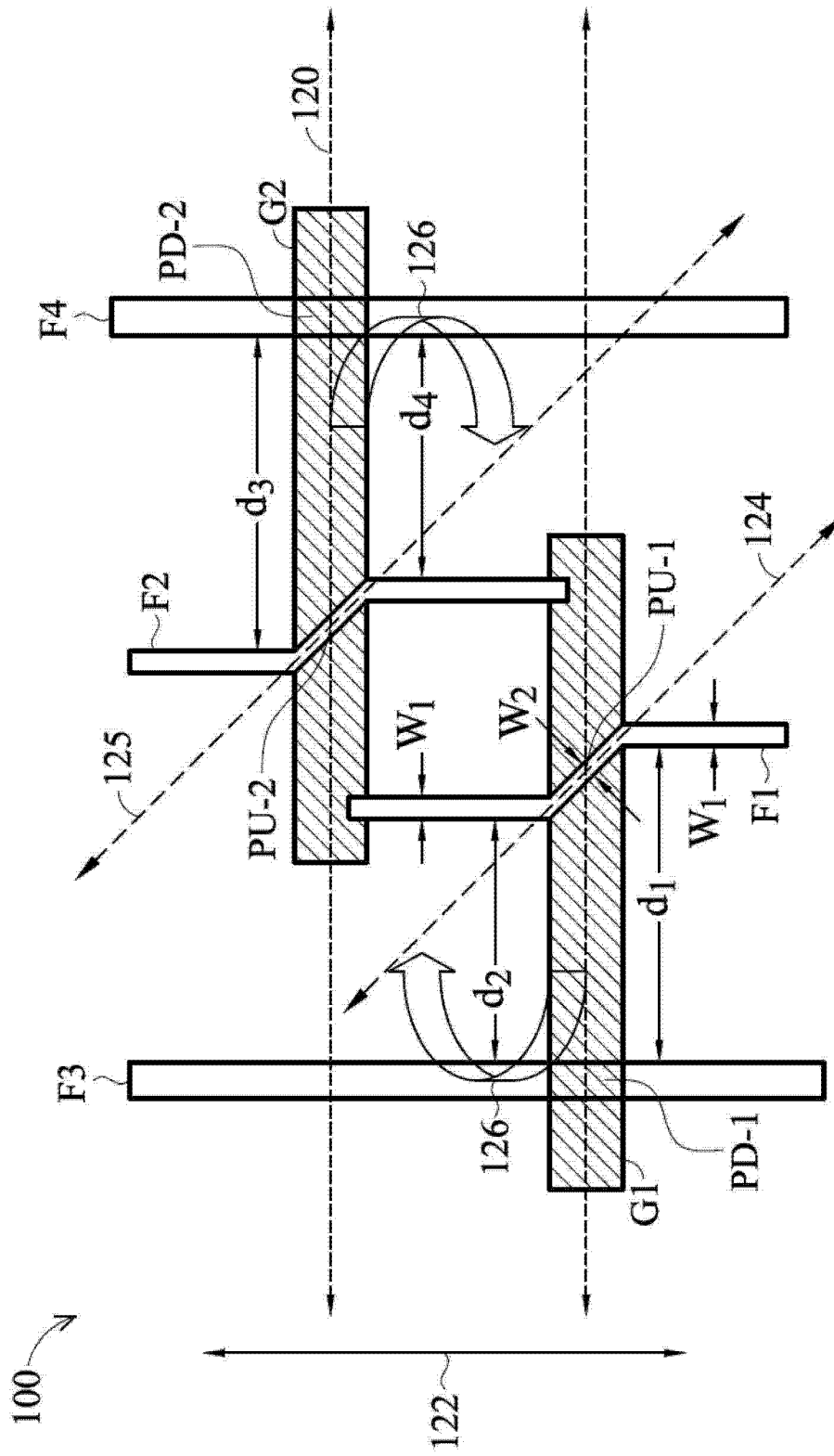


图 5

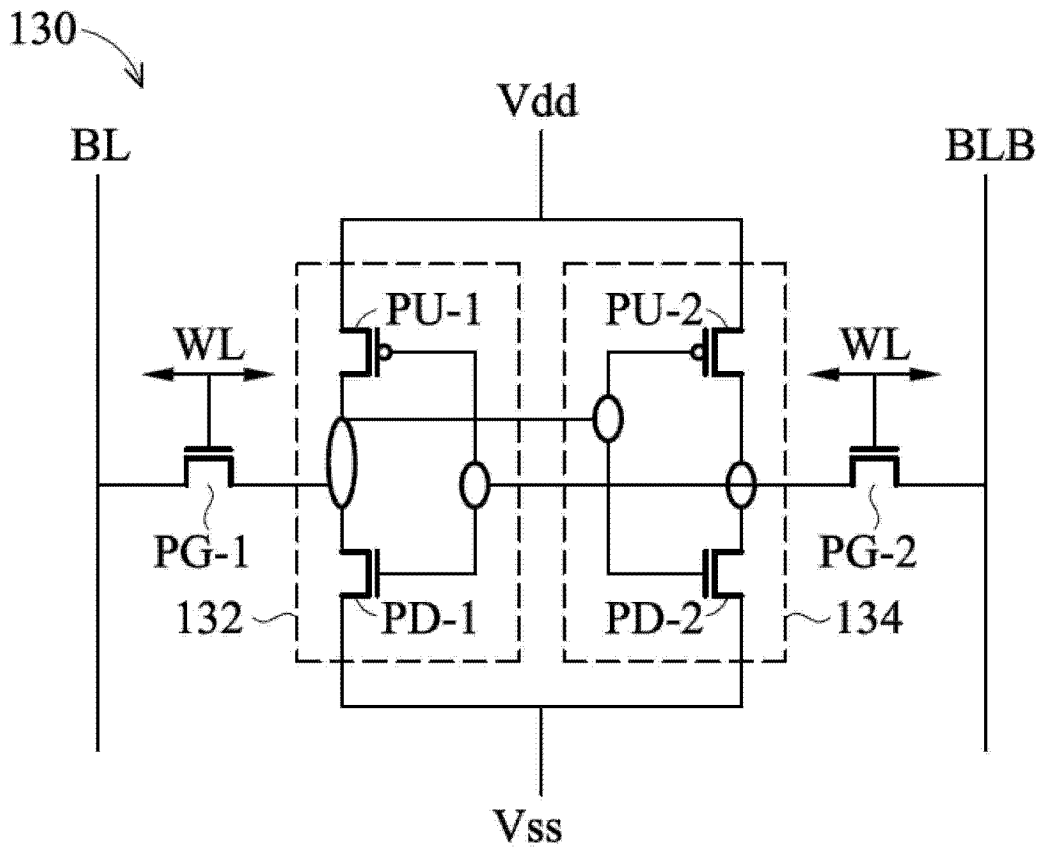


图 6

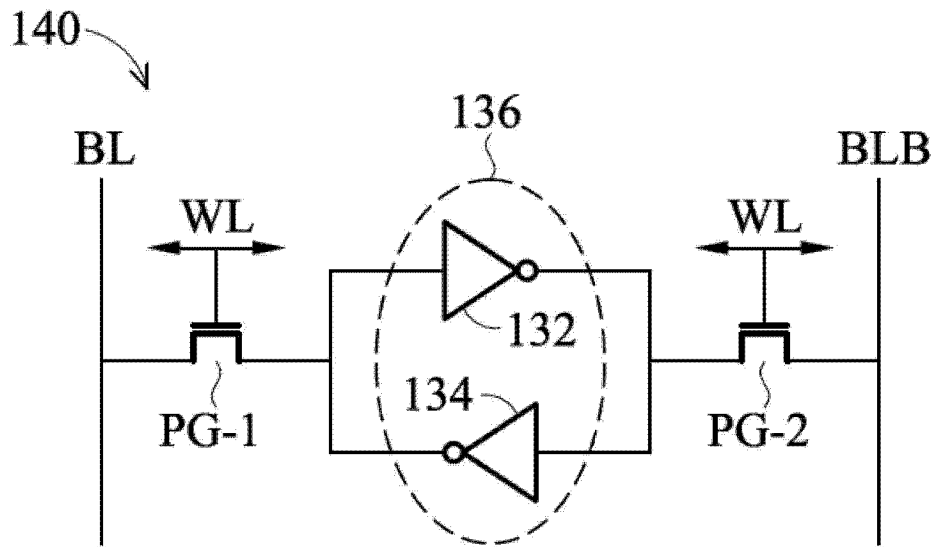


图 7

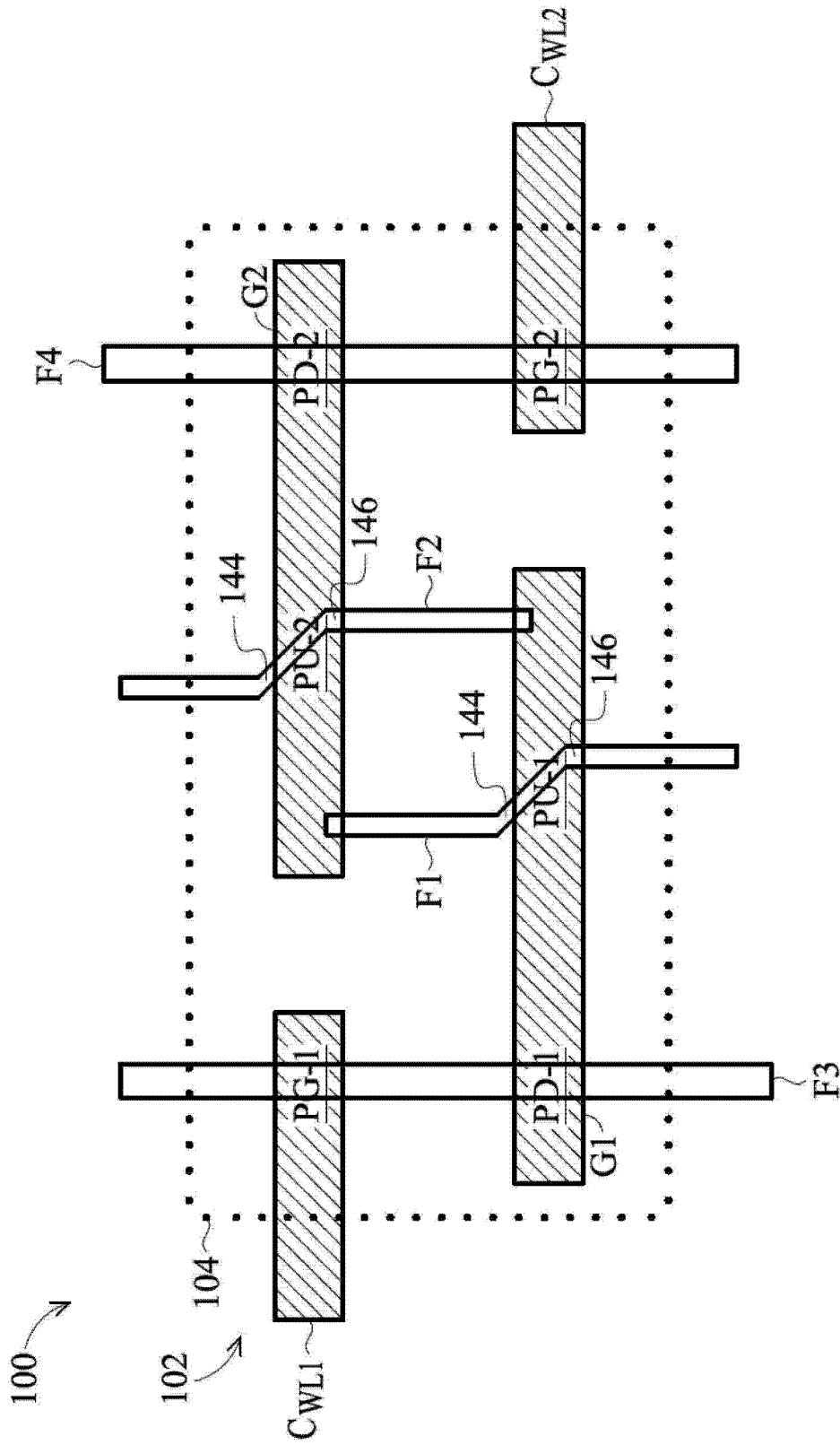


图 8

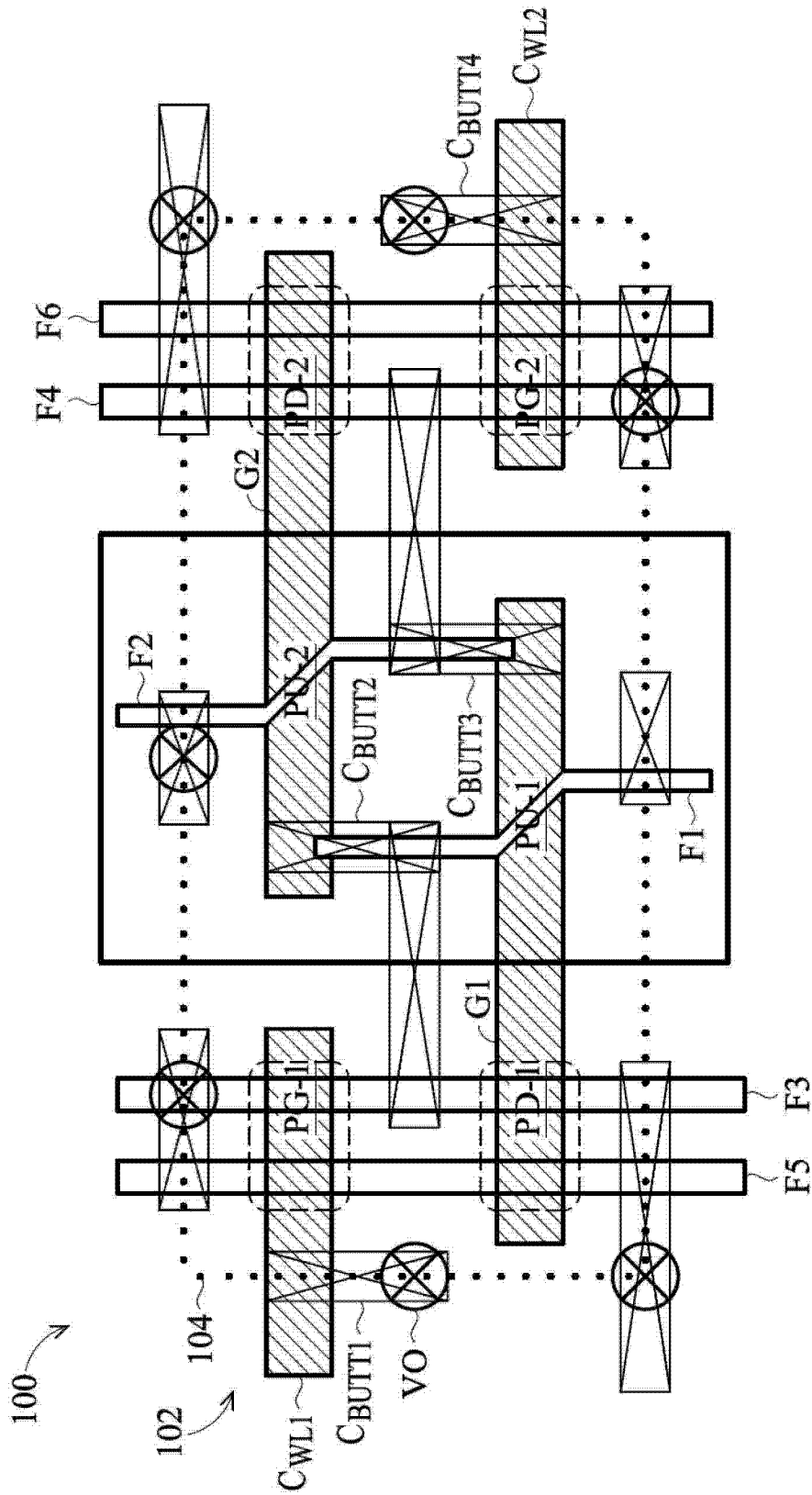


图 9

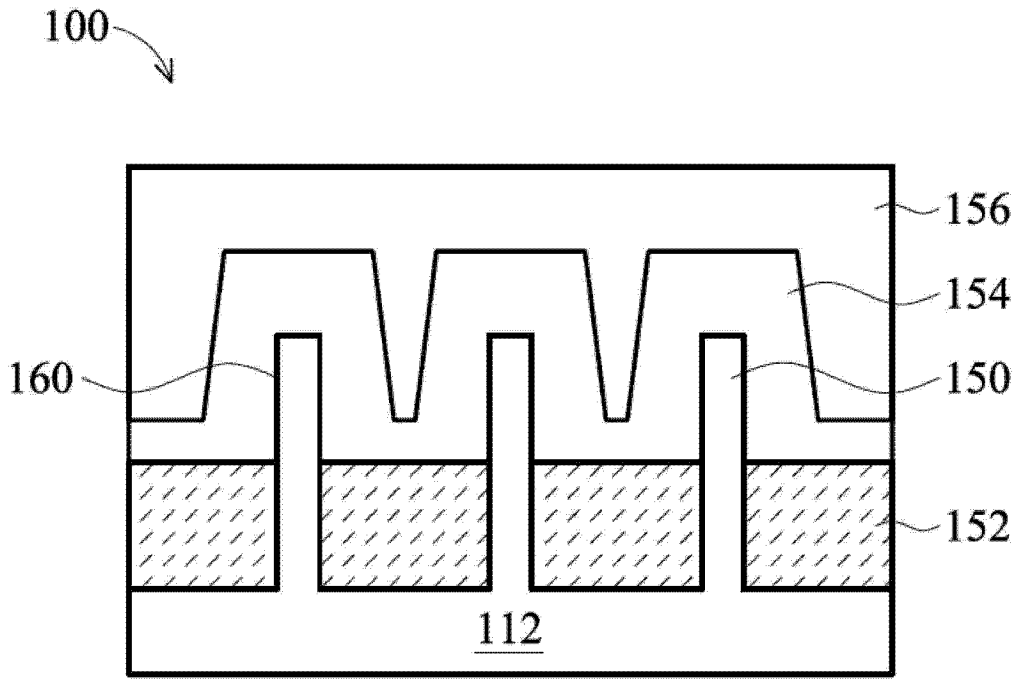


图 10

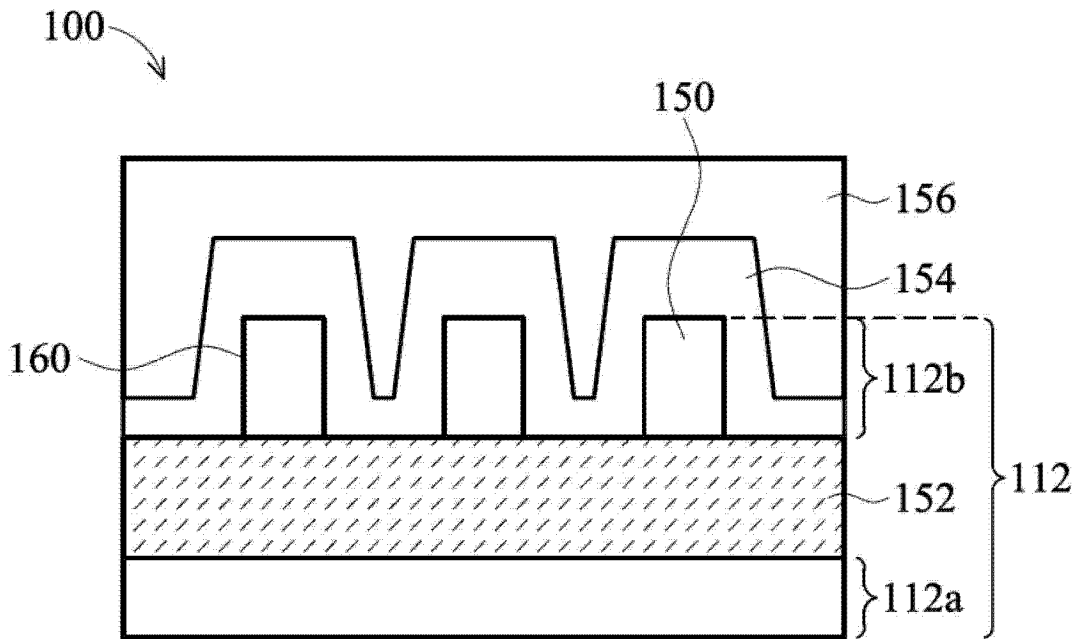


图 11

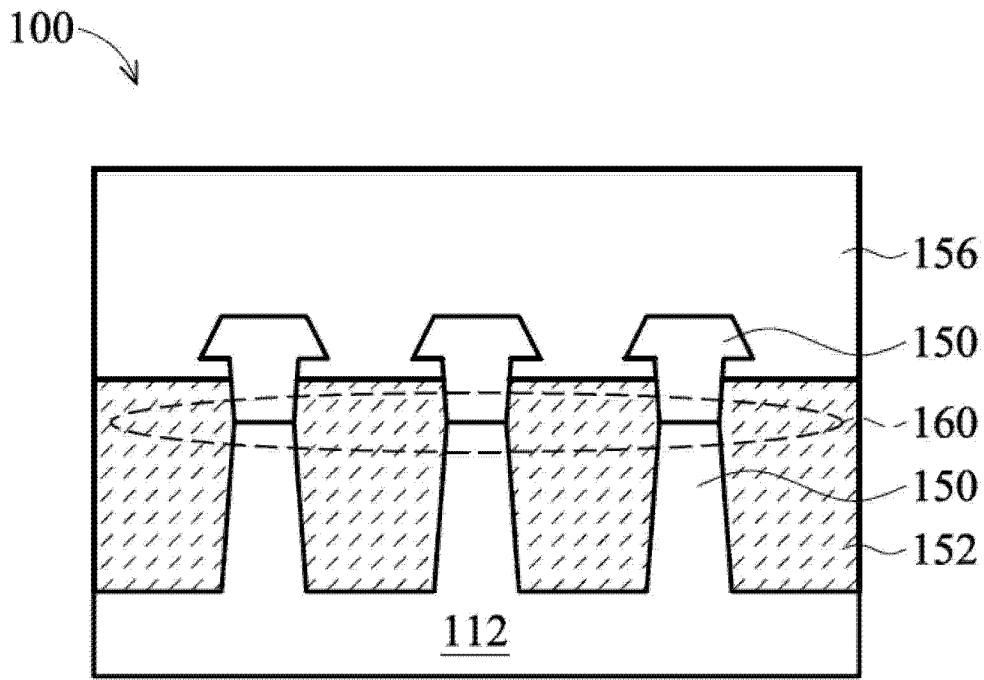


图 12

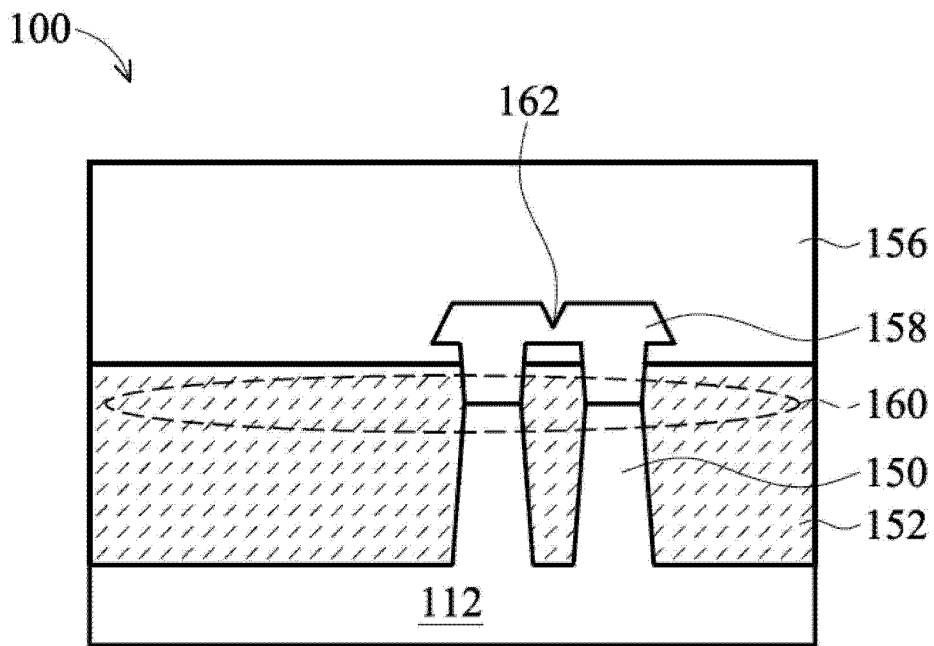


图 13