

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04N 9/28	(45) 공고일자 1999년12월01일	(11) 등록번호 10-0232597
(21) 출원번호 10-1997-0008931	(24) 등록일자 1999년09월07일	(65) 공개번호 특1998-0073577
(22) 출원일자 1997년03월17일	(43) 공개일자 1998년11월05일	

(73) 특허권자	엘지전자주식회사 구자홍
(72) 발명자	서울특별시 영등포구 여의도동 20번지 박한이
(74) 대리인	서울특별시 광진구 광장동 삼성아파트 1동 412호 박병창

심사관 : 김희곤

(54) 디지털 컨버전스 보정장치

요약

디지털 컨버전스 보정 장치가 개시된다. 이 장치는, 외부로부터 입력되는 어드레스, 데이터 및 제어신호들을 이용하여 기입 어드레스 및 독출 어드레스를 발생하는 제어수단과, 제어 데이터 및 현재 입력되는 모드에 해당하는 컨버전스 데이터를 기입 어드레스 및 독출 어드레스에 응답하여 기입 및 독출하는 제1메모리와, 수직 귀선 기간동안, 제1메모리로부터 독출된 조정점 데이터를 이용하여 수평쪽으로 보간하여 수직 주사 기간마다 테스트 패턴에 더미 라인들의 데이터를 연산하는 수평 보간 수단과, 수평 보간 수단으로부터 출력되는 데이터를 저장하는 제2메모리와, 현재 주사선의 위치 정보를 발생하는 필드 검출 수단과, 조정 데이터, 제2메모리로부터 독출한 데이터 및 위치 정보를 이용하여 편향의 주사선에 해당하는 컨버전스 데이터를 실시간으로 수평 주사 기간에 소정 횟수 연산하여 출력하는 수직 보간 수단 및 컨버전스 데이터 포맷에 상응하여 수직 보간 수단의 출력을 포맷팅하는 신호 포맷 수단을 구비하는 것을 특징으로 하고, 750바이트만으로 모든 입력 모드에 대응할 수 있고, 모드 전환시 필요한 데이터 연산 시간이 없으며 다중 동기(multisync)에 대응할 수 있는 효과가 있다.

대표도

도3

명세서

도면의 간단한 설명

- 도 1은 종래의 디지털 컨버전스 보정장치의 블럭도이다.
 도 2는 도 1에 도시된 게이트 어레이에 대한 종래의 세부적인 도면이다.
 도 3은 본 발명에 의한 디지털 컨버전스 보정장치의 블럭도이다.
 도 4는 테스트 패턴을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 투사 디스플레이(projection display) 시스템에 있어서 개인용 컴퓨터(PC:Personal Computer) 및 HD(High Definition) 텔레비전등에 대응하기 위한 디스플레이 장치에 관한 것으로서 특히, 투사 디스플레이 시스템의 디지털 컨버전스 보정장치에 관한 것이다.

이하, 종래의 디지털 컨버전스 보정장치의 구성 및 동작을 첨부한 도면들을 참조하여 설명한다.

도 1은 종래의 디지털 컨버전스 보정장치의 블럭도로서, 마이크로 컴퓨터(10), 리모콘(12), 위상 동기 루프(14), EEPROM(16), SRAM(18), 게이트 어레이(20), 테스트 패턴 및 온 스크린 처리부(22), 디지털/아날로그 변환기(DAC:Digital to Analogue Converter)(24), 샘플 & 홀드(sample & hold)부(26), 저역 통과 필터(LPF:Low Pass Filter)(28), 클램핑(clamping)부(30), 증폭기(32) 및 CY코일로 구성된다.

도 1에 도시된 마이크로 컴퓨터(10)는 EEPROM(16)에 저장된 조정점의 데이터를 리모콘(12)으로부터 발생되는 신호에 응답하여 갱신하고, 이 조정점의 데이터를 이용하여 전 화면의 데이터를 연산한다. SRAM(18)은 화면 전 라인의 컨버전스(convergence) 데이터를 저장하며, DAC(24)는 게이트 어레이(20)로부터 출

력되는 디지털 컨버전스 데이터를 아날로그 데이터로 변환하여 출력한다.

한편, 샘플 & 홀드부(26)는 DAC(24)로부터 출력되는 아날로그 컨버전스 신호를 입력하여 수평, 수직의 데이터로 분리하고, 분리된 수평, 수직의 데이터를 LPF(28)로 출력한다. LPF(28)는 수평, 수직으로 분리된 아날로그 컨버전스 보정량을 평활하여 클램핑부(30)로 출력하며, 클램핑부(30)는 컨버전스 보정 데이터 값을 일정한 직류 레벨로 클램핑하여 정적 컨버전스 데이터를 증폭기(32)로 출력한다. 이 때, 증폭기(32)는 컨버전스 보정 신호를 증폭하는 기능을 수행한다.

도 2는 도 1에 도시된 게이트 어레이(20)에 대한 종래의 세부적인 도면으로서, 클럭 발생부(50), 주 카운터 및 필드 검출부(52), 어드레스 발생부(54), 어드레스 제어부(56), 테스트 패턴 제어부(58), 테스트 패턴 및 커서 발생부(60), 마이크로 컴퓨터 인터페이스(62), 기입 인에이블 신호 발생부(64), 컨버전스 데이터 처리부(66) 및 샘플 & 홀드부(68)로 구성된다.

도 2에 도시된 클럭 발생부(50)는 입력단자 IN1을 통해 수평 및 수직 편향 귀선신호들을 입력하여 각 부에 필요한 클럭과 수평 및 수직 기준신호를 생성하여 출력한다. 주 카운터 및 필드 검출부(52)는 인터페이스 모드에서 필드를 검출하는 역할을 하며, 어드레스 발생부(54)는 클럭 발생부(50)로부터 발생하는 신호를 이용하여 도 1에 도시된 SRAM(18)의 데이터를 액세스하기 위한 어드레스를 발생하여 출력단자 OUT1을 통해 출력한다. 여기서, 어드레스 제어부(56)는 현재 입력 모드에 해당하는 컨버전스 데이터가 메모리의 어느 부분에 위치해 있는가에 대한 신호를 입력단자 IN3을 통해 도 1에 도시된 마이크로 컴퓨터(10)로부터 입력하여 어드레스 발생부(54)를 세팅하기 위한 신호를 어드레스 발생부(54)로 출력한다.

한편, 테스트 패턴 및 커서(cursor) 발생부(60)는 컨버전스 조정을 위한 테스트 패턴을 만들고, 만들어진 테스트 패턴 알.지.비.신호들을 출력단자 OUT2를 통해 출력한다. 이 때, 테스트 패턴 제어부(58)는 입력단자 IN5를 통해 입력되는 신호의 주파수에 따라 적당한 테스트 패턴이 발생되도록 조절해주는 제어신호를 테스트 패턴 및 커서 발생부(60)로 출력한다. 마이크로 컴퓨터 인터페이스(62)는 마이크로 컴퓨터(10)를 통해 리모콘(12)으로부터 발생된 신호를 입력하여 메모리의 컨버전스 데이터값을 갱신하기 위해 필요한 기능을 수행한다.

기입 인에이블 신호 발생부(64)는 각종 제어신호를 발생하기 위해 레지스터에 일정한 데이터값을 기입하기 위한 인에이블 신호들을 발생하는 기능을 한다. 컨버전스 데이터 처리부(66) 및 샘플 & 홀드부(68)들은 메모리의 컨버전스 데이터값을 포맷에 맞게 변환하여 출력단자 OUT4를 통해 출력한다.

전술한 도 1에 도시된 종래의 디지털 컨버전스 보정장치는 마이크로 컴퓨터(10)에서 EEPROM(16)에 저장되어 있는 조정점 데이터를 독출하여 전 라인의 데이터를 연산하여 SRAM(18)에 기입한 후, 하드웨어에서는 SRAM(18)의 데이터를 수평, 수직 귀선 신호들에 기준하여 독출하였다. 그러므로, 입력 모드가 여러가지인 경우, 예를 들어 PC용 모니터, HD텔레비전용 디스플레이 장치, PAL과 NTSC 방식에 동시에 대응되는 투영 디스플레이 장치등에서 전화면의 컨버전스 데이터를 연산해 내야하므로 많은 시간이 필요한 문제점이 있었다.

또한, 입력 모드수가 증가하면 증가할수록 연산 시간이 그 만큼 오래 걸리게 되고, 디스플레이 장치에 전력이 공급되었을 때, 스탠바이 시간이 길어지는 문제점이 있다. 더우기, 현재 디스플레이되고 있는 모드에서 다른 입력 모드로, 모드 전환을 할 때, 예를 들어 PC의 텍스트 모드에서 그래픽 모드로 전환을 할 때, EEPROM의 조정 데이터를 이용하여 화면 전 라인의 데이터를 연산해 내는데 필요한 연산 시간 때문에 음극선관 디스플레이 장치 같이 바로 대응할 수 없는 문제점이 있다.

뿐만 아니라, 입력 모드가 증가하면 증가하는 만큼 도 1에 도시된 SRAM(18)의 용량을 증가시켜야 하는 문제점이 있다. 이를 살펴보면, SRAM(18)의 용량은 예를 들어, PC의 VGA 그래픽 모드가 디스플레이될 때 다음 수학적 1과 같은 비트수가 필요하게 된다.

[수학적 1]

$$525 \text{ line} \times 16 \times 6 \times 13 \text{ bit} = 655,200 \text{ bit} = 81.9\text{Kbit}$$

수학적 1에 나타난 바와 같이, 1모드에서 81.9K비트가 필요하므로, 모드가 증가하면 증가되는 만큼 더 많은 메모리의 용량이 필요하게 되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 그 목적은 하나의 디스플레이 장치로 여러가지 신호가 입력될 때, 주변의 하드웨어의 증가 없이 모든 입력원들을 대응할 수 있는 디지털 컨버전스 보정장치를 제공하는데 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 디지털 컨버전스 보정장치는, 외부로부터 입력되는 어드레스, 데이터 및 제어신호들을 이용하여 기입 어드레스 및 독출 어드레스를 발생하는 제어수단과, 제어 데이터 및 현재 입력되는 모드에 해당하는 컨버전스 데이터를 상기 기입 어드레스 및 상기 독출 어드레스에 응답하여 기입 및 독출하는 제1메모리와, 수직 귀선 기간동안, 상기 제1메모리로부터 독출된 조정점 데이터를 이용하여 수평쪽으로 보간하여 수직 주사 기간마다 테스트 패턴에 더미 라인들의 데이터를 연산하는 수평 보간 수단과, 상기 수평 보간 수단으로부터 출력되는 데이터를 저장하는 제2메모리와, 현재 주사선의 위치 정보를 발생하는 필드 검출 수단과, 상기 조정 데이터, 상기 제2메모리로부터 독출한 데이터 및 상기 위치 정보를 이용하여 편향의 주사선에 해당하는 컨버전스 데이터를 실시간으로 수평 주사 기간에 소정 횟수 연산하여 출력하는 수직 보간 수단 및 컨버전스 데이터 포맷에 상응하여 상기 수직 보간 수단의 출력을 포맷팅하는 신호 포맷 수단으로 구성되는 것이 바람직하다.

이하, 본 발명에 의한 디지털 컨버전스 보정장치의 구성 및 동작을 첨부한 도면을 참조하여 설명한다.

도 3은 본 발명에 의한 디지털 컨버전스 보정장치의 블록도로서, 위상 동기 루프(PLL:Phase Locked Loop)(82) 및 분주기(84)로 구성되는 클럭 발생부(80), 위상 조정부(86), 어드레스 발생부(88), 제어신호 발생부(90), 위상 보정부(92), 패턴 발생부(94), 마이크로 컴퓨터 인터페이스부(100), 제1, 2 및 3램(RAM:Random Access Memory)들(102, 104 및 108), 수평 및 수직 보간부들(106 및 112), 필드 검출 및 스캔 선 어드레스 발생부(110) 및 신호 포맷부(114)로 구성된다.

도 3에 도시된 클럭 발생부(80)의 위상 동기 루프(82)는 편향부(미도시)의 수평 귀선 신호(HBLK)를 입력하여 디지털 컨버전스 회로에서 필요로 하는 마스터 클럭(MCLK)을 발생하고, 분주기(84)는 마스터 클럭을 입력하여 256분주하고, 분주된 마스터 클럭을 제어 클럭으로서 위상 동기 루프(82) 및 위상 조정부(86)로 출력한다.

위상 조정부(86)는 조정점의 위상이 실제 화면상에 영향을 미치는 위치가 서로 일치하지 않을 때, 이를 보상하기 위한 역할을 하며, 어드레스 발생부(88)는 수평 및 수직 귀선 신호들(HBLK 및 VBLK)을 위상조정부(86)로부터 입력하여 전화면에 걸쳐 컨버전스 데이터를 처리하기 위한 기준 어드레스인 수평 어드레스(HA:Horizontal Address) 및 수직 어드레스(VA:Vertical Address)를 발생하여 제어신호 발생부(90) 및 위상 보정부(92)로 각각 출력한다.

제어 신호 발생부(90)는 수평 및 수직 어드레스들을 디코딩하여 일정 어드레스가 되면, 칩 내부의 각종 제어 데이터들을 세팅하기 위한 기입 인에이블 신호를 발생하여 출력단자 OUT1을 통해 출력한다. 위상 보정부(92)는 수평 및 수직 어드레스들을 입력하여 테스트 패턴의 위상을 보정하고, 보정된 위상을 패턴 발생부(94)로 출력한다. 패턴 발생부(94)는 보정된 위상을 입력하여 컨버전스 조정을 위한 테스트 패턴을 만들어 출력단자 OUT2를 통해 출력하는 기능을 한다.

마이크로 컴퓨터 인터페이스부(100)는 도 1에 도시된 마이크로 컴퓨터(10)와 인터페이스하기 위한 기능을 수행하며, 마이크로 컴퓨터(10)로부터 어드레스 및 데이터 신호(ADD), 독출 스트로브 신호(RDL), 기입 스트로브 신호(WTL) 및 어드레스 래치 인에이블 신호(ALE)를 입력하여 해당 어드레스에 필요한 데이터를 독출 또는 기입하기 위한 기입 어드레스 신호 및 독출 어드레스 신호를 제1 및 제2RAM들(102 및 104)로 출력한다.

제1RAM(102)은 기입 또는 독출 어드레스 신호에 응답하여 각종 제어 데이터를 기입 또는 독출하며, 위상 조정부(86), 어드레스 발생부(88), 위상 보정부(92), 패턴 발생부(94) 및 수직 보간부(112)로 독출한 제어 데이터를 출력한다. 제2RAM(104)은 EEPROM(16)에 저장되어 있는 각종 모드별 컨버전스 데이터중에서 현재 입력되어 지고 있는 모드에 해당하는 컨버전스 데이터를 기입 또는 독출 어드레스 신호들에 응답하여 기입 또는 독출한다.

도 4는 테스트 패턴을 나타내는 도면이다.

제2RAM(104)은 도 4에 도시된 '+'부분만 조정할 경우, 수평 7개, 수직 5개, 컬러별 수평 및 수직 6개로 210바이트이다. 그러나, 조정의 정밀도 향상을 위해서 도 4에 도시된 3번 라인과 13번 라인을 더 조정해 주었을 경우, $9 \times 5 \times 6 = 270$ 바이트가 필요하다.

수평 보간부(106)는 조정점 데이터를 이용하여 수평쪽을 보간을 하여 나머지 더미 라인들의 데이터를 연산하는 기능을 수행하며, 수평적으로 0~15까지의 조정점의 데이터를 연산하여 제3RAM(108)에 저장한다. 이 때, 수평 보간부(106)의 연산은 수직 귀선 기간에 수행되며, 1수직 주사 기간에 한번씩 이루어진다. 여기서, 제3RAM(108)은 수평 보간이 끝난 수평으로 16개, 수직으로 5개, 컬러별로 6개의 전체 $16 \times 5 \times 6$ 의 480바이트에 해당하는 데이터를 저장하고 있다.

한편, 필드 검출 및 스캔 선 어드레스 발생부(110)는 현재 주사선의 위치 정보를 발생하며, 수직 보간부(112)는 제3RAM(108)에 저장된 데이터를 이용하여 현재 주사선의 위치 정보를 입력으로 수직 보간을 실시간으로 연산하여 편향의 주사선에 해당하는 컨버전스 데이터를 연산한다. 이 때, 수직 보간부(112)의 연산은 1수평 주사 기간에 96번 이루어진다.

신호 포맷부(114)는 수직 컨버전스 데이터 포맷에 맞도록 수직 보간부(112)로부터 출력되는 데이터를 포맷팅하고, 출력단자 OUT3을 통해 포맷팅된 데이터를 출력한다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의한 디지털 컨버전스 보정장치는 연산 불력을 두어, 실시간으로 데이터를 연산하기 때문에, 750바이트만으로 모든 입력 모드에 대응할 수 있고, 모드 전환시 1수직 주사 기간내에 수평 연산을 끝내고 편향 주사 라인에 맞추어 컨버전스 데이터를 연산해 냄으로서, 모드 전환시 필요한 데이터 연산 시간이 없으며 다중 동기(multisync)에 대응할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

디지털 컨버전스 보정장치에 있어서,

외부로부터 입력되는 어드레스, 데이터 및 제어신호들을 이용하여 기입 어드레스 및 독출 어드레스를 발생하는 제어수단; 제어 데이터 및 현재 입력되는 모드에 해당하는 컨버전스 데이터를 상기 기입 어드레스 및 상기 독출 어드레스에 응답하여 기입 및 독출하는 제1메모리; 수직 귀선 기간동안, 상기 제1메모리로부터 독출된 조정점 데이터를 이용하여 수평쪽으로 보간하여 수직 주사 기간마다 테스트 패턴에 더미 라인들의 데이터를 연산하는 수평 보간 수단; 상기 수평 보간 수단으로부터 출력되는 데이터를 저장하는 제2메모리; 현재 주사선의 위치 정보를 발생하는 필드 검출 수단; 상기 조정 데이터, 상기 제2메모리로부터 독출한 데이터 및 상기 위치 정보를 이용하여 편향의 주사선에 해당하는 컨버전스 데이터를 실시간으로 수평 주사 기간에 소정 횟수 연산하여 출력하는 수직 보간 수단; 및 컨버전스 데이터 포맷에 상응하여 상

기 수직 보간 수단의 출력을 포매팅하는 신호 포맷 수단을 구비하는 것을 특징으로 하는 디지털 컨버전스 보정장치.

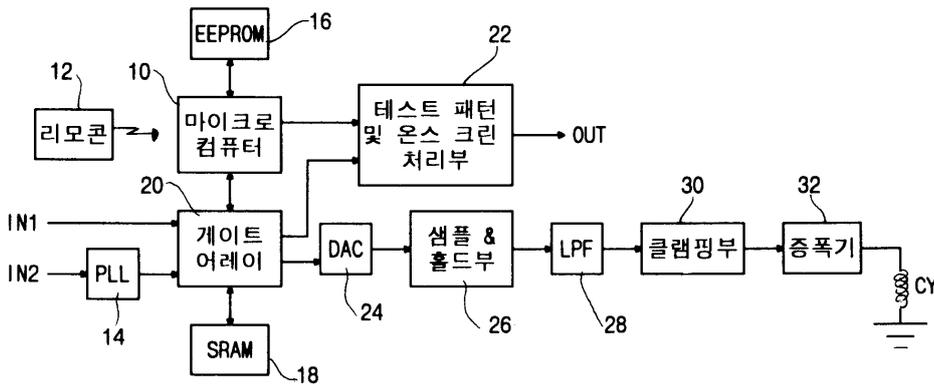
청구항 2

제1항에 있어서,

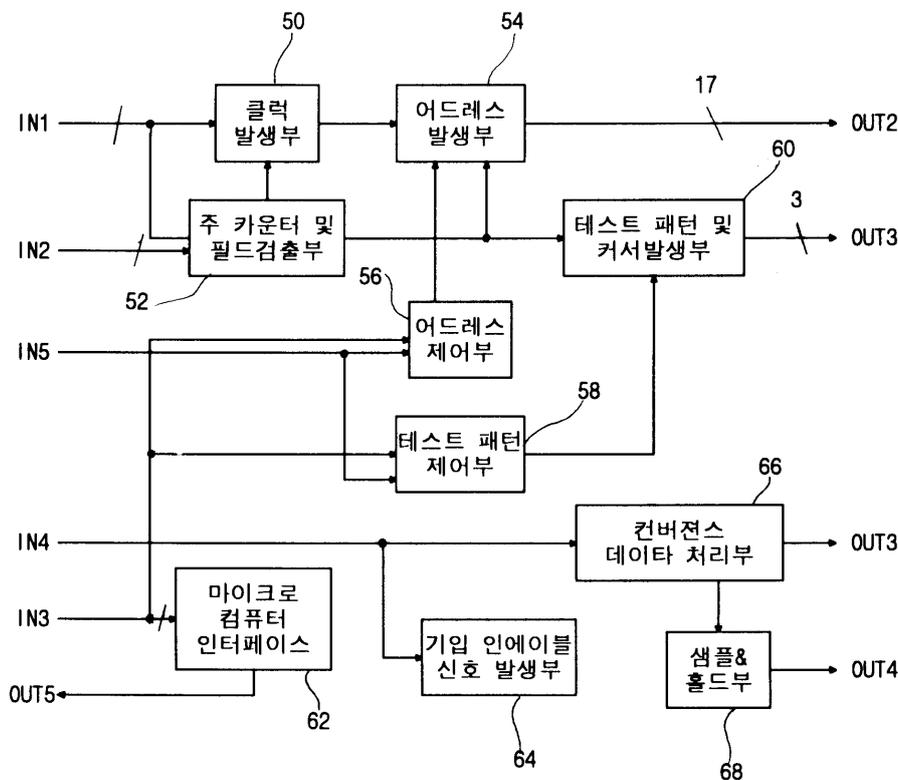
수평 귀선 신호를 입력하여 제어 클럭을 발생하는 클럭 발생수단; 상기 제어클럭 및 수직 귀선 신호를 입력하여 위상을 상기 제어 데이터에 응답하여 조정하는 위상 조정수단; 상기 위상 조정수단으로부터 출력되는 상기 제어클럭 및 상기 수직 귀선 신호를 입력하여 수평 및 수직 어드레스들을 발생하는 어드레스 발생수단; 상기 수평 및 상기 수직 어드레스들을 디코딩하여 각종 제어 데이터를 세팅하기 위한 기입 인에이블 신호를 발생하는 제어신호 발생수단; 상기 수평 및 상기 수직 어드레스들을 입력하여 테스트 패턴의 위상을 보정하고, 보정된 위상을 출력하는 위상 보정수단; 및 상기 보정된 위상을 입력하여 컨버전스 조정을 위한 테스트 패턴을 생성하고, 생성된 테스트 패턴을 출력하는 패턴 발생수단을 더 구비하는 것을 특징으로 하는 디지털 컨버전스 보정장치.

도면

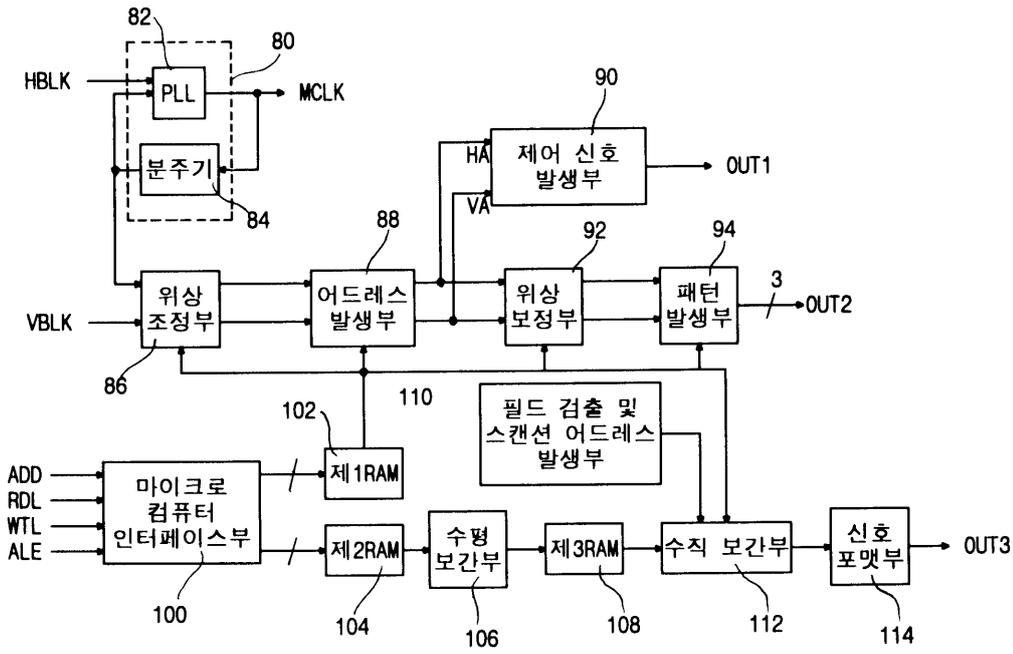
도면1



도면2



도면3



도면4

