

(21)申請案號：102140584

(22)申請日：中華民國 102 (2013) 年 11 月 07 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2012/12/20 中國大陸 201210560146.2

(71)申請人：中微半導體設備（上海）有限公司（中國大陸）（CN）
中國大陸

(72)發明人：王兆祥(CN)；杜若昕(CN)；劉志強(SG)；倪圖強(US)

(74)代理人：林志青

申請實體審查：有 申請專利範圍項數：17 項 圖式數：15 共 32 頁

(54)名稱

一種通孔或接觸孔的形成方法

(57)摘要

本發明實施例提供一種通孔或接觸孔的形成方法，所述方法包括：刻蝕第一電介質層；刻蝕位於所述第一電介質層下方的刻蝕阻擋層，以暴露出位於所述刻蝕阻擋層下方的第二電介質層中的金屬結構；其特徵在於，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層包括：重複執行第一刻蝕過程；其中，所述第一刻蝕過程由下述步驟(a)和(b)組成：(a)在第一時間段內，向反應腔室內施加高射頻功率，以對所述刻蝕阻擋層進行乾法刻蝕；(b)在第二時間段內，向反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。相對於現有技術，採用本發明實施例提供的通孔或接觸孔的形成方法製作通孔或接觸孔的半導體結構的電性能較高。

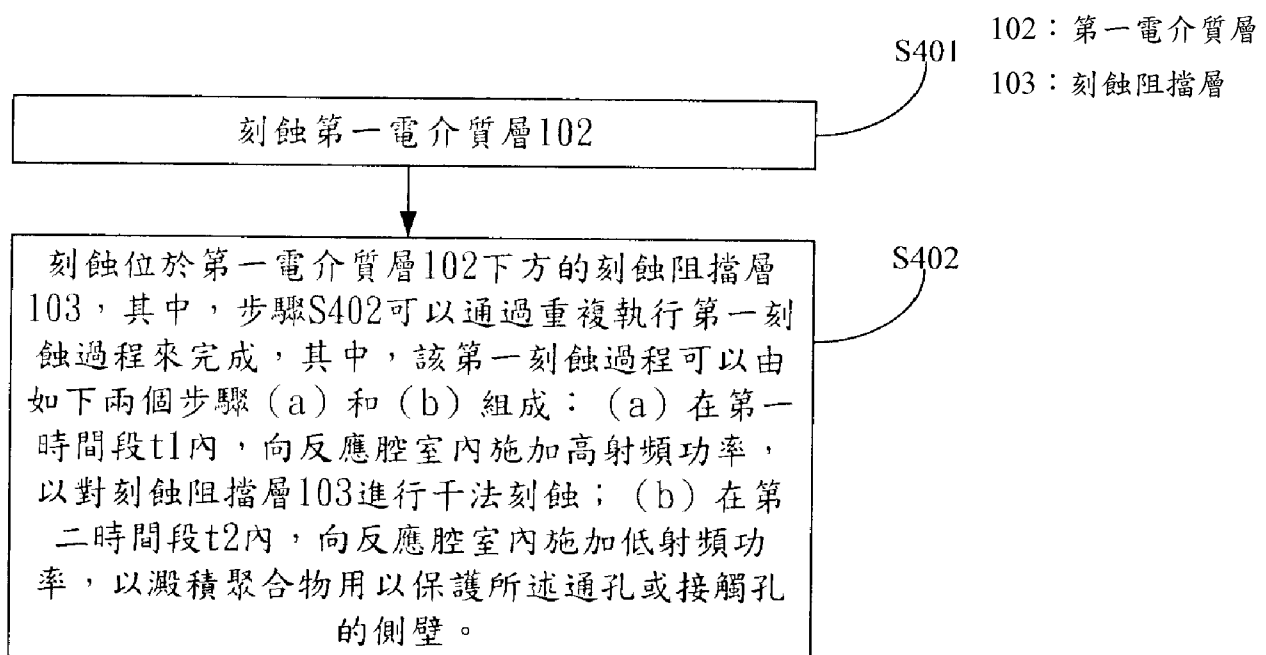


圖 4

(21)申請案號：102140584 (22)申請日：中華民國 102 (2013) 年 11 月 07 日
(51)Int. Cl. : **H01L21/3065(2006.01)**
(30)優先權：2012/12/20 中國大陸 201210560146.2
(71)申請人：中微半導體設備（上海）有限公司（中國大陸） (CN)
中國大陸
(72)發明人：王兆祥 (CN)；杜若昕 (CN)；劉志強 (SG)；倪圖強 (US)
(74)代理人：林志青
申請實體審查：有 申請專利範圍項數：17 項 圖式數：15 共 32 頁

(54)名稱

一種通孔或接觸孔的形成方法

(57)摘要

本發明實施例提供一種通孔或接觸孔的形成方法，所述方法包括：刻蝕第一電介質層；刻蝕位於所述第一電介質層下方的刻蝕阻擋層，以暴露出位於所述刻蝕阻擋層下方的第二電介質層中的金屬結構；其特徵在於，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層包括：重複執行第一刻蝕過程；其中，所述第一刻蝕過程由下述步驟(a)和(b)組成：(a)在第一時間段內，向反應腔室內施加高射頻功率，以對所述刻蝕阻擋層進行乾法刻蝕；(b)在第二時間段內，向反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。相對於現有技術，採用本發明實施例提供的通孔或接觸孔的形成方法製作通孔或接觸孔的半導體結構的電性能較高。

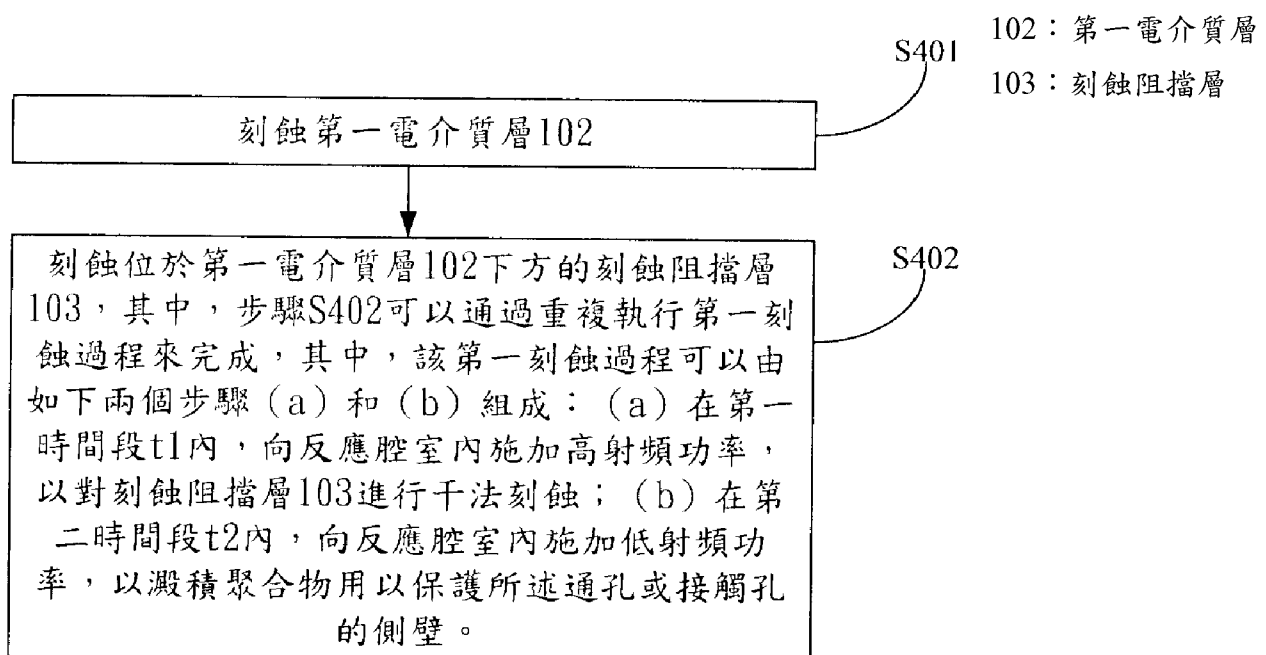


圖 4

發明摘要

※ 申請案號：102140584

※ 申請日：102.11.7

※IPC 分類：

【發明名稱】

一種通孔或接觸孔的形成方法

H01L 21/3065

2006.01

【中文】

本發明實施例提供一種通孔或接觸孔的形成方法，所述方法包括：刻蝕第一電介質層；刻蝕位於所述第一電介質層下方的刻蝕阻擋層，以暴露出位於所述刻蝕阻擋層下方的第二電介質層中的金屬結構；其特徵在於，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層包括：重複執行第一刻蝕過程；其中，所述第一刻蝕過程由下述步驟（a）和（b）組成：（a）在第一時間段內，向反應腔室內施加高射頻功率，以對所述刻蝕阻擋層進行乾法刻蝕；（b）在第二時間段內，向反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。相對於現有技術，採用本發明實施例提供的通孔或接觸孔的形成方法製作通孔或接觸孔的半導體結構的電性能較高。

【英文】

【代表圖】

【本案指定代表圖】：第（4）圖。

【本代表圖之符號簡單說明】：

102 第一電介質層

103 刻蝕阻擋層

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

一種通孔或接觸孔的形成方法

【技術領域】

【0001】 本發明屬於半導體製造技術領域，具體涉及一種通孔或接觸孔的形成方法。

【先前技術】

【0002】 在採用乾法刻蝕製作連接金屬結構與電介質的通孔或者連接金屬結構與金屬結構的接觸孔的過程中，為了減少等離子體刻蝕對金屬結構的影響，並且保證電介質材料刻蝕的均勻性，通常在金屬結構之上形成一層刻蝕阻擋層 (etch stop layer) 以在等離子體刻蝕過程中保護金屬結構 (參見圖 1 所示)，其中圖 1 中的結構包括：光刻膠 101、第一電介質層 102、刻蝕阻擋層 103、第二電介質層 104 以及位於第二電介質層 104 內部的金屬結構 105。位於金屬結構之上的刻蝕阻擋層 103 通常選用相對被刻蝕去除的介質層 (如第一電介質層 102) 所用材料的刻蝕速率選擇比高的電介質材料 (如 SiN、摻雜碳的 SiN 或者 SiC 等)，以使對第一電介質層 102 有足夠的過刻蝕 (overetch) 以保證第一電介質層 102 能夠完全打開，穿透第一電介質層 102 和刻蝕阻擋層 103 並形成與金屬結構相連的通孔或接觸孔，如圖 2 和 3 所示。

【0003】 但是，傳統的形成通孔或接觸孔的刻蝕方法有如下缺點：一方面，傳統的刻蝕方法在刻蝕阻擋層刻蝕

過程中易發生底切 (undercut)，即通孔或接觸孔的底部的寬度大於金屬結構的寬度，過多地去掉了刻蝕阻擋層 (如圖 3 所示的 A 區域)；另一方面，傳統的刻蝕方法由於有較高的自偏壓，通常會導致金屬結構 (如 Cu 或 Al) 在乾法刻蝕過程中產生濺射，造成等離子體誘導損傷 (plasma induced damage, PID)。因此，傳統的刻蝕工藝在金屬暴露於等離子體之後，等離子體中的活性自由基會造成金屬表面的改性，而正離子的物理轟擊作用會引起金屬的濺射，因此會影響半導體結構的電性能。

【發明內容】

【0004】 為解決現有技術中由於通孔或接觸孔採用傳統方法製作的半導體結構的電性能不高的問題，本發明實施例提供一種通孔或接觸孔的形成方法，所述方法包括：

刻蝕第一電介質層；

刻蝕位於所述第一電介質層下方的刻蝕阻擋層，以暴露出位於所述刻蝕阻擋層下方的第二電介質層中的金屬結構；

其特徵在於，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層包括：重複執行第一刻蝕過程；其中，所述第一刻蝕過程由下述步驟 (a) 和 (b) 組成：

(a) 在第一時間段內，向反應腔室內施加高射頻功率，以對所述刻蝕阻擋層進行乾法刻蝕；

(b) 在第二時間段內，向反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。

【0005】 較佳地，所述刻蝕第一電介質層包括重複執行第二刻蝕過程；其中，所述第二刻蝕過程由下述步驟 (c)

和 (d) 組成：

(c) 在第三時間段內，向反應腔室內施加高射頻功率，以對所述第一電介質層進行乾法刻蝕；

(d) 在第四時間段內，向反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。

【0006】 較佳地，一所述第一時間段和一所述第二時間段構成一第一脈衝週期，第一脈衝頻率為 10KHz-500KHz；和/或，

【0007】 一所述第三時間段和一所述第四時間段構成一第二脈衝週期，第二脈衝頻率為 10KHz-500KHz。

【0008】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層時，第一占空比在 10%~90%之間；其中所述第一占空比為在一個所述第一刻蝕過程內所述第一時間段與所述第一時間段和所述第二時間段之和的比值。

【0009】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在不同的所述第一刻蝕過程中，所述第一時間段和所述第二時間段均保持不變、且所述第一占空比在 40%~90%之間。

【0010】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層的過程中，所述第一占空比逐漸減小。

【0011】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層採用等離子體射頻源功率完成；其中，在不同的所述第一刻蝕過程中，所述第一時間段和所述第二

時間段均保持不變、且所述第一占空比在 50%~90%之間。

【0012】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層採用等離子體射頻源功率完成；其中，在所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層的過程中，所述第一占空比逐漸減小。

【0013】 較佳地，所述刻蝕第一電介質層時，第二占空比在 10%~90%之間；其中所述第二占空比為在一個所述第二刻蝕過程內所述第三時間段與所述第三時間段和所述第四時間段之和的比值。

【0014】 較佳地，所述刻蝕第一電介質層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在不同的所述第二刻蝕過程中，所述第三時間段和所述第四時間段均保持不變、且所述第二占空比在 40%~90%之間。

【0015】 較佳地，所述刻蝕第一電介質層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在所述刻蝕第一電介質層的過程中，所述第二占空比逐漸減小。

【0016】 較佳地，所述刻蝕第一電介質層採用等離子體射頻源功率完成；其中，在不同的所述第二刻蝕過程中，所述第三時間段和所述第四時間段均保持不變、且所述第二占空比在 50%~90%之間。

【0017】 較佳地，所述刻蝕第一電介質層採用等離子體射頻源功率完成；其中，在所述刻蝕第一電介質層的過程中，所述第二占空比逐漸減小。

【0018】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層時，所述刻蝕阻擋層所用材料對所述第一電介質層所用材料的選擇比在 1.5:1~1:3 之間。

【0019】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層包括：

【0020】 對所述刻蝕阻擋層進行主刻蝕，以去除所述通孔或接觸孔內的第一部分所述刻蝕阻擋層；

【0021】 對所述刻蝕阻擋層進行過刻蝕，以去除所述通孔或接觸孔內的剩餘部分所述刻蝕阻擋層，並暴露出位於所述第二電介質層中的所述金屬結構。

【0022】 較佳地，所述刻蝕第一電介質層包括：

【0023】 對所述第一電介質層進行主刻蝕，以去除所述通孔或接觸孔內的第一部分所述第一電介質層；

【0024】 對所述第一電介質層進行過刻蝕，以去除所述通孔或接觸孔內的剩餘部分所述第一電介質層，並暴露出所述刻蝕阻擋層。

【0025】 較佳地，所述刻蝕位於所述第一電介質層下方的刻蝕阻擋層所用氣體包括 CF_4 、 C_4F_8 、 C_4F_6 、 CHF_3 、 CH_2F_2 中的一種或者幾種的組合。

【0026】 本發明實施例提供的通孔或接觸孔的形成方法，在對刻蝕阻擋層進行刻蝕時，重複迴圈執行在第一時間段內對刻蝕阻擋層進行乾法刻蝕、在第二時間段內停止對刻蝕阻擋層進行乾法刻蝕。採用這種方法，在第二時間段內在第二電介質層和刻蝕阻擋層的側壁沉積聚合物，這些聚合物能夠在刻蝕過程中保護刻蝕阻擋層的側壁，減少了底切的發生；同時，在停止刻蝕過程的第二時間段內，矽片表面累積的電荷以及矽片內部俘獲後的電荷會得到釋放，所以能夠從根本上減少 PID。可見，本發明實施例提供的通孔或接觸孔的形成方法能夠在整體上提高採用該通

孔或接觸孔的半導體結構的電性能。

【圖式簡單說明】

【0027】

為了更清楚地說明本發明實施例或現有技術中的技術方案，下面將對實施例或先前技術描述中所需要使用的附圖作簡單地介紹，圖中相同的標記表示相同的部件，顯而易見地，下面描述中的附圖是本發明的一些實施例，對於本領域普通技術人員來講，在不付出創造性勞動的前提下，還可以根據這些附圖獲得其他的附圖。在全部附圖中相同的附圖標記指示相同的部分。並未刻意按實際尺寸等比例縮放繪製附圖，重點在於示出本發明的主旨。

圖 1 是通孔或接觸孔形成之前的結構示意圖；

圖 2 是採用傳統方法製作通孔或接觸孔時刻蝕第一電介質層之後形成的結構示意圖；

圖 3 是採用傳統方法製作的通孔或接觸孔的結構示意圖；

圖 4 是本發明實施例一提供的通孔或接觸孔的製作方法的流程圖；

圖 5 是採用本發明實施例一提供的通孔或接觸孔的製作方法製作的通孔或接觸孔的結構示意圖；

圖 6 是本發明實施例一製作通孔或接觸孔時所採用的等離子體射頻功率的波形圖；

圖 7~8 是本發明實施例一第一示例的等離子體射頻功率的波形圖；

圖 9~10 是本發明實施例一第二示例的等離子體射頻功率的波形圖；

圖 11 是本發明實施例二提供的通孔或接觸孔的製作方法的

流程圖；

圖 12~15 是採用本發明實施例二提供的製作方法製作通孔或接觸孔過程中各個階段的結構示意圖。

【實施方式】

【0028】 為使本發明實施例的目的、技術方案和優點更加清楚，下面將結合本發明實施例中的附圖，對本發明實施例中的技術方案進行清楚、完整地描述，顯然，所描述的實施例是本發明一部分實施例，而不是全部的實施例。基於本發明中的實施例，本領域普通技術人員在沒有做出創造性勞動前提下所獲得的所有其他實施例，都屬於本發明保護的範圍。

【0029】 為製作高電性能的半導體結構，本發明實施例提出了以下技術方案。

【0030】 為此，本發明實施例一提供一種通孔或接觸孔的製作方法，圖 4 示出了該製作方法的流程圖，該方法包括以下步驟：

【0031】 步驟 S401：刻蝕第一電介質層 102；

【0032】 具體地，在執行步驟 S401 之前，還可以先在第一電介質層 102 的預定區域塗覆光刻膠 101，以在後續刻蝕過程中保護第一電介質層 102，其中該預定區域可以是形成通孔或接觸孔之外的區域。

【0033】 在刻蝕第一電介質層 102 的過程中，可以採用傳統的乾法刻蝕，也可以採用其他適用的刻蝕方法。

【0034】 需要說明的是，本步驟 S401 的乾法刻蝕可以採用雙頻電源驅動放電的方式，即刻蝕第一電介質層 102 的

過程可以採用等離子體射頻源功率 (source power) 和/或等離子體射頻偏置功率 (bias power) 完成，即可以單獨採用等離子體射頻源功率完成或者單獨採用等離子體射頻偏置功率完成、還可以採用等離子體射頻源功率和等離子體射頻偏置功率相結合的方式完成。其中，本發明實施例中的等離子體射頻源功率的頻率可以在 25MHz~120MHz 範圍內，該頻率的等離子體射頻源功率主要用於控制等離子體的密度；等離子體射頻偏置功率的頻率可以在 2MHz~15MHz 範圍內，該頻率的等離子體射頻偏置功率主要用於控制等離子體的能量。

【0035】 步驟 S402：刻蝕位於第一電介質層 102 下方的刻蝕阻擋層 103，以暴露出位於其下方的第二電介質層 104 中的金屬結構 105；其中，步驟 S402 可以通過重複執行第一刻蝕過程來完成，該第一刻蝕過程可以由如下兩個步驟 (a) 和 (b) 組成：

【0036】 (a) 在第一時間段 t_1 內，向反應腔室內施加高射頻功率，對刻蝕阻擋層 103 進行乾法刻蝕；其中，該高射頻功率的功率可以在 500-1200W 範圍內，該高射頻功率的頻率可以在 2MHz 以上；

【0037】 (b) 在第二時間段 t_2 內，向反應腔室內施加低射頻功率，該低射頻功率的頻率可以為高射頻功率值的 40% 及以下，另外，該低射頻功率還可以在 0-300W 範圍內，此時，停止對刻蝕阻擋層 103 進行乾法刻蝕，以澱積聚合物用以保護所述通孔或接觸孔的側壁。

【0038】 其中，本發明實施例中的高射頻功率和低射頻功率是指同一個射頻電源輸出的同一種頻率、且具有兩種功

率輸出狀態，兩個階段變化的僅是功率的大小。

【0039】 對刻蝕阻擋層 103 的乾法刻蝕可以採用重複執行第一刻蝕過程的方式進行，即採用不斷連續執行步驟 (a) 和步驟 (b) 的方式進行。在實際操作過程中，可以連續交替執行步驟 (a) 和步驟 (b)，即採用步驟 (a) - 步驟 (b) - 步驟 (a) - 步驟 (b) …… 步驟 (a) - 步驟 (b) 的方式。連續執行一個步驟 (a) 和一個步驟 (b) 即為一個第一刻蝕過程，其中每個第一刻蝕過程可以總是以步驟 (a) 開始、以步驟 (b) 結束、且每個第一刻蝕過程所經歷的總時間 (該總時間 $t=t_1+t_2$) 可以是固定不變的；即，第一時間段 t_1 可以改變、第二時間段 t_2 可以改變、但是 t 的值是不變的。本步驟 S402 中，在第一時間段 t_1 內施加高射頻功率以執行乾法刻蝕操作，在第二時間段 t_2 內施加低射頻功率以澱積聚合物用以保護所述通孔或接觸孔的側壁；即，採用脈衝的方式執行對刻蝕阻擋層 103 的乾法刻蝕。其中，第一時間段 t_1 和第二時間段 t_2 的長度可以滿足如下關係：第一時間段 t_1 與第一時間段 t_1 和第二時間段 t_2 之和的比值在 0.1~0.9 之間，即第一占空比在 10%~90% 之間，其中第一占空比 $M_1=t_1/(t_1+t_2)=t_1/t$ 。

【0040】 另外，一個第一時間段 t_1 和一個第二時間段 t_2 構成一個第一脈衝週期，第一脈衝頻率可以為 10KHz-500KHz。

【0041】 本步驟 S402 中的乾法刻蝕可以通過向反應腔室內施加高射頻功率的方式完成，具體地，可以採用雙頻電源驅動放電的方式，即對刻蝕阻擋層 103 進行刻蝕的過程可以採用等離子體射頻源功率和/或等離子體射頻偏置功率完

成，即可以單獨採用等離子體射頻源功率完成或者單獨採用等離子體射頻偏置功率完成、還可以採用等離子體射頻源功率和等離子體射頻偏置功率相結合的方式完成。其中，本發明實施例中的等離子體射頻源功率的頻率可以在 25MHz~120MHz 範圍內，該頻率的等離子體射頻源功率主要用於控制等離子體的密度，等離子體射頻偏置功率的頻率可以在 2MHz~15MHz 範圍內)，該頻率的等離子體射頻偏置功率主要用於控制等離子體的能量。

【0042】 在實際操作過程中，可以在第一時間段 t1 內，令等離子體射頻功率(包括等離子體射頻源功率和/或等離子體射頻偏置功率)處於高射頻功率狀態，執行等離子體乾法刻蝕操作；在第二時間段 t2 內，令射頻功率處於低射頻功率狀態，以澱積聚合物用以保護所述通孔或接觸孔的側壁。即在對刻蝕阻擋層進行刻蝕的整個過程中，等離子體射頻頻率可以按如圖 6 中的 b 所示的脈衝波形變化：在第一時間段 t1 內，等離子體射頻功率處於高射頻功率狀態，在第二時間段 t2 內，等離子體射頻功率處於低射頻功率狀態，在一個具體實施例中，該低射頻功率狀態的功率可以為零。圖 6 中的 a 中的波形圖是微觀的脈衝波形圖，正常的脈衝開啟時的實際波形可以是正弦波，所以圖 6 中的 a 和圖 6 中的 b 實際是等效的脈衝示意圖。另外，在第一時間段 t1 內，等離子體射頻功率可以為恒定值，也可以隨時間而變化，本發明對此不作限定。

【0043】 在第二時間段 t2 內，雖然等離子體射頻功率處於低射頻功率狀態，但是此時工藝腔內仍然有大量的啟動粒子(radical)，這些啟動粒子具有很高的反應活性，會在工藝

腔內反應形成聚合物，這些聚合物沉積在第一電介質層 102 和刻蝕阻擋層 103 的側壁。當等離子體射頻功率回到高射頻功率狀態（即執行刻蝕操作）時，沉積在刻蝕阻擋層 103 的側壁的聚合物會保護刻蝕阻擋層 103 的側壁，從而減少了底切的發生。採用本發明實施例一提供的通孔或接觸孔的形成方法製作的通孔或接觸孔可以具有如圖 5 所示的結構，該通孔或接觸孔正好完全暴露出金屬結構 105、且沒有對刻蝕阻擋層 103 的過多刻蝕，沒有底切現象發生。

【0044】 在傳統的等離子體刻蝕條件下，正電荷會在電場加速下注入電介質材料的表面和內部，隨時間的增加，電荷累積越來越多，在電勢差的情況下會形成電流，造成器件的損傷，即使在等離子體射頻偏置功率為零的情況下，這種等離子體誘導損傷（PID）仍然很嚴重。而在本發明實施例一中，採用脈衝等離子體來進行刻蝕，在第二時間段 t_2 內，等離子體射頻功率處於關閉狀態，此時，矽片表面累積的電荷以及矽片內部俘獲（trap）的電荷會得到釋放，所以能夠從根本上減少 PID。

【0045】 需要說明的是，在對刻蝕阻擋層進行過刻蝕的過程中，即金屬暴露在等離子體的過程中，採用脈衝等離子體可以在金屬表面形成一層聚合物，這層聚合物能夠減少過刻蝕過程中 F、O 等活性自由基對金屬表面的腐蝕以及離子對金屬表面的物理轟擊引起的濺射作用。

【0046】 本發明實施例一提供的通孔或接觸孔的形成方法，在對刻蝕阻擋層進行刻蝕時，重複迴圈執行在第一時間段內採用高射頻功率對刻蝕阻擋層進行乾法刻蝕、在第二時間段內採用低射頻功率澱積聚合物用以保護通孔或接觸

孔的側壁進行乾法刻蝕。採用這種方法，在第二時間段內在
第一電介質層和刻蝕阻擋層的側壁沉積聚合物，這些聚合物
能夠在刻蝕過程中保護刻蝕阻擋層的側壁，減少了底切的發
生；同時，在停止刻蝕過程的第二時間段內，矽片表面累積
的電荷以及矽片內部俘獲後的電荷會得到釋放，所以能夠從
根本上減少 PID。可見，本發明實施例提供的通孔或接觸孔
的形成方法能夠在整體上提高採用該通孔或接觸孔的半導
體結構的電性能。

【0047】 需要說明的是，在上述刻蝕過程（包括步驟
S401 和/或步驟 S402）中，所採用的刻蝕氣體可以包括 CF_4 、
 C_4F_8 、 C_4F_6 、 CHF_3 、 CH_2F_2 中的一種或者幾種的組合，另外，
該刻蝕氣體還可以含有一定量的 Ar 以及 O_2 等，其中 Ar 可
以用於稀釋刻蝕氣體， O_2 有助於刻蝕過程中聚合物的產生。
在本發明一個較佳實施例中，刻蝕氣體可以採用由 CF_4 、Ar
和 O_2 組成的混合氣體，另外，還可以在該混合氣體中添加
一定量的 C_4F_8 、 C_4F_6 、 CHF_3 、 CH_2F_2 中的一種或者幾種以進
一步提高刻蝕效果。

【0048】 實際上，本發明實施例對刻蝕阻擋層進行刻蝕
的過程可以有多種實現方式，以下以幾個具體示例為例對這
些方式進行介紹，需要說明的是，本發明實施例對刻蝕阻擋
層進行刻蝕的方式並不限於下述幾種方式，本領域普通技術
人員也可以在本發明技術方案的基礎上採用其他適用的方
式。

【0049】 第一示例

【0050】 在對刻蝕阻擋層進行刻蝕的過程中，可以同時
採用等離子體射頻源功率和等離子體射頻偏置功率，且等離

子體射頻偏置功率可以按脈衝方式設置，即在一段時間等離子體射頻偏置功率大於零、在隨後的另一段時間等離子體射頻偏置功率等於零；例如在第一時間段 t_1 內等離子體射頻偏置功率為高射頻功率狀態、在第二時間段 t_2 內等離子體射頻偏置功率為低射頻功率狀態，如圖 7 中的 b 所示；而在此過程中，等離子體射頻源功率可以保持大於零且保持恒定不變，如圖 7 中的 a 所示。

【0051】 採用這種方式時，在對刻蝕阻擋層進行刻蝕的整個過程中，即多次重複迴圈連續執行步驟 (a) 和步驟 (b) 的過程中，執行一次步驟 (a) 的時間和執行一次步驟 (b) 的時間可以保持均不變，即第一時間段 t_1 和第二時間段 t_2 可以均為恒定值。此時，在第一刻蝕過程中，即連續執行一個步驟 (a) 和一個步驟 (b) 的過程中，第一占空比可以在 40%~90% 之間，即 $t_1 / (t_1 + t_2)$ 在 40%~90% 之間，如圖 7 中的 b 所示。

【0052】 另外，採用等離子體射頻源功率和等離子體射頻偏置功率相結合的方式執行刻蝕操作時，在對刻蝕阻擋層進行刻蝕的整個過程中，第一占空比可以逐漸減小，即隨著刻蝕過程的進行，在連續執行的不同的第一刻蝕過程中，第一占空比可以逐漸減小，也即在不同的第一刻蝕過程中 $t_1 / (t_1 + t_2)$ 的值不斷減小，但是，第一占空比仍在在 10%~90% 之間。鑒於每個第一刻蝕過程所用的總時間 ($t_1 + t_2$) 保持不變，因此這相當於隨著對刻蝕阻擋層進行刻蝕的進行，執行步驟 (a) 的時間不斷減小，而執行步驟 (b) 的時間不斷增大，即在連續執行的不同的第一刻蝕過程中，第一時間段 t_1 不斷減小，第二時間段 t_2 不斷增大，如圖 8 所示，在連續的

兩個第一刻蝕過程中，時間段 $t1'$ 小於時間段 $t1$ 。如圖 8 中的 b 所示；而在此過程中，等離子體射頻源功率可以保持大於零且保持恒定不變，如圖 8 中的 a 所示。

【0053】 第二示例

【0054】 在對刻蝕阻擋層進行刻蝕的過程中，也可以僅採用等離子體射頻源功率執行，且等離子體射頻源功率按脈衝方式設置，即在一段時間等離子體射頻源功率為高射頻功率狀態，在隨後的另一段時間等離子體射頻源功率為低射頻功率狀態；例如在第一時間段 $t1$ 內等離子體射頻源功率大於零、在第二時間段 $t2$ 內等離子體射頻源功率等於零。

【0055】 此時，在不同的第一刻蝕過程中，執行步驟 (a) 的時間可以完全相同、同時執行步驟 (b) 的時間也可以完全相同，即在對刻蝕阻擋層進行刻蝕的整個過程中，第一時間段 $t1$ 保持不變、第二時間段 $t2$ 也保持不變，參見圖 9 所示。此時，第一占空比保持不變，但是，第一占空比需要保持在 50%~90% 之間。

【0056】 另外，僅採用等離子體射頻源功率時，在對刻蝕阻擋層進行刻蝕的整個過程中，第一占空比可以逐漸減小，即在不同的第一刻蝕過程中 $t1/(t1+t2)$ 的值不斷減小，但是，第一占空比仍然在 10%~90% 之間。鑒於每個第一刻蝕過程所用的總時間 ($t1+t2$) 保持不變，因此這相當於隨著對刻蝕阻擋層進行刻蝕的進行，執行步驟 (a) 的時間不斷減小、而執行步驟 (b) 的時間不斷增大，即在連續執行的不同的第一刻蝕過程中，第一時間段 $t1$ 不斷減小、第二時間段 $t2$ 不斷增大，如圖 10 所示，在連續的兩個第一刻蝕過程中，時間段 $t1'$ 小於時間段 $t1$ 。

【0057】 另外，本發明實施例一中還可以僅採用等離子體射頻偏置功率的方式製作通孔或接觸孔，在此不再贅述。

【0058】 需要說明的是，為減少刻蝕工藝對金屬結構的轟擊進而造成金屬濺射，本發明實施例中的等離子體射頻偏置功率應該較低，例如，可以在 0~500w 範圍內；同時，也需要保證一定的等離子體射頻源功率，例如可以在 200~1000W 範圍內；此外，通孔或接觸孔形成過程中，還需要保證一定的腔室壓力，如 20~200Mt。這些參數可以按具體工藝要求而定，在此不作限定。

【0059】 上述具體示例給出了幾種對刻蝕阻擋層進行刻蝕的具體實現方式，需要說明的是，這些實現方式可以與本發明實施例中的其他工藝或者參數結合得到其他的技術方案，這些都在本發明實施例的保護範圍內，在此不再一一列舉。

【0060】 另外，本發明實施例中對第一電介質層進行刻蝕的過程也可以有多種不同的實現方式。

【0061】 例如，該步驟可以採用等離子體射頻源功率和等離子體射頻偏置功率相結合的方式完成。其中，在每個第二刻蝕過程中，第三時間段 t_3 和第四時間段 t_4 均保持不變，且第二占空比在 40%~90%之間；另外，在不同的第二刻蝕過程中，第二占空比還可以逐漸減小，即執行步驟（c）的時間不斷減小、而執行步驟（d）的時間不斷增加，但是，第二占空比仍然在 10%~90%之間，該情況類似上述第一示例的情況，在此不再贅述。

【0062】 又如，該步驟也可以僅採用等離子體射頻源功率完成。其中，在每個第二刻蝕過程中，第三時間段 t_3 和第

四時間段 t4 可以均保持不變，且第二占空比在 0.4~0.9 之間；另外，在不同的第二刻蝕過程中，第二占空比也可以逐漸減小，即執行步驟 (c) 的時間不斷減小、而執行步驟 (d) 的時間不斷增加，該情況類似上述第二示例的情況，在此不再贅述。

【0063】 此外，本發明實施例中，一個第三時間段 t3 和一個第四時間段 t4 構成一個第二脈衝週期，第二脈衝頻率可以為 10KHz-500KHz。

【0064】 需要說明的是，為更好地防止通孔或接觸孔形成過程中發生底切，本發明實施例中，在刻蝕位於第一電介質層 102 下方的刻蝕阻擋層 103 的過程中，刻蝕阻擋層 103 所用的材料對第一電介質層 102 所用的材料的刻蝕選擇比可以在 1.5:1~1:3 之間；另外，該刻蝕阻擋層 103 還需具有一定的過刻率 (OE%)，以保證在形成通孔或接觸孔的過程中刻蝕阻擋層 103 能夠被完全打開。

【0065】 另外，本發明實施例的通孔或接觸孔的形成方法還可以採用其他方式實現。

【0066】 實施例二

【0067】 本發明實施例二提供一種形成通孔或接觸孔的方法，圖 11 示出了該方法的流程圖，圖 12~圖 15 示出了採用該方法製作通孔或接觸孔時各個階段的結構示意圖。為簡化起見，本發明實施例二僅對其與本發明實施例一的不同之處進行介紹，其與本發明實施例一的相同之處，在此不再贅述。

【0068】 一併參見圖 11~15，該方法包括以下步驟：

【0069】 步驟 S1101：對第一電介質層 102 進行主刻蝕，

以去除所述通孔或接觸孔內的第一部分所述第一電介質層，如圖 12 所示。

【0070】 步驟 S1102：對所述第一電介質層進行過刻蝕，以去除所述通孔或接觸孔內的剩餘部分所述第一電介質層，並暴露出所述刻蝕阻擋層，如圖 13 所示。

【0071】 步驟 S1103：對所述刻蝕阻擋層進行主刻蝕，以去除所述通孔或接觸孔內的第一部分所述刻蝕阻擋層，以暴露所述金屬結構。如圖 14 所示。

【0072】 步驟 S1104：對所述刻蝕阻擋層進行過刻蝕，以保證完全去除所述通孔或接觸孔內的剩餘部分所述刻蝕阻擋層，如圖 15 所示。

【0073】 此處僅對本發明實施例二的技術方案進行了簡要介紹，需要說明的是，本發明實施例一中的各項參數對本發明實施例二的技術方案同樣適用。例如，本發明實施例二中的各個刻蝕步驟（包括步驟 S1101、步驟 S1102、步驟 S1102、步驟 S1104）均可以採用本發明實施例一提到的脈衝刻蝕的方式進行，還可以採用本發明實施例一提到的等離子體射頻源功率和/或等離子體射頻偏置功率的脈衝刻蝕的方式進行。本領域普通技術人員可以在實施例二的基礎上結合實施例一得到其他的技術方案，這些均在本發明的保護範圍之內。

【0074】 以上所述僅是本發明的較佳實施方式，應當指出，對於本技術領域的普通技術人員來說，在不脫離本發明原理的前提下，還可以做出若干改進和潤飾，這些改進和潤飾也應視為本發明的保護範圍。

【符號說明】

【0075】

- 101 覆光刻膠
- 102 第一電介質層
- 103 刻蝕阻擋層
- 104 第二電介質層
- 105 金屬結構

申請專利範圍

1. 一種通孔或接觸孔的形成方法，其中該方法包括：

刻蝕一第一電介質層；

刻蝕位於所述該第一電介質層下方的一刻蝕阻擋層，以暴露出位於所述該刻蝕阻擋層下方的一第二電介質層中的一金屬結構；

其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層包括：重複執行第一刻蝕過程；其中，所述第一刻蝕過程由下述步驟（a）和（b）組成；

（a）在第一時間段內，向一反應腔室內施加高射頻功率，以對所述該刻蝕阻擋層進行乾法刻蝕；

（b）在第二時間段內，向該反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。

2. 根據請求項 1 所述的形成方法，其中刻蝕該第一電介質層包括重複執行第二刻蝕過程；其中，所述第二刻蝕過程由下述步驟（c）和（d）組成：

（c）在第三時間段內，向該反應腔室內施加高射頻功率，以對所述第一電介質層進行乾法刻蝕；

（d）在第四時間段內，向反應腔室內施加低射頻功率，以澱積聚合物用以保護所述通孔或接觸孔的側壁。

3. 根據請求項 1 所述的形成方法，其中第一時間段和一所述第二時間段構成一第一脈衝週期，第一脈衝頻率為 10KHz-500KHz；和/或，

一所述第三時間段和一所述第四時間段構成一第二脈衝週期，第二脈衝頻率為 10KHz-500KHz。

4. 根據請求項 1 所述的形成方法，其中所述刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層時，第一占空比在 10%~90%之間；其中所述第一占空比為在一個所述第一刻蝕過程內所述第一時間段與所述第一時間段和所述第二時間段之和的比值。

5. 根據請求項 4 所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在不同的所述第一刻蝕過程中，所述第一時間段和所述第二時間段均保持不變、且所述第一占空比在 40%~90%之間。

6. 根據請求項 4 所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在所述刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層的過程中，所述第一占空比逐漸減小。

7. 根據請求項 4 所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層採用等離子體射頻源功率完成；其中，在不同的所述第一刻蝕過程中，所述第一時間段和所述第二時間段均保持不變、且所述第一占空比在 50%~90%之間。

8. 根據請求項 4 所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層採用等離子體射頻源功率

完成；其中，在所述刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層的過程中，所述第一占空比逐漸減小。

9. 根據請求項 1 所述的形成方法，其中刻蝕該第一電介質層時，第二占空比在 10%~90%之間；其中所述第二占空比為在一個所述第二刻蝕過程內所述第三時間段與所述第三時間段和所述第四時間段之和的比值。

10. 根據請求項 9 所述的形成方法，其中刻蝕該第一電介質層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在不同的所述第二刻蝕過程中，所述第三時間段和所述第四時間段均保持不變、且所述第二占空比在 40%~90%之間。

11. 根據請求項 9 所述的形成方法，其中刻蝕該第一電介質層採用等離子體射頻源功率和等離子體射頻偏置功率完成；其中，在所述刻蝕該第一電介質層的過程中，所述第二占空比逐漸減小。

12. 根據請求項 9 所述的形成方法，其中刻蝕該第一電介質層採用等離子體射頻源功率完成；其中，在不同的所述第二刻蝕過程中，所述第三時間段和所述第四時間段均保持不變、且所述第二占空比在 50%~90%之間。

13. 根據請求項 9 所述的形成方法，其中刻蝕該第一電介質層採用等離子體射頻源功率完成；其中，在所述刻蝕該第一電介質層的過程中，所述第二占空比逐漸減小。

14. 根據請求項 1-13 任一項所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層時，所述該刻

蝕阻擋層所用材料對所述該第一電介質層所用材料的選擇比在 1.5:1~1:3 之間。

15. 根據請求項 1-13 任一項所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層包括：

對所述該刻蝕阻擋層進行主刻蝕，以去除所述通孔或接觸孔內的第一部分所述該刻蝕阻擋層；

對所述該刻蝕阻擋層進行過刻蝕，以完全去除所述通孔或接觸孔內的剩餘部分所述該刻蝕阻擋層，並暴露出位於所述該第二電介質層中的所述該金屬結構。

16. 根據請求項 1-13 任一項所述的形成方法，其中刻蝕該第一電介質層包括：

對所述該第一電介質層進行主刻蝕，以去除所述通孔或接觸孔內的第一部分所述該第一電介質層；

對所述該第一電介質層進行過刻蝕，以完全去除所述通孔或接觸孔內的剩餘部分所述該第一電介質層，並暴露出所述該刻蝕阻擋層。

17. 根據請求項 1-13 任一項所述的形成方法，其中刻蝕位於所述該第一電介質層下方的該刻蝕阻擋層所用氣體包括 CF_4 、 C_4F_8 、 C_4F_6 、 CHF_3 、 CH_2F_2 中的一種或者幾種的組合。

圖式

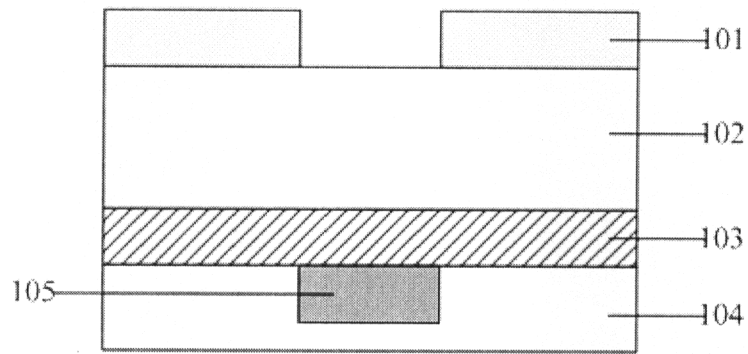


圖 1

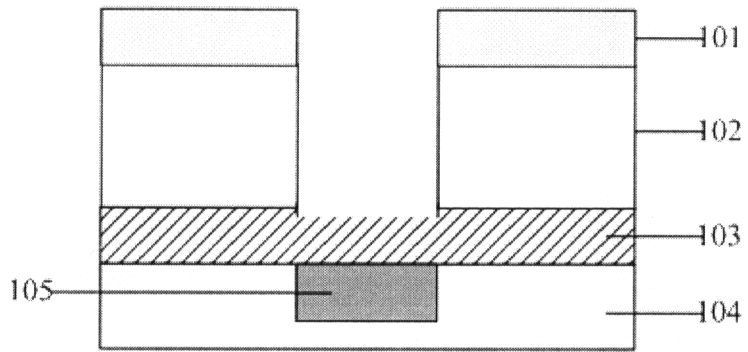


圖 2

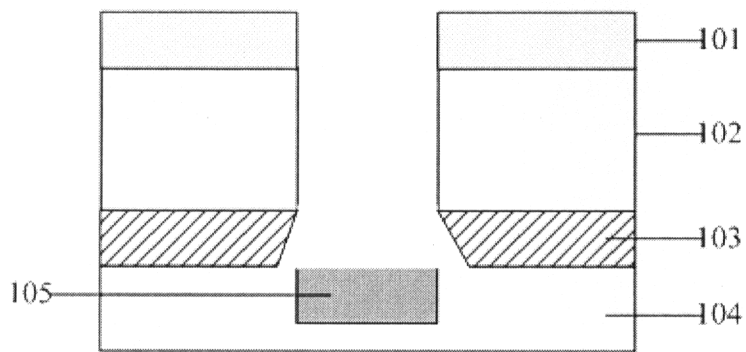


圖 3

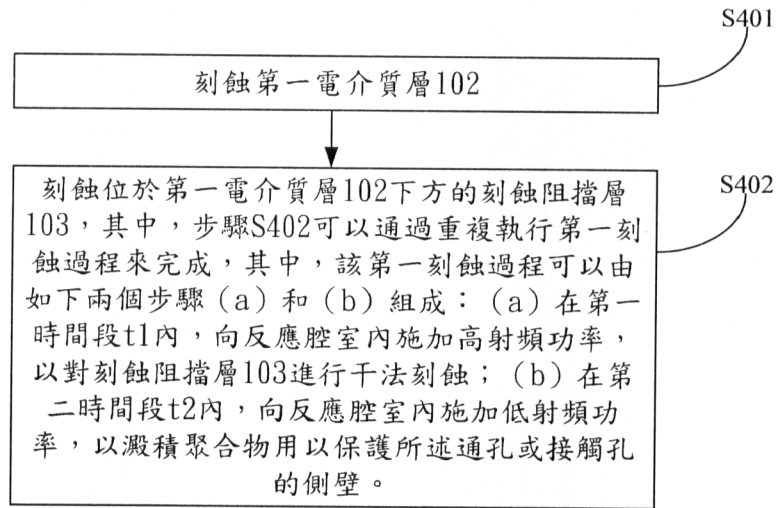


圖 4

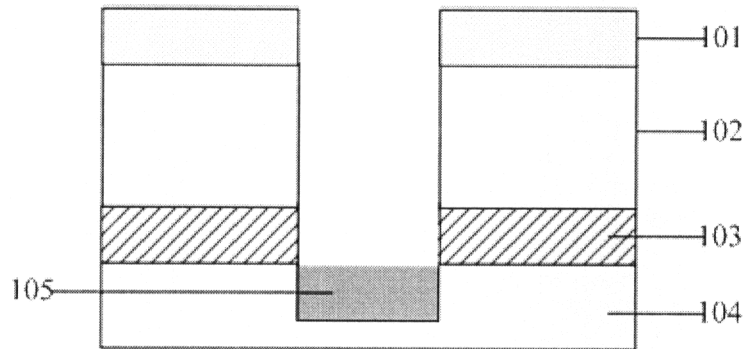


圖 5

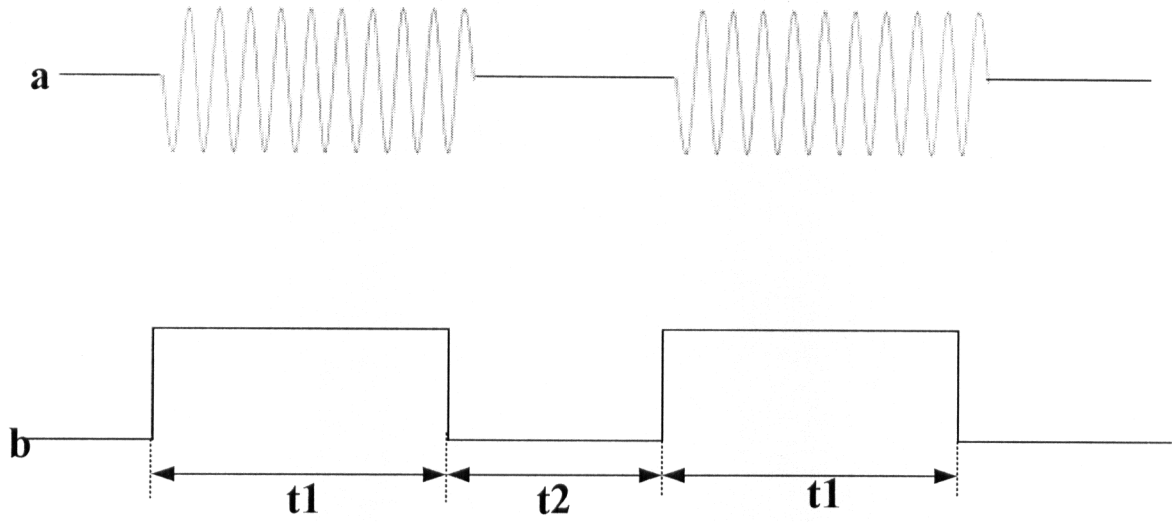


圖 6

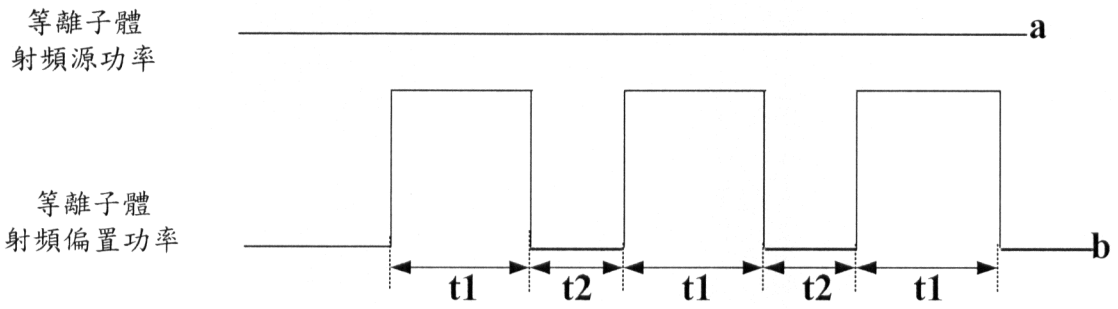


圖 7

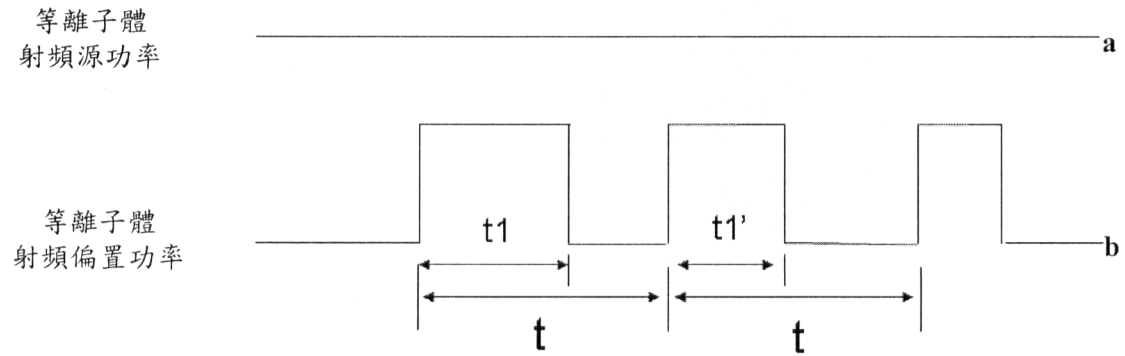


圖 8

等離子體
射頻源功率

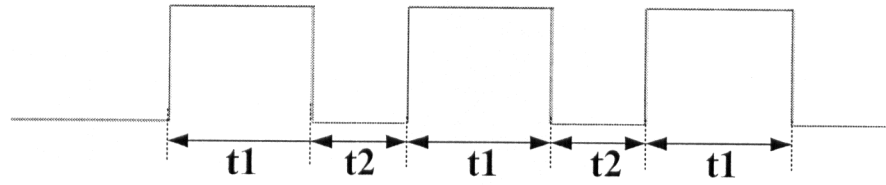


圖 9

等離子體
射頻源功率

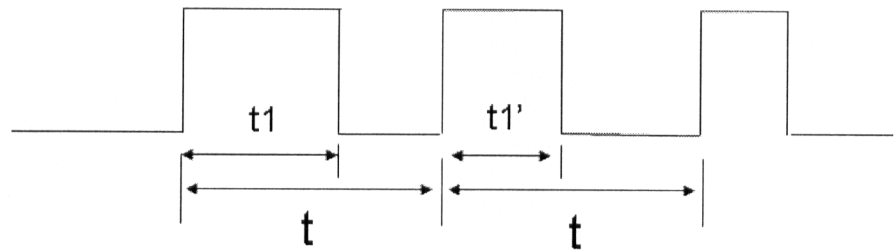


圖 10

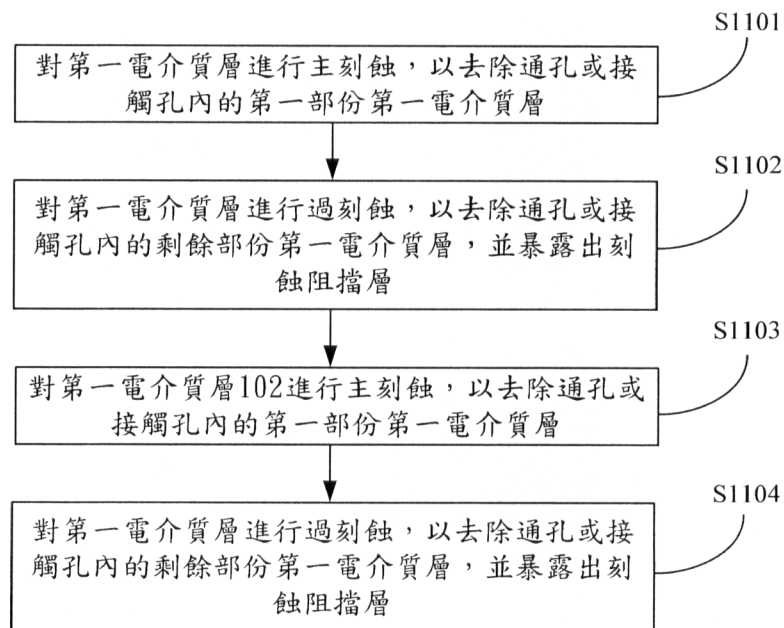


圖 11

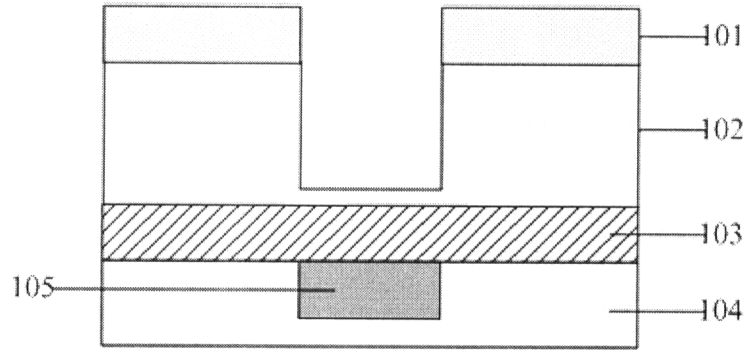


圖 12

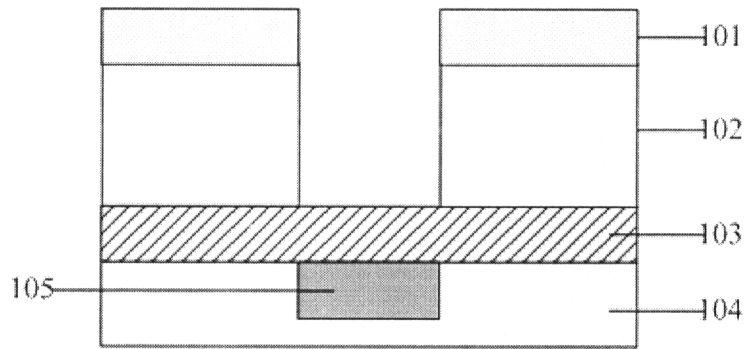


圖 13

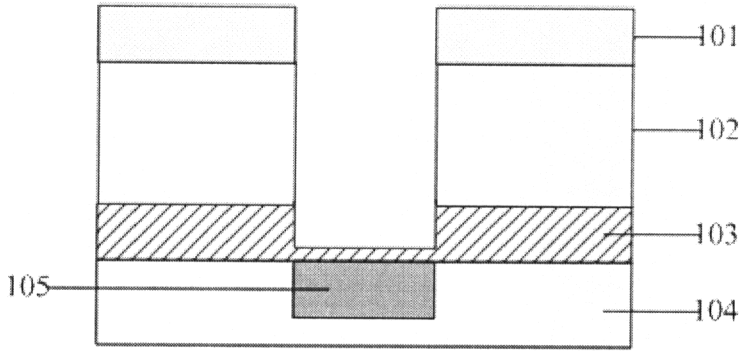


圖 14

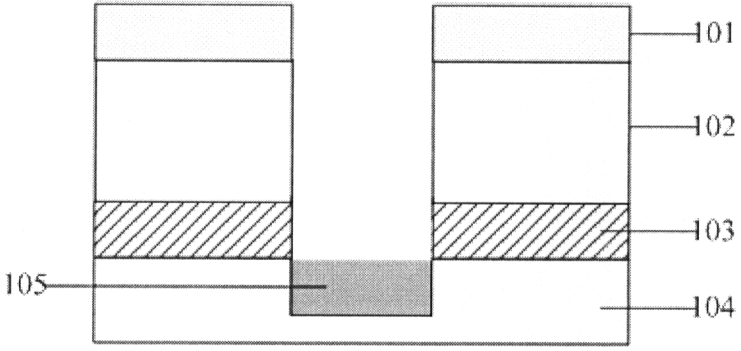


圖 15