



(12) 发明专利

(10) 授权公告号 CN 111769824 B

(45) 授权公告日 2022.06.14

(21) 申请号 202010667700.1

CN 104820654 A, 2015.08.05

(22) 申请日 2020.07.13

CN 106953623 A, 2017.07.14

(65) 同一申请的已公布的文献号

CN 108520764 A, 2018.09.11

申请公布号 CN 111769824 A

EP 1716639 A2, 2006.11.02

(43) 申请公布日 2020.10.13

WO 2019171418 A1, 2019.09.12

US 2013047023 A1, 2013.02.21

(73) 专利权人 电子科技大学

审查员 邱丹丹

地址 611731 四川省成都市高新区(西区)

西源大道2006号

(72) 发明人 李建军 谢宇 陈诚 杜涛 李威

(51) Int.Cl.

H03K 5/00 (2006.01)

H03K 5/01 (2006.01)

(56) 对比文件

CN 104868885 A, 2015.08.26

CN 108011621 A, 2018.05.08

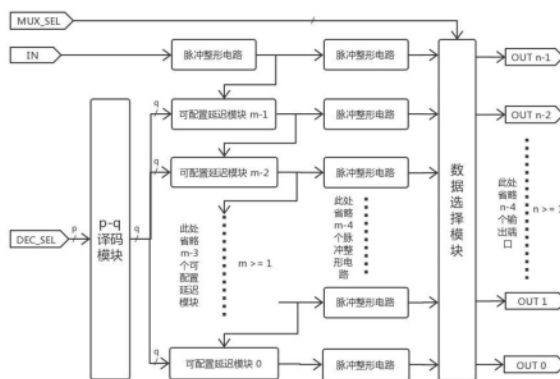
权利要求书1页 说明书3页 附图8页

(54) 发明名称

一种可配置延迟电路

(57) 摘要

本发明属于集成电路技术领域,提出了一种可配置延迟电路。一种可配置延迟单元,可包含:带使能端的配置电路1;可包含带使能端的配置电路2的延迟元件;可选择性地包含脉冲整形电路。一种包含有可配置延迟单元的可配置延迟模块,可包含:至少一个可配置延迟单元;可选择性地包含一个或若干不可配置延迟单元。一种包含有可配置延迟模块的延迟电路,可包含:至少一个可配置延迟模块;可选择性地包含p-q译码模块;至少一个输出端口;可选择性地包含数据选择模块,数据选择模块有m+1个输入端口,n个输出端口;可选择性地包含若干个脉冲整形电路。



1. 一种可配置延迟单元,包含:带使能端的配置电路1,该电路包含至少一个带使能端的逻辑门,至少一个带使能端的逻辑门的输出端连接至带使能端的配置电路1的输出端;包含带使能端的配置电路2的延迟元件,该延迟元件包含带使能端的配置电路2,带使能端的配置电路2包含至少一个带使能端的逻辑门;包含脉冲整形电路,用于将延迟后的信号整形形成近似方波的信号;

以下使能信号均为高电平有效;

所述带使能端的配置电路1包含:1个带使能端的反相器、1个普通反相器;带使能端的反相器的输出端连接到脉冲整形电路的输入端,可配置延迟单元的使能信号无效时,带使能端的反相器运行状态类似普通反相器,可使包含带使能端的配置电路2的延迟元件中的倒比管反相器的延迟功能不起作用;普通反相器用以保证带使能端的配置电路1的输出信号逻辑正确;

所述带使能端的配置电路2的延迟元件包含:1个带使能端的反相器、1个倒比管反相器、2个普通反相器、1个电容、1个带使能端的传输门;连接倒比管反相器输入端的普通反相器用以隔离可配置延迟单元的输入端和倒比管反相器的输入端,以使可配置延迟单元输入端的电平翻转速度不受倒比管反相器的影响;当可配置延迟单元的使能信号有效时,倒比管反相器和电容起到延迟的功能,当可配置延迟单元的使能信号无效时,带使能端的传输门处于截止状态,可使带使能端的配置电路2的延迟元件的输出信号不受电容延迟功能的影响,带使能端的反相器可使电容的逻辑电平与包含带使能端的配置电路2的延迟元件的输出信号是同步的;

带使能端的逻辑门包含带使能端的反相器、带使能端的与非门、带使能端的或非门、带使能端的传输门。

2. 一种包含有可配置延迟单元的可配置延迟模块,包含:至少一个权利要求1中的可配置延迟单元;包含一个或若干个不可配置延迟单元,所述不可配置延迟单元与可配置延迟单元的区别在于没有带使能端的配置电路1和2;第一个延迟单元的输入端连接至可配置延迟模块的输入端,第一个延迟单元的输出端连接至第二个延迟单元的输入端,所述第一个延迟单元为可配置延迟单元或不可配置延迟单元,第二个延迟单元的输出端连接至第三个延迟单元的输入端,依次连接,最后一个延迟单元的输出端连接至可配置延迟模块的输出端;每一个可配置延迟单元均有一个使能信号输入端口。

3. 一种包含有可配置延迟模块的延迟电路,包含:至少一个权利要求2中的可配置延迟模块;包含p-q译码模块,p-q译码模块可用于将p个输入信号译码成可配置延迟模块的q个使能信号,p和q均需大于等于1;至少一个输出端口;包含数据选择模块,数据选择模块有m+1个输入端口,n个输出端口,数据选择模块可用于为每一个输出端口从m+1个输入信号中选择一个信号输出,m和n均需大于等于1;包含若干个脉冲整形电路,用于将延迟后的信号整形形成近似方波的信号。

一种可配置延迟电路

技术领域

[0001] 本发明属于集成电路技术领域,具体涉及一种可配置延迟电路。

背景技术

[0002] 集成电路设计中时常会使用到延迟电路,延迟电路可用于信号的延迟、去除信号的抖动、用于信号的产生等等。

发明内容

[0003] 本发明具体涉及到一种可配置延迟电路。

[0004] 一种可配置延迟单元,如图1所示,可包含:带使能端的配置电路1,该电路可包含至少一个带使能端的逻辑门,至少一个带使能端的逻辑门的输出端作为带使能端的配置电路1的输出端,普通逻辑门用于保证逻辑正确,带使能端的配置电路1的输入端连接至可配置延迟单元的输入端;可包含带使能端的配置电路2的延迟元件,该延迟元件的输出端连接至带使能端的配置电路1的输出端,输入端连接至带使能端的配置电路1的输入端,该延迟元件可选择性地包含带使能端的配置电路2,带使能端的配置电路2可包含至少一个带使能端的逻辑门;可选择性地包含脉冲整形电路,用于将延迟后的信号整形成近似方波的信号。

[0005] 一种包含有可配置延迟单元的可配置延迟模块,如图2所示,可包含:至少一个可配置延迟单元;可选择性地包含一个或若干不可配置延迟单元(与可配置延迟单元的区别在于没有带使能端的配置电路1和2)。第一个延迟单元(可配置延迟单元和不可配置延迟单元均可)的输入端连接至可配置延迟模块的输入端,第一个延迟单元的输出端连接至第二个延迟单元的输入端,第二个延迟单元的输出端连接至第三个延迟单元的输入端,依次连接,最后一个延迟单元的输出端连接至可配置延迟模块的输出端。每一个可配置延迟单元均有一个使能信号输入端口。

[0006] 一种包含有可配置延迟模块的延迟电路,如图3所示,可包含:至少一个可配置延迟模块;可选择性地包含p-q译码模块,p-q译码模块可用于将p个输入信号译码成可配置延迟模块的q个使能信号,p和q均需大于等于1;至少一个输出端口;可选择性地包含数据选择模块,数据选择模块有m+1个输入端口,n个输出端口,数据选择模块可用于为每一个输出端口从m+1个输入信号中选择一个信号输出,m和n均需大于等于1;可选择性地包含若干个脉冲整形电路,用于将延迟后的信号整形成近似方波的信号。

附图说明

[0007] 图1为一种可配置延迟单元

[0008] 图2为一种包含有可配置延迟单元的可配置延迟模块

[0009] 图3为一种包含有可配置延迟模块的延迟电路

[0010] 图4为一种可配置延迟单元的具体实施例

[0011] 图5为一种可配置延迟单元的具体实施例的仿真效果图

- [0012] 图6为一种不可配置延迟单元的具体实施例
- [0013] 图7为一种不可配置延迟单元的具体实施例的仿真效果图
- [0014] 图8为一种包含有可配置延迟单元的可配置延迟模块的具体实施例
- [0015] 图9为一种包含有可配置延迟单元的可配置延迟模块的具体实施例的真值表
- [0016] 图10为一种包含有可配置延迟单元的可配置延迟模块的具体实施例的仿真效果图
- [0017] 图11为一种包含有可配置延迟模块的延迟电路的具体实施例
- [0018] 图12为一种3-7译码电路的真值表
- [0019] 图13为一种8选1数据选择电路的真值表
- [0020] 图14为一种包含有可配置延迟模块的延迟电路的具体实施例的仿真效果图

具体实施方式

[0021] 下面将参照附图更详细地描述各个实施方式。然而,本发明可按照不同的形式来实施,并且不应被解释为受限于本文所阐述的实施方式。

[0022] 当一个元件被称为“连接到”另一元件时,该元件可直接位于另一元件上,直接连接到或直接联接到另一元件,或者可存在一个或多个中间元件。此外,当在本说明书中使用术语“包含”、“包含有”、“可包含”时,说明存在所述元件,并且不排除存在或添加一个或多个其它元件。

[0023] 为方便描述,以下使能信号均为高电平有效。

[0024] 一种可配置延迟单元的具体实施例如图4所示,一种带使能端的配置电路1可包含:1个带使能端的反相器;1个普通反相器。带使能端的反相器的输出端连接到脉冲整形电路的输入端,可配置延迟单元的使能信号无效时,带使能端的反相器运行状态类似普通反相器,可使可包含带使能端的配置电路2的延迟元件中的倒比管反相器的延迟功能不起作用。普通反相器用以保证带使能端的配置电路1的输出信号逻辑正确。

[0025] 一种可包含带使能端的配置电路2的延迟元件可包含:1个带使能端的反相器;1个倒比管反相器;2个普通反相器;1个电容;1个带使能端的传输门。连接倒比管反相器输入端的普通反相器用以隔离可配置延迟单元的输入端和倒比管反相器的输入端,以使可配置延迟单元输入端的电平翻转速度不受倒比管反相器的影响。当可配置延迟单元的使能信号有效时,倒比管反相器和电容起到延迟的功能,当可配置延迟单元的使能信号无效时,带使能端的传输门处于截止状态,可使可包含带使能端的配置电路2的延迟元件的输出信号不受电容延迟功能的影响,带使能端的反相器可使电容的逻辑电平与可包含带使能端的配置电路2的延迟元件的输出信号是同步的。

[0026] 一种脉冲整形电路可包含:2个普通反相器。脉冲整形电路用以脉冲波形的整形。

[0027] 本实施例设定的延迟时间为50ns,当可配置延迟单元的使能信号有效时,输出信号相比输入信号可延迟50ns,当可配置延迟单元的使能信号无效时,输出信号相比输入信号没有延迟,如图5所示。

[0028] 一种不可配置延迟单元的具体实施例如图6所示,一种延迟元件可包含:1个倒比管反相器;1个普通反相器;1个电容。相比图4所示实施例,没有带使能端的配置电路1和带使能端的配置电路2,本实施例设定的延迟时间为50ns,没有使能信号端口,如图7所示,输

出信号相比输入信号延迟50ns。

[0029] 在图4和图6的具体实施例基础上,一种包含有可配置延迟单元的可配置延迟模块的具体实施例如图8所示,可包含:7个可配置延迟单元;1个不可配置延迟单元;7个使能信号输入端口;1个待处理信号输入端口和1个输出端口。本实施例中,每一个延迟单元的延迟时间均设定为50ns,使能信号有效个数越多,本实施例的延迟时间越长,如图9所示。图10为使能信号EN[6:0]分别等于0001111和0000000时(即EN有效个数分别为4和0),本实施例的延迟效果。

[0030] 在图8的具体实施例基础上,一种包含有可配置延迟模块的延迟电路的具体实施例如图11所示,可包含:7个可配置延迟模块,每个可配置延迟模块的延迟时间都是可配置的;1个3-7译码模块,3-7译码模块有3个输入端DEC_SEL[2:0],7个输出端EN[6:0],真值表如图12所示;1个数据选择模块(由3个8选1数据选择单元构成),本实施例用3个8选1数据选择单元分别配置OUT₂、OUT₁、OUT₀,每个8选1数据选择单元有3个输入端,分别为MUX_SEL[8:6]、MUX_SEL[5:3]、MUX_SEL[2:0],以MUX_SEL[2:0]和OUT₀为例,真值表如图13所示。本实施例的延迟效果如图14所示,当DEC_SEL[2:0]为000时,每个可配置延迟模块的延迟时间为50ns,若MUX_SEL[8:0]为011100110,则OUT₂延迟150ns,OUT₁延迟200ns,OUT₀延迟300ns,若MUX_SEL[8:0]为101001001,则OUT₂延迟250ns,OUT₁延迟50ns,OUT₀延迟50ns;当DEC_SEL[2:0]为100时,每个可配置延迟模块的延迟时间为250ns,若MUX_SEL[8:0]为011100110,则OUT₂延迟750ns,OUT₁延迟1 μ s,OUT₀延迟1.5 μ s,若MUX_SEL[8:0]为101001001,则OUT₂延迟1.25 μ s,OUT₁延迟250ns,OUT₀延迟250ns。

[0031] 上述实施例已经充分说明了本发明的必要技术内容,普通技术人员能够依据说明加以实施,故不再赘述其他技术细节。

[0032] 以上所述,仅是本发明的具体实施方式,本说明书所公开的任一特征,除非特征叙述,均可被其他等效或具体类似目的的替代特征加以替换;所公开的所有特征、或所有方法或过程中的步骤,除了互相排斥的特征和/或步骤以外,均可以任何方式组合。

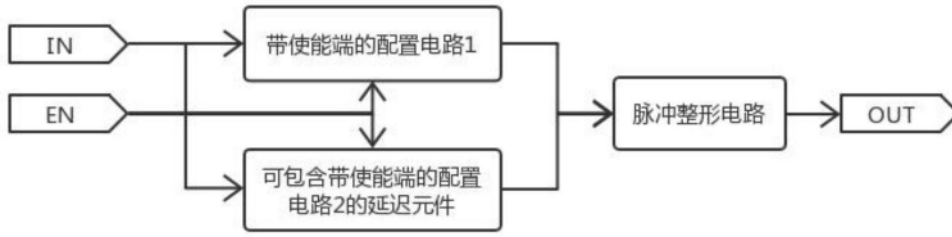


图1

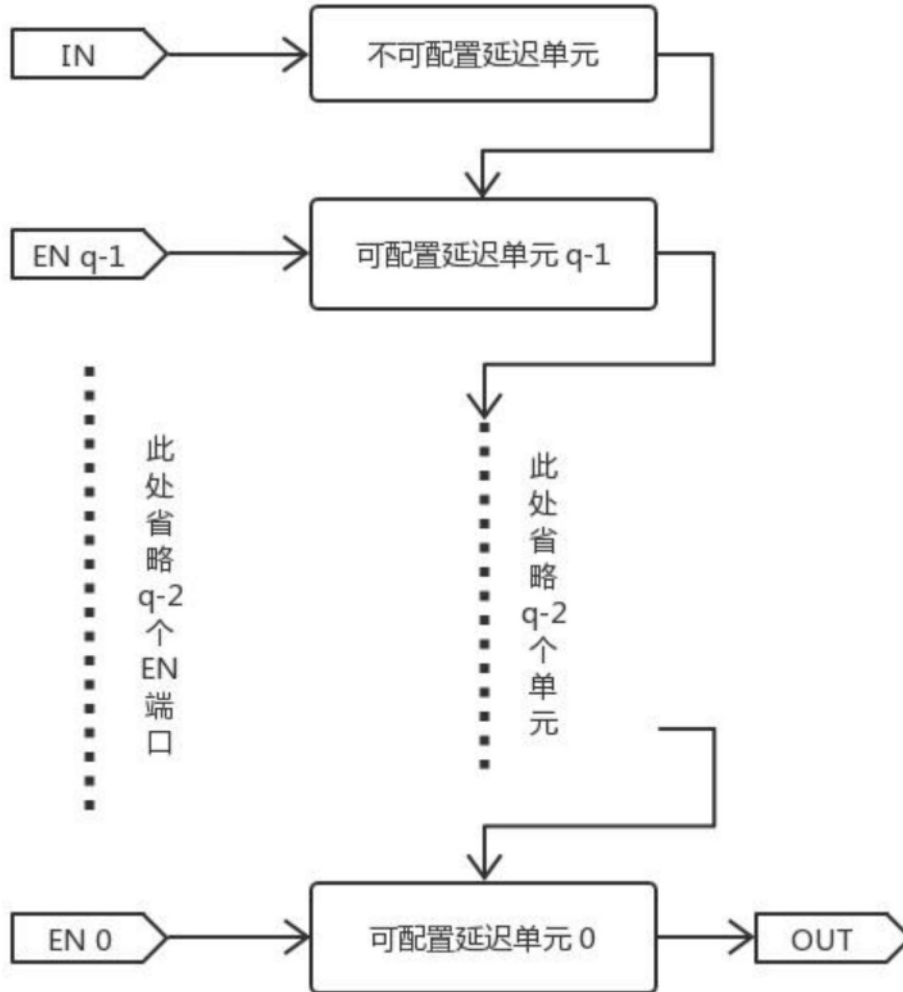


图2

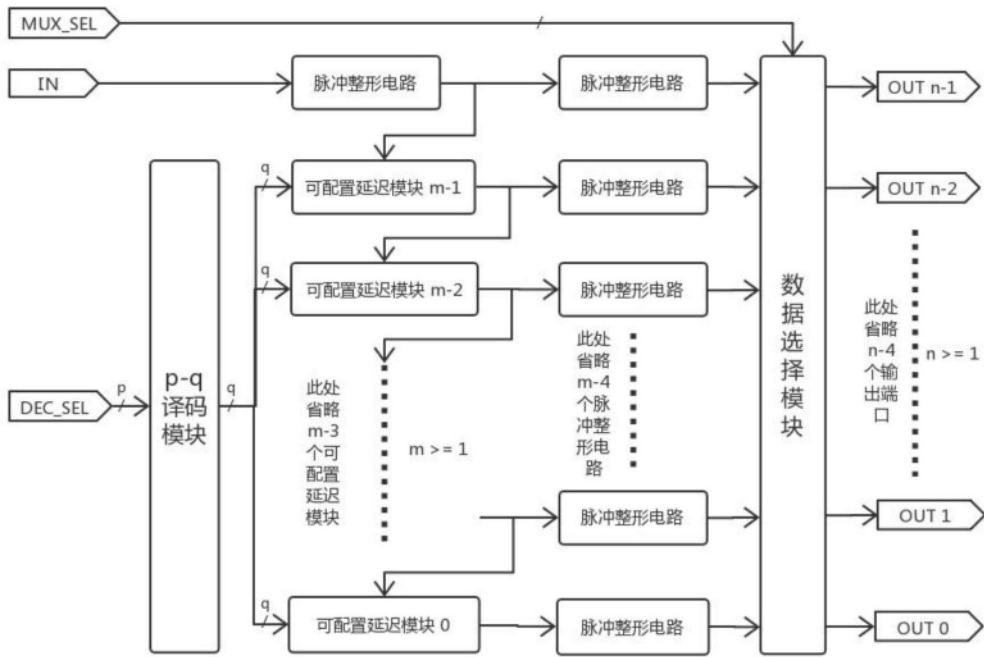


图3

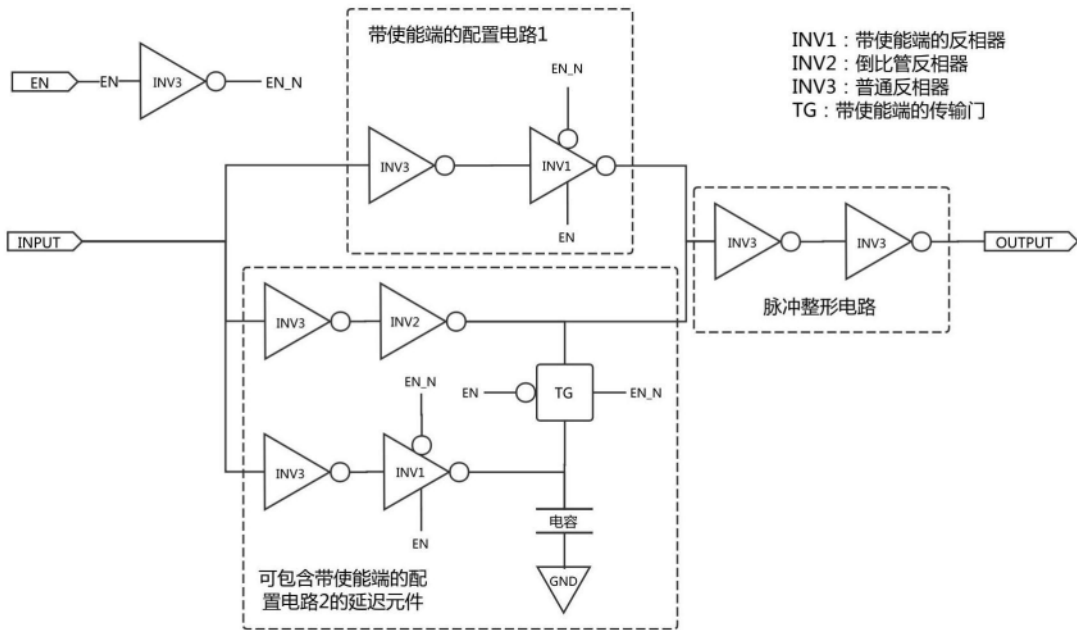


图4

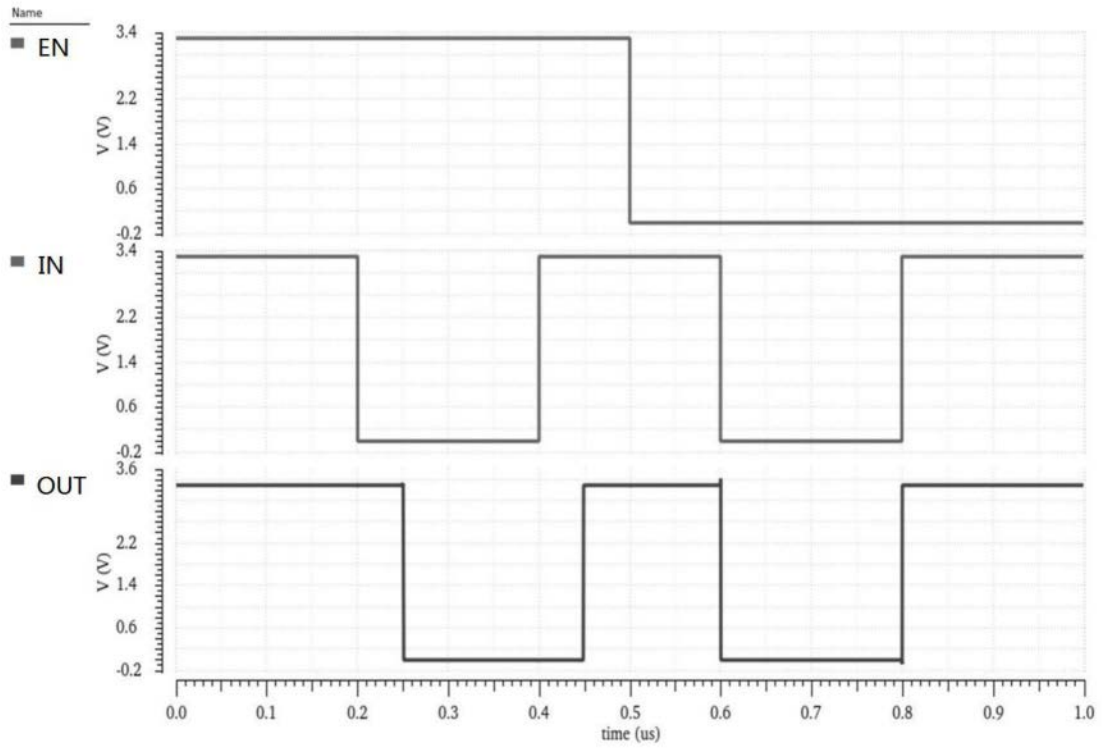


图5

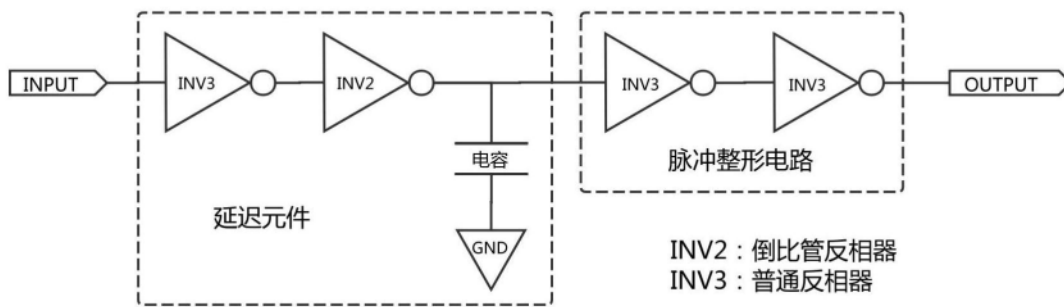


图6

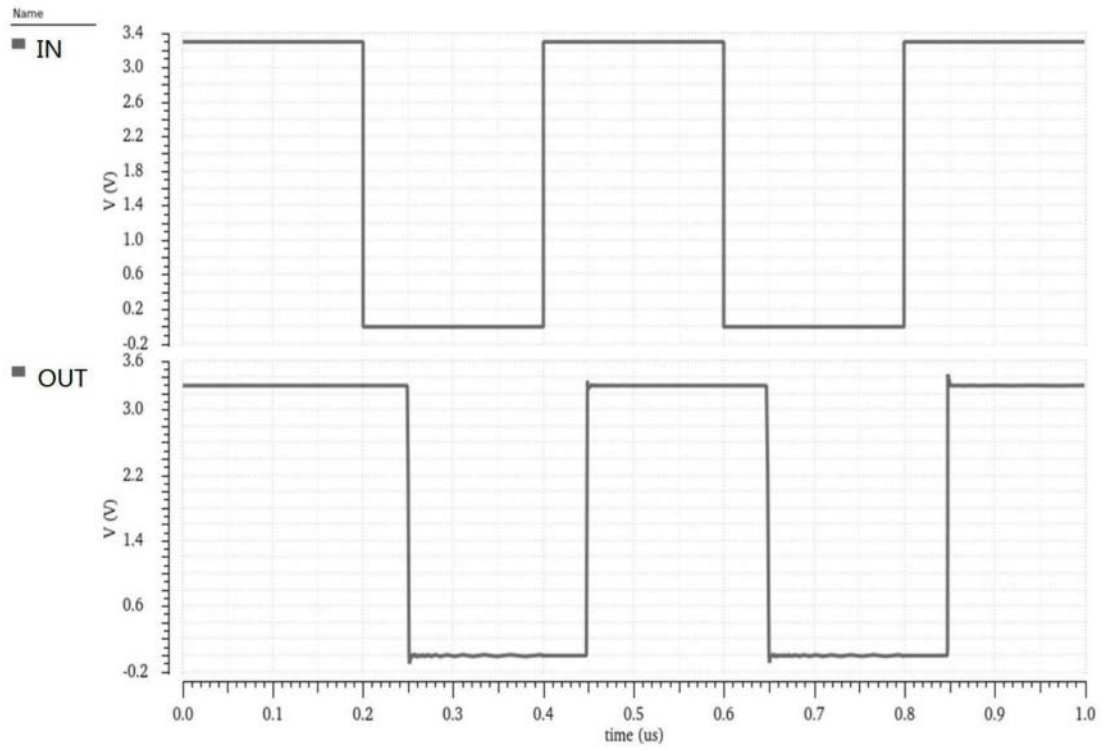


图7

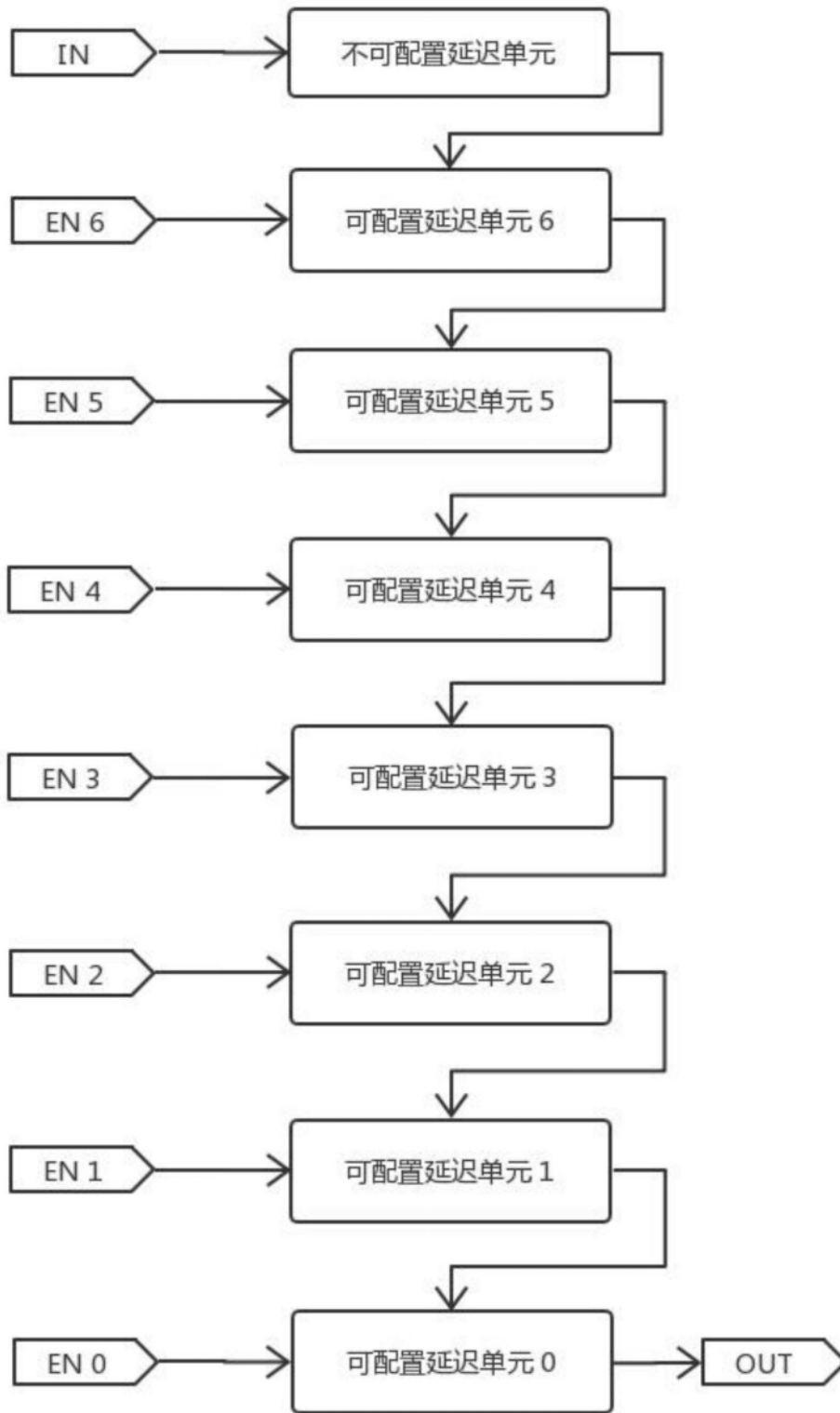


图8

EN 有效个数	0	1	2	3	4	5	6	7
延时(ns)	50	100	150	200	250	300	350	400

图9

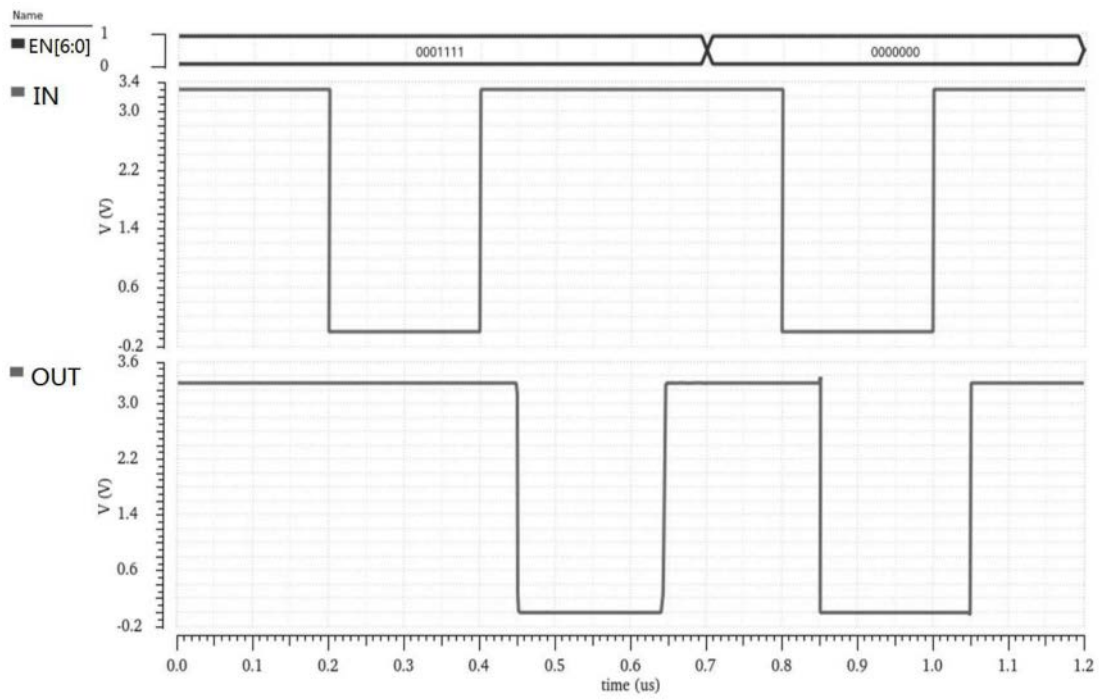


图10

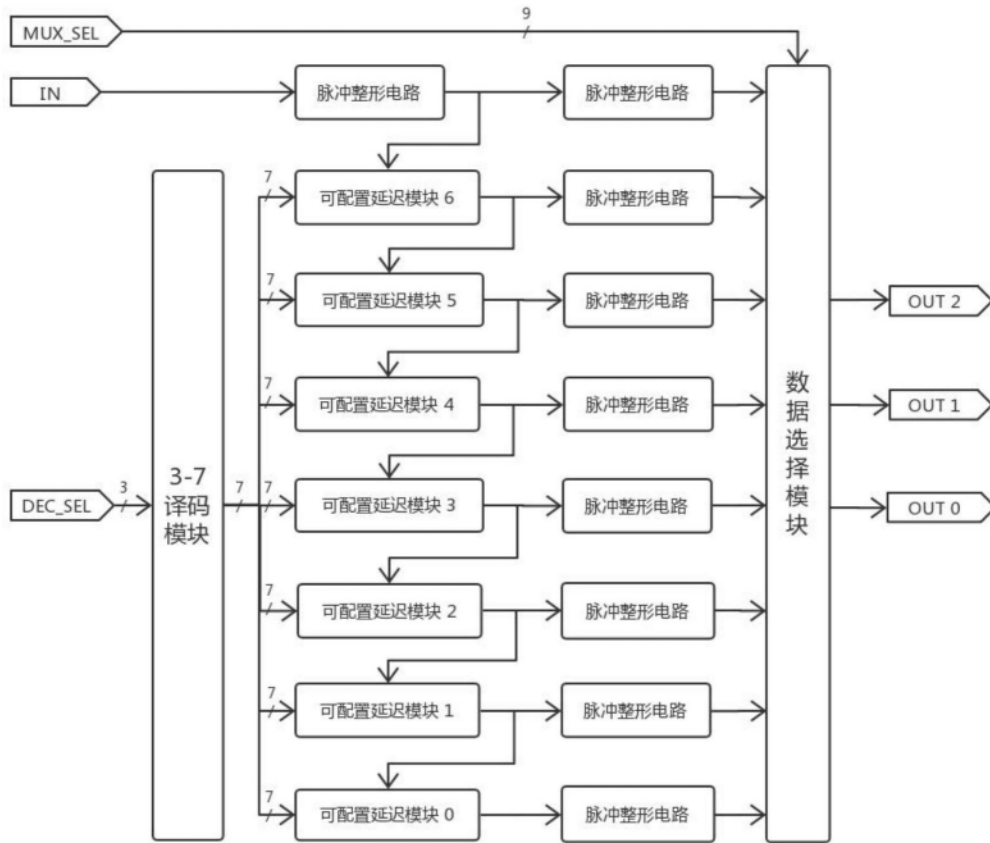


图11

DEC_SEL[2:0]	000	001	010	011	100	101	110	111
EN[6:0]	000000 0	000000 1	000001 1	000011 1	000111 1	001111 1	011111 1	111111 1

图12

MUX_SEL[2:0]	000	001	010	011	100	101	110	111
OUT 0 延时(ns)	0	250	500	750	1000	1250	1500	1750

图13

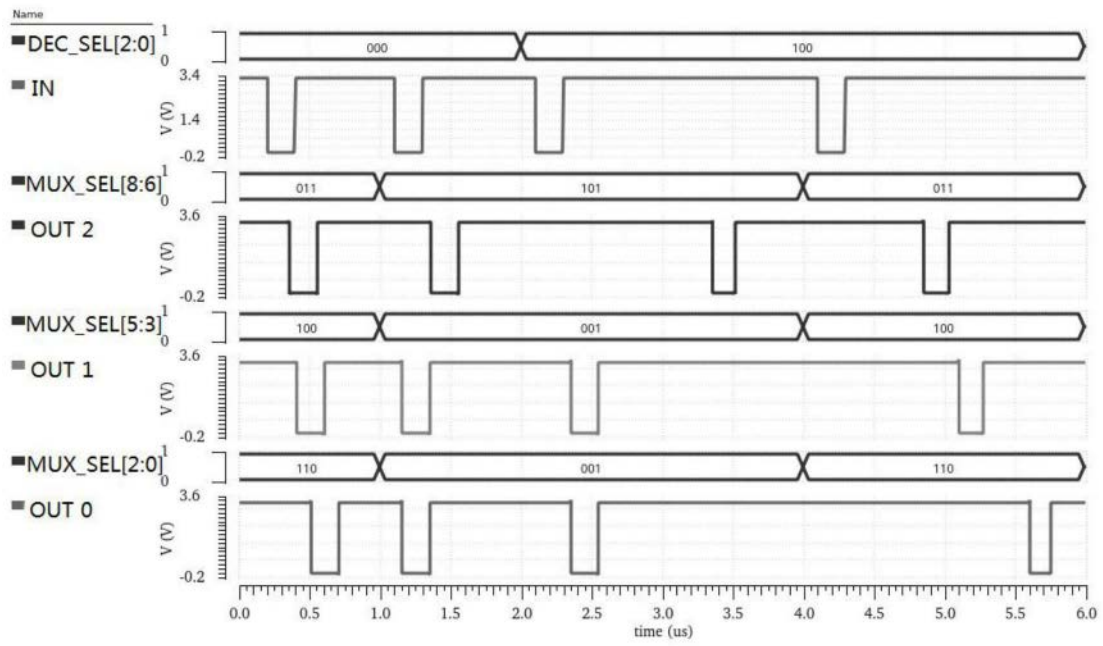


图14