



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0066512
(43) 공개일자 2015년06월16일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.) H01L 29/792 (2006.01) H01L 29/423 (2006.01) H01L 29/51 (2006.01) H01L 29/66 (2006.01)</p> <p>(52) CPC특허분류 H01L 29/792 (2013.01) H01L 29/4234 (2013.01)</p> <p>(21) 출원번호 10-2015-7002714</p> <p>(22) 출원일자(국제) 2013년07월01일 심사청구일자 없음</p> <p>(85) 번역문제출일자 2015년01월30일</p> <p>(86) 국제출원번호 PCT/US2013/048870</p> <p>(87) 국제공개번호 WO 2014/008157 국제공개일자 2014년01월09일</p> <p>(30) 우선권주장 13/539,459 2012년07월01일 미국(US)</p> | <p>(71) 출원인 사이프레스 세미컨덕터 코포레이션 미국 95134 캘리포니아주 산호세 챔피온 코트 198 젠, 프레드릭 미국 캘리포니아 마운틴 하우스 노스 알타 데나 스트리트 366 (우: 95391) (뒷면에 계속)</p> <p>(72) 발명자 레비, 사기 이스라엘 쾨크론 야코브 위갈 알론 스트리트 44 (우: 03900) 젠, 프레드릭 미국 캘리포니아 마운틴 하우스 노스 알타 데나 스트리트 366 (우: 95391) 람쿠마르, 크리쉬나스와미 미국 캘리포니아 새너제이 린브룩 웨이 1193 (우: 95129)</p> <p>(74) 대리인 특허법인 남앤드남</p> |
|---|---|

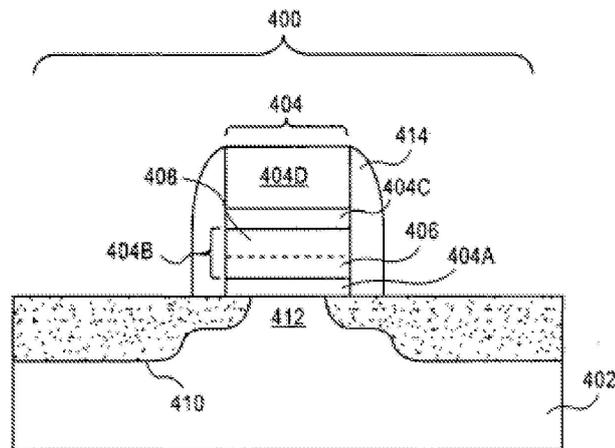
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 다층 전하-트랩핑 구역에 중수소화 층을 갖는 비휘발성 전하 트랩 메모리 디바이스

(57) 요약

본 발명은 전하 트랩 메모리 디바이스를 스케일링하는 것 및 이에 의해 제조된 아티클에 관한 것이다. 일 실시예에서, 전하 트랩 메모리 디바이스는 소스 구역, 드레인 구역, 및 상기 소스와 드레인을 전기 연결하는 채널 구역을 갖는 기판을 포함한다. 터널 유전체 층이 상기 채널 구역 위의 기판 위에 배치되고, 다층 전하-트랩핑 구역이 상기 터널 유전체 층 상에 배치된다. 다층 전하-트랩핑 구역은 상기 터널 유전체 층 상에 배치된 제 1 중수소화 층, 상기 제 1 중수소화 층 상에 배치된 제 1 질화물 층, 및 상기 제 1 질화물 층 위에 배치된 제 2 질화물 층을 포함한다.

대표도 - 도4



(52) CPC특허분류

H01L 29/42392 (2013.01)

H01L 29/513 (2013.01)

H01L 29/66833 (2013.01)

(71) 출원인

람쿠마르, 크리쉬나스와미

미국 캘리포니아 새너제이 린브룩 웨이 1193 (우:
95129)

레비, 사기

이스라엘 쾨크론 야코브 위갈 알론 스트리트 44 (
우: 03900)

명세서

청구범위

청구항 1

전하 트랩 메모리 디바이스(charge trap memory device)로서,
소스 구역, 드레인 구역, 및 상기 소스 구역과 드레인 구역을 전기 연결하는 채널 구역을 갖는 기판;
상기 채널 구역 위의 상기 기판 위에 배치된 터널 유전체 층(tunnel dielectric layer); 및
상기 터널 유전체 층 상에 배치된 제 1 중수소화 층(deuterated layer), 상기 제 1 중수소화 층 상에 배치된 제 1 질화물 층, 및 상기 제 1 질화물 층 위에 배치된 제 2 질화물 층을 포함하는 다층 전하-트랩핑 구역(multi-layer charge-trapping region)
을 포함하는,
전하 트랩 메모리 디바이스.

청구항 2

제 1 항에 있어서,
상기 제 1 중수소화 층은 상기 제 1 질화물 층을 형성하기 위해 이용되는 재료의 중수소화된 유도체(deuterated derivative)를 포함하는,
전하 트랩 메모리 디바이스.

청구항 3

제 2 항에 있어서,
상기 제 1 질화물 층이 중수소화되고,
상기 제 1 질화물 층의 중수소 농도는 상기 제 1 중수소화 층의 중수소 농도 미만인,
전하 트랩 메모리 디바이스.

청구항 4

제 3 항에 있어서,
상기 제 1 중수소화 층의 높은 중수소 농도로부터 상기 제 1 질화물 층의 낮은 중수소 농도로의 중수소 원자 농도의 그래디언트(gradient)가 존재하는,
전하 트랩 메모리 디바이스.

청구항 5

제 1 항에 있어서,
상기 제 1 질화물 층은 실질적으로 트랩이 없는 산소-리치 질화물 층(substantially trap-free, oxygen-rich nitride layer)을 포함하고,
상기 제 2 질화물 층은 트랩이 조밀한 산소-빈 질화물 층(trap-dense, oxygen-lean nitride layer)을 포함하는,
전하 트랩 메모리 디바이스.

청구항 6

제 1 항에 있어서,

상기 제 2 질화물 층 위에 배치된 제 2 중수소화 층
을 더 포함하는,
전하 트랩 메모리 디바이스.

청구항 7

제 1 항에 있어서,
상기 채널 구역은 재결정화된 폴리실리콘을 포함하는,
전하 트랩 메모리 디바이스.

청구항 8

제 1 항에 있어서,
상기 다층 전하-트랩핑 구역은, 상기 제 1 질화물 층을 상기 제 2 질화물 층으로부터 분리시키는 산화물을 포함
하는 안티-터널링 층(anti-tunneling layer)을 더 포함하는,
전하 트랩 메모리 디바이스.

청구항 9

전하 트랩 메모리 디바이스로서,
소스 구역, 드레인 구역 및 채널 구역을 갖는 기판 - 상기 채널 구역은 상기 기판 상의 표면 위에 놓이고, 상
기 소스와 드레인을 전기 연결하는 반전도성 재료의 박막으로 형성됨 -;
상기 채널 구역 위의 상기 기판 위에 배치된 터널 유전체 층; 및
상기 터널 유전체 층 상에 배치된 제 1 중수소화 층, 상기 제 1 중수소화 층 상에 배치된 제 1 질화물 층, 및
상기 제 1 층 위에 배치된 제 2 질화물 층을 포함하는 다층 전하-트랩핑 구역
을 포함하는,
전하 트랩 메모리 디바이스.

청구항 10

제 9 항에 있어서,
상기 제 1 질화물 층이 중수소화되고,
상기 제 1 질화물 층의 중수소 농도는 상기 제 1 중수소화 층의 중수소 농도 미만인,
전하 트랩 메모리 디바이스.

청구항 11

제 9 항에 있어서,
상기 제 2 질화물 층 위에 배치된 제 2 중수소화 층
을 더 포함하는,
전하 트랩 메모리 디바이스.

청구항 12

제 9 항에 있어서,
상기 채널 구역은 폴리실리콘을 포함하는,
전하 트랩 메모리 디바이스.

청구항 13

제 12 항에 있어서,
상기 채널 구역은 재결정화된 폴리실리콘을 포함하는,
전하 트랩 메모리 디바이스.

청구항 14

전하 트랩 메모리 디바이스로서,
기판 상의 표면 상에 형성된 제 1 확산 구역으로부터 상기 기판의 상기 표면 위에 형성된 제 2 확산 구역으로 연장되는 반전도성 재료의 돌출부로부터 형성된 수직 채널 - 상기 수직 채널은 상기 제 1 확산 구역을 상기 제 2 확산 구역에 전기 연결함 -;
상기 수직 채널에 인접한 터널 유전체 층;
상기 터널 유전체 층에 인접한 제 1 중수소화 층, 상기 제 1 중수소화 층에 인접한 산소-리치 질화물을 포함하는 제 1 질화물 층, 및 상기 제 1 질화물 층 위에 놓이는 실리콘-리치 산소-린 질화물을 포함하는 제 2 질화물 층을 포함하는 다층 전하-트랩핑 구역을 포함하는,
전하 트랩 메모리 디바이스.

청구항 15

제 14 항에 있어서,
상기 제 1 질화물이 중수소화되고,
상기 제 1 질화물 층의 중수소 농도는 상기 제 1 중수소화 층의 중수소 농도 미만인,
전하 트랩 메모리 디바이스.

청구항 16

제 14 항에 있어서,
상기 제 2 질화물 층 위에 놓이는 제 2 중수소화 층을 더 포함하는,
전하 트랩 메모리 디바이스.

청구항 17

제 14 항에 있어서,
상기 채널 구역은 재결정화된 폴리실리콘을 포함하는,
전하 트랩 메모리 디바이스.

청구항 18

제 14 항에 있어서,
상기 다층 전하-트랩핑 구역은, 상기 제 1 질화물 층을 상기 제 2 질화물 층으로부터 분리시키는 산화물을 포함하는 안티-터널링 층을 더 포함하는,
전하 트랩 메모리 디바이스.

청구항 19

제 18 항에 있어서,

상기 채널 구역은 폴리실리콘을 포함하는,
전하 트랩 메모리 디바이스.

청구항 20

제 19 항에 있어서,
상기 채널 구역은 재결정화된 폴리실리콘을 포함하는,
전하 트랩 메모리 디바이스.

발명의 설명

기술 분야

[0001]

관련 출원들에 대한 상호-참조

[0002]

본 출원은, 2007년 5월 25일 출원된 미국 가특허출원 시리얼 번호 제 60/931,905호에 대해 35 U.S.C.119(e)하의 우선권의 이익을 주장하는, 2007년 9월 26일 출원된 공동 계류중인 미국 출원 시리얼 번호 제 11/904,475호의 일부 계속출원이며, 상기 미국 가특허출원 및 미국 출원 양측 모두는 인용에 의해 본 명세서에 포함된다.

[0003]

본 발명은 반도체 디바이스들의 분야에 관한 것이다.

배경 기술

[0004]

과거 수십년 동안, 집적 회로들의 피쳐(feature)들의 스케일링은 계속 성장하는 반도체 산업 뒤에서 추진력이 되어 왔다. 점점 더 작은 피쳐들에 대한 스케일링은, 반도체 칩들의 제한된 리얼 에스테이트(real estate) 상에서 증가된 밀도들의 기능 유닛들을 가능하게 한다. 예를 들어, 트랜지스터 크기를 감소시키는 것은, 칩 상에서 증가된 수의 메모리 디바이스들의 통합을 허용하여, 증가된 용량을 갖는 제품들의 제조에 적합하다. 그러나, 훨씬 더 큰 용량을 위한 드라이브가 문제가 없는 것은 아니다. 각각의 디바이스의 성능을 최적화하기 위한 필요성이 점점 더 중요해지고 있다.

[0005]

비휘발성 반도체 메모리들은 통상적으로, 스택된 플로팅 게이트 타입 전계-효과-트랜지스터(stacked floating gate type field-effect-transistor)들을 이용한다. 이러한 트랜지스터들에서, 전자들은, 메모리 셀이 형성되는 기관의 몸체 구역(body region)을 집지하고 제어 게이트를 바이어싱(bias)함으로써, 프로그래밍될 메모리 셀의 플로팅 게이트로 주입된다. ONO(oxide-nitride-oxide) 스택은, SONOS(semiconductor-oxide-nitride-oxide-semiconductor) 트랜지스터에서와 같이 전하 저장 층으로 이용되거나, 분열 게이트 플래시 트랜지스터(split gate flash transistor)에서와 같이 플로팅 게이트와 제어 게이트 사이의 격리 층(isolation layer)으로 이용된다. 도 1은 종래의 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

[0006]

도 1을 참조하면, 반도체 디바이스(100)는, 실리콘 기관(102) 상에 형성된 종래의 ONO 부분(106)을 포함하는 SONOS 게이트 스택(104)을 포함한다. 반도체 디바이스(100)는, 채널 구역(112)을 규정하기 위해, SONOS 게이트 스택(104)의 어느 한 측 상에 소스 및 드레인 구역들(110)을 더 포함한다. SONOS 게이트 스택(104)은, ONO 부분(106) 위에 형성되어 상기 ONO 부분(106)과 접촉하는 폴리실리콘 게이트 층(108)을 포함한다. 폴리실리콘 게이트 층(108)은 ONO 부분(106)에 의해 실리콘 기관(102)으로부터 전기 절연된다. ONO 부분(106)은 통상적으로, 터널 산화물 층(106A), 질화물 또는 산질화물 전하-트랩핑 층(106B), 및 질화물 또는 산질화물 층(106B) 위에 놓이는 최상부 산화물 층(106C)을 포함한다.

[0007]

종래의 SONOS 트랜지스터들이 갖는 하나의 문제점은 질화물 또는 산질화물 층(106B)의 열악한 데이터 보유력(poor data retention)이고, 이는, 이 층을 통한 누설 전류로 인해 여러 애플리케이션들에서 반도체 디바이스(100)의 수명 및 상기 반도체 디바이스(100)의 사용을 제한한다. 이러한 문제점을 처리하려는 하나의 시도는, 실리콘-리치 SONOS 층들의 이용에 초점을 맞췄으며, 이는 수명의 시작시에 프로그램 전압과 소거 전압 사이의 큰 초기 분리를 가능하게 하지만, 전하 저장 능력의 급속한 악화를 초래한다. 다른 시도는 산소-리치 층들에 초점을 맞췄으며, 이는 전하 저장 능력의 악화의 감소된 레이트를 가능하게 하지만, 프로그램 전압과 소거 전압 사이의 초기 분리를 또한 감소시킨다. 시간에 걸친 데이터 보유력에 대한 이러한 접근방식들 양측 모두의 효과는 그래픽적으로 도시될 수 있다. 도 2 및 도 3은 종래의 비휘발성 전하 트랩 메모리 디바이스들에 대한 보유 시간(Retention Time)(Sec)의 함수로서 임계 전압(Threshold Voltage)(V)의 플롯들이다.

[0008]

도 2를 참조하면, 실리콘-리치 층에 대한 전하 저장 능력의 급속한 악화는, 특정 최소치(206)에 대한 프로그래밍 임계 전압(VTP)(202)과 소거 임계 전압(VTE)(204)의 컨버전스에 의해 표시된다. 도 3을 참조하면, VTP(302)와 VTE(304) 사이의 감소된 분리가 산소-리치 층에 대해 획득된다. 라인(306)에 의해 표시된 바와 같이, 디바이스의 전체적인 유효 수명(useful lifetime)은 이러한 접근방식에 의해서는 눈에 띄게 연장되지 않는다.

도면의 간단한 설명

[0009]

본 발명의 실시예들은 제한이 아닌 예시로서, 첨부 도면들의 도면들에서 예시된다:

도 1은, 종래의 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

도 2는 종래의 비휘발성 전하 트랩 메모리 디바이스에 대한 보유 시간(Sec)의 함수로서 임계 전압(V)의 플롯이다.

도 3은 종래의 비휘발성 전하 트랩 메모리 디바이스에 대한 보유 시간(Sec)의 함수로서 임계 전압(V)의 플롯이다.

도 4는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

도 5는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

도 6a는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6b는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6c는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6d는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6e는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6f는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6g는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6h는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 6i는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 7a는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 7b는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 7c는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계를 나타내는 단면도를 예시한다.

도 8a는 ONNO 스택을 포함하는 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

도 8b는 ONNO 스택을 포함하는 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

도 9는 분열 다층 전하-트랩핑 구역(split multi-layer charge-trapping region)을 포함하는 비휘발성 전하 트랩 메모리 디바이스를 제조하기 위한 방법의 일련의 동작들을 나타내는 흐름도를 도시한다.

도 10a는 분열 전하-트랩핑 구역을 포함하는 비-평면 멀티게이트 디바이스(non-planar multigate device)를 예시한다.

도 10b는 도 10a의 비-평면 멀티게이트 디바이스의 단면도를 예시한다.

도 11a 및 도 11b는 분열 전하-트랩핑 구역 및 수평 나노와이어 채널을 포함하는 비-평면 멀티게이트 디바이스를 예시한다.

도 11c는 도 11a의 비-평면 멀티게이트 디바이스들의 수직 스트링의 단면도를 예시한다.

도 12a 및 도 12b는 분열 전하-트랩핑 구역 및 수직 나노와이어 채널을 포함하는 비-평면 멀티게이트 디바이스를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 비휘발성 전하 트랩 메모리 디바이스 및 상기 비휘발성 전하 트랩 메모리 디바이스를 형성하는 방법이 본 명세서에서 설명된다. 다음 설명에서, 본 발명의 철저한 이해를 제공하기 위해 특정한 치수들과 같은 많은 특정한 세부사항들이 제시된다. 본 발명이 이러한 특정한 세부사항들 없이도 실시될 수 있음은 당업자들에게 자명할 것이다. 다른 예들에서, 본 발명을 불필요하게 모호하게 하지 않기 위해, 패터닝 단계들 또는 습식 화학 세정들과 같은 잘 알려진 프로세싱 단계들은 상세하게 설명되지 않는다. 더욱이, 도면들에 도시된 다양한 실시예들은 예시적인 표현들이고, 반드시 실체에 맞게 그려지지 않는다는 것이 이해될 것이다.

[0011] 비휘발성 전하 트랩 메모리 디바이스가 본 명세서에서 개시된다. 디바이스는 채널 구역, 및 한 쌍의 소스 및 드레인 구역들을 갖는 기판을 포함할 수 있다. 게이트 스택은 채널 구역 위의 기판 위에 그리고 한 쌍의 소스 및 드레인 구역들 사이에 형성될 수 있다. 일 실시예에서, 게이트 스택은 제 1 중수소화 층(deuterated layer)을 갖는 다층 전하-트랩핑 구역을 포함한다. 다층 전하-트랩핑 구역은 중수소가 없는 전하-트랩핑 층(deuterium-free charge-trapping layer)을 더 포함할 수 있다. 대안적으로, 다층 전하-트랩핑 구역은 제 1 중수소화 층의 중수소 농도 미만의 중수소 농도를 갖는 부분적으로 중수소화된 전하-트랩핑 층을 포함할 수 있다.

[0012] 중수소화 층을 갖는 다층 전하-트랩핑 구역을 포함하는 비휘발성 전하 트랩 메모리 디바이스는 개선된 프로그래밍 및 소거 속도 및 데이터 보유력을 나타낼 수 있다. 본 발명의 실시예에 따르면, 중수소화 층은 다층 전하-트랩핑 구역의 전하-트랩핑 층과 터널 유전체 층 사이에 형성된다. 일 실시예에서, 중수소화 층은 본질적으로 트랩이 없고(trap-free), 소거 및 프로그램 사이클들 동안 고온 전자 열화(hot electron degradation)를 완화시킨다. 트랩이 없는 층(trap-free layer)을 터널 유전체 층과 다층 전하-트랩핑 구역의 전하-트랩핑 층 사이에 포함시킴으로써, 소거 및 프로그램 사이클들로부터의 Vt 시프트가 감소될 수 있고, 보유력이 증가될 수 있다. 본 발명의 다른 실시예에 따르면, 제 2 중수소화 층이 다층 전하-트랩핑 구역의 전하-트랩핑 층과 게이트 스택의 최상부 유전체 층 사이에 또한 형성된다.

[0013] 비휘발성 전하 트랩 메모리 디바이스는 중수소화 층을 갖는 다층 전하-트랩핑 구역을 포함할 수 있다. 도 4는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

[0014] 도 4를 참조하면, 반도체 디바이스(400)는 기판(402) 위에 형성된 게이트 스택(404)을 포함한다. 반도체 디바이스(400)는, 게이트 스택(404)의 어느 한 측 상의 기판(402)에 소스 및 드레인 구역들(410)을 더 포함하여, 게이트 스택(404) 아래의 기판(402)에 채널 구역(412)을 규정한다. 게이트 스택(404)은 터널 유전체 층(404A), 다층 전하-트랩핑 구역(404B), 최상부 유전체 층(404C) 및 게이트 층(404D)을 포함한다. 따라서, 게이트 층(404D)은 기판(402)으로부터 전기 절연된다. 다층 전하-트랩핑 구역(404B)은 다층 전하-트랩핑 구역(404B)의 전하-트랩핑 층(408)과 터널 유전체 층(404A) 사이에 중수소화 층(406)을 포함한다. 한 쌍의 유전체 스페이서들(414)은 게이트 스택(404)의 측벽들을 격리한다.

[0015] 반도체 디바이스(400)는 임의의 비휘발성 전하 트랩 메모리 디바이스일 수 있다. 일 실시예에서, 반도체 디바이스(400)는, 전하-트랩핑 층이 전도체 층 또는 반도체 층인 플래시-타입 디바이스이다. 본 발명의 다른 실시예에 따르면, 반도체 디바이스(400)는 전하-트랩핑 층이 절연체 층인 SONOS-타입 디바이스이다. 통상적으로, SONOS는, "반도체-산화물-질화물-산화물-반도체(Semiconductor-Oxide-Nitride-Oxide-Semiconductor)"를 나타내고, 여기서 첫 번째 "반도체(Semiconductor)"는 채널 구역 재료를 나타내고, 첫 번째 "산화물(Oxide)"은 터널 유전체 층을 나타내고, "질화물(Nitride)"은 전하-트랩핑 유전체 층을 나타내고, 두 번째 "산화물(Oxide)"은 최상부 유전체 층(블록킹 유전체 층으로 또한 알려짐)을 나타내고, 두 번째 "반도체(Semiconductor)"는 게이트 층

을 나타낸다. 그러나, SONOS-타입 디바이스는 아래에 설명되는 바와 같이, 이러한 특정 재료들로 제한되지 않는다.

[0016] 기관(402) 및 결국 채널 구역(412)은 반도체 디바이스 제조에 적합한 임의의 재료로 이루어질 수 있다. 일 실시예에서, 기관(402)은 실리콘, 게르마늄, 실리콘-게르마늄 또는 III-V 화합물 반도체 재료(그러나, 이들로 제한되지 않음)를 포함할 수 있는 재료의 단일 결정으로 이루어진 벌크 기관이다. 다른 실시예에서, 기관(402)은 최상부 에피택셜 층을 갖는 벌크 층을 포함한다. 특정 실시예에서, 벌크 층은 실리콘, 게르마늄, 실리콘-게르마늄, III-V 화합물 반도체 재료 및 석영(quartz)(그러나, 이들로 제한되지 않음)을 포함할 수 있는 재료의 단일 결정으로 이루어지는 한편, 최상부 에피택셜 층은 실리콘, 게르마늄, 실리콘-게르마늄 및 III-V 화합물 반도체 재료(그러나, 이들로 제한되지 않음)를 포함할 수 있는 단일 결정 층으로 이루어진다. 다른 실시예에서, 기관(402)은 하부 벌크 층 위에 있는 중간 절연체 층 상에 최상부 에피택셜 층을 포함한다. 최상부 에피택셜 층은 실리콘(즉, SOI(silicon-on-insulator) 반도체 기관을 형성하기 위해), 게르마늄, 실리콘-게르마늄 및 III-V 화합물 반도체 재료(그러나, 이들로 제한되지 않음)를 포함할 수 있는 단일 결정 층으로 이루어진다. 절연체 층은 실리콘 이산화물, 실리콘 질화물 및 실리콘 산질화물(그러나, 이들로 제한되지 않음)을 포함할 수 있는 재료로 이루어진다. 하부 벌크 층은 실리콘, 게르마늄, 실리콘-게르마늄, III-V 화합물 반도체 재료 및 석영(그러나, 이들로 제한되지 않음)을 포함할 수 있는 단일 결정으로 이루어진다. 기관(402) 및 결국 채널 구역(412)은 도펀트 불순물 원자(dopant impurity atom)들을 포함할 수 있다. 특정 실시예에서, 채널 구역(412)은 P-타입 도핑되고, 대안적인 실시예에서, 채널 구역(412)은 N-타입 도핑된다.

[0017] 기관(402)의 소스 및 드레인 구역들(410)은, 채널 구역(412)과 반대의 전도성을 갖는 임의의 구역들일 수 있다. 예를 들어, 본 발명의 실시예에 따르면, 소스 및 드레인 구역들(410)은 N-타입 도핑된 구역들인 반면, 채널 구역(412)은 P-타입 도핑된 구역이다. 일 실시예에서, 기관(402) 및 결국 채널 구역(412)은 1×10^{15} 내지 1×10^{19} atoms/cm³의 범위의 붕소 농도를 갖는 붕소-도핑된 단일-결정 실리콘으로 이루어진다. 소스 및 드레인 구역들(410)은 5×10^{16} 내지 5×10^{19} atoms/cm³의 범위의 N-타입 도펀트들의 농도를 갖는 인-도핑된 또는 비소-도핑된 구역들로 이루어진다. 특정 실시예에서, 소스 및 드레인 구역들(410)은 기관(402)에서 80 내지 200 나노미터의 범위의 깊이를 갖는다. 본 발명의 대안적인 실시예에 따르면, 소스 및 드레인 구역들(410)은 P-타입 도핑된 구역들인 반면, 채널 구역(412)은 N-타입 도핑된 구역이다.

[0018] 터널 유전체 층(404A)은 임의의 재료로 이루어질 수 있고, 디바이스가 언바이어싱(unbias)되는 경우 누설에 대한 적합한 배리어를 유지하면서, 인가된 게이트 바이어스 하에서, 전하 캐리어들이 전하-트랩핑 층으로 터널링하도록 허용하기에 적합한 임의의 두께를 가질 수 있다. 일 실시예에서, 터널 유전체 층(404A)은 열산화 프로세스(thermal oxidation process)에 의해 형성되고, 실리콘 이산화물 또는 실리콘 산질화물 또는 이들의 조합으로 이루어진다. 다른 실시예에서, 터널 유전체 층(404A)은 화학 기상 증착 또는 원자 층 증착에 의해 형성되고, 실리콘 질화물, 하프늄 산화물, 지르코늄 산화물, 하프늄 실리케이트, 하프늄 산질화물, 하프늄 지르코늄 산화물 및 란타넘 산화물(그러나, 이들로 제한되지 않음)을 포함할 수 있는 유전체 층으로 이루어진다. 특정 실시예에서, 터널 유전체 층(404A)은 1 내지 10 나노미터의 범위의 두께를 갖는다. 특정 실시예에서, 터널 유전체 층(404A)은 대략 2 나노미터의 두께를 갖는다.

[0019] 다층 전하-트랩핑 구역(404B)은 임의의 재료로 이루어질 수 있고, 전하를 저장하기에 및 결국 게이트 스택(404)의 임계 전압을 상승시키기에 적합한 임의의 두께를 가질 수 있다. 일 실시예에서, 다층 전하-트랩핑 구역(404B)은 화학 기상 증착 프로세스에 의해 형성되고, 화학량론적인 실리콘 질화물, 실리콘-리치 실리콘 질화물 및 실리콘 산질화물(그러나, 이들로 제한되지 않음)을 포함할 수 있는 유전체 재료로 이루어진다. 본 발명의 실시예에 따르면, 다층 전하-트랩핑 구역(404B)은 도 4에 도시된 바와 같이, 터널 유전체 층(404A)과 전하 트랩핑 층(408) 사이에 중수소화 층(406)을 포함한다. 중수소화 층(406) 및 전하-트랩핑 층(408)은 동일한 재료의, 중수소화된 유도체(deuterated derivative) 및 중수소화되지 않은 유도체(non-deuterated derivative)로 각각 이루어질 수 있다. 예를 들어, 본 발명의 실시예에 따르면, 중수소화 층(406)은 실리콘 산질화물의 중수소화된 유도체인 반면, 전하-트랩핑 층(408)은 실리콘 산질화물의 수소화된 유도체(hydrogenated derivative)로 형성된다. 일 실시예에서, 다층 전하-트랩핑 구역(404B)의 총 두께는 5 내지 10 나노미터의 범위이다. 특정 실시예에서, 중수소화 층(406):전하-트랩핑 층(408)의 각각의 두께들의 비율은 대략 1:1이다.

[0020] 다층 전하-트랩핑 구역(404B)은 중수소화 층(406)과 전하-트랩핑 층(408) 사이에 어브러프트 계면(abrupt interface)을 가질 수 있다. 즉, 본 발명의 실시예에 따르면, 전하-트랩핑 층(408)에는 중수소가 없다(deuterium-free). 대안적으로, 범위가 중수소화 층(406)의 높은 중수소 농도로부터 전하-트랩핑 층(408)의 낮

은 중수소 농도에 이르게 움직이는 중수소 원자 농도의 그레디언트가 형성될 수 있다. 따라서, 본 발명의 대안적인 실시예에 따르면, 전하-트랩핑 층(408)은 부분적으로 중수소화된 층이지만, 중수소화 층(406)의 중수소 농도 미만의 중수소 농도를 갖는다.

[0021] 최상부 유전체 층(404C)은 임의의 재료로 이루어질 수 있고, 게이트 스택(404)의 커패시턴스를 현저하게 감소시키지 않으면서 전하 누설에 대한 배리어를 유지하기에 적합한 임의의 두께를 가질 수 있다. 일 실시예에서, 최상부 유전체 층(404C)은 화학 기상 증착 프로세스에 의해 형성되고, 실리콘 이산화물, 실리콘 산질화물, 실리콘 질화물 또는 이들의 조합으로 이루어진다. 다른 실시예에서, 최상부 유전체 층(404C)은 원자 층 증착에 의해 형성되고, 하프늄 산화물, 지르코늄 산화물, 하프늄 실리케이트, 하프늄 산질화물, 하프늄 지르코늄 산화물 및 탄타늄 산화물(그러나, 이들로 제한되지 않음)을 포함할 수 있는 하이-k(high-k) 유전체 층으로 이루어진다. 특정 실시예에서, 최상부 유전체 층(404C)은 1 내지 20 나노미터의 범위의 두께를 갖는다.

[0022] 게이트 층(404D)은, SONOS-타입 트랜지스터의 동작 동안 바이어스를 수용하기에 적합한 임의의 전도체 또는 반도체 재료로 이루어질 수 있다. 본 발명의 실시예에 따르면, 게이트 층(404D)은 화학 기상 증착 프로세스에 의해 형성되고, 도핑된 다결정질 실리콘으로 이루어진다. 다른 실시예에서, 게이트 층(404D)은 물리 기상 증착에 의해 형성되고, 금속 질화물들, 금속 탄화물들, 금속 규화물들, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄, 루테튬, 팔라듐, 백금, 코발트 및 니켈(그러나, 이들로 제한되지 않음)을 포함할 수 있는 금속-함유 재료로 이루어진다.

[0023] 비휘발성 전하 트랩 메모리 디바이스는 하나보다 많은 수의 중수소화 층을 갖는 다층 전하-트랩핑 구역을 포함할 수 있다. 도 5는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 단면도를 예시한다.

[0024] 도 5를 참조하면, 반도체 디바이스(500)는 기판(502) 위에 형성된 게이트 스택(504)을 포함한다. 반도체 디바이스(500)는, 게이트 스택(504)의 어느 한 측 상의 기판(502)에 소스 및 드레인 구역들(510)을 더 포함하여, 게이트 스택(504) 아래의 기판(502)에 채널 구역(512)을 규정한다. 게이트 스택(504)은 터널 유전체 층(504A), 다층 전하-트랩핑 구역(504B), 최상부 유전체 층(504C) 및 게이트 층(504D)을 포함한다. 따라서, 게이트 층(504D)은 기판(502)으로부터 전기 절연된다. 다층 전하-트랩핑 구역(504B)은, 다층 전하-트랩핑 구역(504B)의 전하-트랩핑 층(508)을 샌드위칭(sandwiching)하는 제 1 중수소화 층(506) 및 제 2 중수소화 층(516)을 포함한다. 한 쌍의 유전체 스페이서들(514)은 게이트 스택(504)의 측벽들을 격리한다.

[0025] 반도체 디바이스(500)는 도 4로부터의 반도체 디바이스(400)와 관련하여 설명된 임의의 반도체 디바이스일 수 있다. 기판(502), 소스 및 드레인 구역들(510), 및 채널 구역(512)은, 도 4로부터의 기판(402), 소스 및 드레인 구역들(410), 및 채널 구역(412)과 관련하여 각각 설명된 임의의 재료 및 도펀트 불순물 원자들로 이루어질 수 있다. 터널 유전체 층(504A), 최상부 유전체 층(504C) 및 게이트 층(504D)은 도 4로부터의 터널 유전체 층(404A), 최상부 유전체 층(404C) 및 게이트 층(404D)과 관련하여 각각 설명된 임의의 재료로 이루어질 수 있다.

[0026] 그러나, 반도체 디바이스(400)와 대조적으로, 반도체 디바이스는 도 5에 도시된 바와 같이, 전하 트랩핑 층(508) 위에 제 2 중수소화 층(516)을 갖는 다층 전하-트랩핑 구역(504B)을 포함한다. 제 1 중수소화 층(506) 및 전하-트랩핑 층(508)은 도 4로부터의 중수소화 층(406) 및 전하-트랩핑 층(408)과 관련하여 각각 설명된 임의의 재료로 이루어질 수 있다. 부가적으로, 제 2 중수소화 층(516)은 또한, 도 4로부터의 중수소화 층(406)과 관련하여 설명된 임의의 재료로 이루어질 수 있다. 그러나, 본 발명의 실시예에 따르면, 다층 전하-트랩핑 구역(504B)의 총 두께는 5 내지 10 나노미터의 범위인데, 즉, 다층 전하-트랩핑 구역(504B)은 도 4로부터의 다층 전하-트랩핑 구역(404B)과 동일한 범위의 두께를 갖는다. 따라서, 중수소화 층들과 전하-트랩핑 층의 두께들의 상대적 비율들은 반도체 디바이스(400)의 상대적 비율들과 상이할 수 있다. 예를 들어, 일 실시예에서, 제 1 중수소화 층(506):전하-트랩핑 층(508):제 2 중수소화 층(516)의 각각의 두께들의 비율은 대략 1:2:1이다.

[0027] 도 4로부터의 다층 전하-트랩핑 구역(404B)과 마찬가지로, 다층 전하-트랩핑 구역(504B)은 제 1 중수소화 층(506)과 전하-트랩핑 층(508) 사이에 어브립트 계면을 가질 수 있다. 마찬가지로, 제 2 어브립트 계면으로서 제 2 중수소화 층(516)과 전하-트랩핑 층(508) 사이에 존재할 수 있다. 즉, 본 발명의 실시예에 따르면, 전하-트랩핑 층(508)에는 중수소가 없다. 대안적으로, 범위가 제 1 및 제 2 중수소화 층들(506 및 516)의 높은 중수소 농도로부터 전하-트랩핑 층(508)의 낮은 중수소 농도에 이르게 움직이는 중수소 원자 농도의 그레디언트가 형성될 수 있다. 따라서, 본 발명의 대안적인 실시예에 따르면, 전하-트랩핑 층(508)은 부분적으로 중수소화된 층이지만, 중수소화 층들(506 및 516)의 중수소 농도 미만의 중수소 농도를 갖는다.

[0028] 비휘발성 전하 트랩 메모리 디바이스는 중수소화 층을 갖는 다층 전하-트랩핑 구역을 포함하도록 제조될 수 있

다. 도 6a 내지 도 6i는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계들을 나타내는 단면도들을 예시한다.

[0029] 도 6a를 참조하면, 기관(602)이 제공된다. 기관(602)은 도 4 및 도 5로부터의 기관들(402 및 502)과 관련하여 각각 설명된 임의의 재료로 이루어지고 상기 각각 설명된 임의의 특징들을 가질 수 있다.

[0030] 도 6b를 참조하면, 터널 유전체 층(620)이 기관(602)의 최상부 면 상에 형성된다. 터널 유전체 층(620)은 도 4 및 도 5로부터의 터널 유전체 층들(404A 및 504A)과 관련하여 각각 설명된 임의의 재료로 그리고 임의의 프로세스로 형성되고 상기 각각 설명된 임의의 두께를 가질 수 있다.

[0031] 도 6c를 참조하면, 다층 전하-트랩핑 구역(622)이 터널 유전체 층(620)의 최상부 면 상에 형성된다. 본 발명의 실시예에 따르면, 다층 전하-트랩핑 구역(622)은 도 6c에 도시된 바와 같이, 터널 유전체 층(620)과 전하-트랩핑 층(626) 사이에 중수소화 층(624)을 포함한다. 중수소화 층(624) 및 전하-트랩핑 층(626)은, 도 4로부터의 중수소화 층(406) 및 전하-트랩핑 층(408)과 관련하여 각각 설명된 임의의 재료들로 이루어지고 상기 각각 설명된 임의의 두께들을 가질 수 있다. 다층 전하-트랩핑 구역(622) 및 결국 중수소화 층(624) 및 전하-트랩핑 층(626)은, 터널 유전체 층(620) 위에 실질적으로 균일한 커버리지를 제공하기에 적합한 임의의 프로세스에 의해 형성될 수 있다. 본 발명의 실시예에 따르면, 다층 전하-트랩핑 구역(622)은 화학 기상 증착 프로세스에 의해 형성된다. 일 실시예에서, 중수소화 층(624)이 먼저, 중수소화된 포메이션 가스(deuterated formation gas)들을 이용하여 형성되고, 이후, 전하-트랩핑 층(626)이 그 다음에, 중수소화되지 않은 포메이션 가스(non-deuterated formation gas)들을 이용하여 형성된다. 특정 실시예에서, 다층 전하-트랩핑 구역(622)은, 실질적으로 실리콘 산질화물로 이루어지고, 중수소화 층(624)이 먼저, 중수소화된 실란(deuterated silane)(SiD₄), 중수소화된 디클로로실란(deuterated dichlorosilane)(SiD₂Cl₂), 아산화 질소(nitrous oxide)(N₂O), 중수소화된 암모니아(deuterated ammonia)(ND₃) 및 산소(O₂)와 같은(그러나, 이들로 제한되지 않음) 포메이션 가스들을 이용하여 형성된다. 그 다음으로, 전하-트랩핑 층(626)이 중수소화되지 않은-bis (tert-butylamino) 실란 (중수소화되지 않은-BTBAS)(non-deuterated-bis (tert-butylamino) silane (non-deuterated-BTBAS))와 같은(그러나, 이들로 제한되지 않음) 포메이션 가스들을 이용하여 형성되고, 실란 실시예, 중수소화된 층(624) 및 전하-트랩핑 층(626)은 동일한 프로세스 단계로 형성되는데, 즉, 이들은 중수소화된 포메이션 가스들로부터 중수소화되지 않은 포메이션 가스들로의 심리스 트랜지션(seamless transition)을 갖는 동일한 프로세스 챔버에서 형성된다.

[0032] 어브러프트 중수소화된 및 중수소화되지 않은 접합(abrupt deuterated and non-deuterated junction)은 중수소화 층(624)과 전하-트랩핑 층(626)의 계면에 존재할 수 있다. 따라서, 본 발명의 실시예에 따르면, 전하-트랩핑 층(626)은 중수소가 없게 유지된다. 대안적으로, 중수소화 층(624)에 존재하는 중수소 중 일부는, 전하-트랩핑 층(626)의 증착 동안 또는 이후의 고온 프로세스 단계들 동안 전하-트랩핑 층(626)으로 이동될 수 있다. 즉, 범위가 중수소화 층(624)의 높은 중수소 농도로부터 전하-트랩핑 층(626)의 낮은 중수소 농도에 이르게 움직이는 중수소 원자 농도의 그레디언트가 형성될 수 있다. 따라서, 본 발명의 대안적인 실시예에 따르면, 전하 트랩핑 층(626)은 부분적으로 중수소화된 층이 되지만, 중수소화 층(624)의 중수소 농도 미만의 중수소 농도를 갖는다. 특정 실시예에서, 중수소화된 포메이션 가스들은, 중수소화 층(624)의 중수소 농도 미만의 중수소 농도를 갖는 부분적으로 중수소화된 전하-트랩핑 층(626)을 형성하기 위해 이용된다.

[0033] 도 6d를 참조하면, 최상부 유전체 층(628)은 다층 전하-트랩핑 구역(622)의 최상부 면 상에 형성된다. 최상부 유전체 층(628)은 도 4 및 도 5로부터의 최상부 유전체 층들(404C 및 504C)과 관련하여 각각 설명된 임의의 재료로 그리고 임의의 프로세스로 형성되고 상기 각각 설명된 임의의 두께를 가질 수 있다. 본 발명의 대안적인 실시예에 따르면, 최상부 유전체 층(628)은 중수소화된 포메이션 가스들을 이용함으로써 형성된다. 이러한 실시예에서, 중수소화된 최상부 유전체 층(628)은 이후에, 이후의 어닐 프로세스 동안 다층 전하-트랩핑 구역(622)에 트랩이 없는 층(trap-free layer)을 형성하기 위해 중수소의 소스로서 작용한다. 특정 대안적인 실시예에서, 중수소화된 최상부 유전체 층(628)은 SiD₄, SiD₂Cl₂ 및 N₂O와 같은(그러나, 이들로 제한되지 않음) 포메이션 가스들을 이용하여 형성된다.

[0034] 도 6e를 참조하면, 게이트 층(630)이 최상부 유전체 층(628)의 최상부 면 상에 형성된다. 게이트 층(630)은 도 4 및 도 5로부터의 게이트 층들(404D 및 504D)과 관련하여 각각 설명된 임의의 재료로 그리고 임의의 프로세스로 형성될 수 있다. 따라서, 게이트 스택(632)은 기관(602) 위에 형성될 수 있다.

[0035] 도 6f를 참조하면, 게이트 스택(632)은 기관(602) 위에 패터닝된 게이트 스택(604)을 형성하기 위해 패터닝된다. 패터닝된 게이트 스택(604)은 패터닝된 터널 유전체 층(604A), 패터닝된 다층 전하-트랩핑 구역

(604B), 패터닝된 최상부 유전체 층(604C), 및 패터닝된 게이트 층(604D)을 포함한다. 패터닝된 다층 전하-트랩핑 구역(604B)은 패터닝된 중수소화 층(606) 및 패터닝된 전하 트랩핑 층(608)을 포함한다. 게이트 스택(632)은, 높은 선택성을 갖는 게이트 스택(604)을 위한 실질적으로 수직의 측벽들을 기관(602)에 제공하기에 적합한 임의의 프로세스에 의해, 패터닝된 게이트 스택(604)을 형성하기 위해 패터닝될 수 있다. 본 발명의 실시예에 따르면, 게이트 스택(632)은 리소그래피 및 에칭 프로세스에 의해, 패터닝된 게이트 스택(604)을 형성하기 위해 패터닝된다. 특정 실시예에서, 에칭 프로세스는 탄소 사플루오르화물(carbon tetrafluoride)(CF₄), O₂, 수소 브롬화물(hydrogen bromide)(HBr) 및 염소(Cl₂)와 같은(그러나, 이들로 제한되지 않음) 가스들을 활용하는 비등방성 에칭 프로세스이다.

[0036] 도 6g를 참조하면, 소스 및 드레인 팁 확장 구역(source and drain tip extension region)들(650)을 형성하기 위해 기관(604)의 노출된 부분들에 도펀트 불순물 원자들(640)을 임플란트(implant)하는 것이 바람직할 수 있다. 소스 및 드레인 팁 확장 구역들(650)은 궁극적으로, 아래에 설명되는 바와 같이, 이후에 형성되는 소스 및 드레인 구역들의 부분이 될 것이다. 따라서, 패터닝된 게이트 스택(604)의 위치들에 의해 규정되는 바와 같이 소스 및 드레인 팁 확장 구역들(650)을 형성함으로써, 채널 구역(612)이 도 6g에 도시되는 바와 같이 규정될 수 있다. 일 실시예에서, 소스 및 드레인 팁 확장 구역들(650)을 형성하기 위해 이용된 도펀트 불순물 원자들의 농도 및 전도도 타입은 실질적으로, 아래에 설명되는 소스 및 드레인 구역들을 형성하기 위해 이용되는 것들과 동일하다.

[0037] 도 6h를 참조하면, 패터닝된 게이트 스택(604)의 측벽들 상에 한 쌍의 유전체 스페이서들(614)을 형성하는 것이 바람직할 수 있다. 마지막으로, 도 6i를 참조하면, 소스 및 드레인 구역들(610)은, 기관(604)의 노출된 부분들에 도펀트 불순물 원자들(660)을 임플란트함으로써 형성된다. 소스 및 드레인 구역들(610)은 도 4 및 도 5로부터의 소스 및 드레인 구역들(410 및 510)과 관련하여 각각 설명된 것들과 같은 임의의 특징들을 가질 수 있다. 본 발명의 실시예에 따르면, 소스 및 드레인 구역들(610)의 프로파일은, 도 6i에 도시된 바와 같이, 유전체 스페이서들(614), 패터닝된 게이트 스택(604), 및 소스 및 드레인 팁 확장 구역들(650)에 의해 규정된다.

[0038] 비휘발성 전하 트랩 메모리 디바이스는 하나보다 많은 수의 중수소화 층을 갖는 다층 전하-트랩핑 구역을 포함하도록 제조될 수 있다. 도 7a 내지 도 7c는 본 발명의 실시예에 따른 비휘발성 전하 트랩 메모리 디바이스의 형성의 단계들을 나타내는 단면도들을 예시한다.

[0039] 도 7a를 참조하면, 기관(702)의 최상부 면 상에 형성된 터널 유전체 층(720)이 제공된다. 기관(702)은 도 4 및 도 5로부터의 기관들(402 및 502)과 관련하여 각각 설명된 임의의 재료로 이루어지고 상기 각각 설명된 임의의 특징들을 가질 수 있다. 터널 유전체 층(720)은 도 4 및 도 5로부터의 터널 유전체 층들(404A 및 504A)과 관련하여 각각 설명된 임의의 재료로 그리고 임의의 프로세스로 형성되고 상기 각각 설명된 임의의 두께를 가질 수 있다.

[0040] 도 7b를 참조하면, 다층 전하-트랩핑 구역(722)이 터널 유전체 층(720)의 최상부 면 상에 형성된다. 본 발명의 실시예에 따르면, 다층 전하-트랩핑 구역(722)은 터널 유전체 층(720)과 전하-트랩핑 층(726) 사이에 제 1 중수소화 층(724)을 포함한다. 부가적으로, 다층 전하-트랩핑 구역(722)은 도 7b에 도시된 바와 같이, 전하-트랩핑 층(726)의 최상부 면 상에 제 2 중수소화 층(727)을 포함한다. 제 1 중수소화 층(724), 전하-트랩핑 층(726), 및 제 2 중수소화 층(727)은, 도 5로부터의 제 1 중수소화 층(506), 전하-트랩핑 층(508), 및 제 2 중수소화 층(516)과 관련하여 각각 설명된 임의의 재료들로 이루어지고 상기 각각 설명된 임의의 두께들을 가질 수 있다. 다층 전하-트랩핑 구역(722) 및 결국 제 1 및 제 2 중수소화 층들(724 및 727) 및 전하-트랩핑 층(726)은 터널 유전체 층(720) 위에 실질적으로 균일한 커버리지를 제공하기에 적합한 임의의 프로세스에 의해 형성될 수 있다. 본 발명의 실시예에 따르면, 다층 전하-트랩핑 구역(722)은 화학 기상 증착 프로세스에 의해 형성된다. 일 실시예에서, 제 1 중수소화 층(724)이 먼저, 중수소화된 포메이션 가스들을 이용하여 형성되고, 전하-트랩핑 층(726)이 그 다음에, 중수소화되지 않은 포메이션 가스들을 이용하여 형성되고, 마지막으로, 제 2 중수소화 층(727)이 중수소화되지 않은 포메이션 가스들을 이용하여 형성된다. 특정 실시예에서, 다층 전하-트랩핑 구역(722)은 실질적으로 실리컨 산질화물로 이루어지고, 제 1 중수소화 층(724)이 먼저, SiD₄, SiD₂Cl₂, N₂O, ND₃ 및 O₂와 같은(그러나, 이들로 제한되지 않음) 포메이션 가스들을 이용하여 형성된다. 그 다음으로, 전하-트랩핑 층(726)이 중수소화되지 않은 BTBAS, SiH₄, SiH₂Cl₂, N₂O, NH₃ 및 O₂와 같은(그러나, 이들로 제한되지 않음) 포메이션 가스들을 이용하여 형성된다. 마지막으로, 제 2 중수소화 층(727)이 SiD₄, SiD₂Cl₂, N₂O, ND₃ 및 O₂와 같은(그러나, 이들로 제한되지 않음) 포메이션 가스들을 이용하여 형성된다. 특정 실시예에서, 제 1 중수소화

층(724), 전하-트랩핑 층(726) 및 제 2 중수소화 층(727)은 동일한 프로세스 단계에서, 즉, 중수소화된 포메이션 가스들로부터 중수소화되지 않은 포메이션 가스들로의 그리고 다시(back), 중수소화된 포메이션 가스들로의 심리스 트랜지션을 갖는 동일한 프로세스 챔버에서 형성된다.

[0041] 어브립트 중수소화된 및 중수소화되지 않은 접합은 제 1 중수소화 층(724), 제 2 중수소화 층(727) 및 전하-트랩핑 층(726)의 계면들에 존재할 수 있다. 따라서, 본 발명의 실시예에 따르면, 전하-트랩핑 층(726)은 중수소가 없게 유지된다. 대안적으로, 제 1 및 제 2 중수소화 층들(724 및 727)에 존재하는 중수소 중 일부는, 전하-트랩핑 층(726) 및 제 2 중수소화 층(727)의 증착 동안 또는 이후의 고온 프로세스 단계들 동안 전하-트랩핑 층(726)으로 이동될 수 있다. 즉, 범위가 제 1 및 제 2 중수소화 층들(724 및 727)의 높은 중수소 농도로부터 전하-트랩핑 층(726)의 낮은 중수소 농도에 이르게 움직이는 중수소 원자 농도의 그레디언트가 형성될 수 있다. 따라서, 본 발명의 대안적인 실시예에 따르면, 전하 트랩핑 층(726)은 부분적으로 중수소화된 층이 되지만, 제 1 및 제 2 중수소화 층들(724)의 중수소 농도 미만의 중수소 농도를 갖는다. 특정 실시예에서, 중수소화된 포메이션 가스들은, 중수소화 층(724)의 중수소 농도 미만의 중수소 농도를 갖는 부분적으로 중수소화된 전하-트랩핑 층(726)을 형성하기 위해 이용된다.

[0042] 도 7c를 참조하면, 하나보다 많은 수의 유전체 층을 갖는 비휘발성 전하 트랩 메모리 디바이스를 형성하기 위해, 도 6d 내지 도 6i와 관련하여 설명된 프로세스 단계들과 유사한 프로세스 단계들이 수행된다. 따라서, 패터닝된 게이트 스택(704)이 기판(702) 위에 형성된다. 소스 및 드레인 구역들(710)은 패터닝된 게이트 스택(704)의 어느 한 측 상에 형성되어, 채널 구역(712)을 규정한다. 패터닝된 게이트 스택(704)은 패터닝된 터널 유전체 층(704A), 패터닝된 다층 전하-트랩핑 구역(704B), 패터닝된 최상부 유전체 층(704C) 및 패터닝된 게이트 층(704D)을 포함한다. 패터닝된 다층 전하-트랩핑 구역(704B)은 패터닝된 전하-트랩핑 층(708)을 샌드위치하는 패터닝된 제 1 중수소화 층(706) 및 패터닝된 제 2 중수소화 층(716)을 포함한다.

[0043] 구현들 및 대안들

[0044] 일 양상에서, 본원은, 둘 또는 셋 이상의 질화물 함유 층들을 갖는 분열 다층 전하-트랩핑 구역 및 하나 또는 둘 이상의 중수소화 층들을 포함하는 전하 트랩 메모리 디바이스에 관한 것이다. 도 8a는 하나의 이러한 실시예의 측면도를 예시하는 블록도이다.

[0045] 도 8a를 참조하면, 메모리 디바이스(800)는, 실리콘 기판(808)의 표면(806) 위에 또는 기판 상에 형성된 실리콘 층의 표면 위에 형성된 분열 다층 전하-트랩핑 구역(804)을 갖는 게이트 스택(802)을 포함한다. 일반적으로, 디바이스(800)는, 게이트 스택(802)과 정렬되고 채널 구역(812)에 의해 분리된 소스 및 드레인 구역들 또는 구조들과 같은 하나 또는 둘 이상의 확산 구역들(810)을 더 포함한다.

[0046] 다층 전하-트랩핑 구역(804)에 부가하여, 게이트 스택(802)은, 게이트 스택을 채널 구역(812), 최상부 또는 블록킹 유전체 층(816), 및 게이트 층(818)으로부터 분리시키거나 또는 전기 절연시키는 얇은 터널 유전체 층(814)을 더 포함한다.

[0047] 다층 전하-트랩핑 구역(804)은 일반적으로, 상이한 조성들의 실리콘, 산소 및 질소를 갖는 적어도 2개의 층들을 포함한다. 일 실시예에서, 다층 전하-트랩핑 구역은, 실질적으로 트랩이 없는 실리콘-리치 산소-리치 질화물(substantially trap-free, silicon-rich, oxygen-rich nitride)을 포함하는 제 1 질화물 층(820), 및 트랩이 조밀한 실리콘 리치 질소-리치 및 산소-린 질화물(trap-dense, silicon-rich, nitrogen-rich, and oxygen-lean nitride)을 포함하는 제 2 질화물 층(822)을 포함한다. 실리콘-리치 산소-리치 제 1 질화물 층(820)은 프로그래밍 이후 및 소거 이후의 전하 손실율을 감소시키고, 이는 보유 모드(retention mode)의 작은 전압 시프트에서 분명해지는 것이 발견되었다. 실리콘-리치 질소-리치 및 산소-린 제 2 질화물 층(816)은 실리콘-산화물-산질화물-산화물-실리콘 구조의 실시예를 이용하여 제조된 메모리 디바이스들의 전하 손실율을 손상시키지 않으면서 프로그램 전압과 소거 전압 사이의 초기 차이에서의 증가들 및 속도를 개선하고, 이에 의해 디바이스의 동작 수명을 연장시킨다.

[0048] 제 1 및 제 2 질화물 층들(820, 822)에 부가하여, 다층 전하-트랩핑 구역(804)은 하나 또는 둘 이상의 중수소화 층들을 더 포함한다. 도시된 실시예에서, 다층 전하-트랩핑 구역(804)은, 제 1 질화물 층(820)을 터널 유전체 층(814)으로부터 분리시키는 제 1 중수소화 층(824), 및 제 2 질화물 층(822)을 블록킹 유전체 층(818)으로부터 분리시키는 제 2 중수소화 층(826)을 포함한다. 제 1 및 제 2 중수소화 층들(824, 826)은 제 1 및 제 2 질화물 층들(820, 822)을 형성하기 위해 이용된 동일한 재료의 중수소화된 유도체로 이루어질 수 있다. 예를 들어, 제 1 및 제 2 질화물 층들(820, 822)이 실리콘 질화물 및/또는 실리콘 산질화물을 포함하는 실시예에서, 제 1 및

제 2 중수소화 층들(824, 826)은 실리콘 산질화물의 중수소화된 유도체로 이루어질 수 있다.

[0049] 일 실시예에서, 다층 전하-트랩핑 구역(804)의 총 두께는 5 내지 10 나노미터의 범위이고, 개별 중수소화 층들 및 질화물 층들의 두께들은 거의 동일하다.

[0050] 다층 전하-트랩핑 구역(804)은 제 1 중수소화 층(824)과 제 1 질화물 층(820) 사이에 어브립트 계면을 가질 수 있다. 일 실시예에 따르면, 이는 제 1 질화물 층(820)이다. 대안적으로, 범위가 제 1 중수소화 층(824)의 높은 중수소 농도로부터 제 1 질화물 층(820)의 낮은 중수소 농도에 이르게 움직이는 중수소 원자 농도의 그레디언트가 형성될 수 있다. 따라서, 대안적인 실시예에 따르면, 제 1 질화물 층(820)은 부분적으로 중수소화된 층이지만, 제 1 중수소화 층(824)의 중수소 농도 미만의 중수소 농도를 갖는다.

[0051] 기판(808) 및 결국 채널 구역(812)은 반도체 디바이스 제조에 적합한 임의의 재료로 이루어질 수 있다. 일 실시예에서, 기판(808)은 실리콘, 게르마늄, 실리콘-게르마늄 또는 III-V 화합물 반도체 재료(그러나, 이들로 제한되지 않음)를 포함할 수 있는 재료로 이루어진 벌크 기판이다. 다른 실시예에서, 기판(808)은 실리콘, 게르마늄, 실리콘-게르마늄, III-V 화합물 반도체 재료 및 석영(그러나, 이들로 제한되지 않음)을 포함할 수 있는 재료로 이루어진 최상부 에피택셜 층을 갖는 벌크 층을 포함하고, 거기에 그리고 그 위에 메모리 디바이스(800)가 제조된다. 기판(808) 및 결국 채널 구역(812)은 도펀트 불순물 원자들을 포함할 수 있다. 특정 실시예에서, 채널 구역(812)은 다결정질 실리콘 또는 폴리실리콘을 포함하고 P-타입 도핑되거나, 또는 대안적인 실시예에서는 N-타입 도핑된다. 다른 특정 실시예에서, 채널 구역(812)은 재결정화된 폴리실리콘을 포함하고 P-타입 또는 N-타입 도핑된다.

[0052] 기판(808)의 소스 및 드레인 구역들(810)은, 채널 구역(812)과 반대의 전도성을 갖는 임의의 구역들일 수 있다. 예를 들어, 일 실시예에서, 소스 및 드레인 구역들(810)은 N-타입 도핑된 구역들인 반면, 채널 구역(812)은 P-타입 도핑된 구역이다. 이러한 실시예의 하나의 버전에서, 기판(808) 및 결국 채널 구역(812)은 1×10^{15} 내지 1×10^{19} atoms/cm³의 범위의 붕소 농도를 갖는 붕소-도핑된 실리콘으로 이루어진다. 소스 및 드레인 구역들(810)은 5×10^{16} 내지 5×10^{19} atoms/cm³의 범위의 N-타입 도펀트들의 농도를 갖는 인-도핑된 또는 비소-도핑된 구역들로 이루어진다. 특정 실시예에서, 소스 및 드레인 구역들(810)은 기판(808)에서 80 내지 200 나노미터의 범위의 깊이를 갖는다. 대안적인 실시예에서, 소스 및 드레인 구역들(810)은 P-타입 도핑된 구역들인 반면, 채널 구역(812)은 N-타입 도핑된 구역이다.

[0053] 터널 유전체 층(814)은 임의의 재료로 이루어질 수 있고, 메모리 디바이스(800)가 언바이어싱되는 경우 누설에 대한 적합한 배리어를 유지하면서, 인가된 게이트 바이어스 하에서, 전하 캐리어들이 다층 전하-트랩핑 구역(804)으로 터널링하도록 허용하기에 적합한 임의의 두께를 가질 수 있다. 일 실시예에서, 터널 유전체 층(814)은 열산화 프로세스에 의해 형성되고, 실리콘 이산화물 또는 실리콘 산질화물 또는 이들의 조합으로 이루어진다. 다른 실시예에서, 터널 유전체 층(814)은 화학 기상 증착 또는 원자 층 증착에 의해 형성되고, 실리콘 질화물, 하프늄 산화물, 지르코늄 산화물, 하프늄 실리케이트, 하프늄 산질화물, 하프늄 지르코늄 산화물 및 란타넘 산화물(그러나, 이들로 제한되지 않음)을 포함할 수 있는 유전체 층으로 이루어진다. 특정 실시예에서, 터널 유전체 층(814)은 1 내지 10 나노미터의 범위의 두께를 갖는다. 특정 실시예에서, 터널 유전체 층(814)은 대략 2 나노미터의 두께를 갖는다.

[0054] 블로킹 유전체 층(816)은 임의의 재료로 이루어질 수 있고, 게이트 스택(802)의 커패시턴스를 현저하게 감소시키지 않으면서 전하 누설에 대한 배리어를 유지하기에 적합한 임의의 두께를 가질 수 있다. 일 실시예에서, 블로킹 유전체 층(816)은 화학 기상 증착 프로세스에 의해 형성되고, 실리콘 이산화물, 실리콘 산질화물, 실리콘 질화물 또는 이들의 조합으로 이루어진다. 다른 실시예에서, 블로킹 유전체 층(816)은 원자 층 증착에 의해 형성되고, 하프늄 산화물, 지르코늄 산화물, 하프늄 실리케이트, 하프늄 산질화물, 하프늄 지르코늄 산화물 및 란타넘 산화물(그러나, 이들로 제한되지 않음)을 포함할 수 있는 하이-k 유전체 층으로 이루어진다. 특정 실시예에서, 블로킹 유전체 층(816)은 1 내지 20 나노미터의 범위의 두께를 갖는다.

[0055] 게이트 층(818)은, 도핑된 폴리실리콘 및 금속-함유 재료를 포함하는 SONOS-타입 트랜지스터의 동작 동안 바이어스를 수용하기에 적합한 임의의 전도체 또는 반도체 재료로 이루어질 수 있다. 특정 실시예에서, 게이트 층(818)은 1 내지 20 나노미터의 범위의 두께를 갖는다.

[0056] 도 8b에 도시된 다른 실시예에서, 다층 전하-트랩핑 구역(804)은, 제 1 질화물 층(820)을 제 2 질화물 층(822)으로부터 분리시키는 산화물을 포함하는 중간 산화물 또는 안티-터널링 층(828)을 더 포함한다. 메모리 디바이

스(800)의 소거 동안, 홀(hole)들은 블록킹 유전체 층(816)을 향해 이동되지만, 트랩핑된 홀 전하들 대부분은 제 2 질화물 층(822)에 형성된다. 전자 전하는 프로그래밍 후에 제 2 질화물 층(822)의 경계들에 축적되고, 따라서, 제 1 질화물 층(820)의 하부 경계에 더 적은 전하 축적이 존재한다. 더욱이, 안티-터널링 층(828)으로 인해, 제 2 층(822)의 트랩핑된 전자 전하들에 의한 터널링의 확률이 실질적으로 감소된다. 이는 종래의 메모리 디바이스들에 대해서보다 더 낮은 누설 전류를 초래할 수 있다.

[0057] 2개의 질화물 층들, 즉, 제 1 및 제 2 층을 갖는 것으로 상기 도시 및 설명되었지만, 본 발명은 그와 같이 제한되지 않고, 다층 전하-트랩핑 구역은 다수의(n개의) 질화물 층들을 포함할 수 있고, 상기 다수의 질화물 층들 모두 또는 임의의 질화물 층은 상이한 화학량론적 조성들의 산소, 질소 및/또는 실리콘을 가질 수 있다. 특히, 5개까지의 및 가능하게는 더 많은 질화물 층들 - 상기 질화물 층들 각각은 상이한 화학량론적 조성들을 가짐 - 을 갖는 다층 전하 저장 구조들이 고려된다. 이러한 층들 중 적어도 몇몇은 하나 또는 둘 이상의 비교적 얇은 산화물 층들에 의해 다른 층들로부터 분리될 수 있다. 그러나, 당업자들이 이해할 바와 같이, 원하는 결과를 달성하기 위해 가능한 한 소수의 층들을 활용하여, 디바이스를 생성하기 위해 필요한 프로세스 단계들을 감소시키고, 이에 의해 더 단순하고 더 강건한 제조 프로세스를 제공하는 것이 일반적으로 바람직하다. 더욱이, 가능한 한 소수의 층들을 활용하는 것은 또한 더 높은 수율들을 초래하는데, 그 이유는 더 소수의 층들의 치수들 및 화학량론적 조성을 제어하는 것이 더 단순하기 때문이다.

[0058] 일 실시예에 따른 분열 다층 전하-트랩핑 구역을 포함하는 메모리 디바이스를 형성 또는 제조하는 방법이 이제 도 9의 흐름도를 참조하여 설명될 것이다.

[0059] 도 9를 참조하면, 방법은, 기판의 표면 상의 실리콘 함유 층 위에 터널 유전체 층을 형성하는 것으로 시작한다(900). 상기 언급된 바와 같이, 일 실시예에서, 터널 유전체 층은 실리콘 이산화물(SiO₂)을 포함하며, H₂ 및 O₂를 열분해(pyrolyze)하기 위해 점화 이벤트(ignition event) 없이 터널 유전체 층을 형성하기 위해 기판의 일부를 소모하기 위해 기판의 표면에 라디칼들을 형성하도록 수소(H₂) 및 산소(O₂) 가스가 프로세스 챔버에 도입되는 라디칼 산화 프로세스, ISSG(In-Situ Steam Generation) 또는 플라즈마 산화 프로세스에 의해 형성 또는 증착된다.

[0060] 그 다음으로, 제 1 중수소화 층이 터널링 유전체 층의 표면 상에 형성된다(902). 제 1 중수소화 층은, 실리콘 소스, 이를 태면, 실란(SiH₄), 클로로실란(SiH₃Cl), 디클로로실란 또는 DCS(SiH₂Cl₂), 테트라클로로실란(SiCl₄) 또는 비스-3차부틸아미노 실란(Bis-TertiaryButylAmino Silane)(BTBAS), 산소 소스, 이를 태면, 산소(O₂) 또는 N₂O, 및 질소 소스 함유 중수소, 이를 태면, 중수소화된-암모니아(ND₃)를 포함하는 프로세스 가스를 이용하여 저압 CVD 프로세스에서 형성 또는 증착될 수 있다.

[0061] 다음으로, 다층 전하-트랩핑 구역의 제 1 질화물 또는 질화물 함유 층이 제 1 중수소화 층의 표면 상에 형성된다(904). 일 실시예에서, 제 1 질화물 층은, 실리콘 소스, 이를 태면, 실란(SiH₄), 클로로실란(SiH₃Cl), 디클로로실란 또는 DCS(SiH₂Cl₂), 테트라클로로실란(SiCl₄) 또는 비스-3차부틸아미노 실란(BTBAS), 질소 소스, 이를 태면, 질소(N₂), 암모니아(NH₃), 질소 삼산화물(NO₃) 또는 아산화질소(N₂O), 및 산소-함유 가스, 이를 태면, 산소(O₂) 또는 N₂O를 이용하여 저압 CVD 프로세스에서 형성 또는 증착된다. 예를 들어, 제 1 질화물 층은, 약 2.5 분 내지 약 20분의 기간 동안, 약 5 mT(milliTorr) 내지 약 500 mT의 압력으로 챔버를 유지하고, 약 700 °C 내지 약 850 °C, 그리고 특정 실시예들에서는 적어도 약 760 °C의 온도로 기판을 유지하면서, 기판을 증착 챔버에 위치시키고 N₂O, NH₃ 및 DCS를 포함하는 프로세스 가스를 도입함으로써, 제 1 중수소화 층 위에 증착될 수 있다. 특히, 프로세스 가스는, 약 8:1 내지 약 1:8의 비율로 혼합된 N₂O 및 NH₃의 제 1 가스 혼합물 및 약 1:7 내지 약 7:1의 비율로 혼합된 DCS 및 NH₃의 제 2 가스 혼합물을 포함할 수 있고, 약 5 내지 약 200 sccm(standard cubic centimeters per minute)의 유량으로 도입될 수 있다. 이러한 조건 하에서 생성 또는 증착된 산질화물 층이 실리콘-리치 산소-리치 제 1 질화물 층을 산출하는 것이 발견되었다.

[0062] 그 다음으로, 안티-터널링 층이 제 1 질화물 층의 표면 상에 형성 또는 증착된다(906). 터널링 산화물 층과 마찬가지로, 안티-터널링 층은, 플라즈마 산화 프로세스, ISSG(In-Situ Steam Generation) 또는 라디칼 산화 프로세스를 포함하는 임의의 적합한 수단에 의해 형성 또는 증착될 수 있다. 일 실시예에서, 라디칼 산화 프로세스는, 수소(H₂) 및 산소(O₂) 가스를 배치 프로세싱 챔버(batch-processing chamber) 또는 노(furnace)로

유동시켜, 제 1 질화물 층의 일부의 산화 소모에 의해 안티-터널링 층을 성장시키는 것을 수반한다.

[0063] 그 다음으로, 다층 전하-트랩핑 구역의 제 2 질화물 층이 안티-터널링 층의 표면 상에 형성된다(908). 제 2 질화물 층은, 약 2.5 분 내지 약 20 분의 기간 동안, 약 700 °C 내지 약 850 °C, 그리고 특정 실시예들에서는 적어도 약 760 °C의 기판 온도에서, 약 5 mT 내지 약 500 mT의 챔버 압력으로, N₂O, NH₃ 및 DCS를 포함하는 프로세스 가스를 이용하여 CVD 프로세스에서 안티-터널링 층 위에 증착될 수 있다. 특히, 프로세스 가스는, 약 8:1 내지 약 1:8의 비율로 혼합된 N₂O 및 NH₃의 제 1 가스 혼합물 및 약 1:7 내지 약 7:1의 비율로 혼합된 DCS 및 NH₃의 제 2 가스 혼합물을 포함할 수 있고, 약 5 내지 약 20 sccm의 유량으로 도입될 수 있다. 이러한 조건 하에서 생성 또는 증착된 산질화물 층이 실리콘-리치 질소-리치 및 산소-리치 제 2 질화물 층을 산출하는 것이 발견되었다.

[0064] 몇몇 실시예들에서, 제 2 질화물 층은, 그 내부의 트랩들의 수를 증가시키기 위해 선택된 농도의 탄소를 추가로 포함하기 위해, 약 7:1 내지 약 1:7의 비율로 혼합된 BTBAS 및 암모니아(NH₃)를 포함하는 프로세스 가스를 이용하여 CVD 프로세스에서 안티-터널링 층 위에 증착될 수 있다. 제 2 산질화물 층 내의 탄소의 선택된 농도는 약 5% 내지 약 15%의 탄소 농도를 포함할 수 있다.

[0065] 선택적으로, 다층 전하-트랩핑 구역이 제 2 중수소화 층을 포함하는 경우, 메모리 디바이스를 제조하는 방법은, 제 2 질화물 층 상에 제 2 중수소화 층을 형성하는 것(910)을 더 포함할 수 있다. 제 1 중수소화 층과 마찬가지로, 제 2 중수소화 층은, 실리콘 소스, 이를 테면, 실란(SiH₄), 클로로실란(SiH₃Cl), 디클로로실란 또는 DCS(SiH₂Cl₂), 테트라클로로실란(SiCl₄) 또는 비스-3차부틸아미노 실란(BTBAS), 산소 소스, 이를 테면, 산소(O₂) 또는 N₂O, 및 질소 소스 함유 중수소, 이를 테면, 중수소화된-암모니아(ND₃)를 포함하는 프로세스 가스를 이용하여 저압 CVD 프로세스에서 형성 또는 증착될 수 있다.

[0066] 다음으로, 최상부 또는 블록킹 유전체 층이 제 2 중수소화 층 또는 다층 전하-트랩핑 구역의 제 2 질화물 층의 표면 상에 형성된다(912). 상기 언급된 바와 같이, 블록킹 유전체 층은 하이 K 유전체, 실리콘 이산화물, 실리콘 산질화물, 실리콘 질화물, 또는 이들의 조합을 포함하는 임의의 적합한 유전체 재료를 포함할 수 있다. 일 실시예에서, 블록킹 유전체 층은 CVD 프로세스를 이용하여 증착된 또는 열적으로 성장된, 비교적 두꺼운 SiO₂ 층을 포함한다. 일반적으로, 프로세스는, 약 650 °C 내지 약 850 °C의 온도로 기판을 유지하면서, 약 10분 내지 약 120분의 기간 동안, 약 50 mT 내지 약 1000 mT의 압력으로 증착 챔버에서, 기판을 실리콘 소스, 이를 테면, 실란, 클로로실란, 또는 디클로로실란, 및 산소-함유 가스, 이를 테면, O₂ 또는 N₂O에 노출시키는 것을 수반한다. 대안적으로, 터널링 산화물 층과 마찬가지로, 블록킹 유전체 층은, 플라즈마 산화 프로세스, ISSG(In-Situ Steam Generation) 또는 라디칼 산화 프로세스를 포함하는 임의의 적합한 수단에 의해 형성 또는 증착될 수 있다.

[0067] 마지막으로, 게이트 층이 블록킹 유전체 층의 표면 상에 형성된다(914). 일 실시예에서, 게이트 층은 CVD 프로세스에 의해 형성되고 도핑된 폴리실리콘으로 이루어진다. 다른 실시예에서, 게이트 층은 물리 기상 증착에 의해 형성되고, 금속 질화물들, 금속 탄화물들, 금속 규화물들, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄, 루테튬, 팔라듐, 백금, 코발트 및 니켈(그러나, 이들로 제한되지 않음)을 포함할 수 있는 금속-함유 재료로 이루어진다.

[0068] 다른 양상에서, 본원은 또한, 기판의 표면 상에 또는 위에 형성된 채널 구역의 둘 또는 셋 이상의 측들 위에 놓인 전하 트랩핑 구역들을 포함하는 멀티게이트 또는 멀티게이트-표면 메모리 디바이스들, 및 이를 제조하는 방법들에 관한 것이다. 멀티게이트 디바이스들은 평면 및 비평면 디바이스들 모두를 포함한다. 평면 멀티게이트 디바이스(도시되지 않음)는 일반적으로 더블-게이트 평면 디바이스를 포함하고, 여기서, 이후에 형성되는 채널 구역 아래에 제 1 게이트를 형성하기 위해 다수의 제 1 층들이 증착되고, 제 2 게이트를 형성하기 위해 그 위에 다수의 제 2 층들이 증착된다. 비평면 멀티게이트 디바이스는 일반적으로, 기판의 표면 상에 또는 위에 형성되고 셋 또는 넷 이상의 측들 상에서 게이트에 의해 둘러싸인 수평 또는 수직 채널 구역을 포함한다.

[0069] 도 10a는 전하-트랩핑 구역을 포함하는 비평면 멀티게이트 메모리 디바이스의 일 실시예를 예시한다. 도 10a를 참조하면, 일반적으로 finFET로 지칭되는 메모리 디바이스(1000)는, 메모리 디바이스의 소스(1008) 및 드레인(1010)을 연결하는, 기판(1006) 상의 표면(1004) 위에 놓이는 반전도성 재료의 층 또는 박막으로 형성되는 채널 구역(1002)을 포함한다. 채널 구역(1002)은 디바이스의 게이트(1012)를 형성하는 핀(fin)에 의해 3개 측들 상

에 인클로징된다. (소스로부터 드레인으로의 방향에서 측정되는) 게이트(1012)의 두께는 디바이스의 유효 채널 길이를 결정한다.

[0070] 본원에 따르면, 도 10a의 비평면 멀티게이트 메모리 디바이스(1000)는 하나 또는 둘 이상의 중수소화 층들을 갖는 분열 전하-트랩핑 구역을 포함할 수 있다. 도 10b는 다층 전하-트랩핑 구역(1014)을 예시하는 게이트 스택(1012), 채널 구역(1002) 및 기판(1006)의 일부분을 포함하는 도 10a의 비평면 메모리 디바이스의 일부분의 단면도이다. 게이트(1012)는 메모리 디바이스(1000)의 제어 게이트를 형성하기 위해 블록킹 층 위에 놓이는 게이트 층(1020) 및 블록킹 유전체(1018), 상승된 채널 구역(1002) 위에 놓이는 터널 유전체 층(1016)을 더 포함한다. 상기 설명된 실시예들과 마찬가지로, 몇몇 실시예들에서, 게이트 층(1020)은 금속 또는 도핑된 폴리실리콘을 포함할 수 있다. 채널 구역(1002) 및 게이트(1012)는 기판 상에 또는 위에 형성된, 매립된 산화물 층과 같은 절연 또는 유전체 층(1022) 상에 또는 기판(1006) 상에 직접 형성될 수 있다.

[0071] 도 10b를 참조하면, 일 실시예에서, 다층 전하-트랩핑 구역(1014)은 터널 유전체 층(1016) 위에 놓이는 제 1 중수소화 층(1024), 제 1 중수소화 층(1024) 위에 놓이는 제 1 질화물 층(1026), 및 제 1 질화물 층 상에 또는 위에 배치된 제 2 질화물 층(1028)을 적어도 포함한다. 일반적으로, 제 2 질화물 층(1028)은 실리콘-리치 산소-린 질화물 층을 포함하고, 다수의 전하-트랩핑 층들에 분배되는 다수의 전하 트랩들을 포함하는 한편, 제 1 질화물 층(1026)은 산소-리치 질화물 또는 실리콘 산질화물을 포함하고, 그 내부의 전하 트랩들의 수를 감소시키기 위해 최상부 전하-트랩핑 층에 대해 산소-리치이다. 산소-리치란, 제 1 질화물 층(1026)에서의 산소의 농도가 약 15 내지 약 40%인 반면, 최상부 전하-트랩핑 층(1026)에서의 산소의 농도는 약 5% 미만이라는 것을 의미한다.

[0072] 도시된 바와 같은 몇몇 실시예들에서, 다층 전하-트랩핑 구역(1014)은, 제 2 질화물 층(1028)을 제 1 질화물 층(1026)으로부터 분리시키는 적어도 하나의 얇은, 중간 산화물 또는 안티-터널링 층(1030)을 더 포함한다. 상기 언급된 바와 같이, 안티-터널링 층(1030)은 제 1 질화물 층(1026)으로의 터널링으로부터의 프로그래밍 동안 제 2 질화물 층(1028)의 경계들에 축적되는 전자 전하의 확률을 실질적으로 감소시킨다.

[0073] 상기 설명된 실시예들과 마찬가지로, 제 1 질화물 층(1026) 및 제 2 질화물 층(1028) 중 어느 하나 또는 양측 모두는, 실리콘 질화물 또는 실리콘 산질화물을 포함할 수 있고, 예를 들어, 실리콘-리치 및 산소-리치 산질화물 층을 제공하기 위해 맞춤형된 유량들에서 그리고 비율들에서 N_2O/NH_3 및 DCS/NH_3 가스 혼합물들을 포함하는 CVD 프로세스에 의해 형성될 수 있다. 그 다음으로, 다층 전하-트랩핑 구역의 제 2 질화물 층이 중간 산화물 층 상에 형성된다. 제 2 질화물 층(1028)은 제 1 질화물 층(1026)의 화학량론적 조성과 상이한 화학량론적 조성의 산소, 질소 및/또는 실리콘을 갖고, 또한 실리콘-리치 산소-린 제 2 질화물 층(1028)을 제공하기 위해 맞춤형된 유량들에서 그리고 비율들에서 DCS/NH_3 및 N_2O/NH_3 가스 혼합물들을 포함하는 프로세스 가스를 이용하여 CVD 프로세스에 의해 형성 또는 증착될 수 있다.

[0074] 산화물을 포함하는 안티-터널링 층(1030)을 포함하는 그러한 실시예들에서, 안티-터널링 층은 라디칼 산화를 이용하여 선택된 깊이까지, 제 1 질화물 층(1026)의 산화에 의해 형성될 수 있다. 라디칼 산화는 예를 들어, 단일 웨이퍼 툴(single wafer tool)을 이용하여 1000 내지 1100 °C, 또는 배치 리액터 툴(batch reactor tool)을 이용하여 800 내지 900°C의 온도에서 수행될 수 있다. H_2 및 O_2 가스들의 혼합물은, 단일 웨이퍼 툴을 이용하여 1 내지 2분, 또는 배치 프로세스를 이용하여 30분 내지 1시간의 시간 동안, 단일 증기 툴을 이용하여 10 내지 15 Tor 또는 배치 프로세스의 경우 300 내지 500 Tor의 압력에서 사용될 수 있다.

[0075] 도시된 바와 같은 몇몇 실시예들에서, 다층 전하-트랩핑 구역(1014)은, 제 2 질화물 층(1028) 위에 놓이고, 제 2 질화물 층을 블록킹 유전체 층(1018)으로부터 분리시키는 제 2 중수소화 층(1032)을 더 포함한다. 상기 설명된 실시예들과 마찬가지로, 제 2 중수소화 층(1032)은 제 1 중수소화 층(1024)의 중수소 농도보다 더 낮은 중수소 농도를 갖는다.

[0076] 도 11a 및 11b에 도시된 다른 실시예에서, 메모리 디바이스는 메모리 디바이스의 소스 및 드레인을 연결하는, 기판 상의 표면 위에 놓이는 반전도성 재료의 박막으로 형성되는 나노와이어 채널을 포함할 수 있다. 나노와이어 채널이란 약 10 nm(nanometer) 또는 그 미만, 그리고 더 바람직하게는 약 6 nm 미만의 최대 단면 치수를 갖는, 결정질 실리콘 재료의 얇은 스트립으로 형성되는 전도성 채널 구역을 의미한다. 선택적으로, 채널 구역은 채널 구역의 장축에 대해 <100> 표면 결정질 배향을 갖도록 형성될 수 있다.

[0077] 도 11a를 참조하면, 메모리 디바이스(1100)는, 기판(1106) 상의 표면 상의 또는 상기 표면 위에 놓이는 반전도성 재료의 층 또는 박막으로 형성되고, 메모리 디바이스의 소스(1108) 및 드레인(1110)을 연결하는 수평 나노와

이어 채널 구역(1102)을 포함한다. 도시된 실시예에서, 디바이스는 나노와이어 채널 구역(1102)이 디바이스의 게이트(1112)에 의해 모든 측들 상에 인클로징되는 GAA(gate-all-around) 구조를 갖는다. (소스로부터 드레인으로의 방향에서 측정되는) 게이트(1112)의 두께는 디바이스의 유효 채널 구역 길이를 결정한다.

[0078] 본원에 따르면, 도 11a의 비평면 멀티게이트 메모리 디바이스(1100)는 분열 다층 전하-트랩핑 구역을 포함할 수 있다. 도 11b는 분열 다층 전하-트랩핑 구역을 예시하는 게이트(1112), 나노와이어 채널 구역(1102) 및 기판(1106)의 일부분을 포함하는 도 11a의 비평면 메모리 디바이스의 일부분의 단면도이다. 도 11b를 참조하면, 게이트(1112)는, 분열 다층 전하-트랩핑 구역에 부가하여, 메모리 디바이스(1100)의 제어 게이트를 형성하기 위해, 나노와이어 채널 구역(1102) 위에 놓이는 터널 유전체 층(1114), 블록킹 층 위에 놓이는 블록킹 유전체(1116) 및 게이트 층(1118)을 포함한다. 게이트 층(1118)은 금속 또는 도핑된 폴리실리콘을 포함할 수 있다.

[0079] 분열 다층 전하-트랩핑 구역은, 터널 유전체 층(1114) 위에 놓이는 제 1 중수소화 층(1120), 제 1 중수소화 층(1120) 위에 놓이는 내부 또는 제 1 질화물 층(1122) 또는 질화물을 포함하는 층, 및 제 1 질화물 층(1122) 위에 놓이는 외부 또는 제 2 질화물 층(1124) 또는 질화물을 포함하는 층을 적어도 포함한다. 일반적으로, 제 2 질화물 층(1124)은 실리콘-리치 산소-린 질화물 층을 포함하고, 분열 다층 전하-트랩핑 구역에 분배되는 다수의 전하 트랩들을 포함하는 한편, 제 1 질화물 층(1122)은 산소-리치 질화물 또는 실리콘 산질화물을 포함하고, 그 내부의 전하 트랩들의 수를 감소시키기 위해 제 2 질화물 층(1124)에 대해 산소-리치이다.

[0080] 도시된 바와 같은 몇몇 실시예들에서, 다층 전하-트랩핑 구역은 제 2 질화물 층(1124)을 제 1 질화물 층(1122)으로부터 분리시키는 적어도 하나의 얇은, 중간 산화물 또는 안티-터널링 층(1126)을 더 포함한다. 상기 언급된 바와 같이, 안티-터널링 층(1126)은 제 1 질화물 층(1122)으로의 터널링으로부터의 프로그래밍 동안 제 2 질화물 층(1124)의 경계들에 축적되는 전자 전하의 확률을 실질적으로 감소시킨다.

[0081] 상기 설명된 실시예와 마찬가지로, 제 1 질화물 층(1122) 및 제 2 질화물 층(1124) 중 어느 하나 또는 양측 모두는 실리콘 질화물 또는 실리콘 산질화물을 포함할 수 있다. 제 1 질화물 층(1122)은, 예를 들어, 실리콘-리치 및 산소-리치 제 1 질화물 층을 제공하기 위해 맞춤형된 유량들에서 그리고 비율들에서 N_2O/NH_3 및 DCS/NH_3 가스 혼합물들을 포함하는 CVD 프로세스에 의해 형성될 수 있다. 제 2 질화물 층(1124)은 제 1 질화물 층(1122)의 화학량론적 조성과 상이한 화학량론적 조성의 산소, 질소 및/또는 실리콘을 갖고, 또한 실리콘-리치 산소-린 제 2 질화물 층을 제공하기 위해 맞춤형된 유량들에서 그리고 비율들에서 DCS/NH_3 및 N_2O/NH_3 가스 혼합물들을 포함하는 프로세스 가스를 이용하여 CVD 프로세스에 의해 형성 또는 증착될 수 있다.

[0082] 산화물을 포함하는 안티-터널링 층(1126)을 포함하는 그러한 실시예들에서, 안티-터널링 층은 라디칼 산화를 이용하여 선택된 깊이까지, 제 1 질화물 층(1122)의 산화에 의해 형성될 수 있다. 라디칼 산화는 예를 들어, 단일 웨이퍼 틀을 이용하여 1000 내지 1100°C, 또는 배치 리액터 틀을 이용하여 800 내지 900°C의 온도에서 수행될 수 있다. H_2 및 O_2 가스들의 혼합물은 단일 웨이퍼 틀을 이용하여 1 내지 2분, 또는 배치 프로세스를 이용하여 30분 내지 1시간의 시간 동안, 단일 증기 틀을 이용하여 10 내지 15 Tor 또는 배치 프로세스의 경우 300 내지 500 Tor의 압력에서 사용될 수 있다.

[0083] 도시된 바와 같은 몇몇 실시예들에서, 다층 전하-트랩핑 구역(1014)은, 제 2 질화물 층(1124) 위에 놓이고 제 2 질화물 층을 블록킹 유전체 층(1116)으로부터 분리시키는 제 2 중수소화 층(1128)을 더 포함한다. 상기 설명된 실시예들과 마찬가지로, 제 2 중수소화 층(1128)은 제 1 중수소화 층(1120)의 중수소 농도보다 더 낮은 중수소 농도를 갖는다.

[0084] 도 11c는 비트-코스트 스케일러블 또는 BiCS 아키텍처(Bit-Cost Scalable or BiCS architecture)(1130)에 배열되는 도 11a의 비평면 멀티게이트 디바이스들(1100)의 수직 스트링의 단면도를 예시한다. 아키텍처(1130)는 비평면 멀티게이트 디바이스들(1100)의 수직 스트링 또는 스택으로 이루어지고, 여기서, 각각의 디바이스 또는 셀은, 기판(1106) 위에 놓이고, 메모리 디바이스의 소스 및 드레인(본 도면에 도시되지 않음)을 연결하고, 나노와이어 채널 구역(1102)이 게이트(1112)에 의해 모든 측들 상에 인클로징되는 GAA(gate-all-around) 구조를 갖는 채널 구역(1102)을 포함한다. BiCS 아키텍처는 층들의 단순한 스택킹과 비교하여 임계적인 리소그래피 단계들의 수를 감소시켜, 메모리 비트 당 감소된 비용을 초래한다.

[0085] 다른 실시예에서, 메모리 디바이스는, 기판상의 다수의 전도성, 반전도성 층들 위에 또는 그로부터 돌출하는 반전도성 재료에 또는 상기 반전도성 재료로 형성되는 수직 나노와이어 채널을 포함하는 비평면 디바이스이거나 또는 상기 비평면 디바이스를 포함한다. 도 12a에서 컷어웨이(cut-away)로 도시되는 본 실시예의 일 버전에서, 메모리 디바이스(1200)는, 디바이스의 소스(1204) 및 드레인(1206)을 연결하는, 반전도성 재료의 실린더에 형성

된 수직 나노와이어 채널 구역(1202)을 포함한다. 채널 구역(1202)은 메모리 디바이스(1200)의 제어 게이트를 형성하기 위해, 터널 유전체 층(1208), 다층 전하-트랩핑 구역(1210), 블록킹 층(1212), 및 블록킹 층 위에 놓이는 게이트 층(1214)에 의해 둘러싸인다. 채널 구역(1202)은 반전도성 재료의 실질적으로 솔리드 실린더의 외부 층에 환형(annular) 구역을 포함할 수 있거나, 또는 유전체 필러(filler) 재료의 실린더 위에 형성된 환형 층을 포함할 수 있다. 상기 설명된 수평 나노와이어들과 마찬가지로, 채널 구역(1202)은 단결정질 채널을 형성하기 위해 폴리실리콘 또는 재결정화된 폴리실리콘을 포함할 수 있다. 선택적으로, 채널 구역(1202)이 결정질 실리콘을 포함하는 경우, 채널은 채널의 장축에 대해 <100> 표면 결정질 배향을 갖도록 형성될 수 있다.

[0086] 도 12b에 도시된 바와 같은 몇몇 실시예들에서, 다층 전하-트랩핑 구역(1210)은, 터널 유전체 층(1208) 위에 놓이는 제 1 중수소화 층(1216), 제 1 중수소화 층(1216) 위에 놓이는 내부 또는 제 1 질화물 층(1218) 또는 질화물을 포함하는 층, 및 제 1 질화물 층(1218) 위에 놓이는 외부 또는 제 2 질화물 층(1220) 또는 질화물을 포함하는 층을 적어도 포함하는 분열 다층 전하-트랩핑 구역일 수 있다. 선택적으로, 도시된 실시예들과 같이, 제 1 및 제 2 질화물 층들(1218, 1220)은 중간 산화물 또는 안티-터널링 층(1222)에 의해 분리될 수 있다.

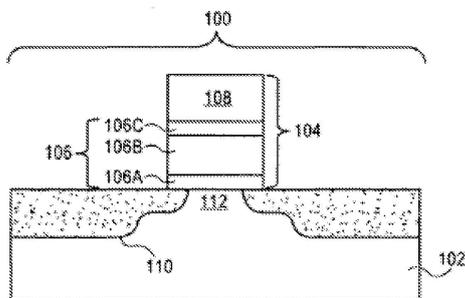
[0087] 상기 설명된 실시예들과 마찬가지로, 제 1 질화물 층(1218) 및 제 2 질화물 층(1220) 중 어느 하나 또는 양측 모두는 실리콘 질화물 또는 실리콘 산질화물을 포함할 수 있다. 제 1 질화물 층(1218)은 예를 들어, 실리콘-리치 및 산소-리치 제 1 질화물 층을 제공하기 위해 맞춤화된 유량들에서 그리고 비율들에서 N₂O/NH₃ 및 DCS/NH₃ 가스 혼합물들을 포함한 CVD 프로세스에 의해 형성될 수 있다. 제 2 질화물 층(1220)은 제 1 질화물 층(1218)의 화학량론적 조성보다 상이한 화학량론적 조성의 산소, 질소 및/또는 실리콘을 갖고, 실리콘-리치 산소-린 제 2 질화물 층을 제공하기 위해 맞춤화된 유량들에서 그리고 비율들에서 DCS/NH₃ 및 N₂O/NH₃ 가스 혼합물들을 포함하는 프로세스 가스를 이용하여 CVD 프로세스에 의해 또한 형성 또는 증착될 수 있다.

[0088] 도시된 바와 같은 몇몇 실시예들에서, 다층 전하-트랩핑 구역(1210)은, 제 2 질화물 층(1220) 위에 놓이고, 제 2 질화물 층을 블록킹 유전체 층(1212)로부터 분리시키는 제 2 중수소화 층(1224)을 더 포함한다. 상기 설명된 실시예들과 마찬가지로, 제 2 중수소화 층(1224)은 제 1 중수소화 층(1216)의 중수소 농도보다 더 낮은 중수소 농도를 갖는다.

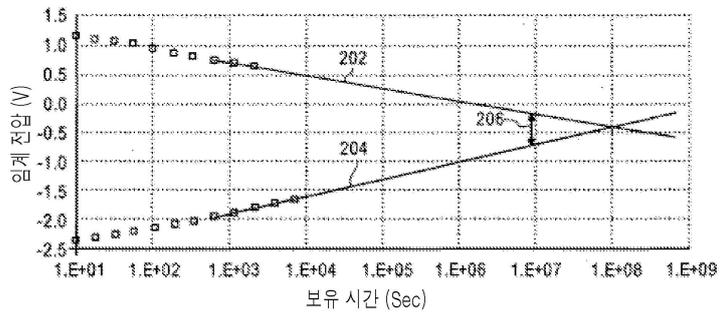
[0089] 이와 같이, 비휘발성 전하 트랩 메모리 디바이스가 개시되었다. 디바이스는 채널 구역 및 한 쌍의 소스 및 드레인 구역들을 갖는 기관을 포함한다. 게이트 스택은 한 쌍의 소스 및 드레인 구역들 사이에 그리고 채널 구역 위의 기관 위에 있다. 본 발명의 실시예에 따르면, 게이트 스택은 제 1 중수소화 층을 갖는 다층 전하-트랩핑 구역을 포함한다. 일 실시예에서, 다층 전하-트랩핑 구역은 중수소가 없는 전하-트랩핑 층을 더 포함한다. 대안적인 실시예에서, 다층 전하-트랩핑 구역은 제 1 중수소화 층의 중수소 농도 미만의 중수소 농도를 갖는 부분적으로 중수소화된 전하-트랩핑 층을 포함한다.

도면

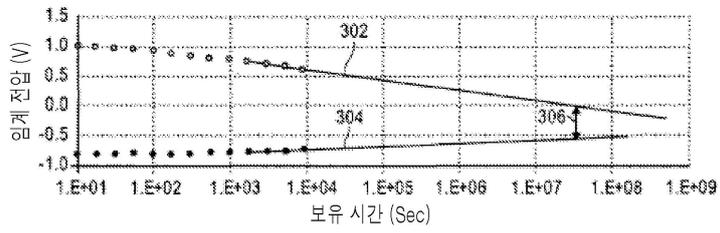
도면1



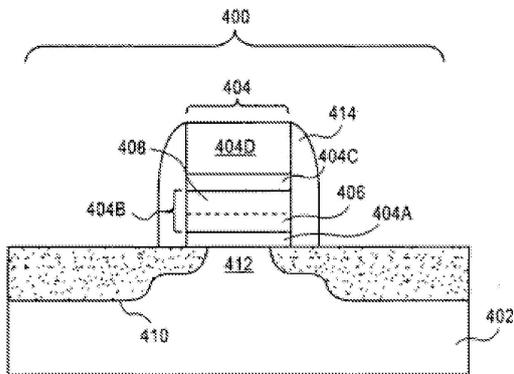
도면2



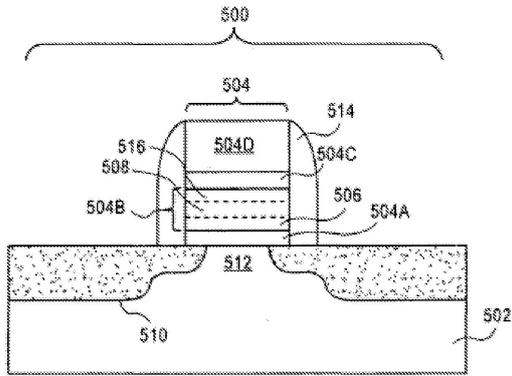
도면3



도면4



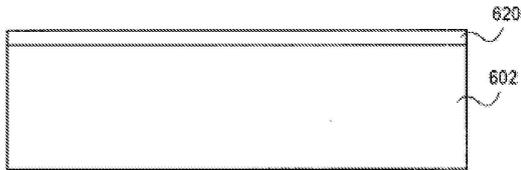
도면5



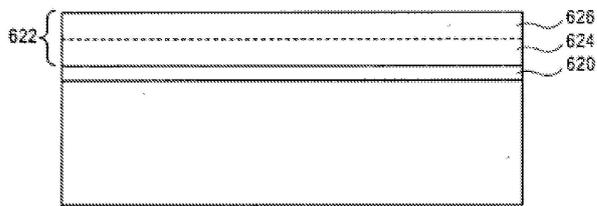
도면6a



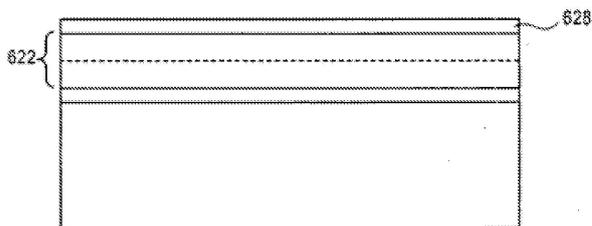
도면6b



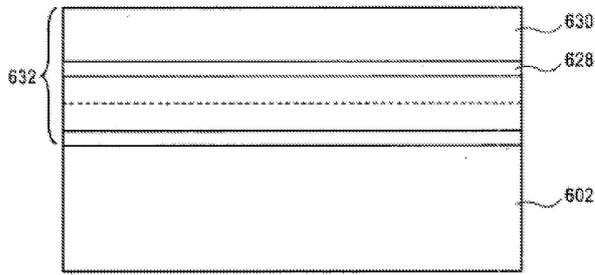
도면6c



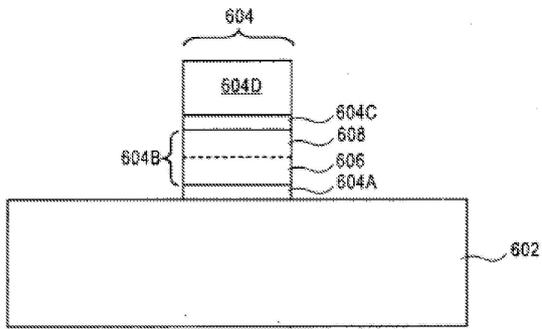
도면6d



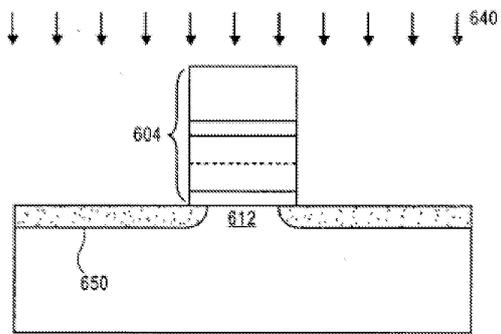
도면6e



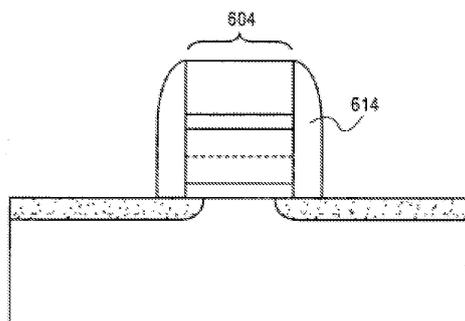
도면6f



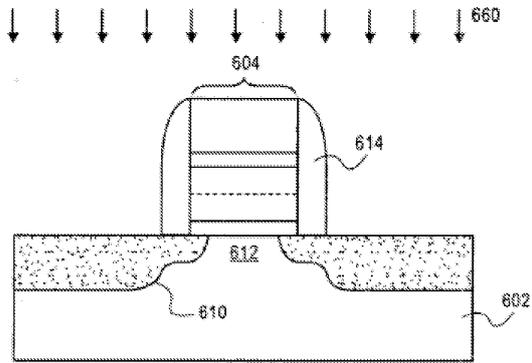
도면6g



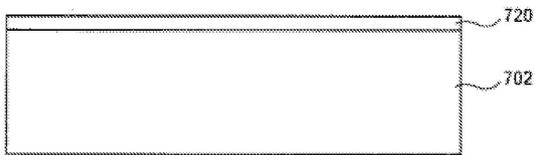
도면6h



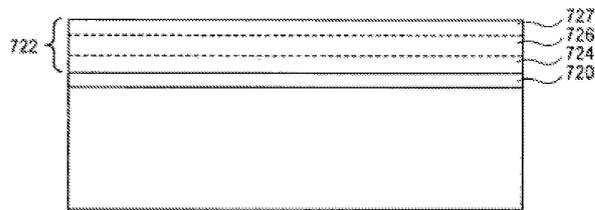
도면6i



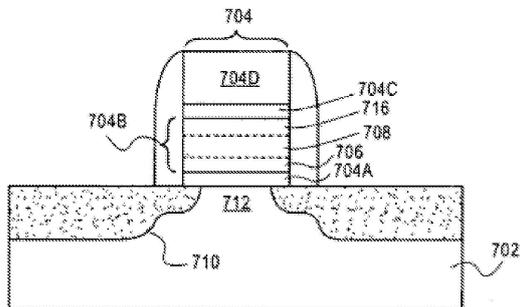
도면7a



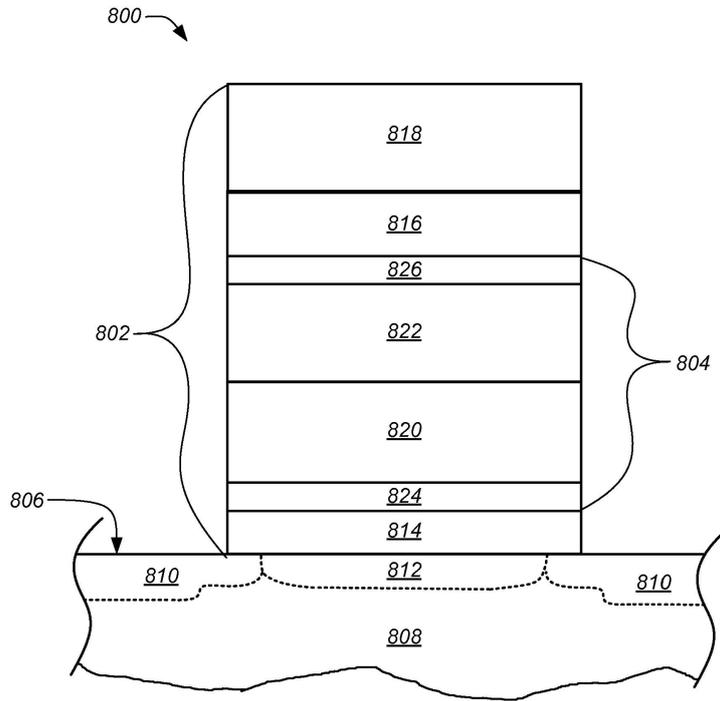
도면7b



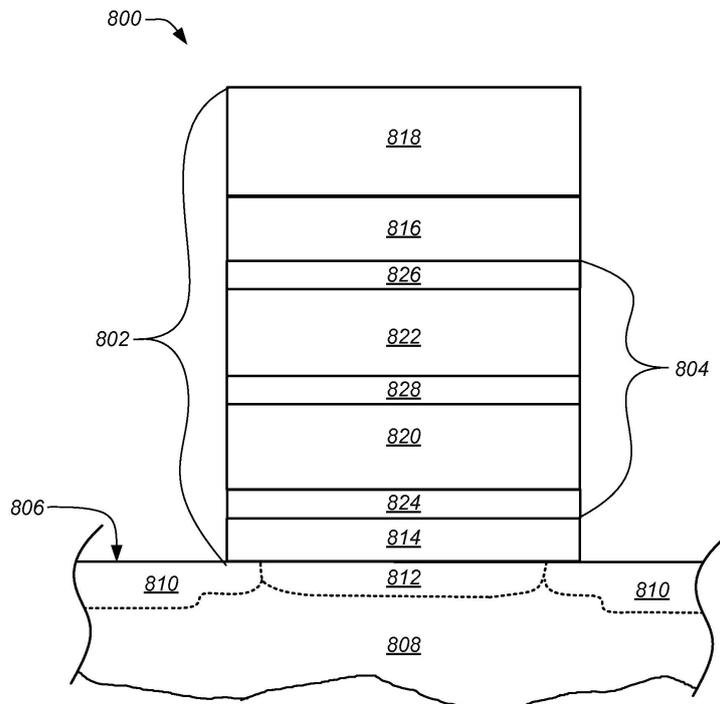
도면7c



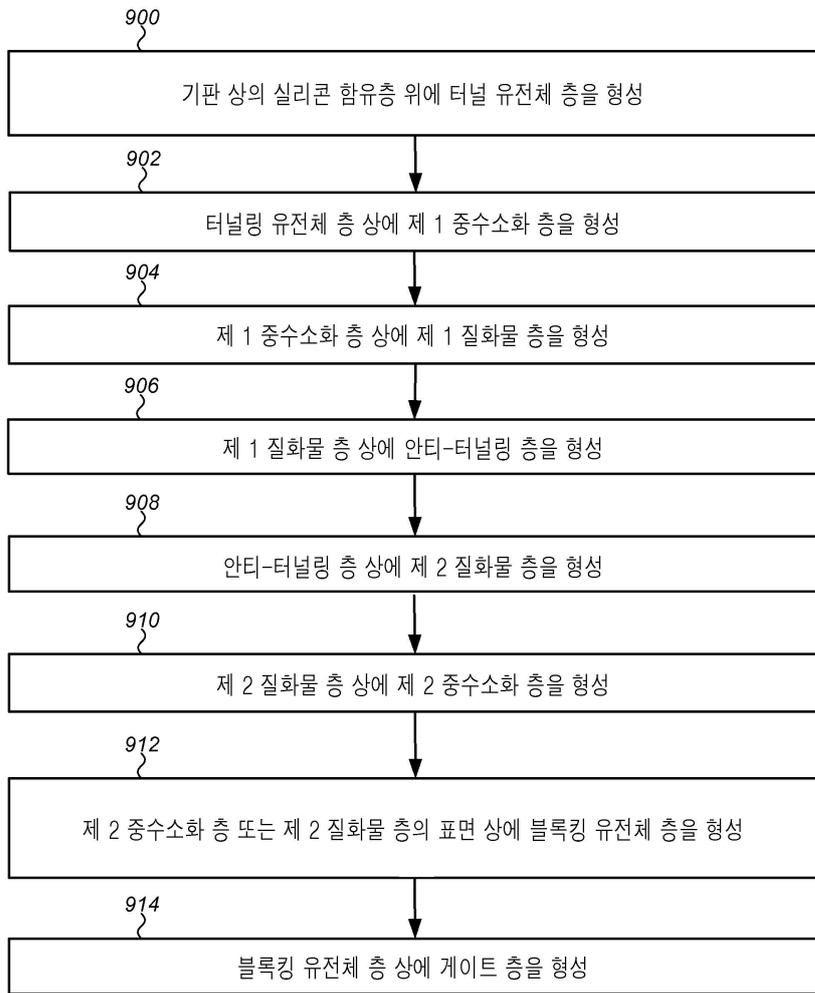
도면8a



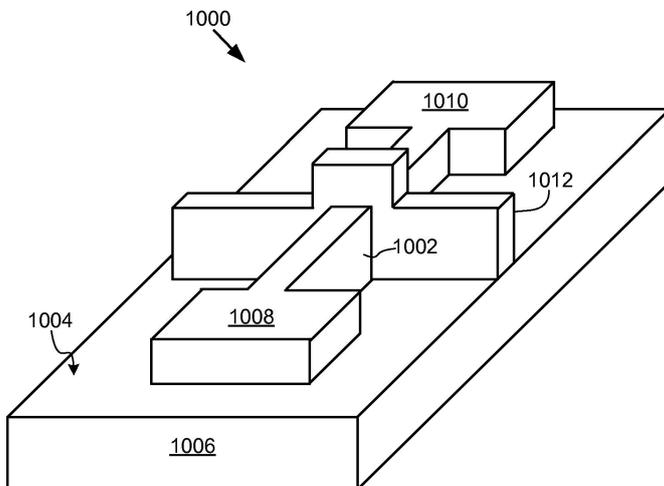
도면8b



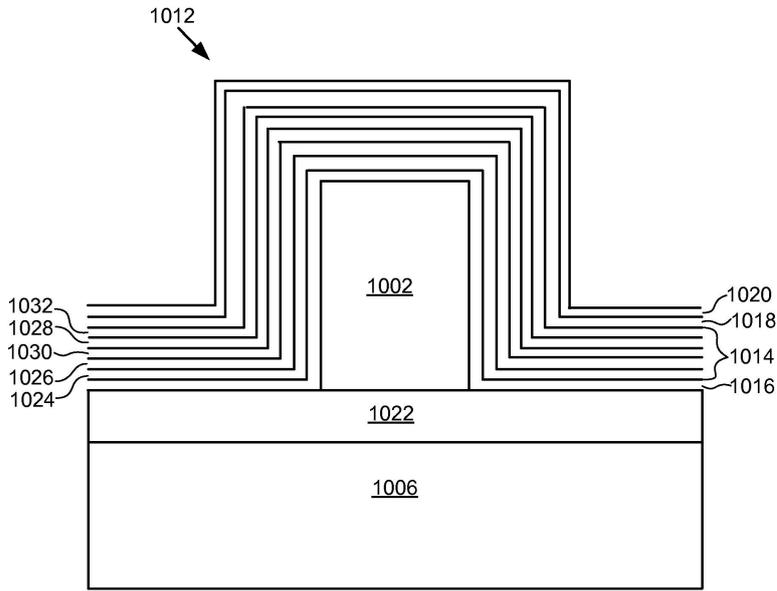
도면9



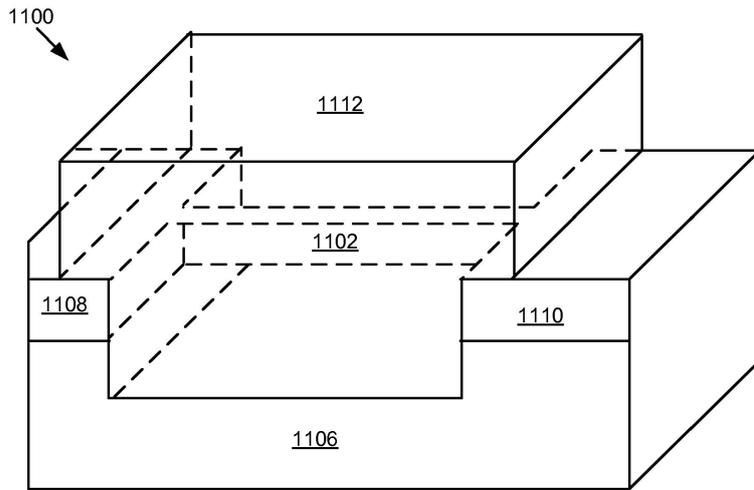
도면10a



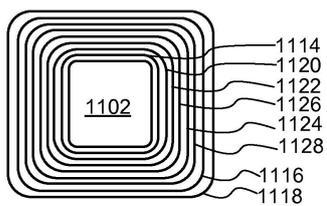
도면10b



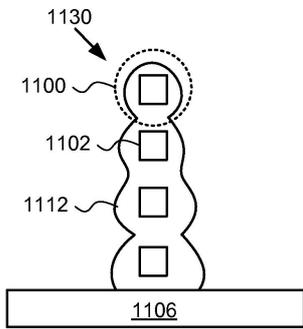
도면11a



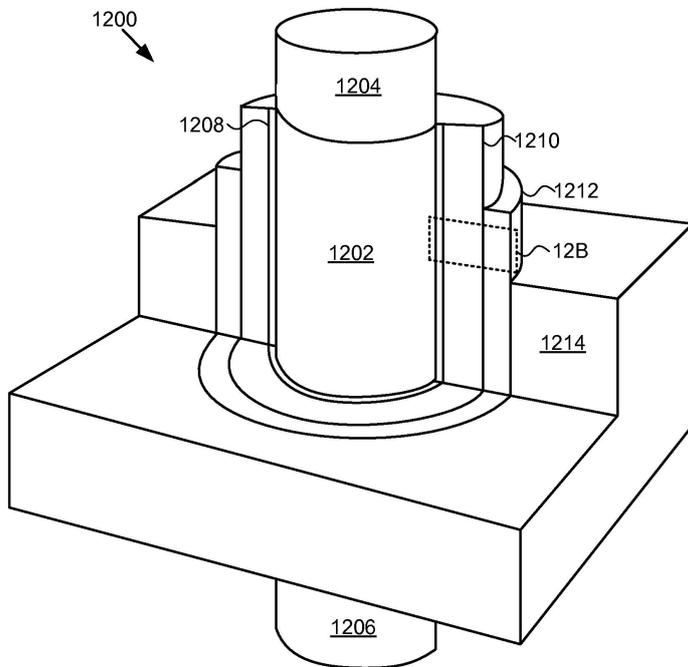
도면11b



도면11c



도면12a



도면12b

