



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I420644 B

(45) 公告日：中華民國 102 (2013) 年 12 月 21 日

(21) 申請案號：099130930

(22) 申請日：中華民國 99 (2010) 年 09 月 13 日

(51) Int. Cl. : **H01L23/552 (2006.01)**

(30) 優先權：2010/04/29 美國 12/770,645

(71) 申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)

高雄市楠梓加工出口區經三路 26 號

(72) 發明人：廖國憲 LIAO, KUO HSIEN (TW)；陳建成 CHEN, JIAN CHENG (TW)；范振銓 FAN, CHEN CHUAN (TW)；邱基綜 CHIU, CHI TSUNG (TW)；洪志斌 HUNG, CHIH PIN (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

(56) 參考文獻：

TW I293796B

TW I311904B

審查人員：修宇鋒

申請專利範圍項數：24 項 圖式數：14 共 0 頁

(54) 名稱

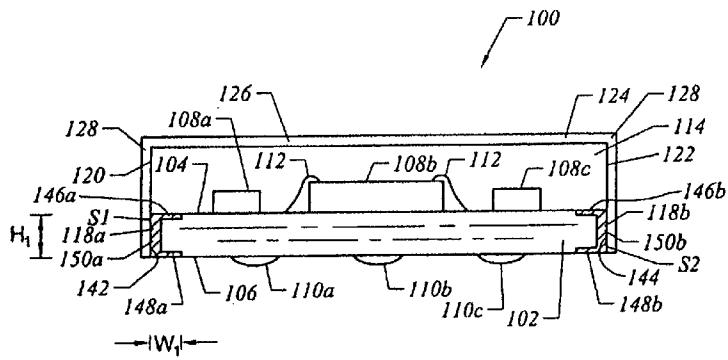
具有遮蔽電磁干擾的半導體裝置封裝件

SEMICONDUCTOR DEVICE PACKAGES WITH ELECTROMAGNETIC INTERFERENCE SHIELDING

(57) 摘要

在此說明用於遮蔽電磁干擾的半導體裝置封裝件以及其相關之方法。在一實施例中，一半導體裝置封裝件包括一接地元件，此接地元件設置鄰接於一基板單元之周圍並且至少部分延伸於基板單元之上表面和下表面之間。此接地元件包括一凹陷部分，此凹陷部分係設置鄰接於基板單元之側向表面。此半導體裝置封裝件還包括一電磁干擾遮蔽件，此電磁干擾遮蔽件係電性地連接至接地元件，並且向內凹進地鄰接於接地元件之凹陷部分。

Described herein are semiconductor device packages with EMI shielding and related methods. In one embodiment, a semiconductor device package includes a grounding element disposed adjacent to a periphery of a substrate unit and at least partially extending between an upper surface and a lower surface of the substrate unit. The grounding element includes an indented portion that is disposed adjacent to a lateral surface of the substrate unit. The semiconductor device package also includes an EMI shield that is electrically connected to the grounding element and is inwardly recessed adjacent to the indented portion of the grounding element.



第2圖

- 100 . . . 半導體裝置封裝件
- 102 . . . 基板單元
- 104 . . . 上表面
- 106 . . . 下表面
- 108a、108b、108c . . . 半導體裝置
- 110a、110b、110c . . . 電性接觸件
- 112 . . . 焊線
- 114 . . . 封裝體
- 118a、118b . . . 接地元件
- 120、122、142、144 . . . 側向表面
- 124 . . . 電磁干擾遮蔽件
- 126 . . . 上部
- 128 . . . 側部
- 146a、146b . . . 上通孔墊殘部
- 148a、148b . . . 下通孔墊殘部
- 150a、150b . . . 電鍍通道殘部
- S1、S2 . . . 連接面
- H<sub>1</sub> . . . 高度
- W<sub>1</sub> . . . 寬度

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99130930

※ 申請日：99.9.13

※IPC 分類：H01L 23/552 (2006.01)

## 一、發明名稱：(中文/英文)

具有遮蔽電磁干擾的半導體裝置封裝件/SEMICONDUCTOR  
DEVICE PACKAGES WITH ELECTROMAGNETIC  
INTERFERENCE SHIELDING

## 二、中文發明摘要：

在此說明用於遮蔽電磁干擾的半導體裝置封裝件以及其相關之方法。在一實施例中，一半導體裝置封裝件包括一接地元件，此接地元件設置鄰接於一基板單元之周圍並且至少部分延伸於基板單元之上表面和下表面之間。此接地元件包括一凹陷部分，此凹陷部分係設置鄰接於基板單元之側向表面。此半導體裝置封裝件還包括一電磁干擾遮蔽件，此電磁干擾遮蔽件係電性地連接至接地元件，並且向內凹進地鄰接於接地元件之凹陷部分。

## 三、英文發明摘要：

Described herein are semiconductor device packages with EMI shielding and related methods. In one embodiment, a semiconductor device package includes a grounding element disposed adjacent to a periphery of a substrate unit and at least partially extending between an upper surface and a lower surface of the substrate unit. The grounding element includes an indented portion that is disposed adjacent to a lateral surface of the substrate unit. The semiconductor device package also includes an EMI

shield that is electrically connected to the grounding element and is inwardly recessed adjacent to the indented portion of the grounding element.

#### 四、指定代表圖：

(一) 本案指定代表圖為：第 2 圖。

(二) 本代表圖之元件符號簡單說明：

100：半導體裝置封裝件

102：基板單元

104：上表面

106：下表面

108a、108b、108c：半導體裝置

110a、110b、110c：電性接觸件

112：焊線

114：封裝體

118a、118b：接地元件

120、122、142、144：側向表面

124：電磁干擾遮蔽件

126：上部

128：側部

146a、146b：上通孔墊殘部

148a、148b：下通孔墊殘部

150a、150b：電鍍通道殘部

S1、S2：連接面

H<sub>1</sub>：高度

W<sub>1</sub>：寬度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種半導體裝置封裝件之裝置，且特別是有關於一種遮蔽電磁干擾的半導體裝置封裝件之裝置。

### 【先前技術】

受到提升製程速度以及尺寸縮小化的需求，半導體裝置變得越趨複雜。當製程速度提昇及尺寸縮小的效益明顯增加時，半導體元件的特性也出現問題。尤其是，更高的工作時脈（clock speed）在訊號準位（signal level）之間導致更頻繁的轉態（transition），在更高的頻率或更短的波長時，這些訊號準位會導致一更高等級強度的電磁輻射（electromagnetic emission）。電磁輻射可由一半導體裝置來源所發射出來，並且可以入射至鄰近的半導體裝置。如果一鄰近半導體裝置的電磁輻射之等級強度足夠高的情況下，這些輻射將會不利地影響到半導體裝置的操作。這種情況通常被稱為是電磁干擾（electromagnetic interference, EMI）。在一整體電子系統中係有高密度的半導體裝置，此更小尺寸的半導體裝置將使電磁干擾的效應更加惡化，因此，在相鄰近的半導體裝置上有一不希望產生的更高等級強度之電磁輻射。

要減少電磁輻射的一種方法就是將一半導體裝置封裝件中整組的半導體裝置遮蔽屏蔽（shield）起來。特別的是，這種屏蔽可以藉由包括一緊貼於封裝件之外部作接

地的電性傳導殼體或蓋體來達成。當來自於封裝件內部的電磁輻射侵襲到此殼體的內表面時，至少一部分的電磁輻射可被電性地短路（short），因此減少通過殼體的幅射強度等級以及對鄰近半導體裝置的不利影響。類似地，當來自一鄰近半導體裝置之電磁輻射侵襲此殼體之外表面時，類似的電性短路情況也會產生，以減少對封裝件內半導體裝置的電磁干擾。

雖然一電性傳導殼體可減少電磁干擾，此殼體在使用上會遇到一些缺點。尤其是，此殼體一般係藉由一黏著劑來貼緊半導體裝置封裝件的外部。不幸的是，由於黏著劑的黏著特性係受到溫度、濕氣、以及其他環境情況等不利的影響，使殼體易於剝離或脫落。同樣地，在將殼體緊貼於封裝件上時，殼體的尺寸和形狀以及封裝件的尺寸和形狀應該要在較小的公差等級下作匹配。殼體和封裝件的尺寸和形狀上之匹配，以及殼體和封裝件在相關位置上的組合精確度將造成製造成本以及時間上的消耗。考量尺寸以及形狀的匹配，不同尺寸和形狀的半導體裝置封裝件會需要不同的殼體，這些用來容納不同封裝件的不同殼體會更進一步增加製造成本和時間。

為了克服這種情況，一種半導體裝置封裝件及其相關之方法係在此作說明。

### 【發明內容】

本發明係有關於一種遮蔽電磁干擾的半導體裝置封裝件。在一實施例中，一半導體裝置封裝件包括：(1) 一

基板單元，包括 (a) 一上表面，(b) 一下表面，(c) 一側向表面，設置鄰接於基板單元之周圍，並且完全地延伸於基板單元之上表面和下表面之間，以及 (d) 一接地元件，設置鄰接於基板單元之周圍，並且至少部分延伸於基板單元之上表面和下表面之間；(2) 一半導體裝置，設置鄰接於基板單元之上表面，並且電性連接至基板單元；(3) 一封裝體，設置鄰接於基板單元之上表面，並且覆蓋半導體裝置，封裝體包括複數個外部表面，此些外部表面包括一側向表面；以及 (4) 一電磁干擾遮蔽件設置鄰接於封裝體之外部表面以及基板單元之側向表面，此電磁干擾遮蔽件係電性連接至接地元件，以及向內凹進地鄰接至接地元件的凹陷部分。

在另一實施例中，半導體裝置封裝件包括：(1) 一基板單元，包括 (a) 一第一表面，(b) 一第二相對表面，以及 (c) 至少部分延伸於基板單元之第一表面以及第二相對表面間之一接地元件，此接地元件包括一電鍍通道殘部以及一填充物，此電鍍通道殘部係向內凹進式地以容納填充物，此電鍍通道殘部以及填充物定義出設置鄰接於基板單元周圍之接地元件之一側向表面；(2) 一半導體裝置，設置鄰接於基板單元之第一表面，並且電性連接至基板單元；(3) 一封裝體，設置鄰接於基板單元之第一表面，並且覆蓋半導體裝置，此封裝體包括複數個外部表面；(4) 一電磁干擾遮蔽件，設置鄰接於封裝體之外部表面，並且電性連接至接地元件之側向表面，其中半導體裝置之側向輪廓實質上為一平面，並且相對於基板單元之第二相對表

面實質上為直角。

根據本發明之另一方面，提出一種形成遮蔽電磁干擾之半導體裝置封裝件的方法。在一實施例中，一方法包括：(1) 提供包括一接地孔以及一核心元件之一基板，接地孔至少部分延伸於基板之上表面和下表面之間，接地孔定義一實質上以核心元件填充之通孔通道；(2) 電性連接一半導體裝置至基板之上表面；(3) 施以一封膠材料置基板之上表面，以形成一覆蓋半導體裝置之封膠結構；(4) 形成複數個完全延伸通過封膠結構以及基板之切縫，這些切縫係和基板對準，使得：(a) 基板係再分割以形成一分割基板單元；(b) 封膠結構係再分割以形成一設置鄰接於基板單元之分割封裝體；以及 (c) 接地孔之一殘部以及核心元件之一殘部對應設置鄰接於基板單元周圍之接地元件，接地元件包括一暴露的連接面；以及 (5) 在形成切縫後，施以一電磁干擾塗層至封裝體之外部表面以及接地元件之連接面，以形成一電磁干擾遮蔽件。

本發明之其他方面和實施例也同樣都被考慮在內。上述之發明內容以及下列之詳細說明並非用以限定本發明至任一特定之實施例，而是用以說明本案之某些實施例。

### 【實施方式】

下列定義係本發明之某些實施例在某些觀點上之應用說明。這些定義同樣地於此作詳細說明。

除非內文中明確地指明，否則於此所用的單數項“a”、“an”以及“the”包含了數個指示對象。故舉例來說，除



非內文中明確地指明，否則當提及一接地元件時，此一接地元件可包含數個接地元件。

於此所用的項目“組 (set)”係表示一個或多個元件的集合。故舉例來說，一層組可以包含單一個層或多個層。一組之元件 (components of a set) 也可以稱為是此組之一部分 (members of the set)。一組之元件可以是相同或不同的。在某些範例中，一組之元件可以共用一個或多個共同的特徵。

於此所用的項目“鄰接 (adjacent)”係表示靠近或鄰接。鄰接的數個元件可彼此相互分開或者是實質上彼此相互直接接觸。在某些範例中，鄰接的數個元件可以彼此相互連接或者是一體成形。

於此所用例如是“內部 (inner)”、“內側 (interior)”、“外部 (outer)”、“外側 (exterior)”、“頂部 (top)”、“底部 (bottom)”、“前 (front)”、“後 (back)”、“上 (upper)”、“相上地 (upwardly)”、“下 (lower)”、“向下地 (downwardly)”、“垂直的 (vertical)”、“垂直地 (vertically)”、“側向的 (lateral)”、“側向地 (laterally)”、“於…之上 (above)”以及“於…之下 (below)”之相關項目係表示一元件組相對於另一元件組之方向，例如是如圖式所示，但此些元件在製造過程中或使用中並不需要侷限在特定的方向。

於此所用的項目“連接 (connect)”、“被連接 (connected)”以及“連接 (connection)”係表示操作上的耦合或連結。數個連接元件可以彼此相互直接耦合，或者

是彼此相互間接耦合，彼此相互間接耦接例如藉由另一組之元件來達成。

於此所用的項目“實質上地 (substantially)”以及“實質上 (substantial)”係表示一應考慮的等級程度或範圍。當上述之項目連同一個事件或情況一起使用時，上述之項目可以表示事件或情況準確地發生之實例，以及可以表示事件或情況在非常接近地狀況下發生之實例，例如像是在此說明之一般製造過程的公差級數。

於此所用的項目“電性傳導 (electrically conductive)”以及“導電性 (electrical conductivity)”係表示一電流傳輸之能力，而在此所用的項目“非電性傳導 (electrically non-conductive)”以及“非導電性 (electrical non-conductivity)”係表示缺乏電流傳輸之能力。導電材料通常是那些顯現出極小或者沒有反抗電流流通之材料，而非導電材料通常是那些顯現出極小或是沒有傾向傳導電流流通之材料。每公尺數個西門子 (Siemens per meter, “S·m<sup>-1</sup>”) 係為導電性的一種度量單位。一般來說，一導電材料係具有大於 10<sup>4</sup> S·m<sup>-1</sup> 之傳導性，例如是最少約為 10<sup>5</sup> S·m<sup>-1</sup> 或者最少約為 10<sup>6</sup> S·m<sup>-1</sup>，而一非導電材料係具有小於 10<sup>4</sup> S·m<sup>-1</sup> 之傳導性，例如是不大於 10<sup>3</sup> S·m<sup>-1</sup> 或者不大於 10<sup>2</sup> S·m<sup>-1</sup>。一材料之導電性有時可以隨溫度而變化。除非另有明確說明，一材料之導電性是於室溫下所定義。

首先請參考第 1 圖和第 2 圖。第 1 圖和第 2 圖繪示根據本發明一實施例一半導體裝置封裝件 100 之立體圖。其中，第 1 圖繪示半導體裝置封裝件 100 之示意圖，而第 2

圖繪示沿著第 1 圖 A-A 線所截取之半導體裝置封裝件 100 之剖面圖。

在此實施例中，半導體裝置封裝件 100 的數個邊實質上係為平面，並且具有一實質上的直角方向以定義出一側向輪廓，此側向輪廓實質上圍繞半導體裝置封裝件 100 的整個周圍。有利的是，此直角的側向輪廓可藉由減少半導體裝置封裝件 100 之接腳區域，或將半導體裝置封裝件 100 之接腳區域最小化而減少整體封裝件的尺寸。然而，一般來說，半導體裝置封裝件 100 的側向輪廓可以是任意形狀，如曲狀、傾斜狀、階梯狀或者是粗糙結構 (roughly textured)。雖然以下所說明之位在半導體裝置封裝件 100 的側面輪廓的一組位置係向內凹進的，然而側面輪廓實質上也可為平面。

請參照第 2 圖，半導體裝置封裝件 100 包括一基板單元 102，此基板單元 102 包括一上表面 104、一下表面 106、以及側向表面 142 和 144。其中，側向表面 142 和 144 係設置鄰接於基板單元 102 之側面，並且延伸於上表面 104 和下表面 106 之間。在此實施例中，側向表面 142 和 144 實質上為平面，並且相對於上表面 104 或下表面 106 具有一實質上之直角方向。然而，在其他實施中，側向表面 142 和 144 之形狀和方向可以有所變化。基板單元 102 可以用一些方法實施，並且包括電性連接件以提供電性路徑於基板單元 102 之上表面 104 和下表面 106 之間。例如，此電性連接件可包括合併於一組介電層中之一組電性傳導層。此些電性傳導層可藉由內部通孔而彼此連接，以及用

來像三明治狀夾住由一合適的樹脂所形成的核心元件，此樹脂例如是由雙馬來亞醯胺（bismaleimide）及三氮雜苯（triazine）所組成的樹脂或由環氧樹脂（epoxy）及聚氧化丙烯（polyphenylene oxide）所組成的樹脂。舉例來說，基板單元 102 可包括一實質上平板狀之核心元件，此核心元件由一組設置鄰接於核心元件上表面之電性傳導層，以及另一組設置鄰接於核心元件下表面之電性傳導層以三明治方式上下夾住。以某些實施例來說，基板單元 102 之厚度，即基板單元 102 之上表面 104 和下表面 106 之間的距離，可以是在約 0.1 毫米（millimeter, “mm”）至約 2 毫米的範圍內，例如是從約 0.2 釐米至約 1.5 釐米，或是從約 0.4 毫米至約 0.6 毫米。雖然未繪示於第 2 圖中，一焊接遮罩層可以設置鄰接於基板單元 102 之上表面 104 和下表面 106 中的其中之一者，或是兩者。

如第 2 圖所示，基板單元 102 包括設置鄰接於基板單元 102 周圍之接地元件 118a 和 118b。更具體的來說，接地元件 118a 和 118b 係實質上設置於基板單元 102 的周圍，並且分別設置鄰接於側向表面 142 和 144。接地元件 118a 和 118b 係連接於基板單元 102 中的其他電性連接件，並且如下所述，此接地元件 118a 和 118b 會提供複數個電性路徑以減少電磁干擾。在此實施例中，接地元件 118a 和 118b 係為接地孔，且特別是接地孔於一組切割製程之後的餘留部分（remnant）所形成，該組切割製程將敘述於後。請參照第 2 圖，每一接地元件 118a 和 118b 包括一上通孔墊殘部 146a 或 146b、一下通孔墊殘部 148a 或

148b、以及一電鍍通道殘部 150a 或 150b，其中，上通孔墊殘部 146a 或 146b 設置鄰接於基板單元 102 之上表面 104，下通孔墊殘部 148a 或 148b 設置鄰接於基板單元 102 之下表面 106，電鍍通道殘部 150a 或 150b 延伸於上通孔墊殘部 146a 或 146b 以及下通孔墊殘部 148a 或 148b 之間。雖然接地元件 118a 和 118b 在此係被繪示為完全地延伸於基板單元 102 之上表面 104 和下表面 106 之間，然而在其他實施中，接地元件 118a 和 118b 的範圍可以是有所改變。

請參照第 2 圖，接地元件 118a 和 118b 分別包括連接面 S1 和 S2，連接面 S1 和 S2 係為背向半導體裝置封裝件 100 內側的側面，並且設置鄰接於基板單元 102 的周圍。更具體的來說，連接面 S1 和 S2 係實質上電性暴露於基板單元 102 之周圍，並且分別電性接觸鄰接於側向表面 142 和 144。在此實施例中，連接面 S1 和 S2 係對應於上通孔墊殘部 146a 和 146b、下通孔墊殘部 148a 和 148b、以及電鍍通道殘部 150a 和 150b 的電性接觸面。有利的是，面積較大的連接面 S1 和 S2 可增加電性連接件的可靠度及效能，以減少電磁干擾。接地元件 118a 和 118b 係由一金屬、一金屬合金、一具有一金屬或一金屬合金散佈於其中之材料、或是另一合適的電性傳導材料所形成。對某些實施來說，接地元件 118a 和 118b 的一高度  $H_1$ ，即接地元件 118a 和 118b 之一垂直範圍，可實質上等同於基板單元 102 之厚度，並且可以是在約 0.1 毫米至約 2 毫米的範圍內，例如是從約 0.2 毫米至約 1.5 毫米，或是從約 0.4 毫米至約 0.6 毫米。接地元件 118a 和 118b 的一寬度  $W_1$ ，即一鄰接

於上表面 104 或下表面 106 之一側向範圍，可以是約 75 微米 (micrometer, “ $\mu\text{m}$ ”) 至約 275 微米的範圍內，例如是從約 100 微米至約 250 微米，或是從約 125 微米至約 225 微米。

如第 2 圖所示，半導體裝置封裝件 100 也包括半導體裝置 108a、108b、和 108c，以及電性接觸件 110a、110b、和 110c。其中半導體裝置 108a、108b、以及 108c 係設置鄰接於基板單元 102 之上表面 104，以及電性接觸件 110a、110b、和 110c 係設置鄰接於基板單元 102 之下表面 106。半導體裝置 108b 通過一組由金或其他合適的電性傳導材料所形成的焊線 112 焊線接合 (wire-bonded) 至基板單元 102，以及半導體裝置 108a 和 108c 係表面固定於基板單元 102 之上。在此實施例中，半導體裝置 108b 係為一半導體晶片，而半導體裝置 108a 和 108c 係為被動元件，例如是電阻器、電容器、或電感器。電性接觸件 110a、110b、和 110c 為半導體裝置封裝件 100 提供了輸入和輸出電性連接，並且電性接觸件 110a、110b、和 110c 中至少一部分係通過基板單元 102 中的電性連接件電性連接至半導體裝置 108a、108b、和 108c。在此實施例中，電性接觸件 110a、110b、和 110c 的其中至少一者係為一接地電性接觸件，並且通過基板單元 102 中的電性連接件電性連接至接地元件 118a 和 118b。雖然第 2 圖中係繪示了三個半導體裝置，然而在其他實施中，可以有更多或更少的半導體裝置被包括在內，以及一般來說，半導體裝置可以是任意主動元件、任意被動元件、或是其任意之組合。同樣地，

第 2 圖中所繪示之電性接觸件數目係可以有所改變的。

請參照第 2 圖，半導體裝置封裝件 100 也包括設置鄰接於基板單元 102 之上表面 104 的一封裝體 114。此封裝體 114 連接於基板單元 102，並且實質上覆蓋接地元件 118a 和 118b、半導體裝置 108a、108b、和 108c、以及焊線 112 或將上述等元件封裝於內部，以提供機械穩定度，並且保護這些元件以防止氧化、濕氣、以及其他環境情況之影響。封裝體 114 係由封膠材料所形成，且封裝體 114 包括數個外部表面，這些外部表面包括設置鄰接於封裝體 114 側面之側向表面 120 和 122。在此實施例中，側向表面 120 和 122 實質上係為平面，並且相對於上表面 104 或下表面 106 具有一實質上之直角方向。然而，在其他實施中，側向表面 120 和 122 可以是曲狀、傾斜狀、階梯狀或者是粗糙結構 (roughly textured)。此外，側向表面 120 和 122 係實質上分別對準側向表面 142 和 144，或是和側向表面 142 和 144 為共平面。更具體的來說，在執行此對準的同時，可例如藉由減少或最少化封裝體 114 與連接面 S1 和 S2 之覆蓋率，允許連接面 S1 和 S2 為電性暴露的 (electrically exposed)。在其他實施中，只要允許連接面 S1 和 S2 係至少部分地為電性暴露的，側向表面 120 和 122 之形狀，以及側向表面 120 和 122 和側向表面 142 和 144 之對準可以是不同於第 2 圖。

如第 1 圖和第 2 圖所示，半導體裝置封裝件 100 更包括一電磁干擾遮蔽件 124。此電磁干擾遮蔽件 124 係設置鄰接於封裝體 114 之數個外部表面、接地元件 118a 和 118b

之連接面 S1 和 S2、以及基板單元 102 之側向表面 142 和 144。電磁干擾遮蔽件 124 係由電性傳導材料所形成，並且實質上圍繞半導體裝置封裝件 100 中之半導體裝置 108a、108b、和 108c，以提供對電磁干擾之防護。在此實施例中，電磁干擾遮蔽件 124 包括一上部 126 和一側部 128，其實質上延伸環繞封裝體 114 的整個周圍，並且定義出半導體裝置封裝件 100 的直角側面輪廓。如第 2 圖所示，側部 128 係由上部 126 以及沿著基板單元 102 之側向表面 142 和 144 向下作延伸，側部 128 包括一下末端，此下末端係實質上對準基板單元 102 之下表面 106 或是和此下表面 106 為共平面。然而，在其他實施中，側部 128 之範圍以及其下末端和下表面 106 之對準是可以有所改變的。

如第 2 圖所示，電磁干擾遮蔽件 124 係電性連接至接地元件 118a 和 118b 之連接面 S1 和 S2。當電磁輻射從一半導體裝置封裝件 100 內部發射出來侵襲到電磁輻射遮蔽件 124 時，此些輻射的至少一部分可通過接地元件 118a 和 118b 被有效地接地，因而減少能穿過電磁干擾遮蔽件 124 之輻射的等級強度，以及減少對鄰近半導體裝置的不利影響。類似地，當一來自於鄰近半導體裝置的電磁輻射侵襲此電磁干擾遮蔽件 124 時，會發生相似的接地作用，以減少半導體裝置封裝件 100 中之半導體裝置 108a、108b、以及 108c 的電磁干擾。在製程過程中，半導體裝置封裝件 100 可被設置在一印刷電路板 (PCB) 之上，並且經由電性接觸件 110a、110b、以及 110c 電性連接至此



印刷電路板。如前所述，電性接觸件 110a、110b、以及 110c 中之至少一者係為一接地電性接觸件，並且此接地電性接觸件係電性連接至一由印刷電路板所提供之一接地電壓。可通過一電性路徑對入射至電磁干擾遮蔽件 124 上的電磁輻射產生接地，此電性路徑可包括有接地元件 118a 和 118b、被包括在基板單元 102 中之其他電性連接件、以及接地電性接觸件。由於此電磁干擾遮蔽件 124 之下末端係實質上和基板單元 102 之下表面 106 對準，此下末端也可以電性連接至由印刷電路板所提供之一接地電壓，藉此提供其他用來將不希望產生之電磁輻射接地的電性路徑。或者，在此連接結構中，下通孔墊殘部 148a 及 148b 可電性連接至一由印刷電路板所提供之一接地電壓。

在此實施例中，電磁干擾遮蔽件 124 係形成為一組薄膜 (a set of layers or films) 之一共形遮蔽件。有利的是，電磁干擾遮蔽件 124 不需使用一黏著劑，即可形成鄰接於並直接接觸半導體裝置封裝件 100 之外部或者是和半導體裝置封裝件 100 之外部直接接觸，藉此增強可靠度以及對溫度、濕氣、以及其他環境情況的抗性。電磁干擾遮蔽件 124 的共形特性允許類似的電磁干擾遮蔽以及類似的製程，而易於應用至不同尺寸和形狀的半導體裝置封裝件上，因而能夠減少不同半導體裝置封裝件的製造成本及時間。對某些實施來說，電磁干擾遮蔽件 124 的厚度可以是在約 1 微米至約 500 微米的範圍內，例如是從約 1 微米至約 100 微米，從約 1 微米至約 50 微米，或從約 1 微米至 10 微米。此實施例另一個優點是，相對於一般的殼體

(casing)，電磁干擾遮蔽件 124 所減少之厚度可允許整體半導體裝置封裝件尺寸的縮減。

接著請參照第 3A 圖。第 3A 圖繪示第 1 圖和第 2 圖之半導體裝置封裝件 100 之一部分的放大剖面圖。更具體的來說，第 3A 圖繪示一設置鄰接於封裝體 114 之電磁干擾遮蔽件 124 之一具體實施。

如第 3A 圖所示，電磁干擾遮蔽件 124 係為多層的 (multi-layered)，並且包括一內層 300 與一外層 302。內層 300 設置鄰接於封裝體 114。外層 302 係設置鄰接於內層 300 並暴露於半導體裝置封裝件 100 的外部。一般來說，內層 300 和外層 302 中的每個可由一金屬、一金屬合金、一具有一金屬或一金屬合金散佈於其中之材料、或是另一合適的電性傳導材料所形成。舉例來說，內層 300 和外層 302 中的每個可由鋁、銅、鉻、鈦、金、銀、鎳、不銹鋼、或其組合物所形成。內層 300 和外層 302 可以是由相同的電性傳導材料或不同的電性傳導材料所形成。舉例來說，一金屬，例如是鎳，可以被選擇用來當作是內層 300 以及外層 302。在一些例子中，不同的電性傳導材料可被選來當作是內層 300 和外層 302，以提供互補的功用。舉例來說，一具有高電性傳導率的金屬，例如是鋁、銅、金、或銀，可被選來當作內層 300 以提供電磁干擾遮蔽的功能。另一方面，一具有較低電性傳導率之金屬，例如是鎳，可被選來當作外層 302 以保護內層 300 避免受到氧化、濕氣、以及其他環境情況之影響。在此案例中，外層 302 也能貢獻出電磁干擾遮蔽的功能，而同時提供保護的功效。

雖然於第 3A 圖中係繪示二層，然而在其他實施中，可以是包括有更多或更少層。

接著，請參照第 3B 圖以及第 3C 圖。第 3B 圖以及第 3C 圖繪示了第 1 圖和第 2 圖之半導體裝置封裝件 100 之一部分的放大剖面圖。更具體的來說，第 3B 圖繪示一接地元件 118b 之一具體實施例，而第 3C 圖繪示一接地元件 118b 之另一具體實施例。為了清楚的表達，以下的特徵係參照設置鄰接於基板單元 102 之側向表面 144 之接地元件 118b 作說明，然而需考慮的是這些特徵可以類似地應用於其他半導體裝置封裝件 100 的接地元件上，例如是接地元件 118a。

請參考第 3B 圖，接地元件 118b 係接地孔經過一組切割製程之後的餘留部分所形成，並且包含上通孔墊殘部 146b、下通孔墊殘部 148b、以及電鍍通道殘部 150b。電鍍通道殘部 150b 係對應於接地元件 118b 之一凹陷部分，並且相對於基板單元 102 之側向表面 144 為向內凹進的。更具體的來說，此電鍍通道殘部 150b 係為向內凹進的以定義一圖案溝槽 (cutout or groove)，其包括一曲狀側向表面，其中，此曲狀側向表面實質上係為一凹面的樣式，並且係為電性暴露以允許電性連接至電磁干擾遮蔽件 124。如第 3B 圖所示，上通孔墊殘部 146b、下通孔墊殘部 148b、以及電鍍通道殘部 150b 包括實質上為平面的側向表面，並實質上對準或共平面於基板單元 102 之側向表面 144，且接地元件 118b 之連接面 S2 包括電鍍通道殘部 150b 之實質上凹面的側向表面，以及上通孔墊殘部 146b、下通孔

墊殘部 148b 與電鍍通道殘部 150b 之實質上平面的側向表面。有利的是，向內凹進的電鍍通道殘部 150b 的提供了面積較大的給連接面 S2，因此增加了電性連接的可靠度以及效率，以減少電磁干擾。請依然參考第 3B 圖，儘管電磁干擾遮蔽件 124 在一組特殊位置係為向內凹進的，電磁干擾遮蔽件 124 之形成得到了實質上為平面之半導體裝置封裝件 100 之直角側向輪廓。具體的來說，電磁干擾遮蔽件 124 係共形地覆蓋連接面 S2，連接面 S2 包括電鍍通道殘部 150 之凹面的向表面，使得電磁干擾遮蔽件 124 的側部 128 係向內凹進的鄰接於電鍍通道殘部 150。

請參考第 3C 圖，接地元件 118b 係為接地孔於一組切割製程之後的餘留部分所形成，且包括上通孔墊殘部 146b、下通孔墊殘部 148b、以及電鍍通道殘部 150b。於此處，接地元件 118b 也包括一填充物 (filler or plug member) 304。填充物 304 實質上填充由電鍍通道殘部 150b 所定義出之圖案溝槽。如下所述，填充物 304 係形成一核心元件之一殘部，其填充由接地孔所定義出之一通孔通道。進行一組切割製程能得到此填充物 304 之一側向表面，此側向表面實質上係為平面且為電性暴露的，以允許電性連接至電磁干擾遮蔽件 124。更具體的來說，填充物 304 的側向表面係實質上為對準或共平面於基板單元 102 之側向表面 144。填充物 304 可由一金屬、一金屬合金、一具有一金屬或一金屬合金散佈於其中之材料、或是另一合適的電性傳導材料所形成，且在此案例中，接地元件 118b 之連接面 S2 包括填充物 304 實質上平面的側向表

面，以及上通孔墊殘部 146b 之實質上平面的側向表面、下通孔墊殘部 148b 之實質上平面的側向表面、以及電鍍通道殘部 150b 之實質上平面的側向表面。有利的是，填充物 304 含有一電性傳導的內含物，因此提供了面積相當大的連接面 S2，並且提升了接地元件 118b 結構上之剛性，藉此增強電性連接的可靠度以及效率，以減少電磁干擾。填充物 304 也可以由非電性傳導材料所形成，在這種案例中，接地元件 118b 之連接面 S2 包括上通孔墊殘部 146b、下通孔墊殘部 148b 以及電鍍通道殘部 150b 實質上平面的側向表面。填充物 30 也可含有一非電性傳導之內含物，可以提升接地元件 118b 結構上之剛性，藉此增強電性連接之可靠度以及效率，以減少電磁干擾。請依舊參考第 3C 圖，電磁干擾遮蔽件 124 之形成得到了實質上為平面之半導體裝置封裝件 100 之直角側向輪廓，其實質上係為平面，以及實質上在側部 128 中沒有向內凹進。

雖然在第 3B 圖和第 3C 圖中所繪示之接地元件 118b 係為完全地延伸穿過基板單元 102 的厚度，然而在其他實施中，接地元件 118b 之範圍可以是有所改變的。具體來說，如以下所述，接地元件 118b 可以部分地延伸穿過基板單元 102 的厚度，舉例來說，可以實施為一內接地孔 (internal grounding via) 或一隱蔽接地孔 (blind grounding via) 之一殘部。

第 4A 圖係根據本發明之另一實施例所繪示一半導體裝置封裝件 400 之一剖面圖。此半導體裝置封裝件 400 之某些方面係以一類似於前述第 1 圖至第 3C 圖之半導體裝

置封裝件 100，故而重複的部分於此將不再作說明。

請參照第 4A 圖，半導體裝置封裝件 400 包括實質上設置於基板單元 102 周圍的接地元件 418a 和 418b。在此實施例中，接地元件 418a 和 418b 係隱蔽接地孔之殘部，延伸於基板單元 102 之上表面 104 和一電性傳導層 452 之間。此電性傳導層 452 係被設置於基板單元之上表面 104 和下表面 106 之間，並且被當成一內部接地層。具體來說，每一接地元件 418a 和 418b 包括一上通孔墊殘部 446a 或 446b、一下通孔墊殘部 448a 或 448b、以及一電鍍通道殘部 450a 或 450b。其中，上通孔墊殘部 446a 或 446b 係設置鄰接於基板單元 102 之上表面 104；下通孔墊殘部 448a 或 448b 係電性連接至電性傳導層 452 並且設置於基板單元 102 之下表面 106 之上方而分開某一距離；電鍍通道殘部 450a 或 450b 係延伸於上通孔墊殘部 446a 或 446b 以及下通孔墊殘部 448a 或 448b 之間。雖然在此所繪示之接地元件 418a 和 418b 係部分地延伸於基板單元 102 之上表面 104 和下表面 106 之間，然而在其他實施中，接地元件 418a 和 418b 的範圍是可以改變的。在此實施例中，接地元件 418a 和 418b 分別包括連接面 S1' 和 S2'，且連接面 S1' 和 S2' 分別電性接觸鄰接至側向表面 142 和 144。有利的是，面積相當大的連接面 S1' 和 S2' 可以增強電性連接的可靠度以及效率，以減少電磁干擾。在某些實施中，接地元件 418a 和 418b 的高度  $H_2$  可稍微小於基板單元 102 之厚度，並且係在約 0.1 毫米至約 1.8 毫米的範圍內，例如是從約 0.2 毫米至約 1 毫米，或從約 0.3 毫米至約 0.5 毫米。接地

元件 418a 和 418b 之一寬度  $W_2$ ，即鄰接至上表面 104 之一側向範圍，可以係在約 75 微米至 275 微米的範圍內，例如是從約 100 微米至約 250 微米，或從約 125 微米至約 225 微米。

如第 4A 圖所示，半導體裝置封裝件 400 也包括一半導體裝置 408b。此半導體裝置 408b 係為一設置鄰接於基板單元 102 之上表面 104 之半導體晶片。在此實施例中，半導體裝置 408b 例如是藉由一組焊接凸塊以覆晶方式 (Flip Chip) 連接至基板單元 102。半導體裝置 408b 也可以另一方法，例如以焊線電性連接至基板單元 102。

第 4B 圖繪示根據本發明另一實施例之一半導體裝置封裝件 460 之剖面圖。此半導體裝置封裝件 460 的某些方面係類似於前述第 1 圖至第 3C 圖之半導體裝置封裝件 100 以及第 4A 圖之半導體裝置封裝件 400，故而類似的部分將不在此一一說明。

請參考第 4B 圖，半導體裝置封裝件 460 包括實質上設置於基板單元 102 周圍的接地元件 462a 和 462b。在此實施例中，接地元件 462a 和 462b 係隱蔽接地孔之殘部，延伸於基板單元 102 之下表面 106 和一電性傳導層 464 之間。此電性傳導層 464 係被設置於基板單元 102 之上表面 104 和下表面 106 之間，並且被當成一內部接地層。具體來說，每一接地元件 462a 和 462b 包括一上通孔墊殘部 466a 或 466b、一下通孔墊殘部 468a 或 468b、以及一電鍍通道殘部 470a 或 470b。其中，上通孔墊殘部 466a 或 466b 係電性連接至電性傳導層 464，並且係設置於基板單元 102

之上表面 104 之下方而隔開某一距離；下通孔墊殘部 468a 或 468b 係設置鄰接於基板單元 102 之下表面 106；電鍍通道殘部 470 係延伸於上通孔墊殘部 466a 或 466b 以及下通孔墊殘部 468a 或 468b 之間。有利的是，接地元件 462a 和 462b 的位置係低於基板單元 102 之上表面 104 而保留了上表面 104 有用的區域，其不但有電磁干擾遮蔽功能，且允許藉由減少或最小化半導體裝置封裝件 460 之接腳區域以得到一整體尺寸縮小的封裝件。然而在其他實施中，接地元件 462a 和 462b 的位置和範圍是可以改變的。在此實施例中，接地元件 462a 和 462b 分別包括連接面 S1'' 和 S2''，且連接面 S1'' 和 S2'' 分別電性暴露鄰接至側向表面 142 和 144。有利的是，面積相當大的連接面 S1'' 和 S2'' 可以增強電性連接的可靠度以及效率，以減少電磁干擾，同時達到減少整體封裝件尺寸的目標。在某些實施中，接地元件 462a 和 462b 的高度  $H_B$  可稍微小於基板單元 102 之厚度，並且係在約 0.1 毫米至約 1.8 毫米的範圍內，例如是從約 0.2 毫米至約 1 毫米，或從約 0.3 毫米至約 0.5 毫米。接地元件 462a 和 462b 之一寬度  $W_B$ ，即鄰接至下表面 106 之一側向範圍，可以係在約 75 微米至 275 微米的範圍內，例如是從約 100 微米至約 250 微米，或從約 125 微米至約 225 微米。

第 4C 圖繪示根據本發明之另一實施例所繪示之一半導體裝置封裝件 480 之剖面圖。此半導體裝置封裝件 480 之某些方面係類似於前述第 1 圖至第 3C 圖之半導體裝置封裝件 100、第 4A 圖之半導體裝置封裝件 400、以及第



4B 圖之半導體裝置封裝件 460，故而類似的部分將不在此一一說明。

請參考第 4C 圖，半導體裝置封裝件 480 包括實質上設置於基板單元 102 周圍之接地元件 482a 和 482b。在此實施例中，接地元件 482a 和 482b 係被實施為埋入接地孔之殘部或內部接地孔之殘部，延伸於一對設置於基板單元 102 之上表面 104 和下表面 106 間之電性傳導層 484a 和 484b 之間，電性傳導層 484a 和 484b 係被當作為一對內部接地層。具體來說，每一接地元件 482a 和 482b 包括一上通孔墊殘部 486a 或 486b、一下通孔墊殘部 488a 或 488b、以及一電鍍通道殘部 490a 或 490b。其中，上通孔墊殘部 486a 或 486b 係電性連接至電性傳導層 484a，並且係設置於基板單元 102 之上表面 104 之下方而隔開某一距離；下通孔墊殘部 488a 或 488b 係電性連接至電性傳導層 484b 並且係設置於基板單元 102 之下表面 106 之上方而隔開某一距離；電鍍通道殘部 490a 或 490b 係延伸於上通孔墊殘部 486a 或 486b 以及下通孔墊殘部 488a 或 488b 之間。有利的是，接地元件 482a 和 482b 位於基板單元 102 之上表面 104 和下表面 106 間之位置保留了上表面 104 和下表面 106 有用的區域，其不但有電磁干擾遮蔽功能，且允許藉由減少或最小化半導體裝置封裝件 480 之接腳區域以得到一整體尺寸縮小的封裝件。然而在其他實施中，接地元件 482a 和 482b 的位置和範圍是可以改變的。在此實施例中，接地元件 482a 和 482b 分別包括連接面 S1''' 和 S2'''，且連接面 S1''' 和 S2''' 分別電性暴露鄰接至側向表面 142 和

144。有利的是，面積相當大的連接面  $S1''''$  和  $S2''''$  可以增強電性連接的可靠度以及效率，以用來減少電磁干擾，同時達到減少整體封裝件尺寸的目標。在某些實施中，接地元件 482a 和 482b 的高度  $H_C$  可稍微小於基板單元 102 之厚度，並且係在約 0.1 毫米至約 1.6 毫米的範圍內，例如是從約 0.2 毫米至約 0.8 毫米，或從約 0.2 毫米至約 0.4 毫米。接地元件 482a 和 482b 之一寬度  $W_C$ ，即鄰接至電性傳導層 484a 或 484b 之一側向範圍，可以係在約 75 微米至 275 微米的範圍內，例如是從約 100 微米至約 250 微米，或從約 125 微米至約 225 微米。

第 5A 圖至第 5E 圖繪示根據本發明之一實施例之形成一半導體裝置封裝件之一方法。為了簡單表示，下述的製程係根據第 1 圖至第 3C 圖之半導體裝置封裝件 100 來作說明。然而，需注意的是，此製程係可被相似地用作執行以形成其他的半導體裝置封裝件，例如是第 4A 圖之半導體裝置封裝件 400、第 4B 圖之半導體裝置封裝件 460、以及第 4C 圖之半導體裝置封裝件 480。

首先請參考第 5A 圖以及第 5B 圖。提供一基板 500，為了增加製造產能，基板 500 包括多個基板單元，包括基板單元 102 以及一鄰接基板單元 102'，藉此可確實地允許製程輕易地以平行的方式或連續的方式作執行。基板 500 可呈帶形 (strip)，多個基板單元係連續地呈直線排列。或者，多個基板單元沿著二維方向排列成陣列 (array) 形式。為了簡單表示，下述製程主要係參照基板單元 102 及其相關元件作說明，然而，此些製程係可相似地應用於

其他基板單元及其相關元件作執行。

如第 5A 圖以及第 5B 圖所示，數個接地孔係設置鄰接於每一基板單元之周圍。具體來說，接地孔 502a、502b、502c、502d、以及 502e 係設置鄰接於基板單元 102 之側面。在此實施例中，每一接地孔包括一上通孔墊，例如是上通孔墊 546a 或 546b、一下通孔墊，例如是一下通孔墊 548a 或 548b、以及一電鍍通道，例如是一電鍍通道 550a 或 550b。接地孔 502a、502b、502c、502d、以及 502e 可以多種方法的任意之一所形成，方法例如包括黃光微影、化學蝕刻、雷射鑽孔、或機械鑽孔以形成數個開口，且這些開口的鍍層係使用一金屬、一金屬合金、一金屬或金屬合金散佈於其中之一材料、或其他合適的電性傳導材料。此些開口的鍍層係被形成在一約 1 微米至約 20 微米範圍之厚度，例如是從約 5 微米至約 20 微米，或是從約 10 微米至約 15 微米，同時留下通孔通道其實質上延伸跨過接地孔 502a、502b、502c、502d、以及 502e 之垂直範圍。在某些實施中，可施以一電性傳導材料並置入通孔通道中以形成電性傳導之核心元件，此些核心元件係被容置於此些通孔通道中，並且實質上填滿此些通孔通道。舉例來說，電性傳導材料可以包括一金屬、一焊料、或是一電性傳導黏著物，其中，金屬例如是銅，焊料例如是任意一些具有熔點在  $90^{\circ}\text{C}$  至  $450^{\circ}\text{C}$  之間的焊料金屬合金，電性傳導黏著物例如是銀膠、含銅填充物之環氧化物、或任意一些含有一電性傳導填料物散佈於其中之樹脂。在其他實施中，可施以一非電性傳導材料並置入於通孔通道中以形成非

電性傳導之核心元件，此些核心元件係被容置於此些通孔通道中，並且實質上填滿此些通孔通道。舉例來說，非電性傳導材料可以包括一焊接遮罩、一非電性傳導接著劑、或任意一些其他合適的樹脂，其中，非電性傳導接著劑例如是實質上不含一電性傳導填充物之環氧化物。填充此些通孔通道可讓生成之數個連接面得到較大的區域、增強結構剛性，因此可增強電性連接件之可靠度以及功效，以減少電磁干擾。儘管此處所繪示之接地孔 502a、502b、502c、502d、以及 502e 係完全地延伸於基板 500 之一上表面 504 和一下表面 524 之間，然而在其他實施中，接地孔 502a、502b、502c、502d、以及 502e 之範圍係可以改變。舉例來說，接地孔 502a、502b、502c、502d、以及 502e 中之至少一者可實施為一隱蔽接地孔或一內部接地孔。

在此實施例中，具有一環形形狀之一通孔墊，例如是上通孔墊 546a 或 546b，以及一電鍍通道，例如是電鍍通道 550a 或 550b，定義出一通孔通道，此通孔通道之外形係為一圓柱形，包括一實質上圓形的橫截面。一般來說，一通孔墊以及一通孔通道之外形可以是任意一些形狀。舉例來說，一通孔通道可以具有其他類型之柱狀或是非柱狀，柱狀可例如是一橢圓柱狀、一方形柱狀、或一矩形柱狀，非柱狀可例如是一錐狀、一漏斗狀、或其他逐漸變細之形狀。一通孔通道之數個側向表面可以是曲狀或粗糙結構。對某些實施來說，每一通孔通道之一側向範圍  $W_3$  (有時也被稱為是一通孔尺寸) 可以是在一約 50 微米至約 350 微米之範圍內，例如是從約 100 微米至約 300 微米，或從

約 150 微米至約 250 微米，而每一通孔墊之側向範圍  $W_4$ （有時也被稱為是一通孔墊尺寸）可以是在一約 150 微米至約 550 微米之範圍內，例如是從約 200 微米至約 500 微米，或從約 250 微米至約 450 微米。如果一通孔通道或一通孔墊具有一不規則形狀，則側向範圍  $W_3$  或  $W_4$  可例如是對應於沿著數個直角方向的數個側向範圍之一平均。

為增強電性連接件的可靠度以及功效，以減少電磁干擾，數個接地孔係設置鄰接於每一基板單元之所有四個側面，然而，此些接地孔也可以設置鄰接於四個側面之一子組。接地孔也可以設置鄰接於每一基板單元所有的四個角落或四個角落的一子組。對某些實施來說，一基板單元之最相鄰近之接地孔之間的一間距  $L_1$ （有時也被稱為是一通孔間距）可以是在一約 0.1 毫米至約 3 毫米之範圍內，例如是從約 0.2 毫米至約 2 毫米，或是從約 0.5 毫米至約 1.5 毫米。請參照第 5B 圖，每一基板單元內之一虛線邊界定義一“禁入”區（“keep-out”portion），其內部係設置數個半導體裝置。為了將半導體裝置之製程中的不利衝擊減少或最小化，可設置數個基板單元之接地孔，此些接地孔係和禁入區相隔一間距  $L_2$ （有時亦可稱為是一禁入距離（“keep-out” distance））。對某些實施來說，間距  $L_2$  可以是約 50 微米至約 300 微米之範圍內，例如是從約 50 微米至約 200 微米，或從約 100 微米至 150 微米。然而，基板 500 中之接地孔的數目與設置位置係可不同於第 5A 圖和第 5B 圖而有所改變。數排接地孔也可設置鄰接於每個基板單元之周圍。設置於上表面 504 下之隱蔽接地孔或是內

部接地孔之案例不需配置間距  $L_2$ 。具體來說，此種隱蔽接地孔或是內部接地孔係可部分地或全部地設置於禁入區內以及設置於半導體裝置之下，以將半導體裝置之製程中的不利衝擊減少或最小化，而達到減少一整體半導體裝置封裝件尺寸之目標。

一旦基板 500 係被提供，半導體裝置 108a、108b、以及 108c 係設置鄰接於基板 500 之上表面 504，並且電性連接至基板單元 102。具體來說，半導體裝置 108b 係藉由焊線 112 焊線接合至基板單元 102，而半導體裝置 108a 和 108c 係表面固定 (surface mounted) 於基板單元 102。請參考第 5A 圖，基板 500 之下表面 524 係設置鄰接於一膠帶 506，此膠帶 506 可以是一單面或雙面的黏貼膠帶。有利的是，膠帶 506 可以牢固基板單元 102 及與其相關之鄰接的基板單元，並且允許設置鄰接於膠帶 506 的這些元件可執行各種的連續製程，而不需倒置或轉移到另一載體。

接著，如第 5C 圖所示，一封膠材料 514 係被施加於基板 500 之上表面 504，以實質上覆蓋或包住接地孔 502a 和 502b、半導體裝置 108a、108b、和 108c、以及焊線 112。舉例來說，封膠材料 514 可包括一酚醛基樹脂 (Novoac-based resin)、一環氧基樹脂 (epoxy-based resin)、一矽基樹脂 (silicon-based resin)、或是其他合適的密封材料。合適的填充物也可包括像是粉末狀二氧化矽。封膠材料 514 可以任意一些封膠技術來施加，例如是壓縮封膠、射入封膠、以及轉換封膠。一旦被施加之後，硬化或固化封膠材料 514，例如是藉由降低溫度至封膠材

料 514 之一熔點之下，藉此形成一封膠結構 526。為了在連續切割製程中幫助基板 500 找到恰當的位置，可例如是使用雷射標記將定位標記形成於封膠結構 526 之中。或者，在連接中，定位標記可被形成鄰接於基板 500 之一周圍。

接著對封膠結構 526 之一上表面 516 執行切割製程。此種切割製程的方法可被稱為是前端 (“front-side”) 切割製程。請參照第 5C 圖以及第 5D 圖，此前端切割製程係利用一切割鋸 518 作執行，以形成數個切縫，包括切縫 520a 和 520b。具體來說，切縫 520a 和 520b 係向下延伸，以及完全通過封膠結構 526 和基板 500，並且部分通過膠帶 506，藉此將封膠結構 526 和基板 500 再分割成分離單元，包括封裝體 114 和基板單元 102。此種切割製程之方式可被稱為是完全切割製程 (“full-cut” singulation)，這是因為在每一不同位置的封膠結構 526 和基板 500 再切割可經由一切割製程產生，而不需要多個切割製程，例如是數個半切割製程 (“half-cut” singulation)。有利的是，使用此完全切割製程，而非使用半切割製程，可藉由減少切割製程的次數以及減少此些製程所需的時間而增加製造產能。藉由增加基板 500 之一使用率也可使得製造成本降低，以及亦可藉由降低由切割錯誤所導致的缺陷機率來增加一整體產率。如第 5D 圖所示，在完全切割製程中，膠帶 506 可牢固基板單元 102 和封裝體 114 及與其相關之鄰接的基板單元和封裝體的安全。

請繼續參照第 5D 圖，切割鋸 518 係為側向地設置並

且實質上和每一接地孔對準，如此一來，所產生的切縫會移除接地孔某一程度的體積或重量百分比，例如是從約 10% 至約 90%、從約 30% 至 70%、或者是從約 40% 至約 60% 的體積或重量。若核心元件被包括在內，所產生的切縫亦會移除每一核心元件某一程度的體積或重量百分比，例如是從約 10% 至約 90%、從約 30% 至 70%、或者是從約 40% 至約 60% 的體積或重量。在此方法中，係會形成接地元件 118a 和 118b，且接地元件 118a 和 118b 分別包括暴露於基板單元 102 周圍環境之連接面 S1 和 S2。在切割製程中，切割鋸 518 之對準可藉由定位標記來幫助對準，此定位標記在形成切縫 520a 和 520b 時，可提供切割鋸 518 恰當的位置。在某些實施中，每一切縫 520a 和 520b 之一寬度  $C_1$ （亦可被稱為是一完全切割寬度，或是完全切割道）可以在一約 100 微米至約 600 微米之範圍內，例如是從約 200 微米至約 400 微米，或是從約 250 微米至約 350 微米。

接著請參照第 5E 圖，形成一電磁干擾塗層 522 鄰接於數個暴露的表面，這些暴露的接觸表面包括封裝體 114 之外部表面、接地元件 118a 和 118b 之連接面 S1 和 S2、以及基板單元 102 之側向表面 142 和 144。電磁干擾塗層 522 可利用任意一些塗佈技術形成，例如是化學氣相沉積、無電電鍍、電鍍、印刷、噴霧、濺鍍、或真空沉積。舉例來說，電磁干擾塗層 522 可包括一由鎳所形成之單層，其係利用無電電鍍所形成，且具有一至少約五微米之厚度，例如是從約 5 微米至約 50 微米，或從約 5 微米至約 10 微米。若電磁干擾塗層 522 係為多層之塗層，則不



同層可利用相同的塗佈技術或不同的塗佈技術來形成。舉例來說，一可利用無電電鍍形成由銅所形成之一內層，以及可利用無電電鍍或電鍍二者中之任一者形成由鎳所形成之一外層。如另一例子，利用濺鍍或無電電鍍二者中之任一者形成由銅所形成之一內層（可被當作是一基層），且其具有一至少約 1 微米之厚度，例如是從約 1 微米至約 50 微米，或從 1 微米至約 10 微米，以及利用濺鍍形成由不銹鋼、鎳、或銅所形成之一外層（可被當作是一抗氧化層），且其具有一不超過 1 微米之厚度，例如是從約 0.01 微米至約 1 微米，或從約 0.01 微米至約 0.1 微米。在這些例子中，可對電磁干擾塗層 522 所施以之表面進行某些預處理製程以幫助內層和外層之形成。此類預處理製程的例子包括表面粗糙化、以及一晶種層之形成，表面粗糙化例如是藉由化學蝕刻或機械摩蝕所致。利用例如一取放技術，將基板單元 102 及其相關元件自膠帶 506 分離，而形成包括有電磁遮蔽件 124 的半導體裝置封裝件 100。

第 6 圖繪示根據本發明之另一實施例所形成一半導體裝置封裝件之方法。為簡單表示，下述製程係參考第 4A 圖之半導體裝置封裝件 400 來作說明。然而，需注意的是，此製程係可被相似地用作執行以形成其他的半導體裝置封裝件，例如是第 1 圖至第 3C 圖之半導體裝置封裝件 100、第 4B 圖之半導體裝置封裝件 460、以及第 4C 圖之半導體裝置封裝件 480。製程的某些方面也可以一類似於前述之第 5A 圖至第 5E 圖的方式作實施，故而類似的部分將不在此一一說明。

請參考第 6 圖，硬化之封膠材料 614 與基板 600 係設置鄰接於一膠帶 606，此膠帶 606 可被實施為一單面或雙面的黏貼膠帶。接著，對硬化之封膠材料 614 之一上表面 616 進行切割製程。如第 6 圖所示，此切割製程係利用一切割鋸 618 作執行，以形成切縫 620a 和 620b。其中，切縫 620a 和 620b 係向下地延伸，且完全通過硬化之封膠材料 614 和基板 600，並且部分地通過膠帶 606，故而將硬化之封膠材料 614 和基板 600 再分割為數個分離單元，分離單元包括封裝體 114 和基板單元 102。具體來說，切割鋸 618 係側向地設置並且實質上和每一接地孔對準，如此一來，所得之切縫係將接地孔再分割成二接地元件，此二接地元件係彼此分隔開，且設置鄰接於相對之基板單元。若核心元件被包括在內，則一所得之切縫亦會將每一核心元件再分割成二填充元件。以此方式，形成接地元件 418a 和 418b，並且接地元件 418a 和 418b 分別包括連接面 S1' 和 S2'，此連接面 S1' 和 S2' 係環繞接觸於基板單元 102 之周圍。有利的是，於第 6 圖中所繪示之切割製程方式係藉由更進一步減少切割製程之次數以及減少那些製程所需的時間，以增加製造產能；藉由更進一步增加基板 600 之一使用率以減少製造成本；以及藉由更進一步降低切割錯誤所導致的缺陷機率來增加一整體產率。對某些實施來說，每一接地孔之一通孔尺寸  $W_5$  可在一約 100 微米至 700 微米之範圍內，例如是從約 200 微米至 600 微米，或從約 300 微米至 500 微米，而每一接地孔之一通孔墊尺寸  $W_6$  可在一約 300 微米至約 1100 微米之範圍內，例如是從約

400 微米至約 1000 微米，或從約 500 微米至約 900 微米。每一切縫 620a 和 620b 之一寬度  $C_2$  與前述參考之第 5D 圖中的寬度  $C_1$  可實質上為相同的，且寬度  $C_2$  可在一約 100 微米至約 600 微米之範圍內，例如是從約 200 微米至約 400 微米，或從約 250 微米至約 350 微米。然而在其他實施中，寬度  $C_2$  係可以改變的，並且可以相對於一接地孔之通孔尺寸  $W_5$  或一接地孔之通孔墊尺寸  $W_6$  作調整，以允許其再分割為數個接地元件。舉例來說，一般寬度  $C_2$  可以被表示為： $C_2 < W_5 < W_6$ 。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明後附之申請專利範圍所界定之精神和範圍內，當可作各種之更動與潤飾。此外，更多的修正可被拿來實施，用以適應本發明之一特殊情況、材料、物質組成、方法、或製程目標、精神和範圍。所有此類之修正皆涵蓋於後附之申請專利範圍所界定之範圍內。尤其是在此所揭露之方法已經以對照特殊製程描述出來，這些製程可以用被合併的、細分開的、或重新安排來形成一相同方法而不脫離本發明之教導。因此，除非在此特殊指出，製程的安排或分類並不限制本發明。

#### 【圖式簡單說明】

第 1 圖繪示根據本發明之一實施例的一半導體裝置封裝件示意圖。

第 2 圖繪示沿著第 1 圖 A-A 線所截取之一半導體裝置封裝件之剖面圖。

第 3A 圖繪示第 1 圖之半導體裝置封裝件之一局部放大剖面圖。

第 3B 圖繪示第 1 圖之半導體裝置封裝件之一施實放大示意圖。

第 3C 圖繪示第 1 圖之半導體裝置封裝件之另一施實放大示意圖。

第 4A 圖繪示根據本發明之另一實施例之半導體裝置封裝件之一剖面圖。

第 4B 圖繪示根據本發明之另一實施例之半導體裝置封裝件之一剖面圖。

第 4C 圖繪示根據本發明之另一實施例之半導體裝置封裝件之一剖面圖。

第 5A~5E 圖繪示根據本發明之一實施例的形成第 1 圖之半導體裝置封裝件之方法。

第 6 圖繪示根據本發明之另一實施例的形成第 4A 圖之半導體裝置封裝件之方法。

**【主要元件符號說明】**

100、400、460、480：半導體裝置封裝件

102、102'：基板單元

104、504、516、616：上表面

106、524：下表面

108a、108b、108c、408b：半導體裝置

110a、110b、110c：電性接觸件

112：焊線

114：封裝體

118a、118b、418a、418b、462a、462b、482a、482b：

接地元件

120、122、142、144：側向表面

124：電磁干擾遮蔽件

126：上部

128：側部

146a、146b、446a、446b、466a、466b、486a、486b：

上通孔墊殘部

148a、148b、448a、448b、468a、468b、488a、488b：

下通孔墊殘部

150a、150b、450a、450b、470a、470b、490a、490b：

電鍍通道殘部

300：內層

302：外層

304：填充物

452、464、484a、484b：電性傳導層

500、600：基板

502a、502b、502c、502d、502e：接地孔

506、606：膠帶

518、618：切割鋸

520a、520b、620a、620b：切縫

522：電磁干擾塗層

546a、546b：上通孔墊

548a、548b：下通孔墊

550a、550b：電鍍通道

514、614：封膠材料

$C_1$ 、 $C_2$ ：切縫寬度

$H_1$ 、 $H_2$ 、 $H_B$ 、 $H_C$ ：接地元件之高度

$L_1$ ：最近相鄰接地孔之間距

$L_2$ ：接地孔和禁入區間之間距

$S_1$ 、 $S_2$ 、 $S_1'$ 、 $S_2'$ 、 $S_1''$ 、 $S_2''$ ：連接面

$W_1$ 、 $W_2$ 、 $W_B$ 、 $W_C$ ：寬度

$W_3$ 、 $W_4$ ：側向範圍

$W_5$ ：通孔尺寸

$W_6$ ：通孔墊尺寸

## 七、申請專利範圍：

1. 一種半導體裝置封裝件，包括：

一基板單元，包括：

一上表面；

一下表面；

一側向表面，設置鄰近於該基板單元之一周圍，並且完全地延伸於該基板單元之該上表面和該基板單元之該下表面之間；以及

一接地元件，設置鄰近於該基板單元之該周圍，並且至少部分延伸於該基板單元之該上表面和該基板單元之該下表面之間，該接地元件包括一凹陷部分，該凹陷部分係設置鄰近於該基板單元之該側向表面；

一半導體裝置，設置鄰近於該基板單元之該上表面，並且電性連接至該基板單元；

一封裝體，設置鄰近於該基板單元之該上表面，並且覆蓋該半導體裝置，該封裝體包括複數個外部表面，該些外部表面包括一側向表面；以及

一電磁干擾遮蔽件 (electromagnetic interference shield)，設置鄰近於該封裝體之該些外部表面以及該基板單元之該側向表面，該電磁干擾遮蔽件係電性連接至該接地元件，並且向內凹進地鄰近於該接地元件之該凹陷部分；

其中該接地元件包括一連接面，該連接面相對於該基板單元之該側向表面係為向內凹進，以及該電磁干擾遮蔽件係共形地覆蓋該接地元件之該連接面。

2. 如申請專利範圍第 1 項所述之半導體裝置封裝件，其中該接地元件包括一電鍍通道殘部以及一填充部，該電鍍通道殘部係對應於該接地元件之該凹陷部分，該填充部設置於該凹陷部分內。

3. 如申請專利範圍第 1 項所述之半導體裝置封裝件，其中該接地元件係部分地延伸於該基板單元之該上表面以及該基板單元之該下表面之間，該接地元件之一高度係小於該基板單元之一厚度。

4. 如申請專利範圍第 1 項所述之半導體裝置封裝件，其中該基板單元之該側向表面實質上係為一平面，該封裝體之該側向表面係實質上對準該基板單元之該側向表面。

5. 如申請專利範圍第 1 項所述之半導體裝置封裝件，其中該電磁干擾遮蔽件包括一側向部分以及該側向部分之一下末端，該側向部分係沿著該基板單元之該側向表面延伸，該側向部分之該下末端係實質上對準於該基板單元之該下表面。

6. 一種半導體裝置封裝件，包括：

一基板單元，包括：

一上表面；

一下表面；

一側向表面，設置鄰近於該基板單元之一周圍，並且完全地延伸於該基板單元之該上表面和該基板單元之該下表面之間；以及

一接地元件，設置鄰近於該基板單元之該周



圍，該接地元件包括一凹陷部分，該凹陷部分係設置鄰近於該基板單元之該側向表面；

一半導體裝置，電性連接至該基板單元；

一封裝體，設置鄰近於該基板單元之該上表面，並且覆蓋該半導體裝置，該封裝體包括複數個外部表面，該些外部表面包括一側向表面；以及

一電磁干擾遮蔽件（electromagnetic interference shield），設置鄰近於該封裝體之該些外部表面以及該基板單元之該側向表面，該電磁干擾遮蔽件係電性連接至該接地元件；

其中該接地元件係部分地延伸於該基板單元之該上表面以及該基板單元之該下表面之間，使得該接地元件之一高度係小於該基板單元之一厚度；

其中該基板單元包括一對內部接地層，以及該接地元件延伸於該對內部接地層之間。

7. 如申請專利範圍第 6 項所述之半導體裝置封裝件，其中該接地元件包括一連接面，該連接面相對於該基板單元之該側向表面係為向內凹進，以及該電磁干擾遮蔽件係共形地覆蓋該連接面。

8. 一種半導體裝置封裝件，包括：

一基板單元，包括：

一第一表面；

一第二相對表面；以及

一接地元件，至少部分延伸於該基板單元之該第一表面和該基板單元之該第二相對表面之間，該接地元

件包括一電鍍通道殘部以及一填充物，該電鍍通道殘部係向內凹進以容納該填充物，該電鍍通道殘部以及該填充物定義出設置鄰近於該基板單元之一周圍之該接地元件之一側向表面；

一半導體裝置，設置鄰近於該基板單元之該第一表面，並且電性連接至該基板單元；

一封裝體，設置鄰近於該基板單元之該第一表面，並且覆蓋該半導體裝置，該封裝體包括複數個外部表面；以及

一電磁干擾遮蔽件，設置鄰近於該封裝體之該些外部表面，以及電性連接至該接地元件之該側向表面，

其中該半導體裝置封裝件之一側向輪廓實質上為一平面，並且相對於該基板單元之該第二相對表面實質上為直角，該接地元件之該側向表面實質上係為平面。

9. 如申請專利範圍第 8 項所述之半導體裝置封裝件，其中該接地元件係部分地延伸於該基板單元之該第一表面以及該基板單元之該第二表面之間，該接地元件之一高度係小於該基板單元之一厚度。

10. 如申請專利範圍第 8 項所述之半導體裝置封裝件，其中該填充物係非電性傳導材料。

11. 如申請專利範圍第 8 項所述之半導體裝置封裝件，其中該基板單元更包括一側向表面，該側向表面係完全地延伸於該基板單元之該第一表面以及該基板單元之該第二相對表面之間，該基板單元之該側向表面係實質上為平面，並且實質上相對於該基板單元之該第二相對表面

為直角，以及該接地元件之該側向表面係電性地接觸鄰近於該基板單元之該側向表面。

12. 如申請專利範圍第 8 項所述之半導體裝置封裝件，其中該封裝體之該些外部表面包括一側向表面，以及該封裝體之該側向表面係實質上對準該基板單元之該側向表面。

13. 如申請專利範圍第 8 項所述之半導體裝置封裝件，其中該接地元件更包括一第一通孔墊殘部以及一第二通孔墊殘部，以及該電鍍通道殘部係延伸於該第一通孔墊殘部以及該第二通孔墊殘部之間。

14. 如申請專利範圍第 13 項所述之半導體裝置封裝件，其中該基板單元更包括一電性傳導層設置於該基板單元之該第一表面以及該基板單元之該第二相對表面之間，該第一通孔墊殘部係設置鄰近於該基板單元之該電性傳導層，以及該第二通孔墊殘部係設置鄰近於該基板單元之該第二相對表面。

15. 如申請專利範圍第 8 項所述之半導體裝置封裝件，其中該電磁干擾遮蔽件係為一共形遮蔽件，該共形遮蔽件包括一第一層以及一第二層，該第二層係設置鄰近於該第一層。

16. 如申請專利範圍第 15 項所述之半導體裝置封裝件，其中該第一層以及該第二層係包括不同電性傳導材料。

17. 一種半導體裝置封裝件的形成方法，包括：

提供包括一接地孔以及一核心元件之一基板，該接地

孔至少部分地延伸於該基板之一上表面以及該基板之一下表面之間，該接地孔定義一通孔通道，該通孔通道係實質上被該核心元件所填充；

電性連接一半導體裝置至該基板之該上表面；

施以一封膠材料於該基板之該上表面以形成覆蓋該半導體裝置之一封膠結構；

形成複數個切縫，該些切縫係完全地通過該封膠結構以及該基板，並且該些切縫係對準於該基板，如此：(a) 該基板係再分割以形成一分割的基板單元；(b) 該封膠結構係再分割以形成設置鄰近於該基板單元之一分割的封裝體，該封裝體包括複數個外部表面；以及 (c) 該接地孔之一殘部以及該核心元件之一殘部對應設置鄰近於該基板單元之一周圍之一接地元件，該接地元件包括一暴露的连接面；以及

於形成該些切縫後，施以一電磁干擾塗層於該封裝體之該些外部表面以及該接地元件之該連接面以形成一電磁干擾遮蔽件。

18. 如申請專利範圍第 17 項所述之半導體裝置封裝件，其中提供該基板包括施以一電性傳導材料至通孔通道以形成該核心元件。

19. 如申請專利範圍第 17 項所述之半導體裝置封裝件，其中形成該些切縫，使得該連接面實質上為平面。

20. 如申請專利範圍第 17 項所述之該半導體裝置封裝件，其中該基板單元包括一側向表面，該封裝體之該些外部表面包括一側向表面，以及形成該些切縫使得該封裝

體之該側向表面係實質上對準於該基板單元之該側向表面。

21. 一種半導體裝置封裝件，包括：

一基板單元，包括：

一側向表面；

一接地元件，包括一局部環形部分以及一填充物，該局部環形部分相對於該基板單元之該側向表面係為向內凹進，該填充物設置於該局部環形部分定義之一凹處，其中該局部環形部分之至少一側壁係暴露於該側向表面；

一封裝體，設置鄰近於該基板單元之一上表面，該封裝體包括複數個外部表面與一側向表面；以及

一電磁干擾遮蔽件，設置鄰近於該封裝體之該些外部表面與該基板單元之該側向表面，其中該電磁干擾遮蔽件係物理性連接至該局部環形部分之該至少一側壁；

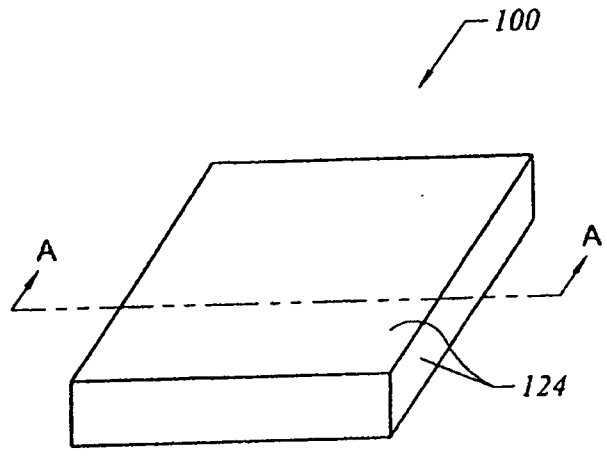
其中該局部環形部分以及該填充物定義出設置鄰近於該基板單元之該側向表面之該接地元件之一側向表面，該接地元件之該側向表面實質上係為平面。

22. 如申請專利範圍第 21 項所述之半導體裝置封裝件，其中該接地元件係部分地延伸於該基板單元之該上表面以及該基板單元之一下表面之間，該接地元件之一高度係小於該基板單元之一厚度。

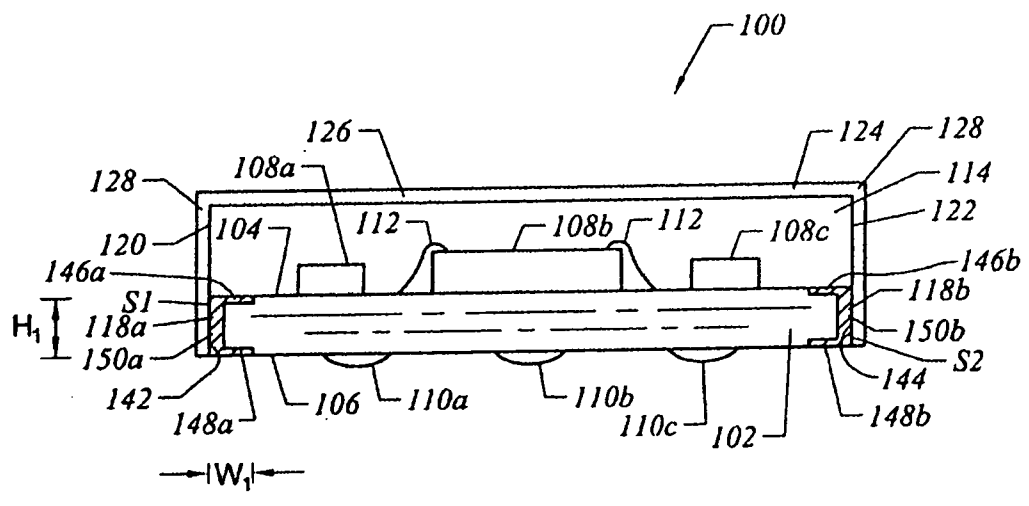
23. 如申請專利範圍第 21 項所述之半導體裝置封裝件，其中該填充物係非電性傳導材料。

24. 如申請專利範圍第 21 項所述之半導體裝置封裝

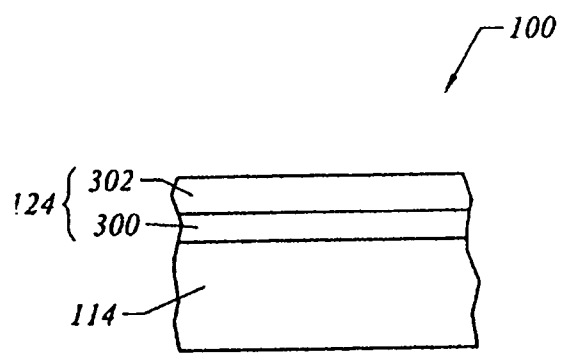
件，其中該基板之該側向表面係完全地延伸於該基板單元之一第一表面以及該基板單元之一第二相對表面之間，該基板單元之該側向表面係實質上為平面。



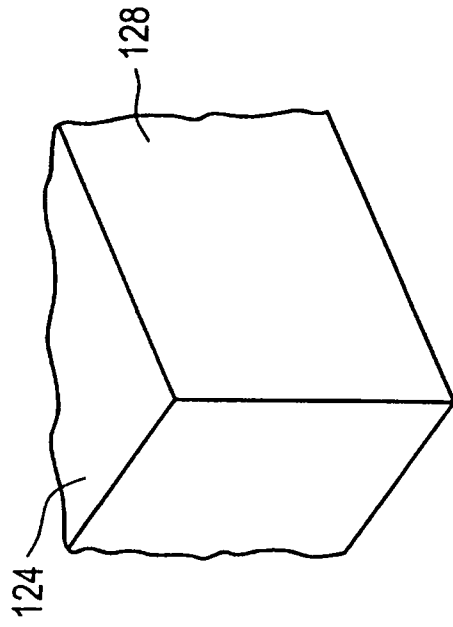
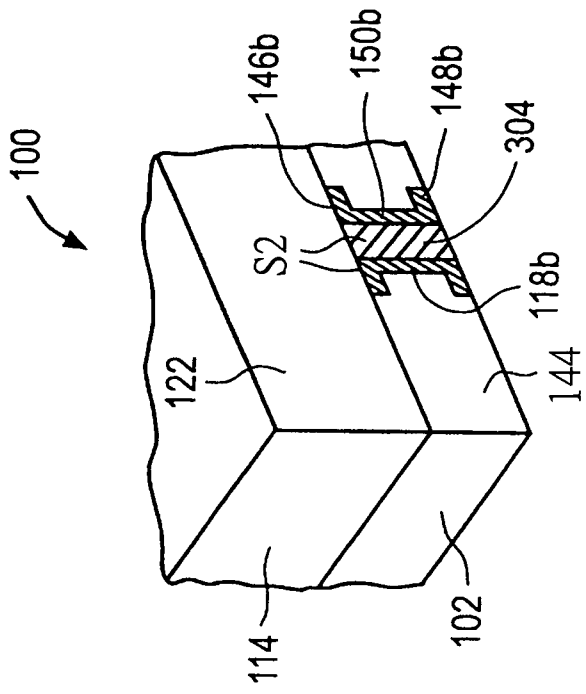
第 1 圖



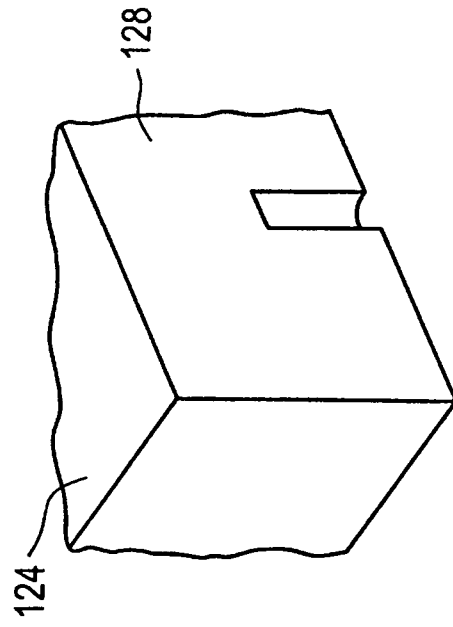
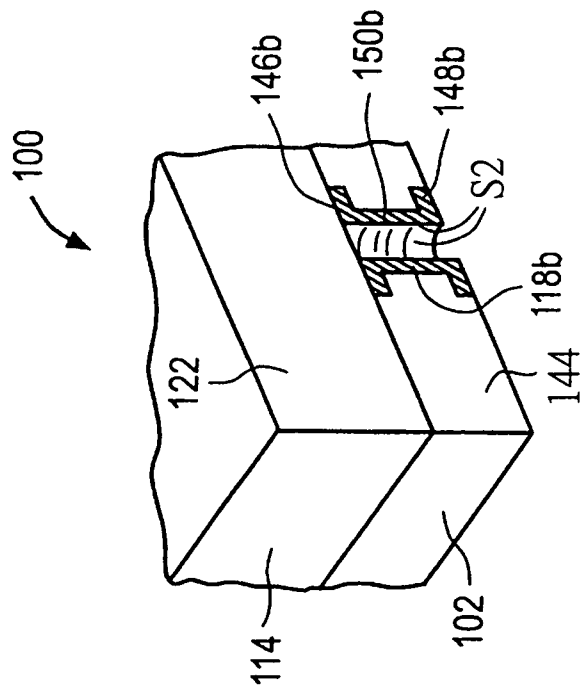
第 2 圖



第 3A 圖

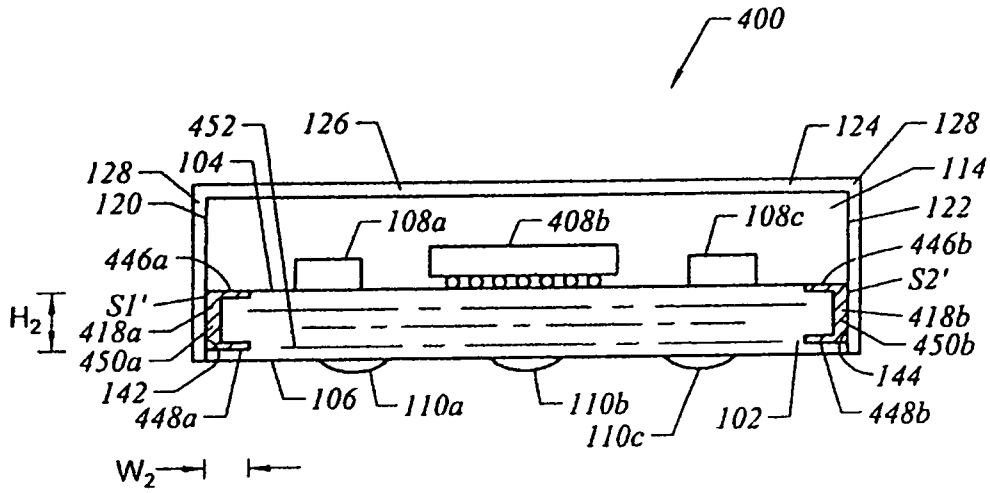


第3C圖

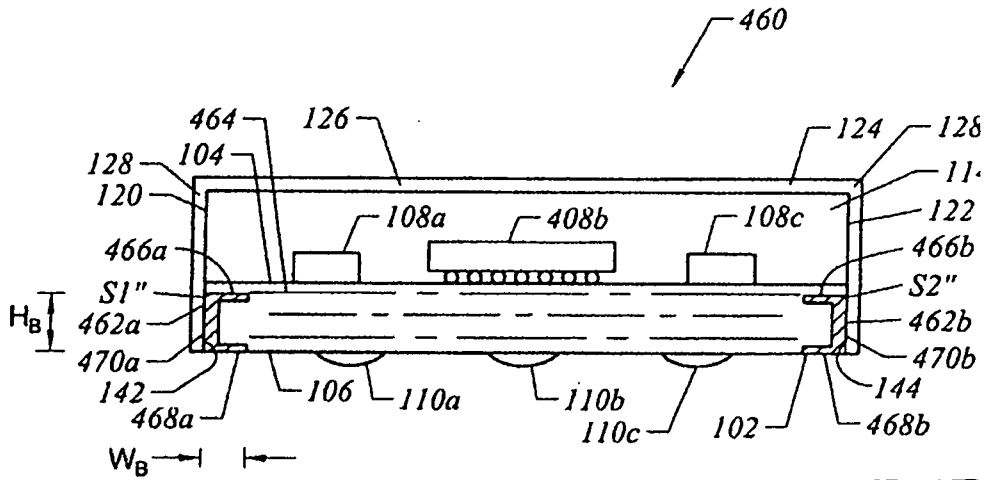


第3B圖

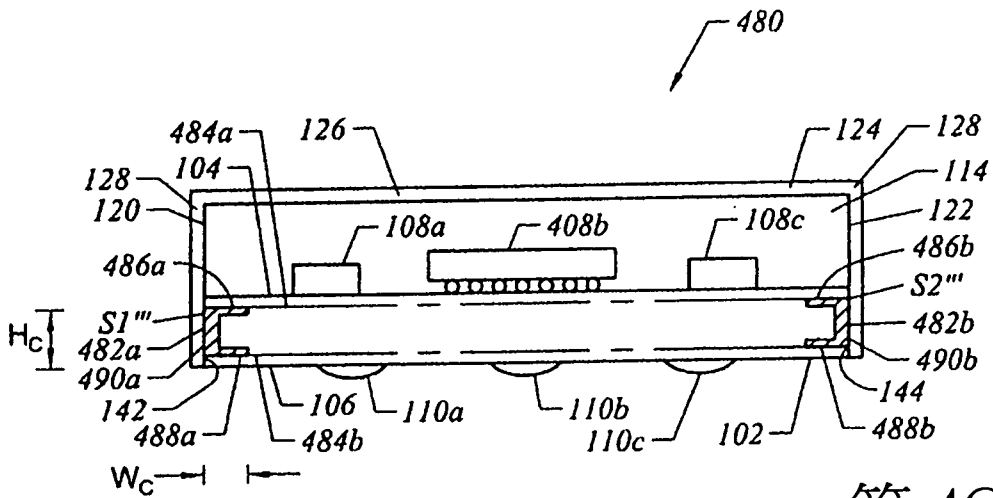




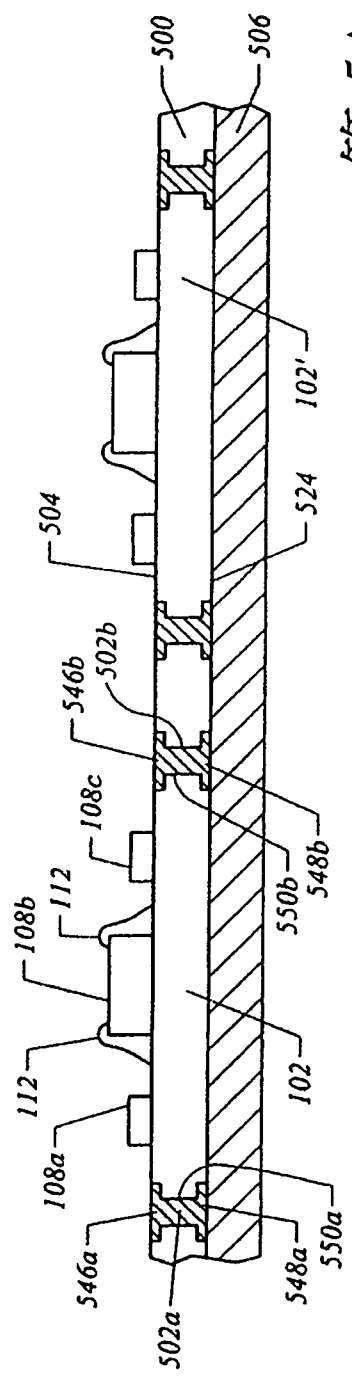
第4A圖



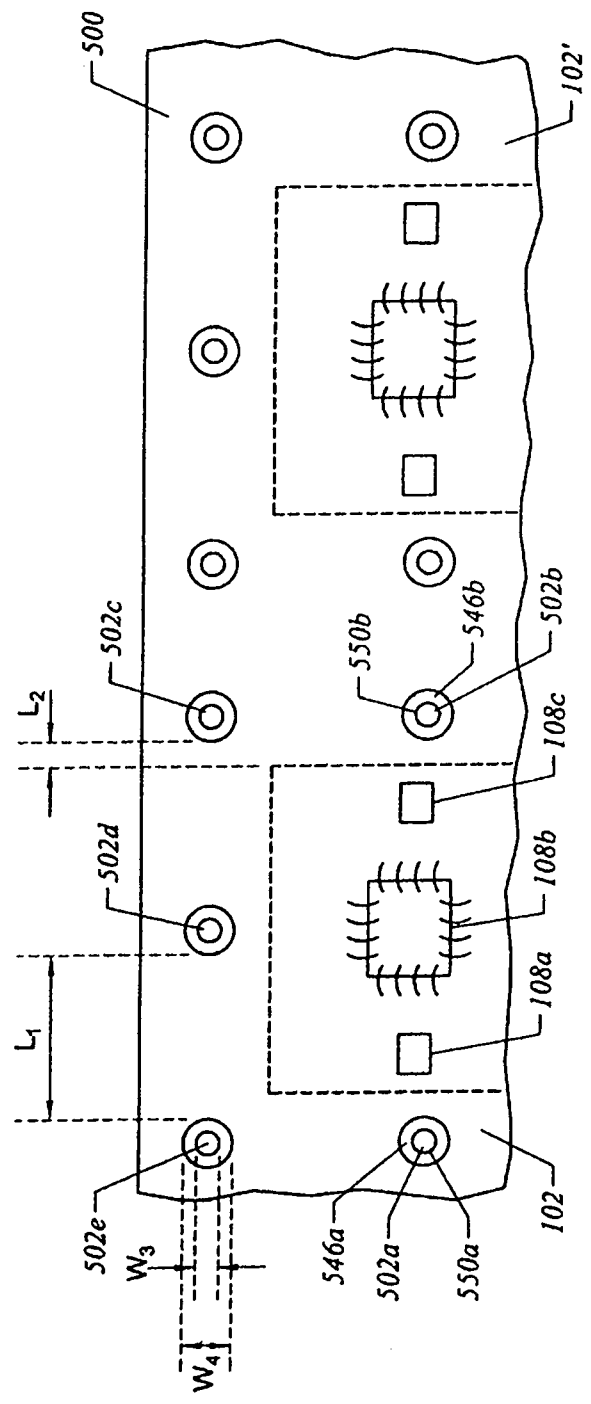
第4B圖



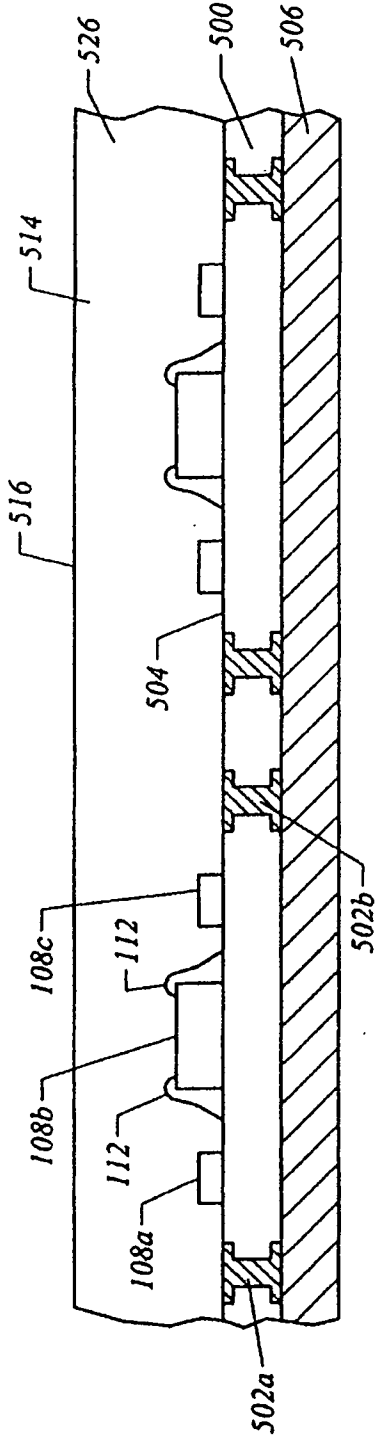
第4C圖



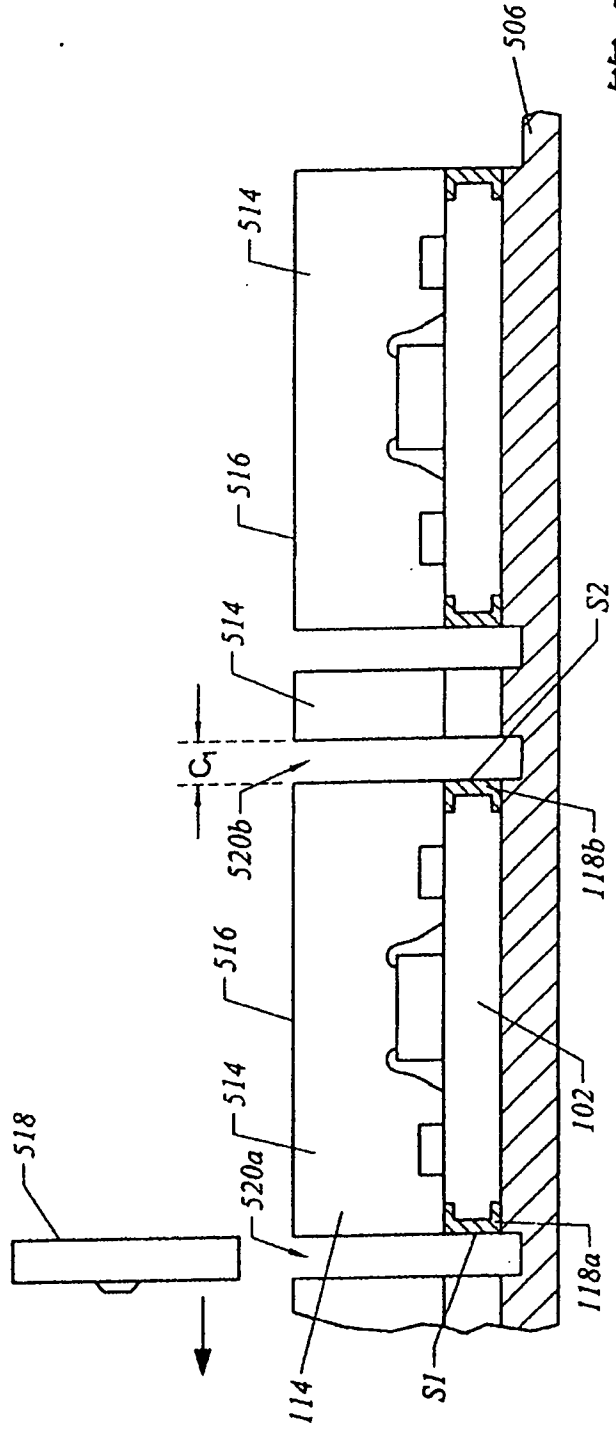
第 5A 圖



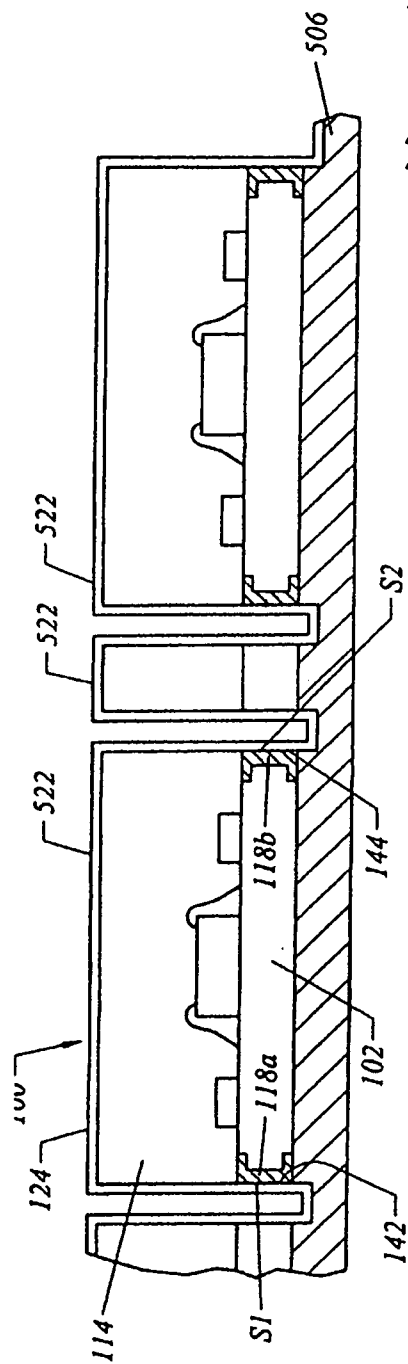
第 5B 圖



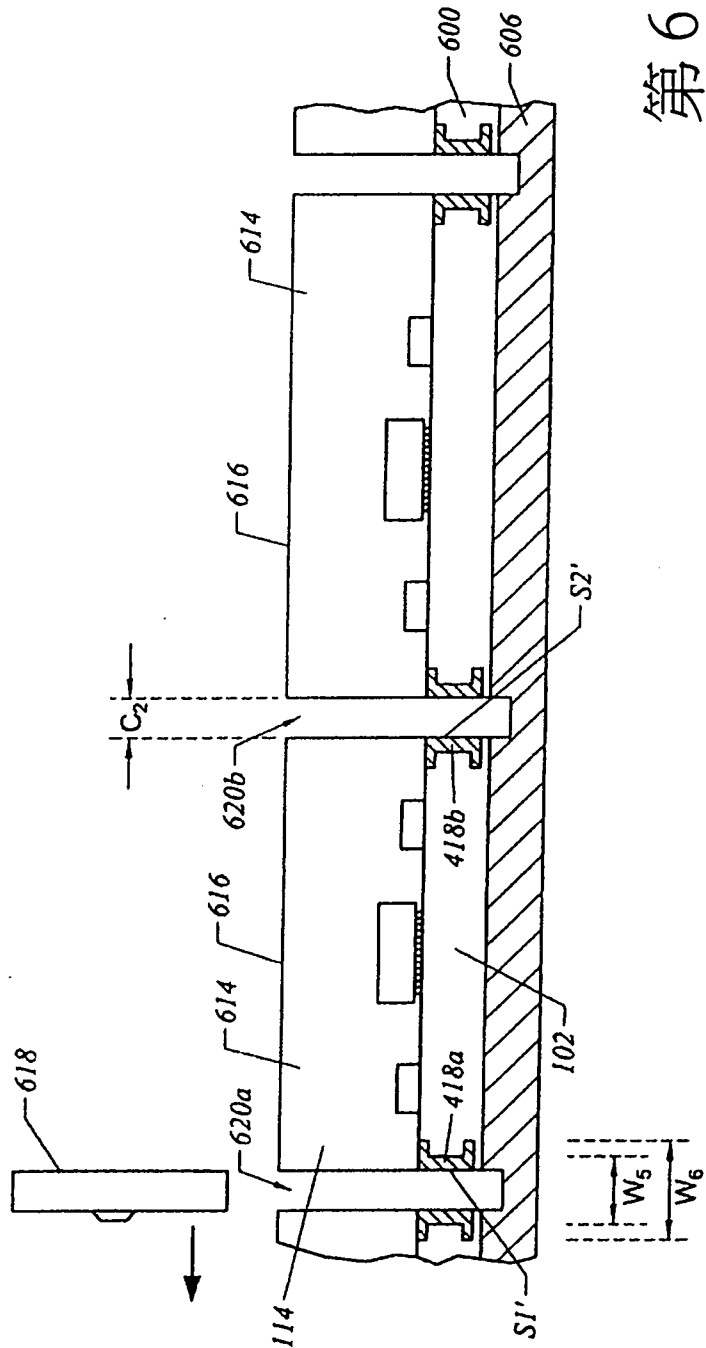
第 5C 圖



第 5D 圖



第5E圖



第6圖