



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년10월13일  
 (11) 등록번호 10-0987794  
 (24) 등록일자 2010년10월07일

(51) Int. Cl.

*H01L 21/31* (2006.01) *H01L 21/324* (2006.01)

(21) 출원번호 10-2008-0131060  
 (22) 출원일자 2008년12월22일  
 심사청구일자 2008년12월22일  
 (65) 공개번호 10-2010-0072609  
 (43) 공개일자 2010년07월01일

(56) 선행기술조사문헌  
 JP2005340348 A  
 KR100476901 B1  
 JP2007220782 A

전체 청구항 수 : 총 11 항

(73) 특허권자

한국전자통신연구원

대전 유성구 가정동 161번지

(72) 발명자

김인규

대전 유성구 송강동 한마을아파트 111-905

권오균

대전 유성구 신성동 한울아파트 111-1802호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

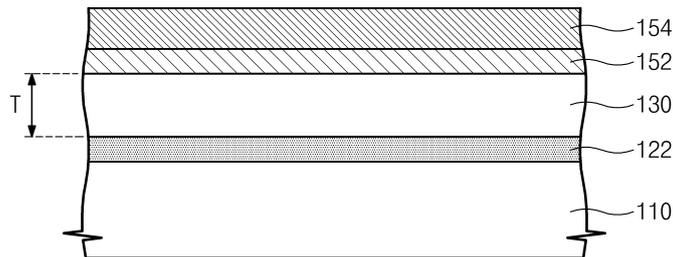
심사관 : 김수섭

**(54) 반도체 장치의 제조 방법**

**(57) 요약**

본 발명은 반도체 장치의 제조 방법을 제공한다. 이 방법은 제 1 및 제 2 층들, 제 1 및 제 2 층들 사이의 이온 주입층, 및 제 2 층 상에 산화 억제막을 형성하는 것 그리고 열 처리 공정을 수행하여 산화 억제막에 의해 제 2 층의 손실을 억제하며 제 1 및 제 2 층들 사이에 절연층을 형성하는 것을 포함한다.

**대표도** - 도1b



(72) 발명자

**서동우**

대전광역시 유성구 관평동 테크노밸리 909-1301

**김경옥**

서울 강남구 신사동 622 신성아파트 101-805호

이 발명을 지원한 국가연구개발사업

과제고유번호 2006-S-004-03

부처명 지식경제부

연구관리전문기관

연구사업명 IT원천기술개발

연구과제명 실리콘 기반 초고속 광인터커넥션IC

기여율

주관기관 한국전자통신연구원

연구기간 2006.02.01 ~ 2011.01.31

---

**특허청구의 범위**

**청구항 1**

제 1 및 제 2 층들, 상기 제 1 및 제 2 층들 사이의 이온 주입층, 및 상기 제 2 층 상에 산화 억제막을 형성하고; 그리고

열 처리 공정을 수행하여, 상기 산화 억제막에 의해 상기 제 2 층의 손실을 억제하며 상기 제 1 및 제 2 층들 사이에 절연층을 형성하는 것을 포함하는 반도체 장치의 제조 방법.

**청구항 2**

제 1 항에 있어서,

상기 이온 주입층은 반도체 기판에 이온 주입 공정을 수행하여 형성되되,

상기 반도체 기판은 이온 주입 방지용 마스크에 의해 노출된 기판에 이온 주입층을 형성하는 반도체 장치의 제조 방법.

**청구항 3**

제 1 항에 있어서,

상기 열처리 공정에 의해 상기 산화 억제막의 일부를 산화하는 반도체 장치의 제조 방법.

**청구항 4**

제 3 항에 있어서,

상기 산화 억제막은 폴리 실리콘 또는 결정질 실리콘을 포함하는 반도체 장치의 제조 방법.

**청구항 5**

제 3 항에 있어서,

상기 제 1 및 제 2 층들은 결정질 실리콘을 포함하고, 상기 이온 주입층은 산소 이온을 포함하는 반도체 장치의 제조 방법.

**청구항 6**

제 3 항에 있어서,

상기 열처리 공정을 수행한 후, 상기 산화 억제막을 제거하는 것을 더 포함하는 반도체 장치의 제조 방법.

**청구항 7**

제 3 항에 있어서,

상기 제 2 층 및 상기 산화 억제막 사이의 희생층을 형성하는 것을 더 포함하는 반도체 장치의 제조 방법.

**청구항 8**

제 7 항에 있어서,

상기 희생층은 상기 제 1 및 제 2 층들과 상기 산화 억제막에 식각 선택비를 갖는 물질을 포함하는 반도체 장치의 제조 방법.

**청구항 9**

제 8 항에 있어서,

상기 희생층은 저압-화학기상증착 공정을 수행하여 형성된 실리콘 산화막을 포함하는 반도체 장치의 제조 방법.

**청구항 10**

제 9 항에 있어서,

상기 산화 억제막은 저압-화학기상증착 공정을 수행하여 형성된 폴리 실리콘막을 포함하는 반도체 장치의 제조 방법.

**청구항 11**

제 1 항에 있어서,

상기 열처리 공정에 의해 상기 산화 억제막의 전부 또는 상기 산화 억제막의 전부와 상기 제 2 층의 일부를 산화시키는 반도체 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 반도체 장치의 기판의 형성 방법에 관한 것이다.

[0002] 본 발명은 지식경제부 및 정보통신연구진흥원의 IT원천기술개발사업의 일환으로 수행한 연구로부터 도출된 것이다. [과제관리번호:2008-S-004-03, 과제명: 실리콘 기반 초고속 광인터커넥션IC]

**배경기술**

[0003] 반도체 소자의 소형화, 고속화 및 저전력화에 따라, 벌크 실리콘 기판 상에 씨모스(complementary metal oxide semiconductor: CMOS) 소자들을 제작하는 대신하여 절연체 위에 소자를 구현하는 방식이 주목 받게 되었다. 이에 따라, 실리콘-온-인슐레이터 (silicon-on-insulator: SOI) 기판 기술이 발전하게 되었다.

[0004] SOI 기판은 BESOI(bonded and etch-back SOI) 기판, 수소 임플란트에 의한 Smart-cut SOI 기판 및 SIMOX (separation by implanted oxygen) 기판등을 포함할 수 있다. BESOI 기판은 적은 결함을 가지며 매립 산화물 (buried oxide: BOX) 층의 두께를 두껍게 만들기 용이할 수 있다. 따라서, BESOI 기판은 고전압 용 바이폴라 응용 및 MEMS 가속도 센서 등에 사용될 수 있다. SIMOX 기판은 방사선에 강하고 고속화 및 소형 집적화에 유리할 수 있다. SIMOX 기판은 VLSI CMOS 및 고속 멀티코어 마이크로프로세서 등에 사용될 수 있다.

**발명의 내용**

**해결하고자하는 과제**

[0005] 본 발명의 이루고자 하는 기술적 과제는 신뢰성이 향상된 반도체 장치의 제조 방법을 제공하는 것이다.

**과제 해결수단**

[0006] 상기 기술적 과제를 달성하기 위하여 본 발명은 반도체 장치의 제조 방법을 제공한다. 이 방법은 제 1 및 제 2 층들, 상기 제 1 및 제 2 층들 사이의 이온 주입층, 및 상기 제 2 층 상에 산화 억제막을 형성하고; 그리고 열처리 공정을 수행하여, 상기 산화 억제막에 의해 상기 제 2 층의 손실을 억제하며 상기 제 1 및 제 2 층들 사이에 절연층을 형성하는 것을 포함한다.

[0007] 본 발명의 제 1 실시예에 따르면, 상기 열처리 공정에 의해 상기 산화 억제막의 일부를 산화할 수 있다. 상기 이온 주입층은 반도체 기판에 이온 주입 공정을 수행하여 형성되되, 상기 반도체 기판은 이온 주입 방지용 마스크에 의해 노출된 기판에 이온 주입층을 형성할 수 있다.

[0008] 본 발명의 제 1 실시예에 따르면, 상기 제 1 및 제 2 층들은 결정질 실리콘을 포함할 수 있다. 상기 이온 주입층은 산소 이온을 포함할 수 있다. 상기 산화 억제막은 폴리 실리콘 또는 결정질 실리콘을 포함할 수 있다. 상기 열처리 공정을 수행한 후, 상기 산화 억제막을 제거하는 것이 더 포함될 수 있다.

[0009] 본 발명의 제 2 실시예에 따르면, 이 방법은 상기 제 2 층 및 상기 산화 억제막 사이의 희생층을 형성하는 것을

더 포함할 수 있다.

- [0010] 본 발명의 제 2 실시예에 따르면, 상기 희생층은 상기 제 1 및 제 2 층들과 상기 산화 억제막에 식각 선택비를 갖는 물질을 포함할 수 있다.
- [0011] 본 발명의 제 2 실시예에 따르면, 상기 희생층은 저압-화학기상증착 공정을 수행하여 형성된 실리콘 산화막을 포함할 수 있다. 상기 산화 억제막은 저압-화학기상증착 공정을 수행하여 형성된 폴리 실리콘막을 포함할 수 있다.
- [0012] 본 발명의 제 3 실시예에 따르면, 상기 열처리 공정에 의해 상기 산화 억제막의 전부 또는 상기 산화 억제막의 전부와 상기 제 2 층의 일부를 산화시킬 수 있다.

**효 과**

- [0013] 본 발명의 제 1 실시예에 따르면, 상부 및 하부층과 상부 및 하부층 사이의 절연막을 포함하는 기관에서, 상부층의 두께의 손실 없이 절연층을 형성할 수 있다.
- [0014] 본 발명의 제 2 실시예에 따르면, 상부층의 두께의 손실 없이 절연층을 형성하고, 상부층의 상부면의 손상을 억제할 수 있다. 이에 따라, 신뢰성이 향상된 상부층을 포함하는 기관을 형성할 수 있다.
- [0015] 본 발명의 제 3 실시예에 따르면, 기관의 상부층의 두께를 조절할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0016] 첨부한 도면들을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 막(또는 층) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 막(또는 층)이 다른 막(또는 층) 또는 기관 "상"에 있다고 언급되어지는 경우에 그것은 다른 막(또는 층) 또는 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막(또는 층)이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0017] 도 1a, 도 1b 및 도 1c는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 방법을 보여주는 단면도들이다.
- [0018] 도 1a를 참조하면, 반도체 기관(100)이 제공된다. 반도체 기관(100)은 결정질 실리콘을 포함할 수 있다. 반도체 기관(100)의 재질은 실리콘에 국한되지는 않는다. 반도체 기관(100) 내에 이온 주입층(120)을 형성하고, 이온 주입층(120)이 개재되어 제 1 및 제 2 층들(110, 130)이 형성된다. 반도체 기관(100)은 이온 주입 방지용 마스크(미도시)에 의해 노출된 기관(100)에 이온 주입층을 형성할 수 있다. 이온 주입층(120)은 산소 이온을 포함할 수 있다. 예를 들면, 기관(100) 내에 산소 이온을  $1E^{17} \sim 2E^{18}/cm^2$ 의 도즈(dose)로 주입하여, 제 1 및 제 2 층들(110, 130) 사이에 이온 주입층(120)을 형성할 수 있다. 이온 주입층(120)의 깊이는 산소 이온의 에너지에 의해 결정될 수 있다. 산소 이온의 에너지는 가령, 수십~수백 keV일 수 있다.
- [0019] 이온 주입층(120)을 형성한 후, 제 2 층(130) 상에 산화 억제막(150)을 형성할 수 있다. 산화 억제막(150)은 열산화될 수 있는 막을 포함할 수 있다. 산화 억제막(150)의 두께는 가령, 1000nm일 수 있다. 산화 억제막(150)은 가령, 폴리 실리콘 또는 결정질 실리콘을 포함할 수 있다. 산화 억제막(150)은 제 2 층(130)을 덮어 제 2 층(130)의 상부면을 공기와 차단할 수 있다. 다른 방법으로, 기관(100) 상에 산화 억제막(150)을 형성한 후, 산소 이온의 에너지를 증가하여 이온 주입층(120)을 형성할 수 있다.
- [0020] 도 1b를 참조하면, 열 처리 공정을 수행하여, 제 1 및 제 2 층들(110, 130) 사이의 이온 주입층(120)을 절연층(122)으로 변환할 수 있다. 절연층(122)은 이온 주입층(120)의 산소가 이온 주입층(120)에 접하는 제 1 및 제 2 층들(110, 130)과 반응하여 형성되므로 이온 주입층(도 1a의 120)에 비해 두꺼울 수 있다. 절연층(122)은 가령, 실리콘 산화막일 수 있다. 열 처리 공정은 가령, 1000°C 내지 1700 °C로 수행될 수 있다. 열 처리 공정은 실리콘의 산화를 수반하는 고온 열처리 공정을 포함할 수 있다. 열 처리 공정은 SIMOX(separation by implanted oxygen)의 제작을 위한 고온 열처리 공정, ITOX(internal thermal oxide)의 열처리 공정 및 MEMS(Micro-

Electro-Mechanical Systems)에 수반되는 열처리 공정을 포함할 수 있다.

- [0021] 상기 열 처리 공정에 의하여 산화 억제막(150)의 상부가 산화되어, 잔존 산화 억제막(152) 및 잔존 산화 억제막(152) 상의 제어 산화막(154)이 형성될 수 있다. 제어 산화막(154)은 가령, 실리콘 산화막일 수 있다.
- [0022] 본 발명의 실시예에 따르면, 노출된 산화 억제막(150)의 상부를 산화시켜 제 2 층(130) 상부의 손실 가령, 산화를 억제할 수 있다. 이에 따라, 제 2 층(130)의 두께(T)의 손실 없이 절연층(122)이 형성될 수 있다. 제 2 층(130)의 두께(T)은 절연층(122)의 상부면과 제 2 층(130)의 상부면 사이의 거리일 수 있다.
- [0023] 도 1c를 참조하면, 제어 산화막(154) 및 잔존 산화 억제막(152)을 제거할 수 있다. 제거 공정은 제 1 제거 공정 및 제 2 제거 공정을 포함할 수 있다. 제 1 제거 공정은 제어 산화막(154)을 제거하는 공정으로 이방성 또는/및 등방성 공정일 수 있다. 제 2 제거 공정은 잔존 산화 억제막(152)을 제거하는 공정으로 이방성 또는/및 등방성 공정일 수 있다.
- [0024] 도 2a, 도 2b 및 도 2c는 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 방법을 보여주는 단면도들이다. 제 2 실시예는 앞서 설명한 제 1 실시예와 유사하다. 따라서, 설명의 간결함을 위해, 아래에서는 앞서 설명한 제 1 실시예와 중복되는 기술적 특징에 대한 설명은 개략적으로 언급되거나 생략된다.
- [0025] 도 2a를 참조하면, 반도체 기판(100) 내에 이온 주입층(120)을 형성하여 이온 주입층(120)을 개재하여 제 1 및 제 2 층들(110, 130)이 형성된다. 이온 주입층(120)은 산소 이온을 포함할 수 있다.
- [0026] 제 2 층(130) 상에 차례로 희생층(140) 및 산화 억제막(150)을 형성할 수 있다. 희생층(140)은 제 1 및 제 2 층들(110, 130)과 산화 억제막(150)과 식각 선택비가 다른 물질을 포함할 수 있다. 희생층(140)은 가령, 실리콘 산화막을 포함할 수 있다. 산화 억제막(150)은 열산화될 수 있는 막을 포함할 수 있다. 산화 억제막(150)은 가령, 폴리 실리콘 또는 결정질 실리콘을 포함할 수 있다.
- [0027] 후속으로 수행되는 고온의 열처리 공정 시 산화 억제막(150)과 희생층(140)의 계면 및 제 2 층(130)과 희생층(140)의 계면에 많은 응력이 발생할 수 있다. 따라서, 산화 방지막 및 희생층(140) 각각은 고온에서 변형이 적은 물질을 포함할 수 있다. 예를 들면, 희생층(140)은 가령, 저압 화학 기상 증착(low pressure chemical vapor deposition: LP-CVD) 기술로 테오스(tetraethyl orthosilicate:  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )를 사용하여 증착한 실리콘 산화막일 수 있다. 산화 억제막(150)은 가령, 저압 화학 기상 증착(low pressure chemical vapor deposition: LP-CVD) 기술을 사용하여 형성된 폴리 실리콘막일 수 있다.
- [0028] 도 2b를 참조하면, 열 처리 공정을 수행하여, 제 1 및 제 2 층들(110, 130) 사이의 이온 주입층(120)을 절연층(122)으로 변환할 수 있다.
- [0029] 열 처리 공정에 의하여 희생층(140) 상에 산화 억제막(150)의 일부가 산화되어, 잔존 산화 억제막(152) 및 잔존 산화 억제막(152) 상의 제어 산화막(154)이 형성될 수 있다.
- [0030] 도 2c를 참조하면, 제 2 층(130) 상의 제어 산화막(154), 잔존 산화 억제막(152) 및 희생층(140)을 제거할 수 있다.
- [0031] 예를 들면, 제어 산화막(154)을 가령, 불산(hydrofluoric acid: HF)을 사용하여 제거할 수 있다. 잔존 산화 억제막(152)은 가령, 희생층(140)을 식각 정지막으로 사용하여 건식 식각되어 제거될 수 있다. 잔존 산화 억제막(152)을 제거한 후 희생층(140)을 가령, 건식 식각 또는 습식 식각하여 제거할 수 있다. 다른 방법으로, 산화 억제막(도 2a의 152)이 제 2 층(130)의 일정 영역에 형성되며 희생층(140)이 산화 억제막(152)에 비해 넓게 형성된 경우, 열처리 공정 후 제어 산화막(154)이 제거되면 희생층(140)이 노출될 수 있다. 노출된 희생층(140)을 습식 식각하여 제 2 층(130)으로부터 희생층(140)과 함께 잔존 산화 억제막(152)을 분리 제거할 수 있다.
- [0032] 본 발명의 제 2 실시예에 따르면, 제 2 층(130)의 상부의 손실 없이 절연층(122)을 형성할 수 있다. 게다가, 희생층(140)은 잔존 산화 억제막(152)과 제 2 층(130)에 비해 식각 선택비가 큰 물질이 사용되므로, 잔존 산화 억제막(152)은 희생층(140)을 이용하여 제 2 층(130)의 상부면의 손상을 억제하며 용이하게 제거될 수 있다. 이에 따라, 신뢰성이 향상된 제 2 층(130)을 포함하는 기판을 형성할 수 있다. 따라서, 신뢰성이 향상된 반도체 장치를 제공할 수 있다.
- [0033] 도 3a 및 도 3b는 본 발명의 제 3 실시예에 따른 반도체 장치의 제조 방법을 보여주는 단면도들이다. 제 3 실시예는 앞서 설명한 제 1 실시예와 유사하다. 따라서, 설명의 간결함을 위해, 아래에서는 앞서 설명한 제 1 실시예와 중복되는 기술적 특징에 대한 설명은 개략적으로 언급되거나 생략된다.

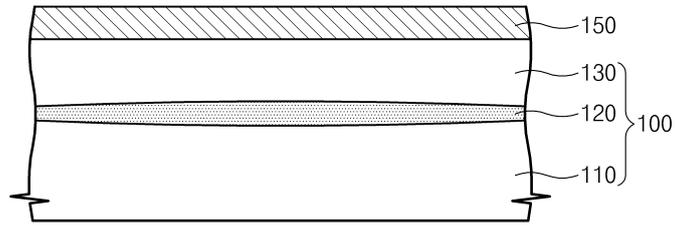
- [0034] 도 3a를 참조하면, 도 1a의 방법으로 제 1 및 제 2 층들(110, 130), 제 1 및 제 2 층들(110, 130) 사이의 이온 주입층(120), 및 제 2 층(130) 상에 산화 억제막(150)을 형성할 수 있다.
- [0035] 도 3b를 참조하면, 열 처리 공정을 수행하여, 제 1 및 제 2 층들(110, 130) 사이의 이온 주입층(120)을 절연층(122)으로 변환할 수 있다. 열 처리 공정에 의하여 산화 억제막(150)의 전부가 산화되어 제어 산화막(154)이 형성될 수 있다. 상기 열 처리 공정에 의하여, 제 2 층(130)의 상부를 산화시킬 수 있다.
- [0036] 본 발명의 제 3 실시예에 따르면, 산화 억제막(150)의 전부 또는 산화 억제막(150)의 전부와 제 2 층(130)의 일부를 산화시켜, 제어 산화막(154)의 두께(T1)를 조절할 수 있다. 이에 따라, 제 2 층(130)의 두께(T2)가 조절될 수 있다.
- [0037] 도 4a, 도 4b 및 도 4c는 본 발명의 제 2 실시예에 따른 반도체 기판의 SEM 사진들이다.
- [0038] 도 4a를 참조하면, 희생층(143) 및 산화 억제막(155)이 제 2 층(133) 상에 차례로 적층되어 있다. 희생층(143)은 가령, 저압 화학 기상 증착(LP-CVD) 기술을 사용하여 형성된 실리콘 산화막일 수 있다. 산화 억제막(155)은 가령, 저압 화학 기상 증착(LP-CVD) 기술을 사용하여 형성된 폴리 실리콘막일 수 있다. 제 2 층(133)은 실리콘을 포함할 수 있다.
- [0039] 도 4b를 참조하면, 열처리 공정을 수행한 후, 희생층(143), 잔존 산화 억제막(157) 및 제어 산화막(159)을 보여준다.
- [0040] 상기 열처리 공정에 의해, 제 2 층(133)의 산화없이 잔존 산화 억제막(157) 상에 제어 산화막(159)이 형성되는 것을 알 수 있다. 따라서, 제 2 층(133)의 두께의 변화가 없는 것을 알 수 있다.
- [0041] 도 4c를 참조하면, 제어 산화막(도 4b의 159)을 제거하고, 잔존 산화 억제막(157) 및 희생층(143)의 일부를 제거한 후 제 2 층(133)의 상부면을 노출한 모습이다. 제 2 층(133)의 상부면은 산화되지 않으며 손상되지 않은 원상태를 유지함을 알 수 있다.
- [0042] 도 5는 열처리 공정의 온도에 따른 본 발명의 실시예들의 잔존 산화 억제막 및 제어 산화막의 두께들을 보여주는 다이어그램이다. 산화 억제막은 폴리 실리콘막을 사용하며, 5 시간 동안 열처리 공정을 수행한 후의 데이터들이다. 삼각형은 제어 산화막의 두께를 나타낼 수 있다. 사각형은 잔존 산화 억제막의 두께를 나타낼 수 있다. 원형은 제어 산화막의 두께의 절반과 잔존 산화 억제막의 두께를 합한 값을 나타낼 수 있다. 산화 억제막의 두께는 1000nm일 수 있다.
- [0043] 도 5를 참조하면, 원형의 값들은 산화 억제막의 두께인 1000nm 부근에 분포함을 알 수 있다. 즉, 산화 억제막 두께의 2 배 정도의 제어 산화막이 형성됨을 알 수 있다. 도 5에 도시된 데이터들을 이용하여, 산화 억제막의 두께를 달리하면서 열처리의 온도 및 시간 등을 조절함으로써, 제 1 층 가령, 실리콘을 포함하는 기판의 산화량을 제어할 수 있다.
- [0044] 상기한 실시예의 설명은 본 발명의 더욱 철저한 이해를 제공하기 위하여 도면을 참조로 예를 든 것에 불과하므로, 본 발명을 한정하는 의미로 해석되어서는 안될 것이다. 그리고, 본 발명의 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기본적 원리를 벗어나지 않는 범위 내에서 다양한 변화와 변경이 가능함은 물론이다.

**도면의 간단한 설명**

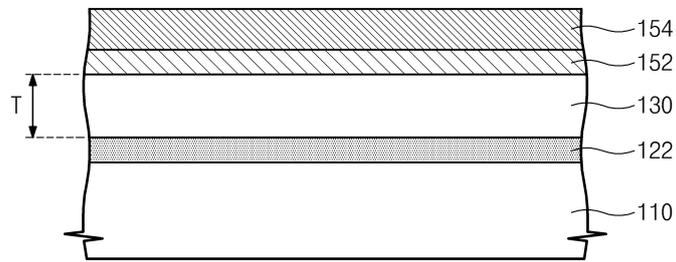
- [0045] 도 1a, 도 1b 및 도 1c는 본 발명의 제 1 실시예에 따른 반도체 장치의 제조 방법을 보여주는 단면도들이다.
- [0046] 도 2a, 도 2b 및 도 2c는 본 발명의 제 2 실시예에 따른 반도체 장치의 제조 방법을 보여주는 단면도들이다.
- [0047] 도 3a 및 도 3b는 본 발명의 제 3 실시예에 따른 반도체 장치의 제조 방법을 보여주는 단면도들이다.
- [0048] 도 4a, 도 4b 및 도 4c는 본 발명의 제 2 실시예에 따른 반도체 기판의 SEM 사진들이다.
- [0049] 도 5는 열처리 공정의 온도에 따른 본 발명의 실시예들의 잔존 산화 억제막 및 제어 산화막의 두께들을 보여주는 다이어그램이다.

도면

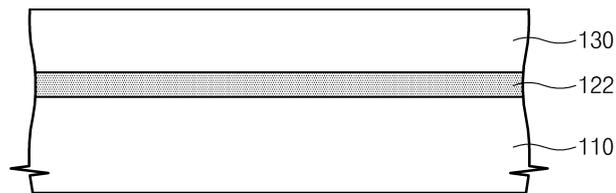
도면1a



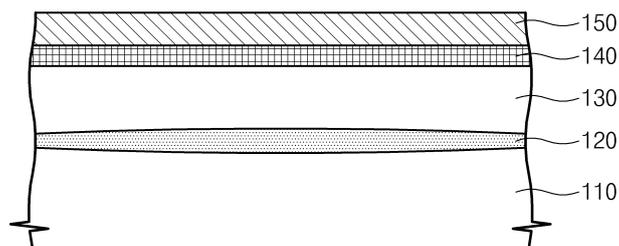
도면1b



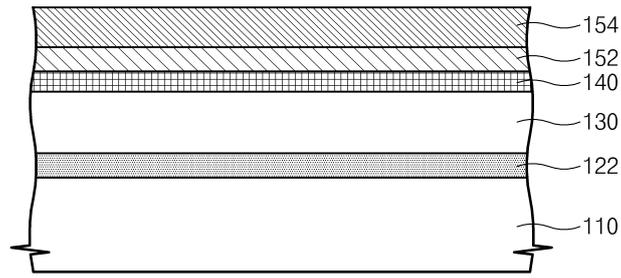
도면1c



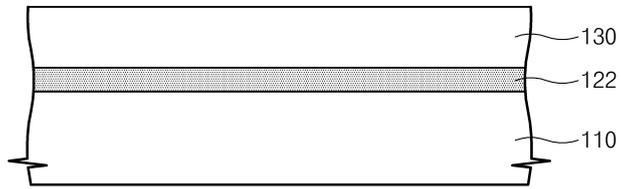
도면2a



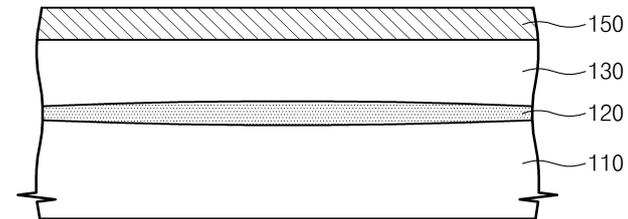
도면2b



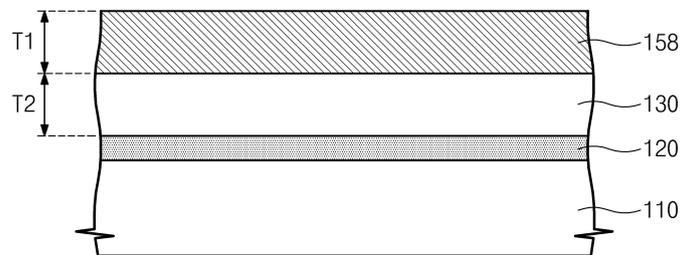
도면2c



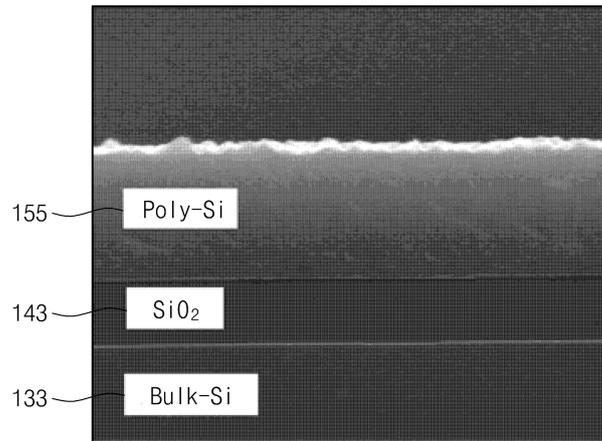
도면3a



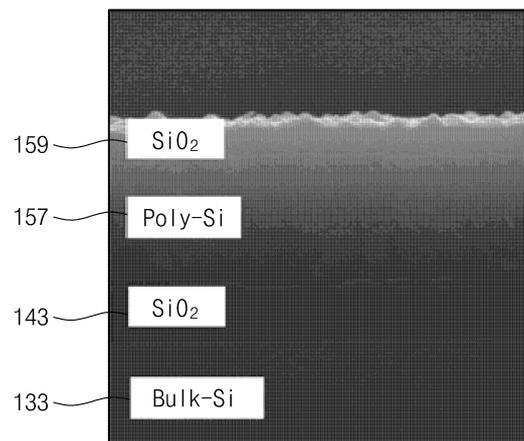
도면3b



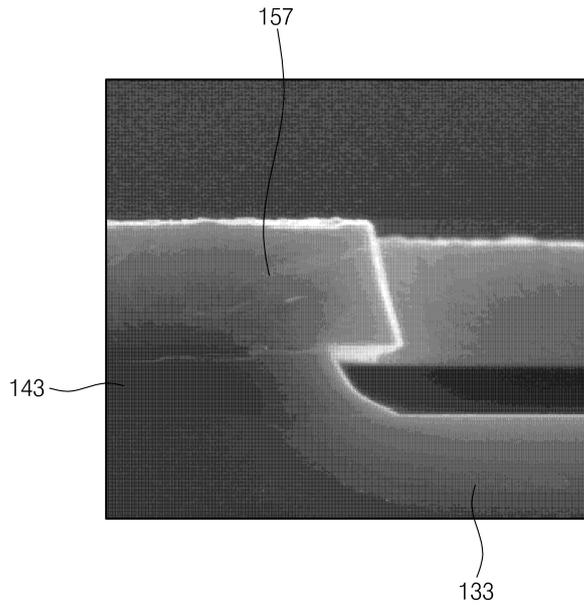
도면4a



도면4b



도면4c



도면5

