



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년01월29일  
 (11) 등록번호 10-1356475  
 (24) 등록일자 2014년01월22일

(51) 국제특허분류(Int. Cl.)  
 H01L 33/48 (2010.01) H01L 33/62 (2010.01)  
 (21) 출원번호 10-2013-0032660  
 (22) 출원일자 2013년03월27일  
 심사청구일자 2013년03월27일  
 (56) 선행기술조사문헌  
 KR1020100093527 A\*  
 KR101064090 B1  
 KR101177896 B1  
 KR1020080030811 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 한국생산기술연구원  
 충청남도 천안시 서북구 입장면 양대기로길 89  
 (72) 발명자  
 유세훈  
 인천광역시 연수구 신송로6번길 7 (송도동) 110  
 동 501호  
 이창우  
 경기도 안양시 동안구 갈산동 1115, 샘마을  
 임광APT 307-1201  
 (뒷면에 계속)  
 (74) 대리인  
 고영갑, 권정기, 임상엽

전체 청구항 수 : 총 3 항

심사관 : 진수영

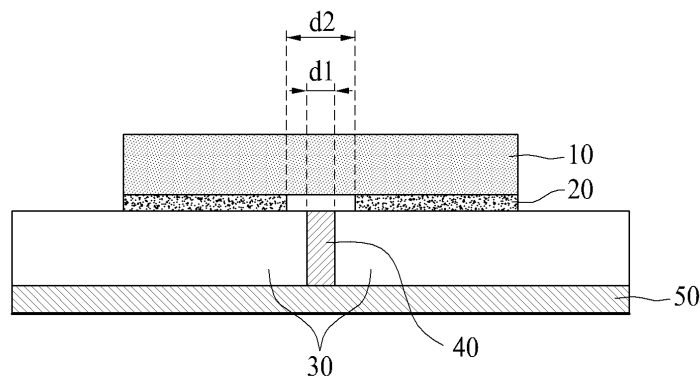
(54) 발명의 명칭 **고성능 엘이디 기판 및 이의 제조방법**

**(57) 요약**

본 발명의 고성능 엘이디 기판 제조방법은 금형에 복수 개의 금속 전극을 일정 간격 이격하여 배치하는 금속전극 배치단계, 상기 이격된 금속전극 사이에 절연체를 삽입하여 금속전극 플레이트를 형성하는 금속전극 플레이트 형성단계, 상기 금속전극 플레이트의 일면에 절연층을 형성하는 절연층 형성단계 및 상기 한 쌍의 금속전극에 엘이디칩을 장착하는 엘이디칩 장착단계를 포함한다.

그리고 본 발명의 엘이디 기판은 엘이디칩과 전기적으로 연결되고, 일전 간격 이격된 한 쌍의 금속전극 및 상기 금속전극 사이의 이격된 공간을 채우는 절연체를 포함하는 금속전극 플레이트 및 상기 금속전극 플레이트의 하면에 구비되어 상기 금속전극을 전기적으로 분리하는 절연층을 포함한다.

**대표도 - 도2**



(72) 발명자

**김준기**

경기 군포시 광정동 한양목련아파트 1226동 805호

**방정환**

인천광역시 연수구 새말로 134, 103동 809호(연수동, 새경아파트)

**이태영**

서울특별시 구로구 구로중앙로7길 28 (구로동, 극동아파트) 1동 907호

**특허청구의 범위**

**청구항 1**

금형에 복수 개의 금속 전극을 일정 간격 이격하여 배치하여 상기 금속전극 간에 이격된 공간을 형성하는 금속 전극배치단계;

상기 이격된 금속전극 사이의 공간에 절연체를 삽입하여 금속전극 플레이트를 형성하는 금속전극 플레이트 형성 단계; 및

상기 한 쌍의 금속전극에 엘이디칩을 장착하는 엘이디칩 장착단계;

를 포함하는 고성능 엘이디 기판 제조방법.

**청구항 2**

제1항에 있어서,

상기 금속전극 플레이트의 일면에 절연층을 형성하는 절연층 형성단계를 더 포함하는 고성능 엘이디 기판 제조 방법.

**청구항 3**

제1항에 있어서,

금속 전극 플레이트를 복수 개의 금속전극을 포함하는 금속전극 기판부로 분리하는 기판부 분리 단계를 더 포함 하는 고성능 엘이디 기판 제조방법.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**명세서**

**기술분야**

[0001] 본 발명은 고성능 엘이디 기판 및 이의 제조방법에 관한 것으로서, 보다 상세하게는 엘이디칩과 연결되는 금속 전극을 전기적으로 차단하게 위한 절연층을 수직형 절연체로 변환하여 방열 효율을 증가시킨 고성능 엘이디 기판 및 이의 제조방법에 대한 것이다.

**배경기술**

[0002] 일반적으로 엘이디칩(LED Chip)은 PN 접합을 가지는 반도체에 전압을 가하면 N형 영역에서는 전자가 P형 영역에서는 정공이 PN접합부로 이동하여 재결합하면서 전자가 가지고 있는 에너지가 빛으로 전환되는 원리를 이용한 반도체 소자이다.

[0003] 그리고 엘이디칩의 P형 영역에 전압을 인가하는 p측 전극 및 N형 영역에 전압을 인가하는 n측 전극은 전기적으로 분리된 전극과 결합되어 외부로부터 전압을 공급받는다.

[0004] 도1은 종래 기술의 금속기판에 전기적으로 연결된 엘이디칩을 나타내는 도면이다. 도1을 참조하면, 일반적인 엘 이디 기판은 방열 성능이 우수한 알루미늄(Al) 기판(1)의 상면에 절연체층(2)을 구비한다. 그리고 절연체층(2)의 상부에 한 쌍의 금속전극(3)을 구비하여 한 쌍의 금속전극(3)을 전기적으로 차단한다. 그리고 한 쌍의 금속

전극(3)에 엘이디칩(5)의 n측 전극 및 p측 전극이 접합부(4)에 의하여 전기적으로 연결된다.

[0005] 결국 엘이디칩(5)에서 발생한 열은 금속전극(3)을 통하여 절연체(2)로 전달되고, 절연체(2)에 전달된 열이 금속 기관(1)을 통하여 외부로 방출된다. 그리고 일반적으로 절연을 위한 절연체(4)로 열전도도가 낮은 폴리머를 사용함에 따라 발생한 열이 하부로 배출이 어려운 열병목현상(Thermal bottleneck)이 발생하게 된다.

[0006] 이에 따라 발생한 열이 외부로 배출이 어려워 반영구적인 엘이디칩의 수명을 효과적으로 사용하지 못한다는 문제점이 있었다.

## 선행기술문헌

### 특허문헌

(특허문헌 0001) 대한민국 등록특허공보 제10-1144616호

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 금속전극 사이에 절연체를 수직형으로 구비한 금속전극 플레이트를 통하여 엘이디칩에서 발생하는 열의 방열효율을 증가시킬 수 있는 엘이디칩 기관 및 엘이디칩 기관의 제조방법을 제공함에 있다.

### 과제의 해결 수단

[0008] 상기한 과제를 해결하기 위한 본 발명의 엘이디 기관 제조방법은 금형에 복수 개의 금속 전극을 일정 간격 이격하여 배치하는 금속전극배치단계, 상기 이격된 금속전극 사이에 절연체를 삽입하여 금속전극 플레이트를 형성하는 금속전극 플레이트 형성단계, 상기 금속전극 플레이트의 일면에 절연층을 형성하는 절연층 형성단계 및 상기한 쌍의 금속전극에 엘이디칩을 장착하는 엘이디칩 장착단계를 포함한다.

[0009] 그리고 금속 전극 플레이트를 복수 개의 금속전극을 포함하는 금속전극 기관부로 분리하는 기관부 분리 단계를 더 포함할 수 있다.

[0010] 그리고 본 발명의 엘이디 기관은 엘이디칩과 전기적으로 연결되고, 일전 간격 이격된 한 쌍의 금속전극 및 상기 금속전극 사이의 이격된 공간을 채우는 절연체를 포함하는 금속전극 플레이트 및 상기 금속전극 플레이트의 하면에 구비되어 상기 금속전극을 전기적으로 분리하는 절연층을 포함한다.

[0011] 그리고 상기 금속전극과 엘이디칩 사이에는 상기 금속전극과 상기 엘이디칩을 전기적으로 연결하기 위한 접착부를 포함하고, 상기 접착부 사이의 이격된 거리는 상기 금속전극 사이의 이격된 거리보다 크게 형성될 수 있다.

### 발명의 효과

[0012] 상기한 구성을 가지는 본 발명의 고성능 엘이디 기관 및 이의 제조방법은 다음과 같은 효과가 있다.

[0013] 첫째, 엘이디칩과 연결되는 금속전극을 전기적으로 분리하기 위한 절연체가 수직형으로 구비된 금속단자 플레이트를 이용하여 엘이디칩에서 발생한 열을 절연체를 거치지 않고 금속단자에서 효과적으로 방열할 수 있다는 장점이 있다.

[0014] 둘째, 금속전극 및 금속전극 간에 충전되는 절연체를 포함하는 금속전극 플레이트를 형성하고, 전극 플레이트에 절연층을 도포하는 공정으로 금속전극을 전기적으로 분리할 수 있어서 종래기술에 비하여 생산공정이 간소하다는 장점이 있다.

[0015] 셋째, 간소한 공정으로 생산된 금속전극 플레이트를 수요자에 필요에 따라 다양한 숫자의 엘이디칩이 실장되는 금속전극 기관부로 분리할 수 있다는 장점이 있다.

[0016] 본 발명의 효과는 상기 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과들은 청구범위의 기재로부

터 당업자에게 명확하게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0017] 도1은 종래 기술의 금속기판에 전기적으로 연결된 엘이디칩을 나타내는 도면;
- 도2는 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에 의하여 제작되는 엘이디 기판을 나타내는 도면;
- 도3은 본 발명의 고성능 엘이디 기판 제조방법의 순서를 개략적으로 나타내는 순서도;
- 도4은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에서 복수 개의 금속기판이 금형에 배열된 상태를 나타내는 도면;
- 도5은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에서 복수 개의 금속기판 사이에 절연체가 삽입된 상태를 나타내는 도면;
- 도6은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에서 절연체를 사출하는 과정을 나타내는 도면;
- 도7은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에서 형성된 금속전극 플레이트를 나타내는 도면;
- 도8은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에서 형성된 금속전극 플레이트의 후면에 절연층이 형성된 상태를 나타내는 도면;
- 도9은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에 있어서, 절연층이 형성된 금속전극 플레이트를 복수 개의 금속전극 기판부로 분리하는 과정을 나타내는 단계;
- 도10은 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법의 엘이디칩의 실장을 위하여 솔더 리지스트(SR: Solder Resist)를 도포하는 과정을 나타내는 도면;
- 도11은 본 발명의 일실시예에 따른 고성능 엘이디 기판제조방법에서 엘이디칩을 접합하는 과정을 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하 본 발명의 목적이 구체적으로 실현될 수 있는 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 본 실시예를 설명함에 있어서, 동일 구성에 대해서는 동일 명칭 및 동일 부호가 사용되며 이에 따른 부가적인 설명은 생략하기로 한다.
- [0019] 도2는 본 발명의 일실시예에 따른 고성능 엘이디 기판 제조방법에 의하여 제작되는 엘이디 기판을 나타내는 도면이다.
- [0020] 도2를 참조하면, 본 실시예의 엘이디(LED: Light Emitting Diode) 기판은 엘이디칩(10), 접합부(20), 금속전극(30), 절연체(40) 및 절연층(50)을 포함한다.
- [0021] 엘이디칩(10)은 일반적으로 p측 전극 및 n측 전극이 구비되고, 각 전극을 통하여 전류가 인가됨에 따라 발광을 하게 된다. 그리고 본 실시예에서의 엘이디칩(10)의 p측 전극 및 n측 전극은 접합부(20)를 통하여 금속전극(30)과 전기적으로 연결된다.
- [0022] 여기서 접합부(20)는 금속전극(30)과 엘이디칩(10)을 수직형, 수평형 등 엘이디칩(10)의 구조, 금속전극(30)의 배치 등에 따라서 와이어 본딩 방식이 사용될 수 있고, 본 실시예에서는 플립칩 방식으로 엘이디칩(10)과 금속전극(30)을 전기적으로 연결한다.
- [0023] 금속전극(30)은 한 쌍이 구비되고, 엘이디칩(10)의 n측 전극 및 p측 전극과 각각 연결된다. 그리고 금속전극(30)의 재질은 방열성을 고려하여 알루미늄(Al) 등이 사용될 수 있고, 본 실시예에서는 구리(Cu)가 사용된다.
- [0024] 절연체(40)는 방열성은 우수하지만, 전기적으로 도전성을 가지는 한 쌍의 금속전극을 전기적으로 차단하는 역할을 한다. 그리고 절연성이 있는 다양한 종류의 폴리머가 사용될 수 있다.
- [0025] 그리고 금속전극(30) 및 절연체(40)의 하부면에는 금속전극(30) 간의 전기적 분리를 위한 절연층(50)이 구비된

다. 절연층(50)은 세라믹 등 절연을 위한 다양한 물질로 형성될 수 있다.

- [0026] 특히, 본 발명에서의 절연체(40)는 종래기술에 도시된 것과 같이 한 쌍의 금속전극(4)의 하부면에 구비되어 상부의 구비되는 한 쌍의 금속전극을 전기적으로 분리하는 것이 아니고, 한 쌍의 금속전극(30)의 양 측면에 결합된다.
- [0027] 그리고 금속전극(30) 사이의 이격된 거리(d1), 즉 절연체(40)가 채워지는 두께(d1)은 상기 설명한 접합부(20) 사이에 이격된 거리(d2)보다 작게 형성될 수 있다.
- [0028] 따라서 종래기술의 엘이디칩을 전기적으로 연결하기 위한 금속단자(4)보다 금속단자(30)를 넓은 단면적으로 형성할 수 있고, 이에 따라 엘이디 기관의 전체 방열효율을 증가시킬 수 있게 된다.
- [0029] 그리고 방열을 위하여 기존의 절연체(2) 하부에 별도의 금속기관을 구비하지 않고도, 금속전극(30) 및 절연체(40)로 판형의 금속전극 플레이트(P)를 형성할 수 있다. 따라서 종래기술의 엘이디칩(5)에서 발생하는 열이 절연체(2)로 인하여 금속기관에 효과적으로 전달되지 않는 열 병목현상(Thermal Bottleneck) 현상을 효과적으로 방지할 수 있다.
- [0030] 이하, 본 발명의 고성능 엘이디 기관 제조방법에 대하여 설명한다.
- [0031] 도3은 본 발명의 고성능 엘이디 기관 제조방법의 순서를 개략적으로 나타내는 순서도이다. 도3을 참조하면, 본 발명의 고성능 엘이디 기관 제조방법은 금속전극배치단계(S10), 금속전극 플레이트 형성단계(S20), 절연층 형성단계(S30), 기관 분리 단계(S40) 및 엘이디칩 장착단계(S50)을 포함한다.
- [0032] 도4은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법에서 복수 개의 금속기관이 금형에 배열된 상태를 나타내는 도면이다.
- [0033] 도4을 참조하면, 금속전극배치단계(S10)에서는 금형(60)에 복수 개의 금속전극(30)을 배치한다. 이 때 복수 개의 금속전극(30)은 일정 간격(d) 이격되어 배치된다.
- [0034] 이 때 금속전극(30)은 다양한 구조 및 방법에 따라 금속기관에 고정될 수 있고, 각 금속전극(30) 간 이격된 공간에 후술하는 절연체(40)가 충전되게 된다.
- [0035] 도5은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법에서 복수 개의 금속기관 사이에 절연체가 삽입된 상태를 나타내는 도면이다. 도6은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법에서 절연체를 사출하는 과정을 나타내는 도면이다. 도7은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법에서 형성된 금속전극 플레이트를 나타내는 도면이다.
- [0036] 도5를 참조하면, 금속전극 플레이트 형성단계(S20)은 이격된 금속전극(30) 사이에 절연체를 삽입한다. 절연체(40)는 스크린 프рин팅 방법 등으로 금속전극(30)의 이격된 공간 사이에 충전될 수 있고, 도6와 같이 상부금형(70)으로 배치된 금속전극(30)사이에서 밀폐된 공간을 형성하고 주입구(70a)를 통하여 절연체를 사출하는 방법의 의하여도 가능할 것이다.
- [0037] 결국, 복수 개의 금속전극(30)의 사이에는 절연체(40)가 충전되고 도7에 도시된 것과 같이 금속전극(30)과 절연체(40)에 의한 금속전극 플레이트(P)가 형성되게 된다.
- [0038] 도8은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법에서 형성된 금속전극 플레이트의 후면에 절연층이 형성된 상태를 나타내는 도면이다.
- [0039] 도8을 참조하면, 금속전극(30) 및 절연체(40)로 형성된 금속전극 플레이트(P)의 하면에 금속전극(30) 간의 전기적인 차단을 위한 절연층을 형성한다. 절연층(50)은 질화알루미늄(AlN)을 증착하거나, 산화공정(Oxidation)공정에 의하여 형성될 수 있고, 세라믹 층이 절연층으로 구비될 수도 있다.
- [0040] 결국, 금속전극(30) 간의 측면은 절연체(30)에 의하여 전기적으로 차단되고, 하부면은 절연층(50)에 의하여 차단이 된다.
- [0041] 한편, 절연층(50)의 형성은 금속전극 플레이트(P)가 설치되는 조건에 따라 선택적으로 이루어질 수 있다. 즉 각 금속전극(30)이 전기적으로 분리될 수 있는 조건인 경우 절연층(50)의 형성 없이도 금속전극 플레이트(P)를 실장할 수 있을 것이다.
- [0042] 도9은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법에 있어서, 절연층이 형성된 금속전극 플레이트

를 복수 개의 금속전극 기관부로 분리하는 과정을 나타내는 단계이다.

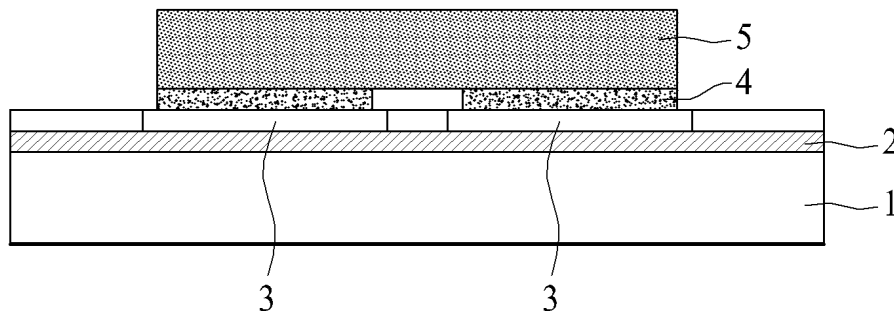
- [0043] 도9를 참조하면, 기관부 분리 단계(S40)는 상기의 공정에 따라 절연층(50)의 형성된 금속전극 플레이트(P)를 필요에 따른 크기의 금속전극 기관부(P1)로 슬라이싱(Slicing)을 하게 된다.
- [0044] 금속전극 기관부(P1)은 필요에 따라 다양한 크기로 형성될 수 있고, 2개의 금속전극(30)에 하나의 엘이디칩(10)이 실장되므로 짝수로 분리되는 것이 바람직하다.
- [0045] 한편, 본 실시예에서 기관부 분리단계(S40)은 후술하는 엘이디칩 실장단계(S50)의 이전에 실시되지만, 경우에 따라서는 엘이디칩 실장이 된 상태에서 기관부를 분리할 수도 있을 것이다.
- [0046] 도10은 본 발명의 일실시예에 따른 고성능 엘이디 기관 제조방법의 엘이디칩의 실장을 위하여 솔더 리지스트(SR: Solder Resist)를 도포하는 과정을 나타내는 도면이고, 도11은 본 발명의 일실시예에 따른 고성능 엘이디 기관제조방법에서 엘이디칩을 접합하는 과정을 나타내는 도면이다.
- [0047] 도10 및 도11을 참조하면, 본 실시예에서는 일정한 플립칩 접합 공정에 따라 엘이디칩(10)의 n측전극과 p측전극을 한 쌍의 금속전극(30)에 솔더링하게 된다.
- [0048] 결론적으로 본 발명에서는 엘이디칩(10)의 n측전극과 p측전극과 전기적으로 연결되는 한 쌍의 금속전극(30)의 측면 사이에 절연체(40)를 충전하여, 각 금속전극(30)이 절연체(40)에 의하여 전기적으로 분리된 금속전극 플레이트(P)를 형성한 다음, 금속전극 플레이트(P)의 하면에 절연층(50)을 구비한다. 따라서 엘이디칩(10)과 접촉하는 금속전극(30)의 단면적을 종래기술에 비하여 상대적으로 크게 형성할 수 있다.
- [0049] 이상과 같이 본 발명에 따른 바람직한 실시예를 살펴보았으며, 앞서 설명된 실시예 이외에도 본 발명이 그 취지나 범주에서 벗어남이 없이 다른 특정 형태로 구체화 될 수 있다는 사실은 해당 기술에 통상의 지식을 가진 이들에게는 자명한 것이다. 그러므로, 상술된 실시예는 제한적인 것이 아니라 예시적인 것으로 여겨져야 하고, 이에 따라 본 발명은 상술한 설명에 한정되지 않고 첨부된 청구항의 범주 및 그 동등 범위 내에서 변경될 수도 있다.

**부호의 설명**

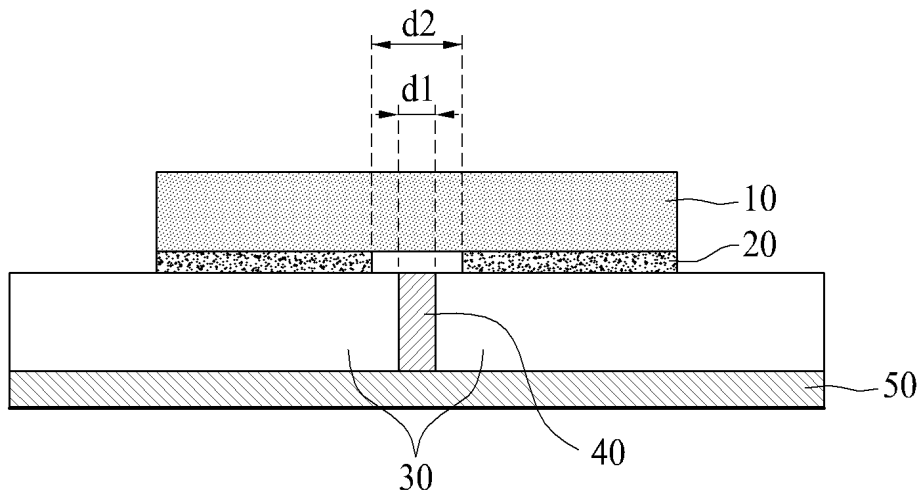
- [0050] 10: 엘이디칩                      20: 집합부
- 30: 금속전극                        40: 절연체
- 50: 절연층

**도면**

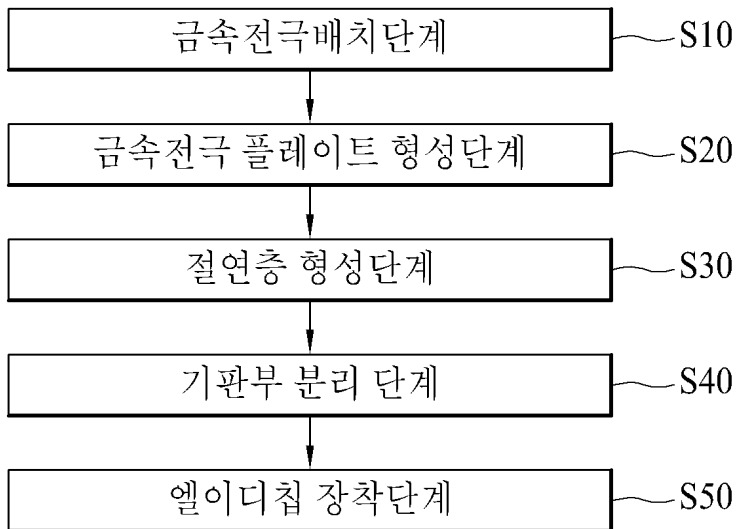
**도면1**



도면2

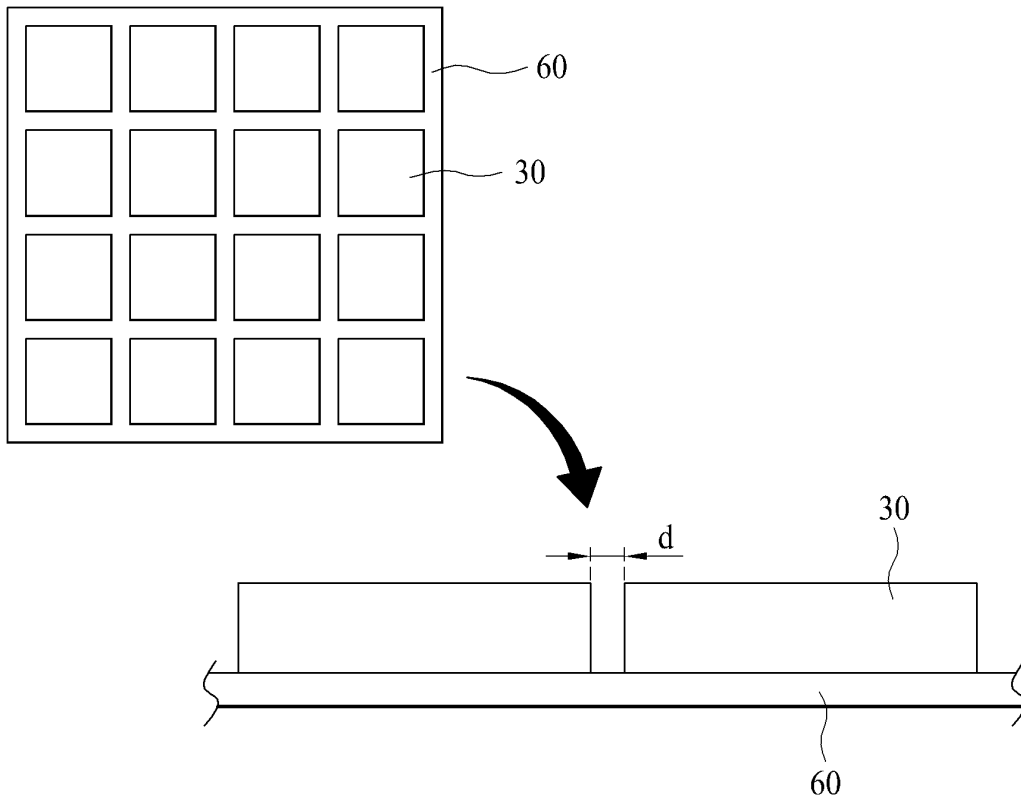


도면3

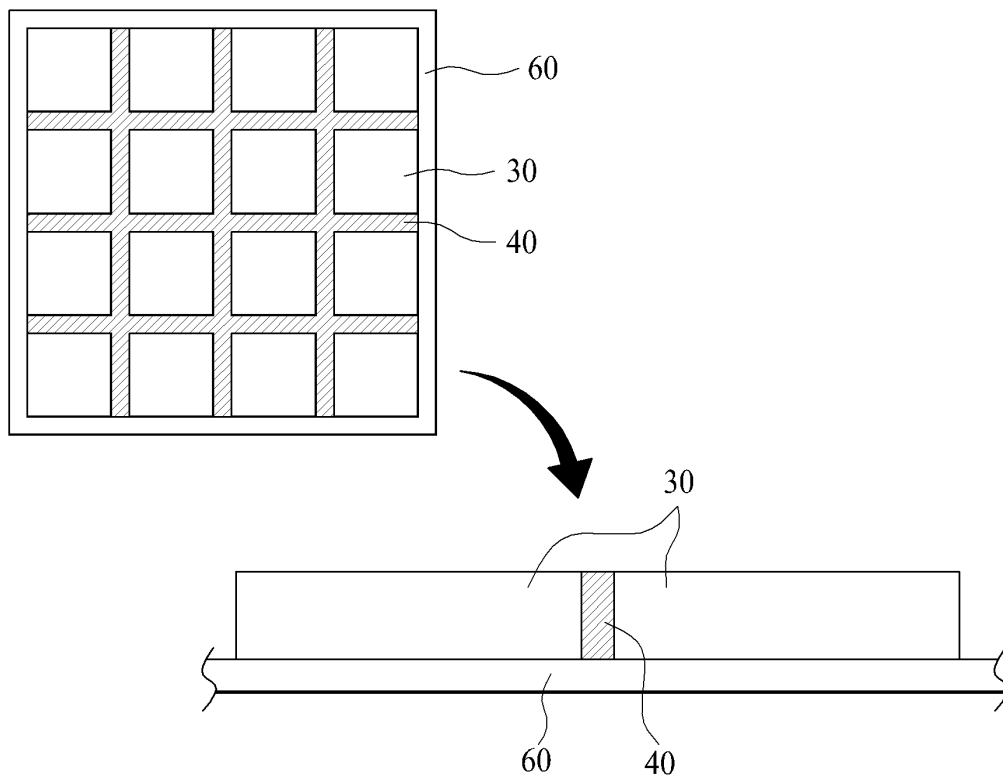




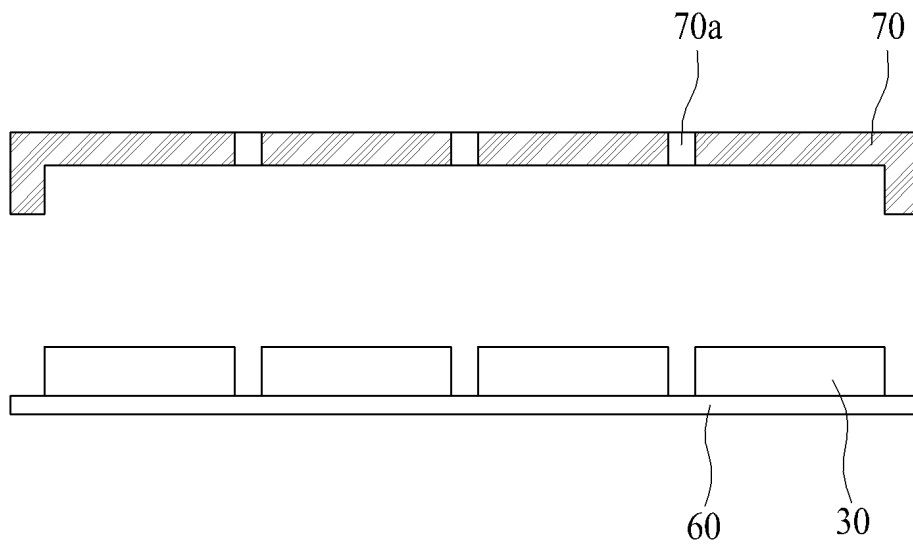
도면4



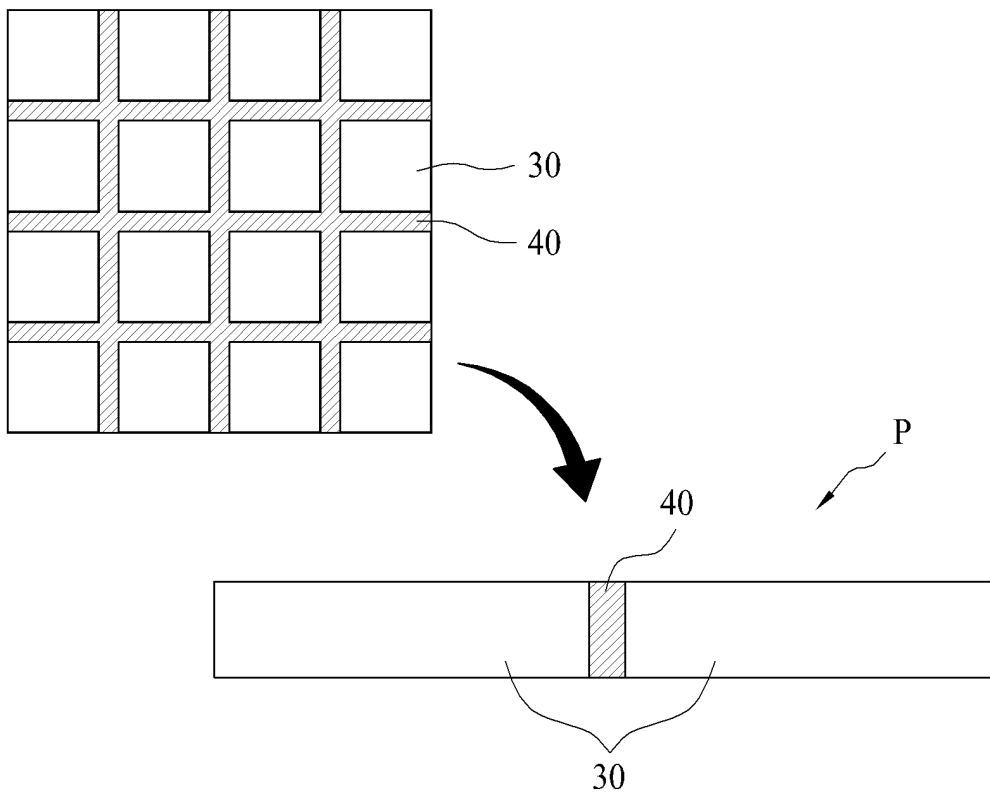
도면5



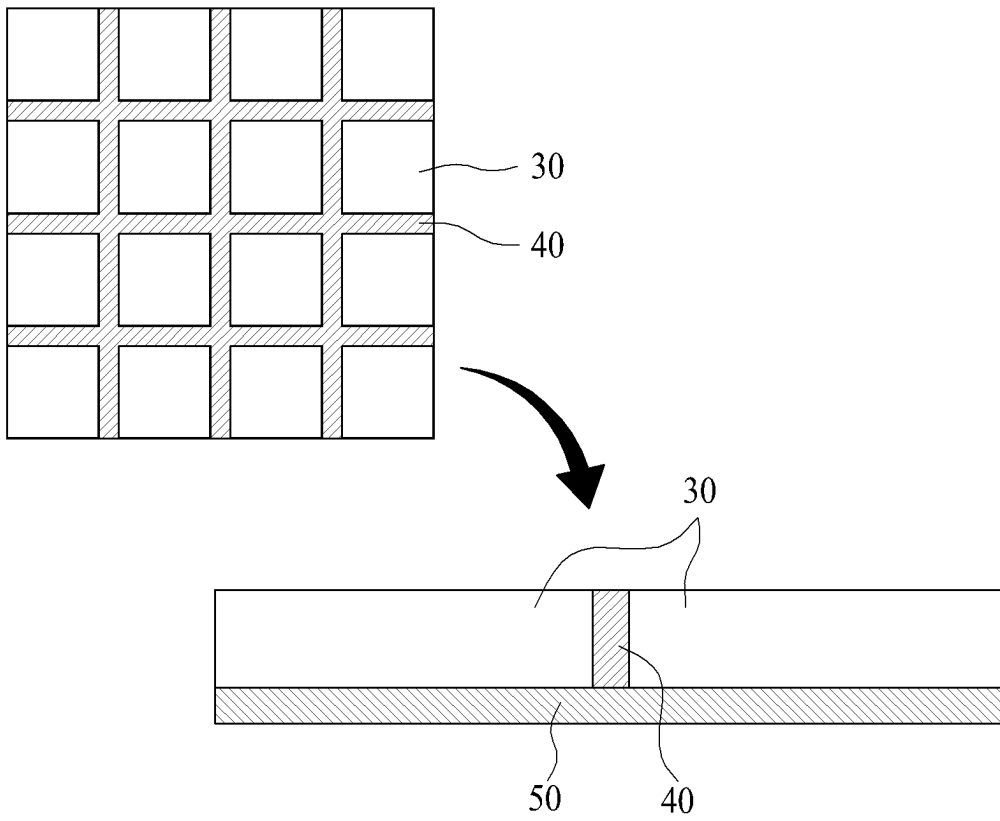
도면6



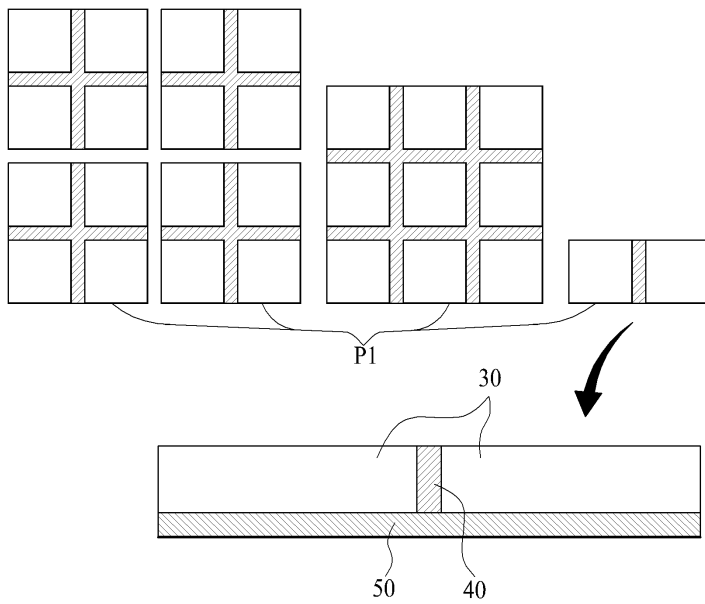
도면7



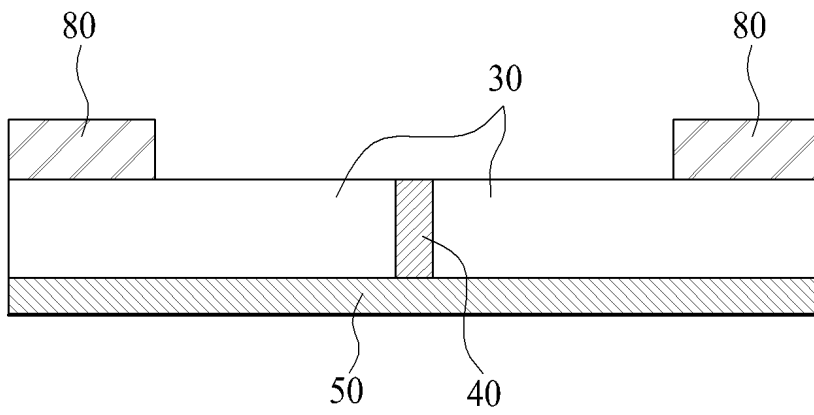
도면8



도면9



도면10



도면11

