



(12)发明专利

(10)授权公告号 CN 105573661 B

(45)授权公告日 2018.11.09

(21)申请号 201410544531.7

(22)申请日 2014.10.15

(65)同一申请的已公布的文献号  
申请公布号 CN 105573661 A

(43)申请公布日 2016.05.11

(73)专利权人 群联电子股份有限公司  
地址 中国台湾苗栗县

(72)发明人 辜芳立 陈庆儒 许登钧 简嘉宏

(74)专利代理机构 北京市柳沈律师事务所  
11105

代理人 王珊珊

(51)Int.Cl.

G06F 3/06(2006.01)

G11C 16/06(2006.01)

(56)对比文件

CN 102789427 A,2012.11.21,  
TW 573250 B,2004.01.21,  
TW 201401050 A,2014.01.01,  
US 2014025864 A1,2014.01.23,  
CN 1537277 A,2004.10.13,

审查员 刘瑞

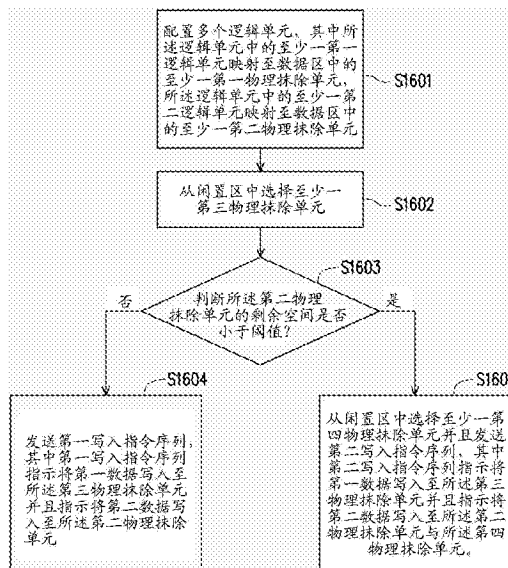
权利要求书4页 说明书17页 附图14页

(54)发明名称

数据写入方法、存储器存储装置及存储器控制电路单元

(57)摘要

一种数据写入方法、存储器存储装置及存储器控制电路单元。所述数据写入方法包括：将数据写入至至少一第一逻辑单元以及第二逻辑单元，其中此数据包括第一数据与第二数据；存储并填满第一数据至至少一第一物理抹除单元，并且存储第二数据至至少一第二物理抹除单元；判断每一第二物理抹除单元的剩余空间是否小于一阈值；若所述第二物理抹除单元的其中之一剩余空间小于此阈值，从闲置区中选择至少一第四物理抹除单元，并且将第二数据写入至第二物理抹除单元与第四物理抹除单元。



1. 一种数据写入方法,用于控制可复写式非易失性存储器模块,其中该可复写式非易失性存储器模块包括多个物理抹除单元,这些物理抹除单元被至少分组为数据区与闲置区,并且该数据写入方法包括:

配置多个逻辑单元,其中这些逻辑单元中的至少一第一逻辑单元映射至该数据区中的至少一第一物理抹除单元,这些逻辑单元中的至少一第二逻辑单元映射至该数据区中的至少一第二物理抹除单元,该至少一第一物理抹除单元存储有第一数据且被该第一数据写满,该至少一第二物理抹除单元存储有第二数据且未被该第二数据写满;

从该闲置区中选择至少一第三物理抹除单元并且判断该至少一第二物理抹除单元的剩余空间是否小于阈值;

若该至少一第二物理抹除单元的该剩余空间不小于该阈值,发送第一写入指令序列,其中该第一写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元;以及

若该至少一第二物理抹除单元的该剩余空间小于该阈值,从该闲置区中选择至少一第四物理抹除单元并且发送第二写入指令序列,其中该第二写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元与该至少一第四物理抹除单元。

2. 如权利要求1所述的数据写入方法,其中该阈值等于该至少一第二逻辑单元所存储的该第二数据的数据长度。

3. 如权利要求1所述的数据写入方法,还包括:

从主机系统接收第一写入指令,其中该第一写入指令指示将该第一数据写入至该至少一第一逻辑单元并且指示将该第二数据写入至该至少一第二逻辑单元;以及

在接收到该第一写入指令之后,从该主机系统接收第二写入指令,其中该第二写入指令指示将该第一数据写入至该至少一第一逻辑单元并且指示将该第二数据写入至该至少一第二逻辑单元,

其中从该闲置区中选择该至少一第三物理抹除单元并且判断该至少一第二物理抹除单元的该剩余空间是否小于该阈值的步骤是响应于该第二写入指令而执行。

4. 如权利要求1所述的数据写入方法,其中对于该至少一第一物理抹除单元与该至少一第三物理抹除单元的第一数据写入操作是属于连续写入操作,并且对于该至少一第二物理抹除单元与该至少一第四物理抹除单元的第二数据写入操作是属于随机写入操作。

5. 如权利要求1所述的数据写入方法,其中该至少一第二逻辑单元的数目与该至少一第二物理抹除单元的数目皆大于1,并且该数据写入方法还包括:

将每一该至少一第二逻辑单元映射至该至少一第二物理抹除单元的其中之一,其中每一该至少一第二物理抹除单元存储该第二数据的一部分。

6. 如权利要求5所述的数据写入方法,其中这些第二物理抹除单元的其中的一第二物理抹除单元循序排序于该至少一第一物理抹除单元之前,而这些第二物理抹除单元的其中的另一第二物理抹除单元循序排序于该至少一第一物理抹除单元之后。

7. 如权利要求5所述的数据写入方法,其中判断该至少一第二物理抹除单元的该剩余空间是否小于该阈值的步骤包括:

判断每一该至少一第二物理抹除单元的该剩余空间是否小于分别对应于该至少一第

二物理抹除单元的该阈值，

若该至少一第二物理抹除单元的其中之一该剩余空间小于该至少一第二物理抹除单元的该其中之一所对应的该阈值，从该闲置区中选择该至少一第四物理抹除单元并且发送该第二写入指令序列，其中该第二写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元与该至少一第四物理抹除单元。

8. 一种存储器存储装置，包括：

连接接口单元，用以电性连接至主机系统；

可复写式非易失性存储器模块，包括多个物理抹除单元，这些物理抹除单元被至少分组为数据区与闲置区；以及

存储器控制电路单元，电性连接至该连接接口单元与该可复写式非易失性存储器模块，

其中该存储器控制电路单元用以配置多个逻辑单元，其中这些逻辑单元中的至少一第一逻辑单元映射至该数据区中的至少一第一物理抹除单元，这些逻辑单元中的至少一第二逻辑单元映射至该数据区中的至少一第二物理抹除单元，该至少一第一物理抹除单元存储有一第一数据且被该第一数据写满，该至少一第二物理抹除单元存储有一第二数据且未被该第二数据写满，

其中该存储器控制电路单元还用以从该闲置区中选择至少一第三物理抹除单元并且判断该至少一第二物理抹除单元的剩余空间是否小于阈值，

其中若该至少一第二物理抹除单元的该剩余空间不小于该阈值，该存储器控制电路单元还用以发送第一写入指令序列，其中该第一写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元，

其中若该至少一第二物理抹除单元的该剩余空间小于该阈值，该存储器控制电路单元还用以从该闲置区中选择至少一第四物理抹除单元并且发送第二写入指令序列，其中该第二写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元与该至少一第四物理抹除单元。

9. 如权利要求8所述的存储器存储装置，其中该阈值等于该至少一第二逻辑单元所存储的该第二数据的数据长度。

10. 如权利要求8所述的存储器存储装置，其中该存储器控制电路单元还用以从该主机系统接收第一写入指令，其中该第一写入指令指示将该第一数据写入至该至少一第一逻辑单元并且指示将该第二数据写入至该至少一第二逻辑单元，

其中在接收到该第一写入指令之后，该存储器控制电路单元还用以从该主机系统接收第二写入指令，其中该第二写入指令指示将该第一数据写入至该至少一第一逻辑单元并且指示将该第二数据写入至该至少一第二逻辑单元，

其中从该闲置区中选择该至少一第三物理抹除单元并且判断每一该至少一第二物理抹除单元的该剩余空间是否小于该阈值的步骤是该存储器控制电路单元响应于该第二写入指令而执行。

11. 如权利要求8所述的存储器存储装置，其中对于该至少一第一物理抹除单元与该至少一第三物理抹除单元的第一数据写入操作是属于连续写入操作，并且对于该至少一第二

物理抹除单元与该至少一第四物理抹除单元的第二数据写入操作是属于随机写入操作。

12. 如权利要求8所述的存储器存储装置,其中该至少一第二逻辑单元的数目与该至少一第二物理抹除单元的数目皆大于1,

其中该存储器控制电路单元还用以将每一该至少一第二逻辑单元映射至该至少一第二物理抹除单元的其中之一,其中每一该至少一第二物理抹除单元存储该第二数据的一部分。

13. 如权利要求12所述的存储器存储装置,其中这些第二物理抹除单元的其中之一第二物理抹除单元循序排序于该至少一第一物理抹除单元之前,而这些第二物理抹除单元的其中的另一第二物理抹除单元循序排序于该至少一第一物理抹除单元之后。

14. 如权利要求12所述的存储器存储装置,其中判断该至少一第二物理抹除单元的该剩余空间是否小于该阈值的运作包括:

该存储器控制电路单元还用以判断每一该至少一第二物理抹除单元的该剩余空间是否小于分别对应于该至少一第二物理抹除单元的该阈值,

其中若该至少一第二物理抹除单元的其中之一该剩余空间小于该至少一第二物理抹除单元的该其中之一所对应的该阈值,该存储器控制电路单元执行从该闲置区中选择该至少一第四物理抹除单元并且发送该第二写入指令序列的操作。

15. 一种存储器控制电路单元,用于控制可复写式非易失性存储器模块,其中该可复写式非易失性存储器模块包括多个物理抹除单元,这些物理抹除单元被至少分组为数据区与闲置区,该存储器控制电路单元包括:

主机接口,用以电性连接至主机系统;

存储器接口,用以电性连接至该可复写式非易失性存储器模块;以及

存储器管理电路,电性连接至该主机接口与该存储器接口,

其中该存储器管理电路用以配置多个逻辑单元,其中这些逻辑单元中的至少一第一逻辑单元映射至该数据区中的至少一第一物理抹除单元,这些逻辑单元中的至少一第二逻辑单元映射至该数据区中的至少一第二物理抹除单元,该至少一第一物理抹除单元存储有第一数据且被该第一数据写满,该至少一第二物理抹除单元存储有第二数据且未被该第二数据写满,

其中该存储器管理电路还用以从该闲置区中选择至少一第三物理抹除单元并且判断该至少一第二物理抹除单元的剩余空间是否小于阈值,

其中若该至少一第二物理抹除单元的该剩余空间不小于该阈值,该存储器管理电路还用以发送第一写入指令序列,其中该第一写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元,

其中若该至少一第二物理抹除单元的该剩余空间小于该阈值,该存储器管理电路还用以从该闲置区中选择至少一第四物理抹除单元并且发送第二写入指令序列,其中该第二写入指令序列指示将该第一数据写入至该至少一第三物理抹除单元并且指示将该第二数据写入至该至少一第二物理抹除单元与该至少一第四物理抹除单元。

16. 如权利要求15所述的存储器控制电路单元,其中该阈值等于该至少一第二逻辑单元所存储的该第二数据的一数据长度。

17. 如权利要求15所述的存储器控制电路单元,其中该存储器管理电路还用以从该主

机系统接收第一写入指令,其中该第一写入指令指示将该第一数据写入至该至少一第一逻辑单元并且指示将该第二数据写入至该至少一第二逻辑单元,

其中在接收到该第一写入指令之后,该存储器管理电路还用以从该主机系统接收第二写入指令,其中该第二写入指令指示将该第一数据写入至该至少一第一逻辑单元并且指示将该第二数据写入至该至少一第二逻辑单元,

其中从该闲置区中选择该至少一第三物理抹除单元并且判断每一该至少一第二物理抹除单元的该剩余空间是否小于该阈值的步骤是该存储器管理电路响应于该第二写入指令而执行。

18. 如权利要求15所述的存储器控制电路单元,其中对于该至少一第一物理抹除单元与该至少一第三物理抹除单元的第一数据写入操作是属于连续写入操作,并且对于该至少一第二物理抹除单元与该至少一第四物理抹除单元的第二数据写入操作是属于随机写入操作。

19. 如权利要求15所述的存储器控制电路单元,其中该至少一第二逻辑单元的数目与该至少一第二物理抹除单元的数目皆大于1,

其中该存储器管理电路还用以将每一该至少一第二逻辑单元映射至该至少一第二物理抹除单元的其中之一,其中每一该至少一第二物理抹除单元存储该第二数据的一部分。

20. 如权利要求19所述的存储器控制电路单元,其中这些第二物理抹除单元的其中的一第二物理抹除单元循序排序于该至少一第一物理抹除单元之前,而这些第二物理抹除单元的其中的另一第二物理抹除单元循序排序于该至少一第一物理抹除单元之后。

21. 如权利要求19所述的存储器控制电路单元,其中判断该至少一第二物理抹除单元的该剩余空间是否小于该阈值的运作包括:

该存储器管理电路还用以判断每一该至少一第二物理抹除单元的该剩余空间是否小于分别对应于该至少一第二物理抹除单元的该阈值,

其中若该至少一第二物理抹除单元的其中之一的该剩余空间小于该至少一第二物理抹除单元的该其中之一所对应的该阈值,该存储器管理电路执行从该闲置区中选择该至少一第四物理抹除单元并且发送该第二写入指令序列的操作。

## 数据写入方法、存储器存储装置及存储器控制电路单元

### 技术领域

[0001] 本发明涉及一种数据写入方法,且特别涉及一种数据写入方法、存储器存储装置及存储器控制电路单元。

### 背景技术

[0002] 数字相机、手机与MP3在这几年来的成长十分迅速,使得消费者对存储介质的需求也急速增加。由于可复写式非易失性存储器(rewritable non-volatile memory)具有数据非易失性、省电、体积小、无机械结构、读写速度快等特性,最适于便携式电子产品,例如笔记型计算机。固态硬盘就是一种以快闪存储器作为存储介质的存储装置。因此,近年快闪存储器产业成为电子产业中相当热门的一环。

[0003] 对于快闪存储器装置,在存储一笔循序数据的时候,一般情况下,会将此笔循序数据连续写满多个物理抹除单元,再将此笔循序数据剩余的未能写满一个物理抹除单元的数据,写入至一个特定的物理抹除单元。当再进行多次写入此笔循序数据的写入操作时,会因为上述特定物理抹除单元的空间无法足够来存储此笔循序数据剩余的未能写满一个物理抹除单元的数据,而需要对此特定物理抹除单元进行合并操作。而在此合并操作中,会对此特定物理抹除单元进行抹除操作,进而使多次写入此笔循序数据的效率降低。经由本发明提供的数据写入方法,可增进多次写入循序数据的数据写入效率。

### 发明内容

[0004] 本发明提供一种数据写入方法、存储器存储装置及存储器控制电路单元,可减少合并操作的执行次数,进而增进循序数据的写入效率。

[0005] 本发明的一范例实施例提供一种数据写入方法,其用于控制可复写式非易失性存储器模块,其中可复写式非易失性存储器模块具有多个物理抹除单元,所述物理抹除单元被至少分组为一数据区与一闲置区,并且所述数据写入方法包括:配置多个逻辑单元,其中所述逻辑单元中的至少一第一逻辑单元映射至数据区中的至少一第一物理抹除单元,所述逻辑单元中的至少一第二逻辑单元映射至数据区中的至少一第二物理抹除单元,所述第一物理抹除单元存储有一第一数据且被第一数据写满,所述第二物理抹除单元存储有一第二数据且未被第二数据写满;从闲置区中选择至少一第三物理抹除单元并且判断所述至少一第二物理抹除单元的剩余空间是否小于阈值;若所述至少一第二物理抹除单元的剩余空间不小于阈值,发送第一写入指令序列,其中第一写入指令序列指示将第一数据写入至所述至少一第三物理抹除单元并且指示将第二数据写入至所述至少一第二物理抹除单元;以及若所述至少一第二物理抹除单元的剩余空间小于阈值,从闲置区中选择至少一第四物理抹除单元并且发送第二写入指令序列,其中第二写入指令序列指示将第一数据写入至所述至少一第三物理抹除单元并且指示将第二数据写入至所述至少一第二物理抹除单元与所述至少一第四物理抹除单元。

[0006] 在本发明的一范例实施例中,所述阈值等于所述至少一第二逻辑单元所存储的所

述第二数据的数据长度。

[0007] 在本发明的一范例实施例中,所述数据写入方法还包括:从主机系统接收第一写入指令,其中所述第一写入指令指示将所述第一数据写入至所述至少一第一逻辑单元并且指示将所述第二数据写入至所述至少一第二逻辑单元;以及在接收到所述第一写入指令之后,从所述主机系统接收第二写入指令,其中所述第二写入指令指示将所述第一数据写入至所述至少一第一逻辑单元并且指示将所述第二数据写入至所述至少一第二逻辑单元,其中从所述闲置区中选择所述至少一第三物理抹除单元并且判断所述至少一第二物理抹除单元的所述剩余空间是否小于所述阈值的步骤是响应于所述第二写入指令而执行。

[0008] 在本发明的一范例实施例中,其中对于所述至少一第一物理抹除单元与所述至少一第三物理抹除单元的第一数据写入操作是属于连续写入操作,并且对于所述至少一第二物理抹除单元与所述至少一第四物理抹除单元的第二数据写入操作是属于随机写入操作。

[0009] 在本发明的一范例实施例中,其中所述至少一第二逻辑单元的数目与所述至少一第二物理抹除单元的数目皆大于1,并且所述数据写入方法还包括将每一所述至少一第二逻辑单元映射至所述至少一第二物理抹除单元的其中之一,其中每一所述至少一第二物理抹除单元存储所述第二数据的一部分。

[0010] 在本发明的一范例实施例中,其中这些第二物理抹除单元的其中之一第二物理抹除单元循序排序于所述至少一第一物理抹除单元之前,而此些第二物理抹除单元的其中的另一第二物理抹除单元循序排序于所述至少一第一物理抹除单元之后。

[0011] 在本发明的一范例实施例中,其中判断所述至少一第二物理抹除单元的所述剩余空间是否小于所述阈值的步骤包括判断每一所述至少一第二物理抹除单元的所述剩余空间是否小于分别对应于所述至少一第二物理抹除单元的所述阈值。若所述至少一第二物理抹除单元的其中之一所述剩余空间小于所述至少一第二物理抹除单元的所述其中之一所对应的所述阈值,从所述闲置区中选择所述至少一第四物理抹除单元并且发送所述第二写入指令序列,其中所述第二写入指令序列指示将所述第一数据写入至所述至少一第三物理抹除单元并且指示将所述第二数据写入至所述至少一第二物理抹除单元与所述至少一第四物理抹除单元。

[0012] 本发明的一范例实施例提供一种存储器存储装置,其包括连接接口单元、可复写式非易失性存储器模块与存储器控制电路单元。连接接口单元用以电性连接至主机系统。可复写式非易失性存储器模块包括多个物理抹除单元。此些物理抹除单元被至少分组为数据区与闲置区。存储器控制电路单元电性连接至所述连接接口单元与所述可复写式非易失性存储器模块。所述存储器控制电路单元用以配置多个逻辑单元,其中此些逻辑单元中的至少一第一逻辑单元映射至所述数据区中的至少一第一物理抹除单元,此些逻辑单元中的至少一第二逻辑单元映射至所述数据区中的至少一第二物理抹除单元。所述至少一第一物理抹除单元存储有第一数据且被所述第一数据写满,所述至少一第二物理抹除单元存储有第二数据且未被所述第二数据写满。此外,所述存储器控制电路单元还用以从所述闲置区中选择至少一第三物理抹除单元并且判断所述至少一第二物理抹除单元的剩余空间是否小于阈值。若所述至少一第二物理抹除单元的所述剩余空间不小于所述阈值,所述存储器控制电路单元还用以发送第一写入指令序列,其中所述第一写入指令序列指示将所述第一数据写入至所述至少一第三物理抹除单元并且指示将所述第二数据写入至所述至少一第

二物理抹除单元。以及,若所述至少一第二物理抹除单元的所述剩余空间小于所述阈值,所述存储器控制电路单元还用以从所述闲置区中选择至少一第四物理抹除单元并且发送第二写入指令序列,其中所述第二写入指令序列指示将所述第一数据写入至所述至少一第三物理抹除单元并且指示将所述第二数据写入至所述至少一第二物理抹除单元与所述至少一第四物理抹除单元。

[0013] 在本发明的一范例实施例中,所述存储器控制电路单元还用以从所述主机系统接收第一写入指令,其中所述第一写入指令指示将所述第一数据写入至所述至少一第一逻辑单元并且指示将所述第二数据写入至所述至少一第二逻辑单元。在接收到所述第一写入指令之后,所述存储器控制电路单元还用以从所述主机系统接收第二写入指令,其中所述第二写入指令指示将所述第一数据写入至所述至少一第一逻辑单元并且指示将所述第二数据写入至所述至少一第二逻辑单元。此外,从所述闲置区中选择所述至少一第三物理抹除单元并且判断每一所述至少一第二物理抹除单元的所述剩余空间是否小于所述阈值的步骤是所述存储器控制电路单元响应于所述第二写入指令而执行。

[0014] 在本发明的一范例实施例中,其中所述至少一第二逻辑单元的数目与所述至少一第二物理抹除单元的数目皆大于1。所述存储器控制电路单元还用以将每一所述至少一第二逻辑单元映射至所述至少一第二物理抹除单元的其中之一,其中每一所述至少一第二物理抹除单元存储所述第二数据的一部分。

[0015] 在本发明的一范例实施例中,该存储器控制电路单元还用以判断每一所述至少一第二物理抹除单元的所述剩余空间是否小于分别对应于所述至少一第二物理抹除单元的所述阈值。若所述至少一第二物理抹除单元的其中之一的所述剩余空间小于所述至少一第二物理抹除单元的所述其中之一所对应的所述阈值,所述存储器控制电路单元执行从所述闲置区中选择所述至少一第四物理抹除单元并且发送所述第二写入指令序列的操作。

[0016] 本发明的一范例实施例提供用于控制可复写式非易失性存储器模块的一种存储器控制电路单元。所述可复写式非易失性存储器模块包括多个物理抹除单元,并且这些物理抹除单元被至少分组为数据区与闲置区。所述存储器控制电路单元包括主机接口、存储器接口与存储器管理电路。主机接口用以电性连接至主机系统。存储器接口用以电性连接至所述可复写式非易失性存储器模块。存储器管理电路电性连接至所述主机接口与所述存储器接口。所述存储器管理电路用以配置多个逻辑单元,其中这些逻辑单元中的至少一第一逻辑单元映射至所述数据区中的至少一第一物理抹除单元,以及这些逻辑单元中的至少一第二逻辑单元映射至所述数据区中的至少一第二物理抹除单元。所述至少一第一物理抹除单元存储有第一数据且被所述第一数据写满,所述至少一第二物理抹除单元存储有第二数据且未被所述第二数据写满。所述存储器管理电路还用以从所述闲置区中选择至少一第三物理抹除单元并且判断所述至少一第二物理抹除单元的剩余空间是否小于阈值。若所述至少一第二物理抹除单元的所述剩余空间不小于所述阈值,所述存储器管理电路还用以发送第一写入指令序列,其中所述第一写入指令序列指示将所述第一数据写入至所述至少一第三物理抹除单元并且指示将所述第二数据写入至所述至少一第二物理抹除单元。以及,若所述至少一第二物理抹除单元的所述剩余空间小于所述阈值,所述存储器管理电路还用以从所述闲置区中选择至少一第四物理抹除单元并且发送一第二写入指令序列,其中所述第二写入指令序列指示将所述第一数据写入至所述至少一第三物理抹除单元并且指示将



所述第二数据写入至所述至少一第二物理抹除单元与所述至少一第四物理抹除单元。

[0017] 在本发明的一范例实施例中,所述存储器管理电路还用以从所述主机系统接收第一写入指令,其中所述第一写入指令指示将所述第一数据写入至所述至少一第一逻辑单元并且指示将所述第二数据写入至所述至少一第二逻辑单元。在接收到所述第一写入指令之后,所述存储器管理电路还用以从所述主机系统接收第二写入指令,其中所述第二写入指令指示将所述第一数据写入至所述至少一第一逻辑单元并且指示将所述第二数据写入至所述至少一第二逻辑单元,并且其中从所述闲置区中选择所述至少一第三物理抹除单元并且判断每一所述至少一第二物理抹除单元的所述剩余空间是否小于所述阈值的步骤是所述存储器管理电路响应于所述第二写入指令而执行。

[0018] 在本发明的一范例实施例中,其中所述至少一第二逻辑单元的数目与所述至少一第二物理抹除单元的数目皆大于1。所述存储器管理电路还用以将每一所述至少一第二逻辑单元映射至所述至少一第二物理抹除单元的其中之一,其中每一所述至少一第二物理抹除单元存储所述第二数据的一部分。

[0019] 在本发明的一范例实施例中,所述存储器管理电路还用以判断每一所述至少一第二物理抹除单元的所述剩余空间是否小于分别对应于所述至少一第二物理抹除单元的所述阈值。若所述至少一第二物理抹除单元的其中之一所述剩余空间小于所述至少一第二物理抹除单元的所述其中之一所对应的所述阈值,所述存储器管理电路执行从所述闲置区中选择所述至少一第四物理抹除单元并且发送所述第二写入指令序列的操作。

[0020] 基于上述,本发明可以在不需进行合并操作的情况下,写入多笔循序数据,进而增进数据写入的效率。

[0021] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

## 附图说明

[0022] 图1是根据本发明的一范例实施例所绘示的主机系统与存储器存储装置的示意图。

[0023] 图2是根据本发明的一范例实施例所绘示的计算机、输入/输出装置与存储器存储装置的示意图。

[0024] 图3是根据本发明的一范例实施例所绘示的主机系统与存储器存储装置的示意图。

[0025] 图4是绘示图1所示的存储器存储装置的概要方块图。

[0026] 图5是根据本发明的一范例实施例所绘示的存储器控制电路单元的概要方块图。

[0027] 图6与图7是根据本发明的一范例实施例所绘示的管理可复写式非易失性存储器模块的示意图。

[0028] 图8至图10是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0029] 图11至图13是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0030] 图14是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0031] 图15是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0032] 图16是根据本发明的一范例实施例所绘示的数据写入方法的流程图。

- [0033] **【符号说明】**
- [0034] 11:主机系统
- [0035] 12:计算机
- [0036] 122:微处理器
- [0037] 124:随机存取存储器
- [0038] 13:输入/输出装置
- [0039] 126:系统总线
- [0040] 128:数据传输接口
- [0041] 21:鼠标
- [0042] 22:键盘
- [0043] 23:显示器
- [0044] 24:打印机
- [0045] 25:随身碟
- [0046] 26:存储卡
- [0047] 27:固态硬盘
- [0048] 31:数字相机
- [0049] 32:SD卡
- [0050] 33:MMC卡
- [0051] 34:记忆棒
- [0052] 35:CF卡
- [0053] 36:嵌入式存储装置
- [0054] 10:存储器存储装置
- [0055] 402:连接接口单元
- [0056] 404:存储器控制电路单元
- [0057] 406:可复写式非易失性存储器模块
- [0058] 502:存储器管理电路
- [0059] 504:主机接口
- [0060] 506:存储器接口
- [0061] 508:缓冲存储器
- [0062] 510:电源管理电路
- [0063] 512:错误检查与校正电路
- [0064] 410 (0) ~410 (N) :物理抹除单元
- [0065] 602:数据区
- [0066] 604:闲置区
- [0067] 606:系统区
- [0068] 608:取代区
- [0069] 801:数据
- [0070] LBA (0) ~LBA (H) :逻辑单元
- [0071] 1501~1506:数据写入程序

[0072] S1601~S1605:步骤

### 具体实施方式

[0073] 一般而言,存储器存储装置(亦称,存储器存储系统)包括可复写式非易失性存储器模块与控制器(亦称,控制电路)。通常存储器存储装置是与主机系统一起使用,以使主机系统可将数据写入至存储器存储装置或从存储器存储装置中读取数据。

[0074] 图1是根据本发明的一范例实施例所绘示的主机系统与存储器存储装置的示意图。图2是根据本发明的一范例实施例所绘示的计算机、输入/输出装置与存储器存储装置的示意图。

[0075] 请参照图1,主机系统11一般包括计算机12与输入/输出(input/output, I/O)装置13。计算机12包括微处理器122、随机存取存储器(random access memory, RAM) 124、系统总线126与数据传输接口128。输入/输出装置13包括如图2的鼠标21、键盘22、显示器23与打印机24。必须了解的是,图2所示的装置非限制输入/输出装置13,输入/输出装置13还可包括其他装置。

[0076] 在一范例实施例中,存储器存储装置10是通过数据传输接口128与主机系统11的其他元件电性连接。藉由微处理器122、随机存取存储器124与输入/输出装置13的运作可将数据写入至存储器存储装置10或从存储器存储装置10中读取数据。例如,存储器存储装置10可以是如图2所示的随身碟25、存储卡26或固态硬盘(Solid State Drive, SSD) 27等的可复写式非易失性存储器存储装置。

[0077] 图3是根据本发明的一范例实施例所绘示的主机系统与存储器存储装置的示意图。

[0078] 一般而言,主机系统11为可实质地与存储器存储装置10配合以存储数据的任意系统。虽然在本范例实施例中,主机系统11是以计算机系统来作说明,然而,另一范例实施例中,主机系统11可以是数码相机、摄像机、通信装置、音频播放器或视频播放器等系统。例如,在主机系统为数码相机(摄像机) 31时,可复写式非易失性存储器存储装置则为其所使用的SD卡32、MMC卡33、记忆棒(memory stick) 34、CF卡35或嵌入式存储装置36(如图3所示)。嵌入式存储装置36包括嵌入式多媒体卡(Embedded MMC, eMMC)。值得一提的是,嵌入式多媒体卡是直接电性连接于主机系统的基板上。

[0079] 图4是绘示图1所示的存储器存储装置的概要方块图。

[0080] 请参照图4,存储器存储装置10包括连接接口单元402、存储器控制电路单元404与可复写式非易失性存储器模块406,其中可复写式非易失性存储器模块406具有多个物理抹除单元410(0)~410(N)。

[0081] 在本范例实施例中,连接接口单元402是相容于串行先进附件(Serial Advanced Technology Attachment, SATA)标准。然而,必须了解的是,本发明不限于此,连接接口单元402也可以是符合并行先进附件(Parallel Advanced Technology Attachment, PATA)标准、电气和电子工程师协会(Institute of Electrical and Electronic Engineers, IEEE) 1394标准、高速周边零件连接接口(Peripheral Component Interconnect Express, PCI Express)标准、通用串行总线(Universal Serial Bus, USB)标准、安全数字(Secure Digital, SD)接口标准、超高速一代(Ultra High Speed-I, UHS-I)接口标准、超高速二代

(Ultra High Speed-II,UHS-II)接口标准、记忆棒(Memory Stick,MS)接口标准、多媒体存储卡(Multi Media Card,MMC)接口标准、嵌入式多媒体存储卡(Embedded Multimedia Card,eMMC)接口标准、通用快闪存储器(Universal Flash Storage,UFS)接口标准、小型快闪(Compact Flash,CF)接口标准、整合式驱动电子接口(Integrated Device Electronics,IDE)标准或其他适合的标准。连接接口单元402可与存储器控制电路单元404封装在一个芯片中,或者连接接口单元402是布设于一包含存储器控制电路单元404的芯片外。

[0082] 存储器控制电路单元404用以执行以硬件型式或固件型式实作的多个逻辑门或控制指令,并且根据主机系统11的指令在可复写式非易失性存储器模块406中进行数据的写入、读取与抹除等运作。

[0083] 可复写式非易失性存储器模块406是电性连接至存储器控制电路单元404,并且用以存储主机系统11所写入的数据。可复写式非易失性存储器模块406可以是单阶记忆胞(Single Level Cell,SLC)NAND型快闪存储器模块、多阶记忆胞(Multi Level Cell,MLC)NAND型快闪存储器模块(即,一个记忆胞中可存储2个位数据的快闪存储器模块)、多阶记忆胞(Triple Level Cell,TLC)NAND型快闪存储器模块(即,一个记忆胞中可存储3个位数据的快闪存储器模块)、其他快闪存储器模块或其他具有相同特性的存储器模块。

[0084] 图5是根据本发明的一范例实施例所绘示的存储器控制电路单元的概要方块图。

[0085] 请参照图5,存储器控制电路单元404包括存储器管理电路502、主机接口504、存储器接口506、缓冲存储器508、电源管理电路510与错误检查与校正电路512。

[0086] 存储器管理电路502用以控制存储器控制电路单元404的整体运作。具体来说,存储器管理电路502具有多个控制指令,并且在存储器存储装置10运作时,这些控制指令会被执行以进行数据的写入、读取与抹除等运作。以下说明存储器管理电路502的操作时,等同于说明存储器控制电路单元404的操作,以下并不再赘述。

[0087] 在本范例实施例中,存储器管理电路502的控制指令是以固件型式来实作。例如,存储器管理电路502具有微处理器单元(未绘示)与只读存储器(未绘示),并且这些控制指令是被烧录至此只读存储器中。当存储器存储装置10运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与抹除等运作。

[0088] 在本发明另一范例实施例中,存储器管理电路502的控制指令也可以程序代码型式存储于可复写式非易失性存储器模块406的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路502具有微处理器单元(未绘示)、只读存储器(未绘示)及随机存取存储器(未绘示)。特别是,此只读存储器具有驱动码,并且当存储器控制电路单元404被致能时,微处理器单元会先执行此驱动码段来将存储于可复写式非易失性存储器模块406中的控制指令载入至存储器管理电路502的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与抹除等运作。

[0089] 此外,在本发明另一范例实施例中,存储器管理电路502的控制指令也可以一硬件型式来实作。例如,存储器管理电路502包括微控制器、记忆胞管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路。记忆胞管理电路、存储器写入电路、存储器读取电路、存储器抹除电路与数据处理电路是电性连接至微控制器。其中,记忆胞管理电路用以管理可复写式非易失性存储器模块406的物理抹除单元;存储器写入电路用以对

可复写式非易失性存储器模块406下达写入指令以将数据写入至可复写式非易失性存储器模块406中;存储器读取电路用以对可复写式非易失性存储器模块406下达读取指令以从可复写式非易失性存储器模块406中读取数据;存储器抹除电路用以对可复写式非易失性存储器模块406下达抹除指令以将数据从可复写式非易失性存储器模块406中抹除;而数据处理电路用以处理欲写入至可复写式非易失性存储器模块406的数据以及从可复写式非易失性存储器模块406中读取的数据。

[0090] 主机接口504是电性连接至存储器管理电路502并且用以接收与识别主机系统11所传送的指令与数据。也就是说,主机系统11所传送的指令与数据会通过主机接口504来传送至存储器管理电路502。在本范例实施例中,主机接口504是相容于SATA标准。然而,必须了解的是本发明不限于此,主机接口504也可以是相容于PATA标准、IEEE 1394标准、PCI Express标准、USB标准、UHS-I接口标准、UHS-II接口标准、MS标准、MMC标准、CF标准、IDE标准或其他适合的数据传输标准。

[0091] 存储器接口506是电性连接至存储器管理电路502并且用以存取可复写式非易失性存储器模块406。也就是说,欲写入至可复写式非易失性存储器模块406的数据会经由存储器接口506转换为可复写式非易失性存储器模块406所能接受的格式。具体来说,若存储器管理电路502要存取可复写式非易失性存储器模块406时,存储器接口506会传送对应的指令序列。这些指令序列可包括一或多个信号,或是在总线上的数据。例如,在读取指令序列中,会包括读取的辨识码、存储器地址等信息。

[0092] 缓冲存储器508是电性连接至存储器管理电路502并且用以暂存来自于主机系统11的数据与指令或来自于可复写式非易失性存储器模块406的数据。此外,缓冲存储器508还可暂存存储器管理电路502所使用的系统管理数据,例如,逻辑-物理单元映射表或是逻辑-随机物理子单元映射表等等。

[0093] 电源管理电路510是电性连接至存储器管理电路502并且用以控制存储器存储装置10的电源。

[0094] 错误检查与校正电路512是电性连接至存储器管理电路502并且用以执行误差检查与校正程序以确保数据的正确性。具体来说,当存储器管理电路502从主机系统11中接收到写入指令时,错误检查与校正电路512会为对应此写入指令的数据产生对应的误差更正码(error correcting code,ECC code)和/或误差检查码(error detecting code,EDC),并且存储器管理电路502会将对应此写入指令的数据与对应的误差更正码和/或误差检查码写入至可复写式非易失性存储器模块406中。之后,当存储器管理电路502从可复写式非易失性存储器模块406中读取数据时会同时读取此数据对应的误差更正码和/或误差检查码,并且错误检查与校正电路512会依据此误差更正码和/或误差检查码对所读取的数据执行误差检查与校正程序。

[0095] 图6与图7是根据本发明的一范例实施例所绘示的管理可复写式非易失性存储器模块的示意图。

[0096] 必须了解的是,在此描述可复写式非易失性存储器模块406的运作时,“选择”、“分组”、“划分”、“关联”等词是逻辑上的概念。也就是说,可复写式非易失性存储器模块的物理抹除单元的实际位置并未更动,而是逻辑上对可复写式非易失性存储器模块的物理抹除单元进行操作。

[0097] 请参照图6,可复写式非易失性存储器模块406包括多个物理编程单元,并且这些物理编程单元会构成多个物理抹除单元410(0)~410(N)。在本范例实施例中,物理编程单元为编程的最小单元。即,物理编程单元为写入数据的最小单元。例如,物理编程单元为物理页面或是物理扇(sector)。若物理编程单元为物理页面,则每一个物理编程单元通常包括数据位区与冗余位区。数据位区包含多个物理扇,用以存储使用者的数据,而冗余位区用以存储系统的数据(例如,误差更正码)。在本范例实施例中,每一个数据位区包含32个物理扇,且一个物理扇的大小为512字节(byte,B)。然而,在其他范例实施例中,数据位区中也可包含4个、8个、16个或数目更多或更少的物理扇,本发明并不限制物理扇的大小以及个数。另一方面,物理抹除单元为抹除的最小单位。亦即,每一物理抹除单元含有最小数目之一并被抹除的记忆胞。例如,物理抹除单元为物理区块。

[0098] 存储器管理电路502会将物理抹除单元410(0)~410(N)逻辑地分组为数据区602、闲置区604、系统区606与取代区608。

[0099] 逻辑上属于数据区602与闲置区604的物理抹除单元是用以存储来自于主机系统11的数据。具体来说,数据区602的物理抹除单元是被视为已存储数据的物理抹除单元,而闲置区604的物理抹除单元是用以替换数据区602的物理抹除单元。也就是说,当从主机系统11接收到写入指令与欲写入的数据时,存储器管理电路502会从闲置区604中选择物理抹除单元,并且将数据写入至所选择的物理抹除单元中,以替换数据区602的物理抹除单元。在一范例实施例中,被关联至闲置区604的物理抹除单元亦称为闲置物理抹除单元。在一范例实施例中,存储有效数据的物理抹除单元亦称为非闲置物理抹除单元。

[0100] 逻辑上属于系统区606的物理抹除单元是用以记录系统数据。例如,系统数据包括关于可复写式非易失性存储器模块的制造商与型号、可复写式非易失性存储器模块的物理抹除单元数、每一物理抹除单元的物理编程单元数等。

[0101] 逻辑上属于取代区608中的物理抹除单元是用于坏物理抹除单元取代程序,以取代损坏的物理抹除单元。具体来说,倘若取代区608中仍存在有正常的物理抹除单元并且数据区602的物理抹除单元损坏时,存储器管理电路502会从取代区608中选择正常的物理抹除单元来更换损坏的物理抹除单元。

[0102] 特别是,数据区602、闲置区604、系统区606与取代区608的物理抹除单元的数量会依据不同的存储器规格而有所不同。此外,必须了解的是,在存储器存储装置10的运作中,物理抹除单元关联至数据区602、闲置区604、系统区606与取代区608的分组关系会动态地变动。例如,当闲置区604中的物理抹除单元损坏而被取代区608的物理抹除单元取代时,则原本取代区608的物理抹除单元会被关联至闲置区604。或是,从闲置区604选择物理抹除单元来存储写入数据之后,会将此物理抹除单元关联至数据区602并且将对应所写入的数据的逻辑单元映射至此物理抹除单元。

[0103] 请参照图7,存储器管理电路502会配置逻辑单元LBA(0)~LBA(H)以映射数据区602的物理抹除单元。主机系统11是通过逻辑单元LBA(0)~LBA(H)来存取数据区602中的数据。每一个逻辑单元LBA(0)~LBA(H)可以由一或多个逻辑地址组成。一个逻辑单元可以是映射至一或多个物理单元。一个物理单元可以是一或多个物理地址、一或多个物理扇、一或多个物理编程单元或者一或多个物理抹除单元。存储器管理电路202会建立逻辑-物理映射表(logical-physical mapping table),以记录逻辑单元与物理单元之间的映射关系。

为了说明方便,以下将以一个物理抹除单元作为一个物理单元的范例,并且假设一个逻辑单元的数据长度等于一个物理单元的数据长度。

[0104] 当主机系统11欲写入一笔数据至一个逻辑单元或更新存储于一个逻辑单元中的数据时,存储器管理电路502会从闲置区604中选择一个物理抹除单元并且将此数据写入至此物理抹除单元。存储器管理电路502会将逻辑-物理映射表从可复写式非易失性存储器模块406载入至缓冲存储器508,并将此逻辑单元与用以存储属于此逻辑单元的数据的物理抹除单元之间的映射关系更新至此逻辑-物理映射表中。尔后,存储器管理电路502即可根据此逻辑-物理映射表来找到对应的物理抹除单元并且可从此物理抹除单元中读取数据。

[0105] 在本范例实施例中,一个物理编程单元的数据长度为 $16 \times 1024$ 字节(即,16KB),并且一个物理抹除单元具有 $16 \times 1024$ 个物理编程单元。即,一个物理抹除单元的数据长度为256百万字节(即,256MB,其中1MB=1megabyte)。然而,在另一范例实施例中,一个物理编程单元的数据长度与一个物理抹除单元所具有的物理编程单元的数目可以是更多或更少。若一个物理编程单元或一个物理抹除单元被写满(filling),即表示此物理编程单元或此物理抹除单元所存储的数据的数据长度等于此物理编程单元或此物理抹除单元的数据长度,并且此物理编程单元或此物理抹除单元已无法再存储其他数据(例如,使用者数据);反之,若一个物理编程单元或一个物理抹除单元没有被写满,即表示此物理编程单元或此物理抹除单元所存储的数据的数据长度小于此物理编程单元或此物理抹除单元的数据长度,并且此物理编程单元或此物理抹除单元仍可以再存储其他数据。类似地,若一个逻辑单元被写满,即表示此逻辑单元已无法再存储其他数据;而若一个逻辑单元没有被写满,即表示此逻辑单元仍可以再存储其他数据。

[0106] 在本范例实施例中,当存储器管理电路502将数据写入至从闲置区604选择的一个物理抹除单元时,存储器管理电路502会判断此物理抹除单元是否已经或即将被写满。若此物理抹除单元已经或即将被写满,存储器管理电路502会从闲置区604中选择另一个物理抹除单元作为目前使用的物理抹除单元,以继续写入数据至此目前使用的物理抹除单元。此外,存储器管理电路502可对数据区602中的一或多个存储有有效数据的物理抹除单元执行数据合并(merging)程序或垃圾回收(garbage collection)程序,以释放出一或多个闲置物理抹除单元。例如,存储器管理电路502会将属于一个逻辑单元的数据写入至从闲置区604选择的一个闲置物理抹除单元并且将数据区602中原先映射至此逻辑单元的一个非闲置物理抹除单元的部分数据标示为无效数据。然后,存储器管理电路502可将此非闲置物理抹除单元中剩余的有效数据复制到此闲置物理抹除单元并且将此非闲置物理抹除单元关联至闲置区604。藉此,完成一次的数据合并程序。在垃圾回收程序中,数据区602中的一或多个非闲置物理编程单元所存储的有效数据会被复制到从闲置区604中选择的一或多个闲置物理抹除单元并且所存储的有效数据皆已被复制的物理抹除单元会被关联至闲置区604。被关联至闲置区604的物理抹除单元可在被抹除后再关联至闲置区604或关联至闲置区604后再抹除,在此不限制抹除的时间点。

[0107] 存储器管理电路502会从主机系统11接收一个写入指令(亦称第一写入指令)以及对对应此第一写入指令的数据。响应于此第一写入指令,存储器管理电路502会配置多个逻辑单元来存储此数据。特别是,此些逻辑单元中的一或多个第一逻辑单元会用以存储此数据中的第一数据并且会被此第一数据写满,而此些逻辑单元中的一或多个第二逻辑单元会

以存储此数据中的第二数据且不会被此第二数据写满。此外,存储器管理电路502会从闲置区604中选择多个物理抹除单元来存储此数据并且将这些逻辑单元映射至这些物理抹除单元。

[0108] 图8至图10是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0109] 请参照图8,存储器管理电路502从主机系统11接收一个写入指令(亦称为第一写入指令)以及对应此第一写入指令的数据801。假设数据801的数据长度为4000MB,则此第一写入指令会指示将数据801存储至15.625 ( $4000/256=15.625$ )个逻辑单元中,如图8所示(被写入数据的区域以斜线表示)。其中,数据801在写满了逻辑单元LBA(0)~LBA(14)之后,数据801中剩余尚未被写入的部分会被写入至逻辑单元LBA(15)。在本范例实施例中,被数据801所写满的逻辑单元LBA(0)~LBA(14)亦称为第一逻辑单元,不被数据801所写满的逻辑单元LBA(15)亦称为第二逻辑单元,被存储在逻辑单元LBA(0)~LBA(14)中的数据亦称为第一数据,并且被存储在逻辑单元LBA(15)中的数据亦称为第二数据。在本范例实施例中,第一数据的数据长度是3840 ( $15 \times 256=3840$ )MB,并且第二数据的数据长度是160 ( $0.625 \times 256=160$ )MB。数据801是属于连续数据。也就是说,用以存储数据801的逻辑单元LBA(0)~LBA(15)是循序排列的。

[0110] 存储器管理电路502会从闲置区604中选择多个物理抹除单元并且发送一写入指令序列(亦称为第一写入指令序列)以将数据801写入至此些物理抹除单元。被写入数据801的物理抹除单元410(0)~410(15)会被关联至数据区602。如图8所示(被写入数据的区域以斜线表示),数据801在写满了物理抹除单元410(0)~410(14)之后,数据801中剩余尚未被写入的部分会被写入至物理抹除单元410(15)。在本范例实施例中,被数据801所写满的物理抹除单元410(0)~410(14)亦称为第一物理抹除单元,并且没有被数据801所写满的物理抹除单元410(15)亦称为第二物理抹除单元。第一数据被存储在物理抹除单元410(0)~410(14)中,并且第二数据被存储在物理抹除单元410(15)中。存储器管理电路502会将逻辑单元LBA(0)~LBA(14)映射至物理抹除单元410(0)~410(14)并且将逻辑单元LBA(15)映射至物理抹除单元410(15)。值得一提的是,在另一范例实施例中,若主机系统11所欲写入的数据的数据长度不同,则用来存储此数据的逻辑单元与物理单元的数量也可以是更多或更少。

[0111] 在本范例实施例中,逻辑单元LBA(0)~LBA(15)为循序排序的逻辑单元,且物理抹除单元410(0)~410(15)为循序排序的物理抹除单元。也就是说,对于逻辑单元LBA(1)的数据写入操作是接续在逻辑单元LBA(0)的数据写入操作之后,而对于逻辑单元LBA(2)的数据写入操作是接续在逻辑单元LBA(1)的数据写入操作之后,以此类推。类似地,对于物理抹除单元410(1)的数据写入操作是接续在物理抹除单元410(0)的数据写入操作之后,而对于物理抹除单元410(2)的数据写入操作是接续在物理抹除单元410(1)的数据写入操作之后,以此类推。然而,在另一范例实施例中,逻辑单元LBA(0)~LBA(15)和/或物理抹除单元410(0)~410(15)也可以不是循序排序的。

[0112] 在接收到上述第一写入指令之后,存储器管理电路502会从主机系统11接收另一个写入指令(亦称为第二写入指令)以及对应此第二写入指令的数据。在此是假设对应于此第二写入指令的数据与上述对应于第一写入指令的数据相同,且此第二写入指令是指示将此数据中的第一数据写入至上述第一逻辑单元并且将此数据中的第二数据写入至上述第



二逻辑单元。第二写入指令所指示需使用到的逻辑地址与第一写入指令所指示需使用到的逻辑地址相同。响应于此第二写入指令,存储器管理电路502会从闲置区604中选择一或多个物理抹除单元(亦称为第三物理抹除单元)以存储第一数据并且判断上述第二物理抹除单元的剩余容量是否小于一阈值。若上述第二物理抹除单元的剩余容量小于此阈值,则存储器管理电路502会从闲置区604中选择一或多个物理抹除单元(亦称为第四物理抹除单元)并且发送一写入指令序列(亦称为第二写入指令序列)至可复写式非易失性存储器模块406。其中此第二写入指令序列指示将第一数据存储至第三物理抹除单元,并且指示将第二数据写入至上述第二物理抹除单元与第四物理抹除单元。在本范例实施例中,此阈值可为厂商自行设定的值、等于每一个第二逻辑单元所存储的第二数据的数据长度、等于多个第二逻辑单元的其中之一所存储的第二数据的数据长度,或是等于此些第二逻辑单元所存储的第二数据的总数据长度。

[0113] 请参照图9,假设第二写入指令指示将一数据存储于逻辑单元LBA(0)~LBA(15),响应于第二写入指令,存储器管理电路502会从闲置区604中选择物理抹除单元410(16)~410(30)并且判断尚未被写满的物理抹除单元410(15)的剩余空间是否小于一阈值。例如,此阈值等于逻辑单元LBA(15)所存储的第二数据的数据长度。在本范例实施例中,物理抹除单元410(15)的剩余空间小于此阈值,表示物理抹除单元410(15)即将被写满且无法存储完整的第二数据。因此,存储器管理电路502会从闲置区604中选择物理抹除单元410(31)。存储器管理电路502会发送第二写入指令序列至可复写式非易失性存储器模块406,其中此第二写入指令序列指示将存储在逻辑单元LBA(0)~LBA(14)中的第一数据写入至物理抹除单元410(16)~410(30)并且指示将存储在逻辑单元LBA(15)中的第二数据写入至物理抹除单元410(15)与物理抹除单元410(31)。其中,第一数据会写满物理抹除单元410(16)~410(30),第二数据会优先写满物理抹除单元410(15)的剩余空间,并且第二数据中无法写入至物理抹除单元410(15)的部分则会写入至物理抹除单元410(31)中,如图9所示(被写入数据的区域以斜线表示)。在执行对应于第二写入指令的数据写入操作的同时、之前或之后,存储器管理电路502会将逻辑单元LBA(0)~LBA(14)映射至物理抹除单元410(16)~410(30)并且将逻辑单元LBA(15)映射至物理抹除单元410(15)与410(31)。此时,物理抹除单元410(15)与410(31)也可称为是处于开启母子区块状态。

[0114] 另一方面,若第二物理抹除单元的剩余容量不小于此阈值,存储器管理电路502会将第二数据写入至第二物理抹除单元,而不需要另外选择第四物理抹除单元。例如,在图9的另一范例实施例中,若物理抹除单元410(15)的剩余空间大于存储在逻辑单元LBA(15)的第二数据的数据长度,则存储器管理电路502会发送一写入指令序列至可复写式非易失性存储器模块406。其中,此写入指令序列指示将存储在逻辑单元LBA(0)~LBA(14)中的第一数据写入至物理抹除单元410(16)~410(30)并且指示将存储在逻辑单元LBA(15)中的第二数据写入至物理抹除单元410(15)。此外,存储器管理电路502会将逻辑单元LBA(0)~LBA(14)映射至物理抹除单元410(16)~410(30)。

[0115] 请参照图10,在接收到上述第二写入指令之后,存储器管理电路502还可接收另一写入指令(亦称为第三写入指令),其中此第三写入指令同样指示将一数据中的第一数据写入至逻辑单元LBA(0)~LBA(14)并且将此数据中的第二数据写入至逻辑单元LBA(15)。第三写入指令所指示需使用到的逻辑地址与第一写入指令所指示需使用到的逻辑地址相同。响

应于此第三写入指令,存储器管理电路502会从闲置区604中选择物理抹除单元410(32)~410(46)并且判断物理抹除单元410(31)的剩余空间是否小于一阈值。例如,此阈值等于存储在逻辑单元LBA(15)中的第二数据的数据长度。在本范例实施例中,由于物理抹除单元410(31)的剩余空间大于此阈值,因此存储器管理电路502会发送一写入指令序列以将存储在逻辑单元LBA(0)~LBA(14)中的第一数据写入至物理抹除单元410(32)~410(46)并且将存储在逻辑单元LBA(15)中的第二数据写入至物理抹除单元410(31)中的剩余空间,如图10所示(被写入数据的区域以斜线表示)。此外,存储器管理电路502会将逻辑单元LBA(0)~LBA(14)映射至物理抹除单元410(32)~410(46)并且将逻辑单元LBA(15)映射至物理抹除单元410(31)。特别是,在上述各个数据写入程序中,由于存储器管理电路502不会因某些物理抹除单元的剩余空间不足就执行数据合并以释放物理抹除单元的操作,因此可避免数据的写入速度下降。

[0116] 在一范例实施例中,第二逻辑单元的数目与第二物理抹除单元的数目皆大于1。此外,第一逻辑单元与第一物理抹除单元的数目也可以是更多或更少。在第二逻辑单元的数目与第二物理抹除单元的数目皆大于1的范例实施例中,每一个第二逻辑单元会存储第二数据的一部分,并且每一个第二逻辑单元会映射到第二物理抹除单元的其中之一。以下将以第二逻辑单元的数目与第二物理抹除单元的数目皆是2作为范例,然而,在一范例实施例中,第二逻辑单元的数目与第二物理抹除单元的数目也可以是更多。

[0117] 在第二逻辑单元的数目与第二物理抹除单元的数目皆大于1的一范例实施例中,响应于上述第二写入指令,存储器管理电路502会判断每一个第二物理抹除单元的剩余容量是否小于此些第二物理抹除单元分别对应的一阈值。若第二物理抹除单元的至少其中之一的剩余容量小于此第二物理抹除单元所对应的阈值,则存储器管理电路502会从闲置区604中选择第四物理抹除单元并且发送上述第二写入指令序列至可复写式非易失性存储器模块406。例如,每一个第二物理抹除单元所对应的阈值等于每一个第二逻辑单元所存储的第二数据的数据长度。每一个第二物理抹除单元所存储的第二数据的数据长度可以相同也可以不同,故每一个第二物理抹除单元所对应的阈值可以相同也可以不同。若每一个第二物理抹除单元的剩余容量皆不小于此些第二物理抹除单元分别对应的阈值,存储器管理电路502会发送上述第一写入指令序列至可复写式非易失性存储器模块406。

[0118] 图11至图13是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0119] 请参照图11,在本范例实施例中,来自主机系统11的第一写入指令指示将数据存储于逻辑单元LBA(0)~LBA(16),其中逻辑单元LBA(1)~LBA(15)用以存储此数据中的第一数据,逻辑单元LBA(0)与LBA(16)分别用以存储此数据中的第二数据的一部分,且逻辑单元LBA(0)~LBA(16)是循序排序的逻辑单元。例如,逻辑单元LBA(0)是循序排序于逻辑单元LBA(1)之前,并且逻辑单元LBA(16)是循序排序于逻辑单元LBA(15)之后。存储在逻辑单元LBA(0)与LBA(16)的第二数据的数据长度可以相等也可以不相等。响应于此第一写入指令,存储器管理电路502会从闲置区604中选择物理抹除单元410(0)~410(16)。物理抹除单元410(0)~410(16)是循序排序的物理抹除单元。例如,物理抹除单元410(0)是循序排序于物理抹除单元410(1)之前,并且物理抹除单元410(16)是循序排序于物理抹除单元410(15)之后。存储器管理电路502会将第一数据写入至物理抹除单元410(1)~410(15)并且将第二数据写入至物理抹除单元410(0)与410(16),如图11所示(被写入数据的区域以斜线表示)。其

中,第一数据会写满物理抹除单元410(1)~410(15)。假设逻辑单元LBA(0)与LBA(16)各别存储第二数据的一半,则物理抹除单元410(0)与410(16)也是各别存储第二数据的一半,例如,存储在物理抹除单元410(0)中的第二数据是占据 $0.3125(0.625/2=0.3125)$ 个物理抹除单元,而存储在物理抹除单元410(16)中的第二数据也是占据0.3125个物理抹除单元。此外,存储器管理电路502会将逻辑单元LBA(0)、LBA(1)~LBA(15)及LBA(16)分别映射至物理抹除单元410(0)、410(1)~410(15)及410(16)。

[0120] 请参照图12,在接收到第一写入指令之后,来自主机系统11的第二写入指令指示将数据存储于逻辑单元LBA(0)~LBA(16),其中逻辑单元LBA(1)~LBA(15)用以存储此数据中的第一数据,逻辑单元LBA(0)与LBA(16)用以存储此数据中的第二数据。响应于此第二写入指令,存储器管理电路502会从闲置区604中选择物理抹除单元410(17)~410(31)并且判断物理抹除单元410(0)与410(16)各别的一剩余空间是否小于一阈值。例如,若逻辑单元LBA(0)与LBA(16)所各别存储的第二数据的数据长度相等,则此阈值例如是等于逻辑单元LBA(0)与LBA(16)所各别存储的第二数据的数据长度。或者,若逻辑单元LBA(0)与LBA(16)所各别存储的第二数据的数据长度不相等,则对应于物理抹除单元410(0)的阈值会等于逻辑单元LBA(0)所存储的第二数据的数据长度,并且对应于物理抹除单元410(16)的阈值会等于逻辑单元LBA(16)所存储的第二数据的数据长度。

[0121] 在本范例实施例中,物理抹除单元410(0)与410(16)各别的剩余空间皆大于对应的阈值,因此存储器管理电路502会发送一写入指令序列至可复写式非易失性存储器模块406以将第一数据写入至物理抹除单元410(17)~410(31)并且将第二数据写入至物理抹除单元410(0)与410(16),如图12所示(被写入数据的区域以斜线表示)。此外,存储器管理电路502会将逻辑单元LBA(1)~LBA(15)映射至物理抹除单元410(17)~410(31)。

[0122] 请参照图13,在接收到第二写入指令之后,来自主机系统11的第三写入指令指示将数据存储于逻辑单元LBA(0)~LBA(16),其中逻辑单元LBA(1)~LBA(15)用以存储此数据中的第一数据,逻辑单元LBA(0)与LBA(16)用以存储此数据中的第二数据。响应于此第三写入指令,存储器管理电路502会从闲置区604中选择物理抹除单元410(32)~410(46)并且判断物理抹除单元410(0)与410(16)各别的一剩余空间是否小于一阈值。对应于物理抹除单元410(0)与410(16)的阈值可以相同也可以不同,在此不重复赘述。在本范例实施例中,虽然物理抹除单元410(0)与410(16)已各别存储过两次存储在逻辑单元LBA(0)与LBA(16)的第二数据,但物理抹除单元410(0)与410(16)各别的剩余空间仍大于对应的阈值,因此存储器管理电路502会发送一写入指令序列至可复写式非易失性存储器模块406以将第一数据写入至物理抹除单元410(32)~410(46)并且将第二数据写入至物理抹除单元410(0)与410(16),如图13所示(被写入数据的区域以斜线表示)。此外,存储器管理电路502会将逻辑单元LBA(1)~LBA(15)映射至物理抹除单元410(32)~410(46)。

[0123] 在图12的另一范例实施例中,若逻辑单元LBA(0)与LBA(16)所各别存储的第二数据的数据长度不相等,则物理抹除单元410(0)与物理抹除单元410(16)的至少其中之一的剩余空间可能会小于对应的阈值。因此,当需要再次存储逻辑单元LBA(0)与LBA(16)所各别存储的第二数据时,可能需要选择另外的一或多个物理抹除单元(亦称第五物理抹除单元)来协助物理抹除单元410(0)与物理抹除单元410(16)的至少其中之一存储数据。

[0124] 图14是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0125] 请参照图14,假设逻辑单元LBA(0)与LBA(16)所各别存储的第二数据的数据长度不相等(例如,如图14所示,存储于逻辑单元LBA(0)中的第二数据的数据长度小于逻辑单元LBA(16)存储的第二数据的数据长度)。在此情况下,存储器管理电路502可以从主机系统11接收一写入指令,其指示将数据存储于逻辑单元LBA(0)~LBA(16),其中逻辑单元LBA(1)~LBA(15)用以存储此数据中的第一数据,逻辑单元LBA(0)与逻辑单元LBA(16)用以存储此数据中的第二数据。响应于此写入指令,存储器管理电路502会从闲置区604中选择物理抹除单元410(47)~410(61)。存储器管理电路502会判断物理抹除单元410(0)的剩余空间是否小于对应物理抹除单元410(0)的阈值并且判断物理抹除单元410(16)的剩余空间是否小于对应物理抹除单元410(16)的阈值。其中,对应物理抹除单元410(0)的阈值等于存储于逻辑单元LBA(0)中的第二数据的数据长度,并且对应物理抹除单元410(16)的阈值等于存储于逻辑单元LBA(16)中的第二数据的数据长度。

[0126] 如图14所示,假设物理抹除单元410(16)的剩余空间小于对应物理抹除单元410(16)的阈值,并且物理抹除单元410(0)的剩余空间不小于对应物理抹除单元410(0)的阈值,则存储器管理电路502会从闲置区604选择物理抹除单元410(62)。存储器管理电路502会发送一写入指令序列(亦称第四写入指令序列),其中此第四写入指令序列指示将第一数据写入至物理抹除单元410(47)~410(61),将存储于逻辑单元LBA(0)的第二数据写入至物理抹除单元410(0),并且将存储于逻辑单元LBA(16)的第二数据写入至物理抹除单元410(16)与物理抹除单元410(62),如图14所示(被写入数据的区域以斜线表示)。此外,存储器管理电路502会将逻辑单元LBA(0)映射至物理抹除单元410(0),将逻辑单元LBA(1)~LBA(15)映射至物理抹除单元410(47)~410(61),并且将逻辑单元LBA(16)映射至物理抹除单元410(16)与410(62)。也就是说,在此范例实施例中,物理抹除单元410(62)是用以协助存储逻辑单元LBA(16)中的第二数据的一部分,其中此部分无法存储于物理抹除单元410(16)中。

[0127] 然而,在另一范例实施例中,若物理抹除单元410(0)的剩余空间小于对应物理抹除单元410(0)的阈值,而物理抹除单元410(16)的剩余空间不小于对应物理抹除单元410(16)的阈值,则当需要再次存储逻辑单元LBA(0)与LBA(16)所各别存储的第二数据时,存储器管理电路502会指示将存储于逻辑单元LBA(16)的第二数据写入至物理抹除单元410(16),并且将存储于逻辑单元LBA(0)的第二数据写入至物理抹除单元410(0)与物理抹除单元410(62)。也就是说,在此范例实施例中,物理抹除单元410(62)是用以协助存储逻辑单元LBA(0)中的第二数据的一部分,其中此部分无法存储于物理抹除单元410(0)中。

[0128] 或者,在另一范例实施例中,若物理抹除单元410(0)的剩余空间小于对应物理抹除单元410(0)的阈值,且物理抹除单元410(16)的剩余空间也小于对应物理抹除单元410(16)的阈值,则当需要再次存储逻辑单元LBA(0)与LBA(16)所各别存储的第二数据时,存储器管理电路502会另外选择2个或2个以上的物理抹除单元(即,第五物理抹除单元)来协助存储逻辑单元LBA(0)与LBA(16)中各别的第二数据。关于第五物理抹除单元如何协助存储逻辑单元LBA(0)与LBA(16)中各别的第二数据已详述于上,在此便不赘述。

[0129] 也就是说,在图8至图10以及图11至图13的范例实施例中,若用来测试数据写入速度的数据长度是4000MB且每一个物理抹除单元的容量为256MB,则至少在前3次的数据写入程序中都不会有数据合并或垃圾回收程序被执行。藉此,可避免降低将测试数据写入至可

复写式非易失性存储器模块406时的数据写入速度。此外,若将上述范例实施例的实施方式合并使用,更可确保在前6次的写入程序中都不会有数据合并或垃圾回收程序被执行。

[0130] 图15是根据本发明的一范例实施例所绘示的写入数据的示意图。

[0131] 请参照图15,假设一或多个写入指令指示重复执行至少N次对于逻辑单元LBA(0)~LBA(15)的数据写入操作,则每一次的数据写入程序中都会有多个物理抹除单元被从闲置区中选择出来以存储数据。其中,N可以是任意的正整数,并且每一次的数据写入程序皆已详细说明于上,在此便不赘述。以前6次的写入程序1501~1506为例,在前3次的写入程序1501~1503中,存储在LBA(0)与LBA(16)中的数据(即,第二数据)会被重复写入至选择出的物理抹除单元串列中的第一个物理抹除单元与最后一个物理抹除单元;而在后3次的写入程序1504~1506中,存储在LBA(0)与LBA(16)中的数据(即,第二数据)则会被重复写入至另外2个额外选择的物理抹除单元。藉此,至少在前6次的写入程序中都不会有数据合并或垃圾回收程序被执行,从而可将数据写入速度维持在较高的速度。

[0132] 值得一提的是,在上述各个范例实施例中,因为用以存储第一数据的物理抹除单元在每一次的数据写入程序中都会被对应的第一数据写满,因此对于用以存储第一数据的物理抹除单元的数据写入操作都是属于连续写入(sequential write)操作;而由于用以存储第二数据的物理抹除单元不一定会被对应的第二数据写满,因此对于用以存储第二数据的物理抹除单元的数据写入操作都是属于随机写入(random write)操作。例如,在图8的范例实施例中,对于物理抹除单元410(0)~410(14)的数据写入操作是属于连续写入操作,而对于物理抹除单元410(15)的数据写入操作则是属于随机写入操作。例如,在图9的范例实施例中,对于物理抹除单元410(16)~410(30)的数据写入操作是属于连续写入操作,而对于物理抹除单元410(15)与410(31)的数据写入操作则是属于随机写入操作。此外,在一范例实施例中,被执行连续写入操作的物理抹除单元亦称为连续物理抹除单元,而被执行随机写入操作的物理抹除单元亦称为随机物理抹除单元。

[0133] 在一范例实施例中,每一个数据写入指令所指示需使用的逻辑单元可通过修改主机系统11的文件配置表(File Allocation Table, FAT)来进行设定。或者,在另一范例实施例中,存储器管理电路502也可以通过修改逻辑-物理映射表来调整每一个数据写入程序中逻辑单元的使用状况以及逻辑单元与物理单元的映射关系。藉此,在一范例实施例中,若事先规划好每一次的数据写入程序所会使用到的存储器空间(即,物理抹除单元),则上述判断物理抹除单元的剩余空间是否小于阈值的操作也可以被省略。例如,在图15的一范例实施例中,也可以将至少前6次的写入操作设定为一个预设的数据写入机制,其中每一次的数据写入程序都会执行预先设定好的操作,例如,从闲置区604中选择一或多个物理抹除单元并且将数据写入至特定的物理抹除单元等等。藉此,或许可更进一步提升数据写入速度并减少系统运算量。

[0134] 图16是根据本发明的一范例实施例所绘示的数据写入方法的流程图。

[0135] 请参照图16,在步骤S1601中,配置多个逻辑单元,其中所述逻辑单元中的至少一第一逻辑单元映射至数据区中的至少一第一物理抹除单元,所述逻辑单元中的至少一第二逻辑单元映射至数据区中的至少一第二物理抹除单元,所述第一物理抹除单元存储有一第一数据且被第一数据写满,所述第二物理抹除单元存储有一第二数据且未被第二数据写满。在步骤S1602中,从闲置区中选择至少一第三物理抹除单元。在步骤S1603中,判断所述

第二物理抹除单元的剩余空间是否小于阈值。若所述第二物理抹除单元的剩余空间不小于阈值,在步骤S1604中,发送第一写入指令序列,其中第一写入指令序列指示将第一数据写入至所述第三物理抹除单元并且指示将第二数据写入至所述第二物理抹除单元。若所述第二物理抹除单元的剩余空间小于阈值,在步骤S1605中,从闲置区中选择至少一第四物理抹除单元并且发送第二写入指令序列,其中第二写入指令序列指示将第一数据写入至所述第三物理抹除单元并且指示将第二数据写入至所述第二物理抹除单元与所述第四物理抹除单元。

[0136] 综上所述,本发明可以管理随机物理抹除单元的数量,并且利用随机物理抹除单元来存储多次循序数据中进行随机写入操作的随机数据,并且本发明也可藉由管理逻辑-物理映射表,使在进行多次的循序数据的写入操作时,不需进行合并操作,进而增进数据写入的效率。

[0137] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附权利要求书界定范围为准。

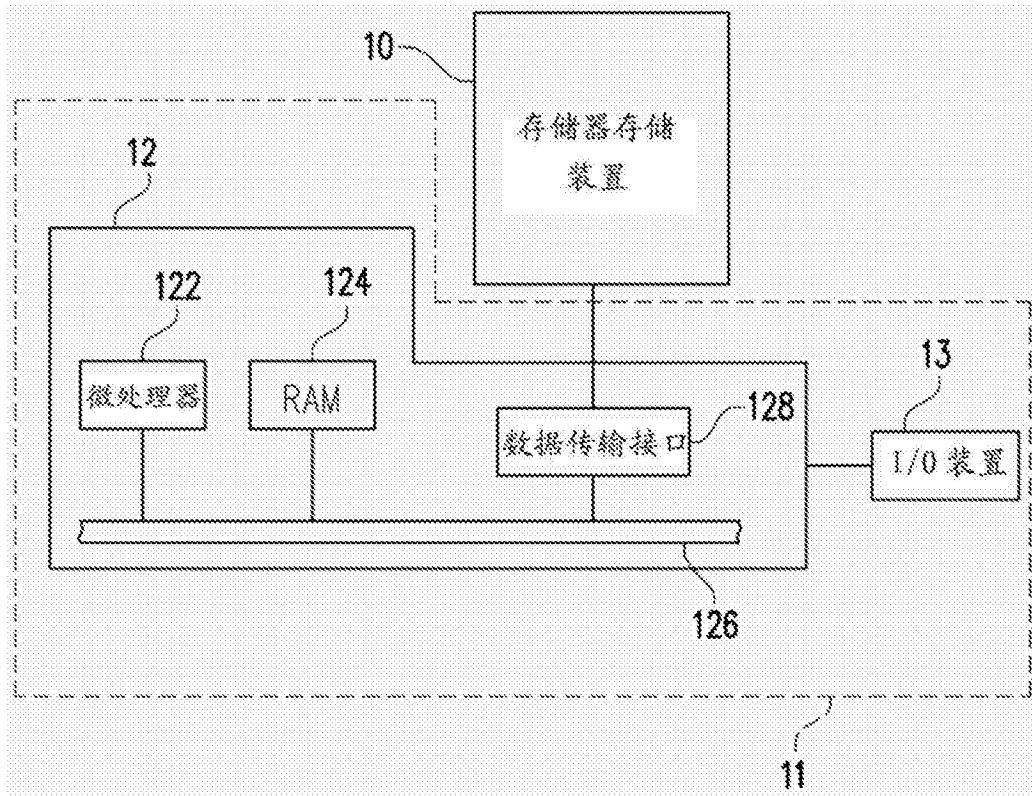


图1

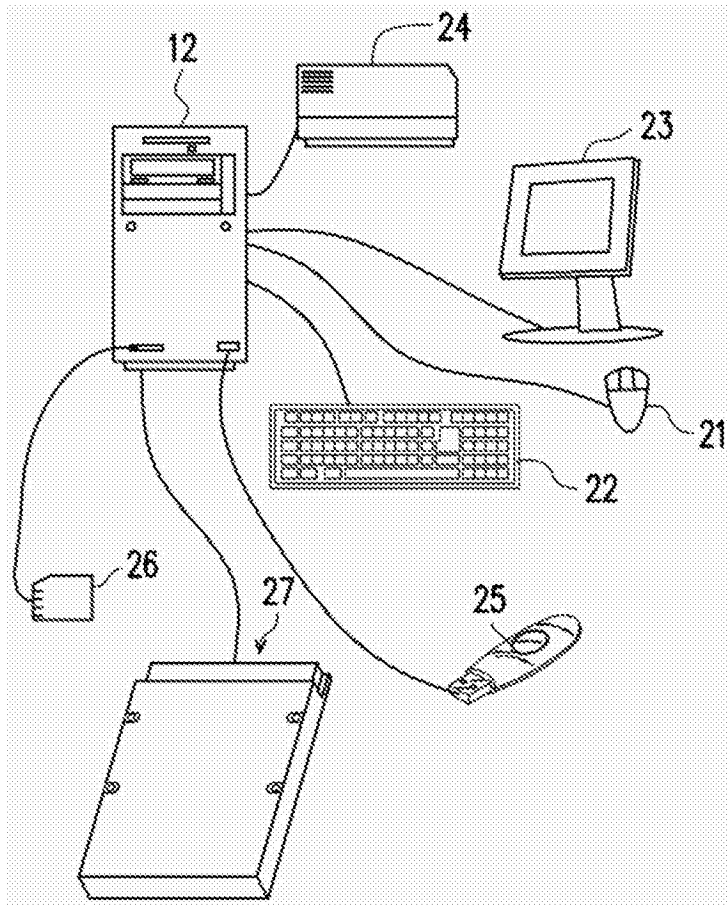


图2

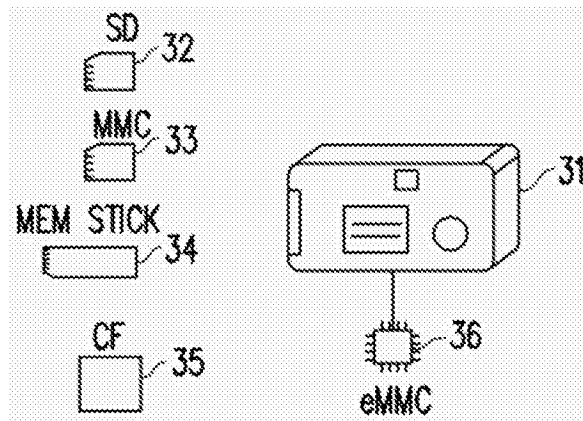


图3



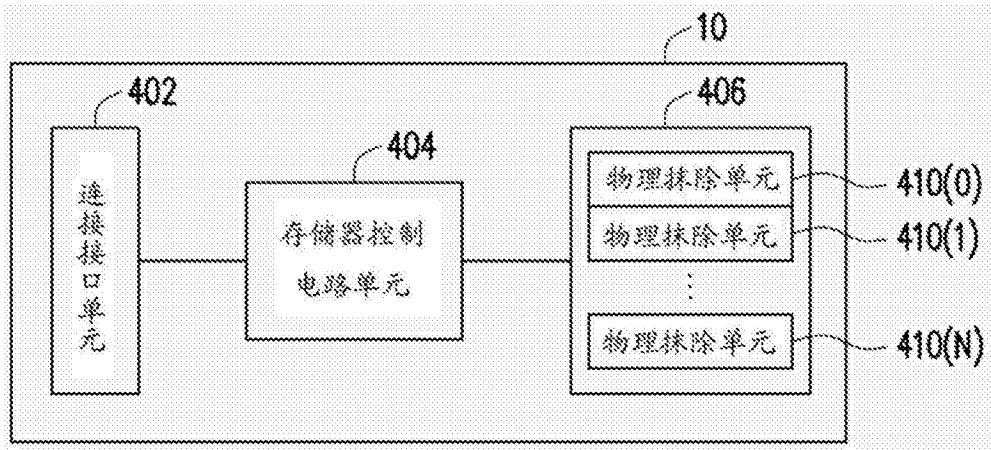


图4

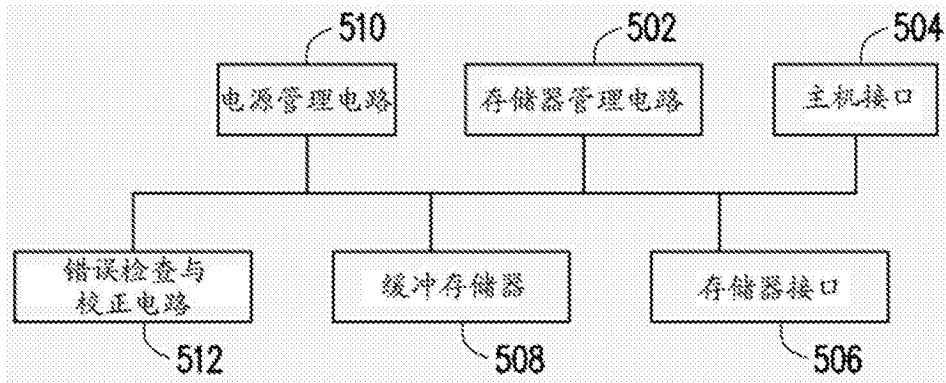


图5

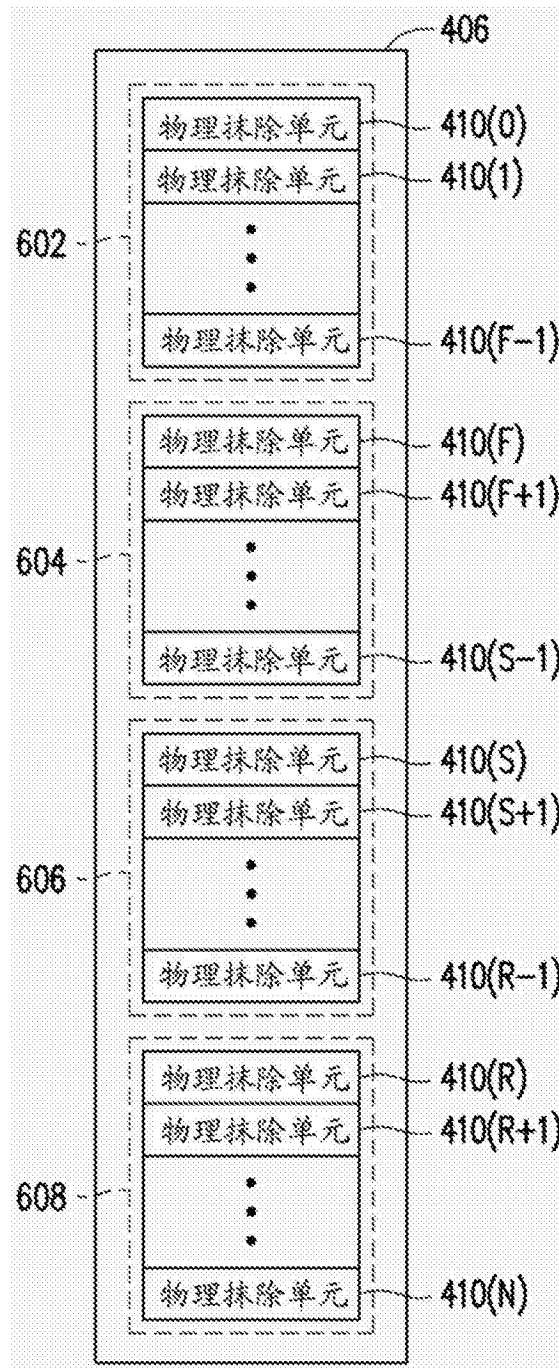


图6

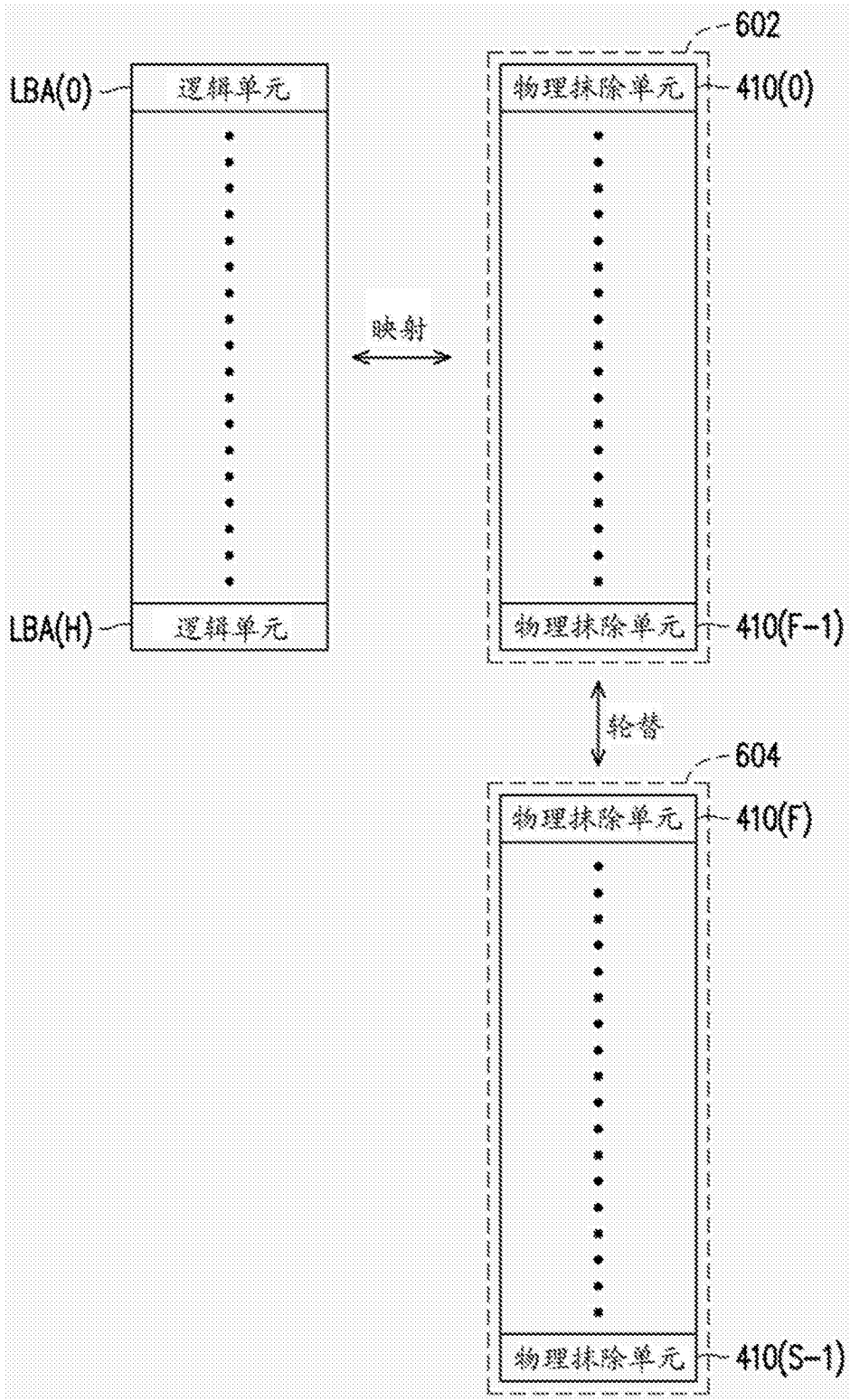


图7

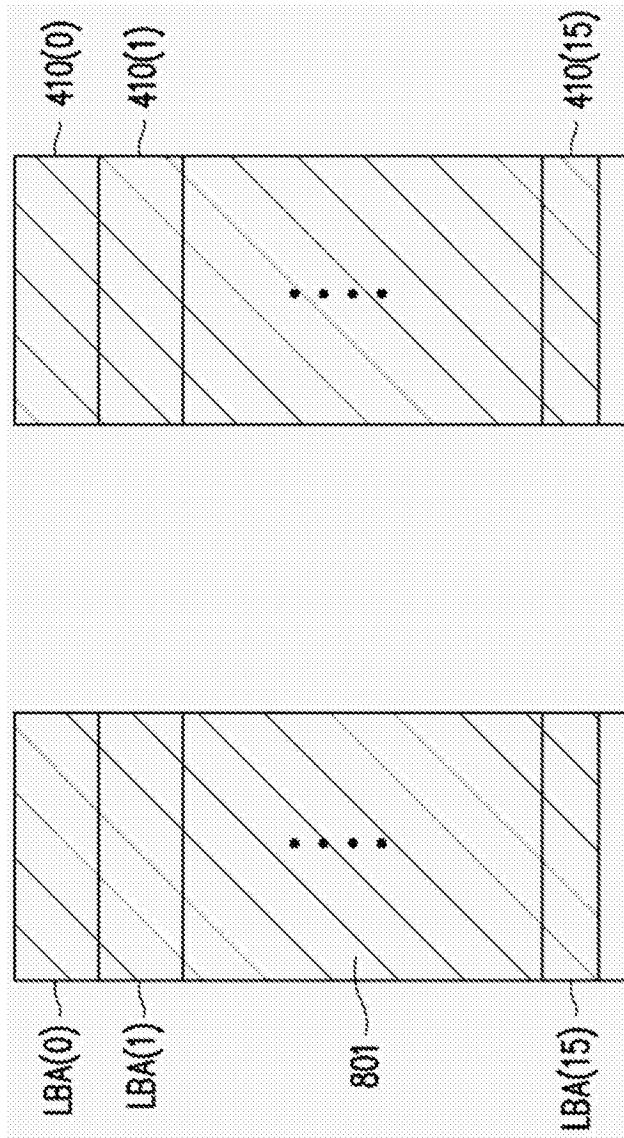


图8

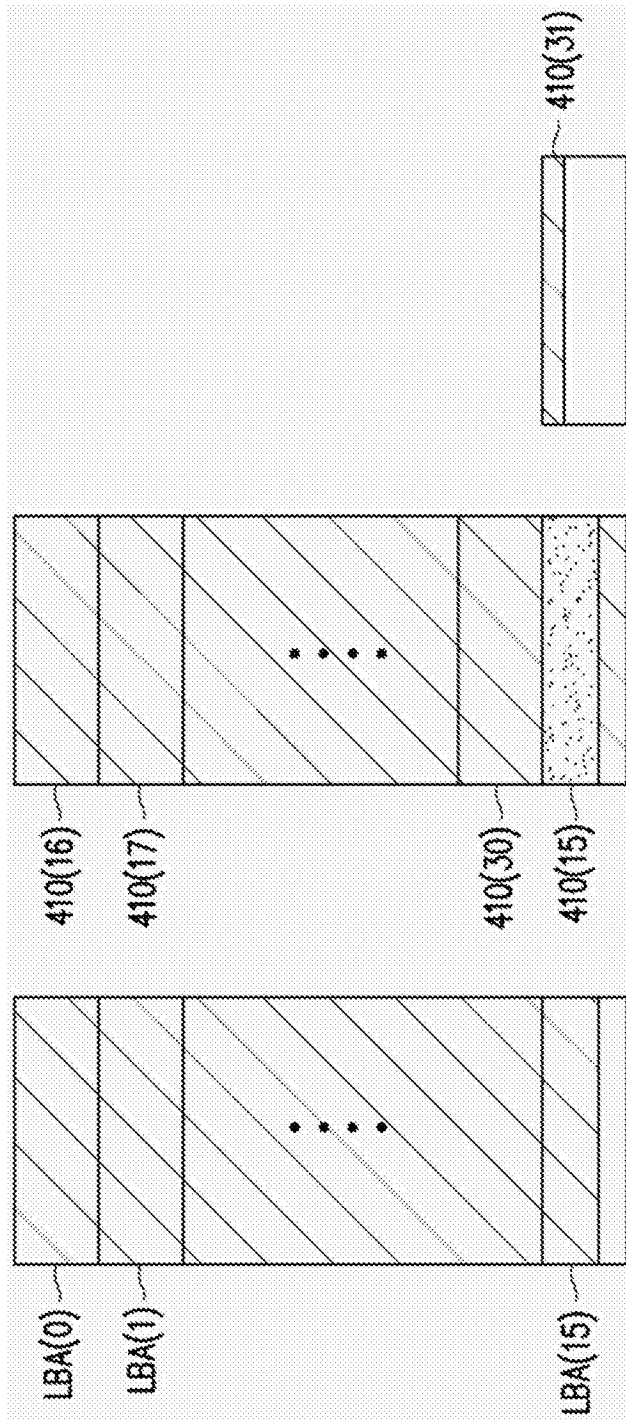


图9

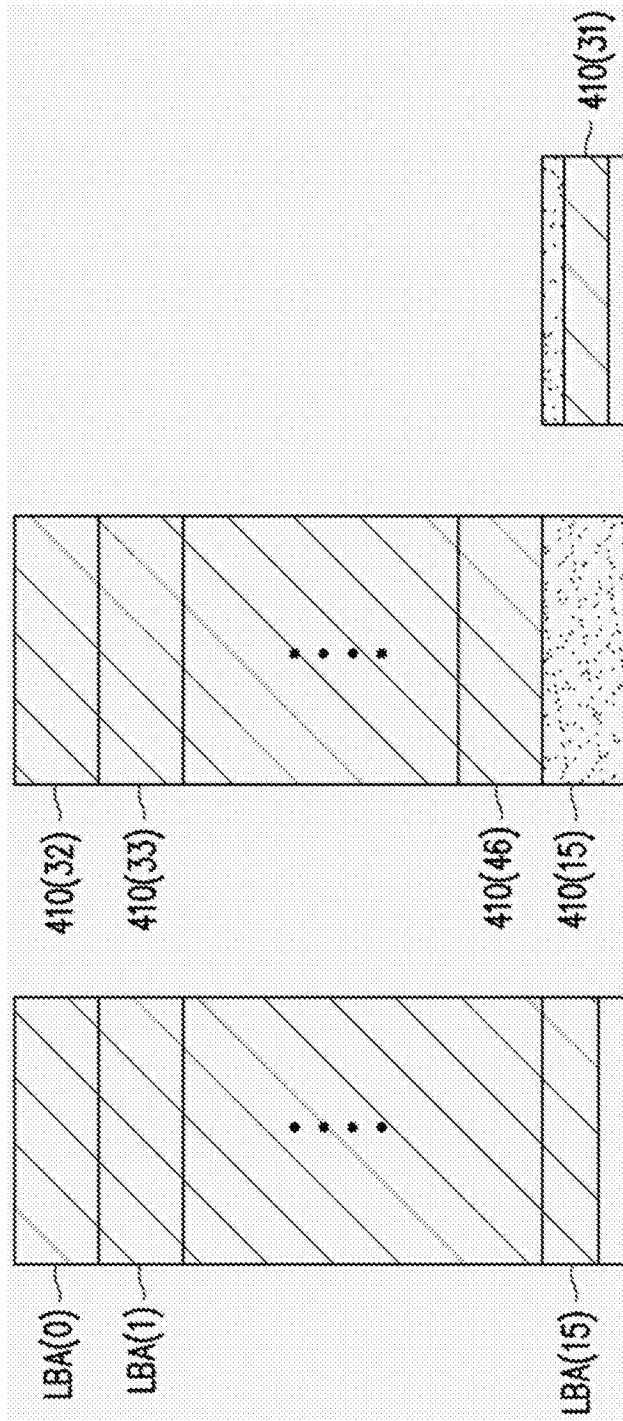


图10

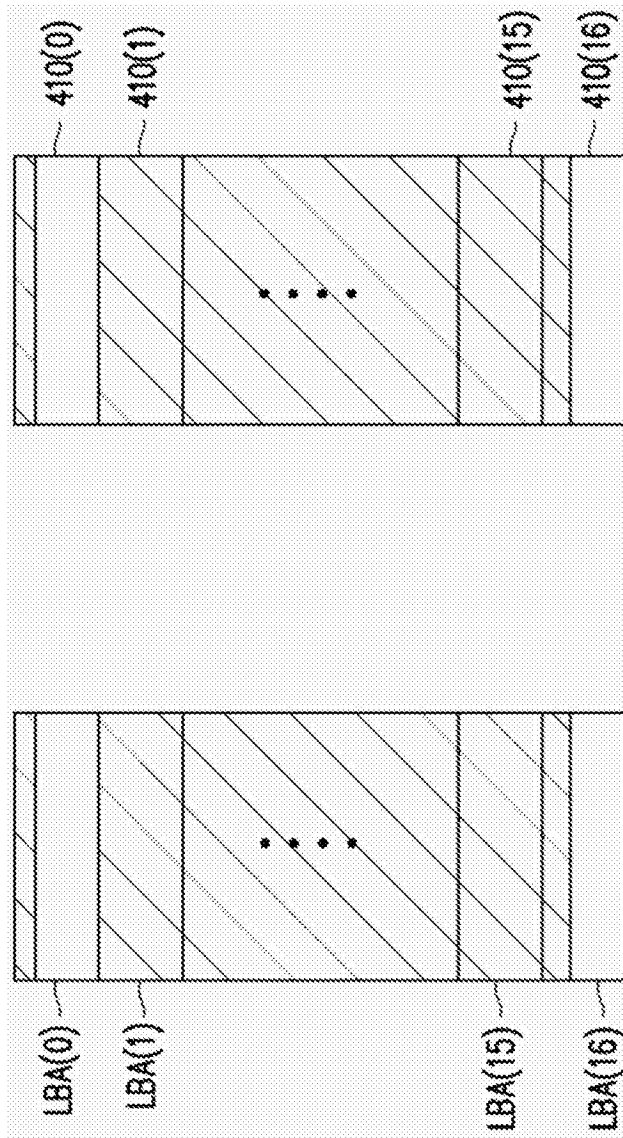


图11

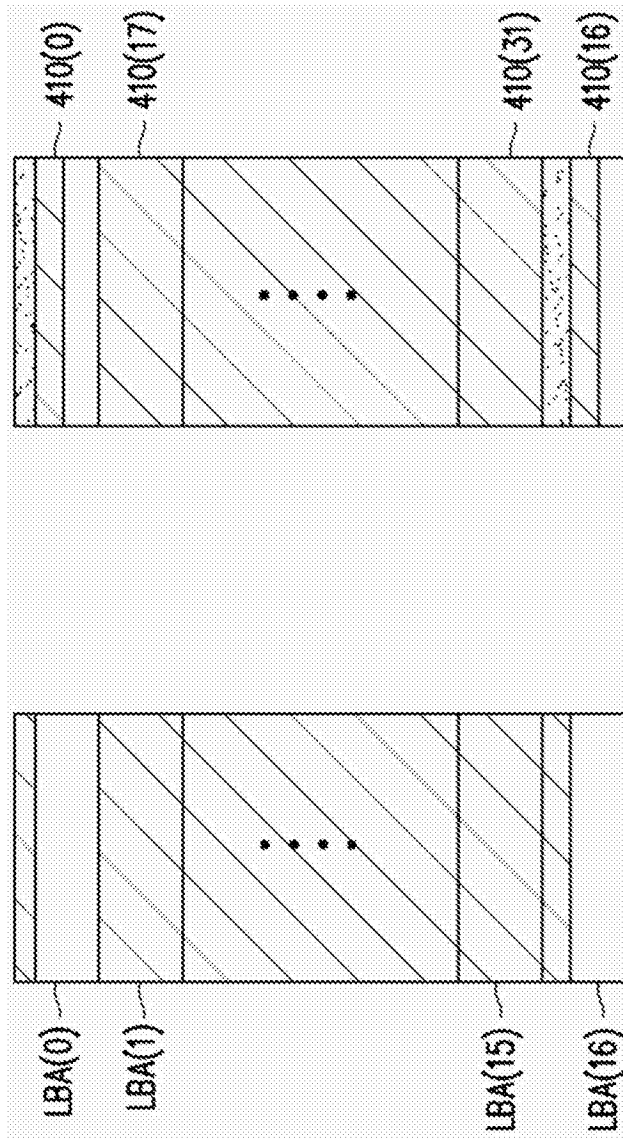


图12



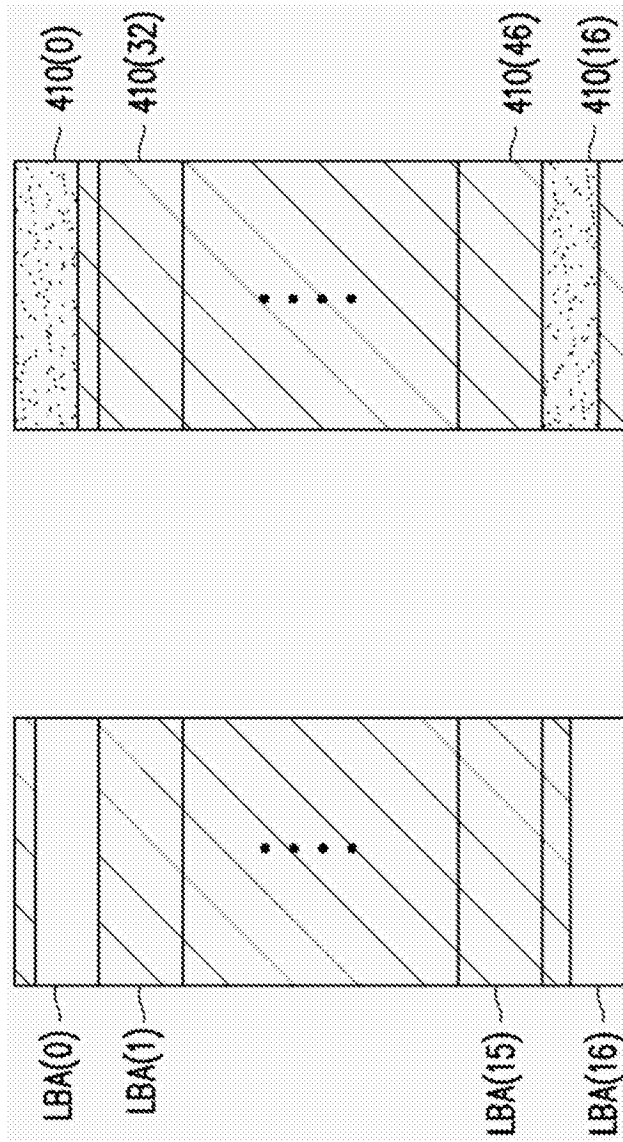


图13

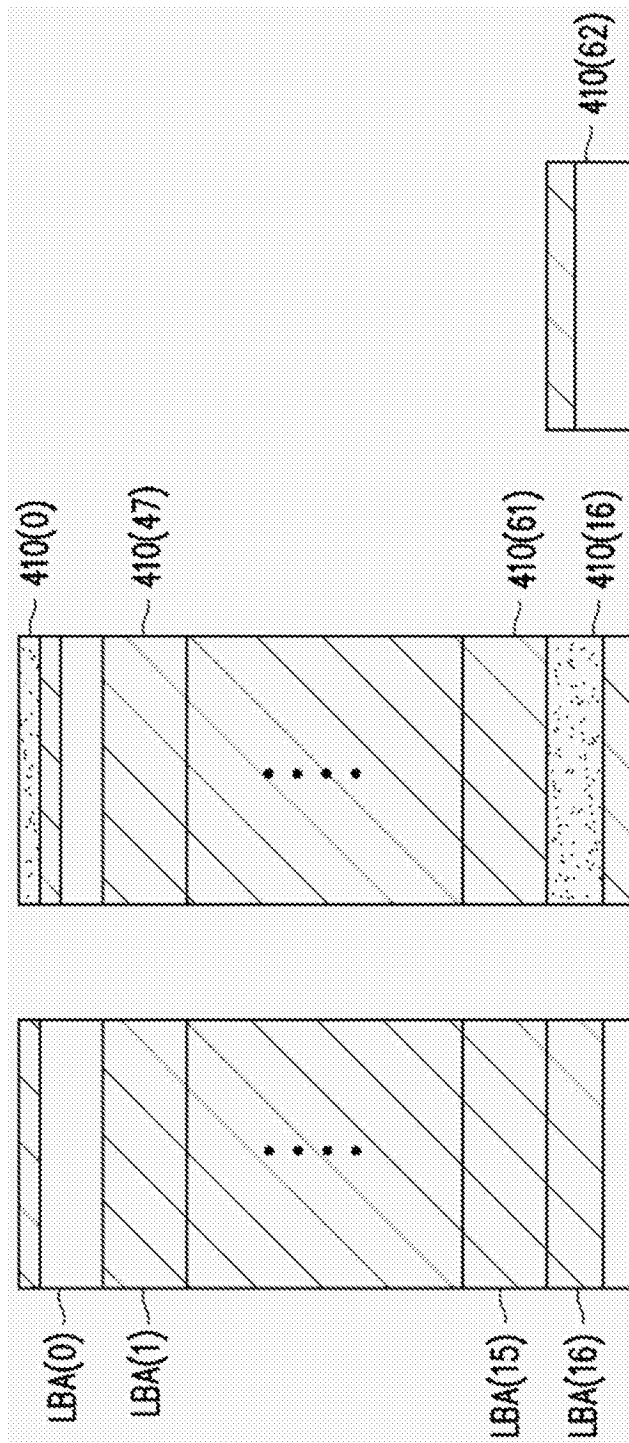


图14

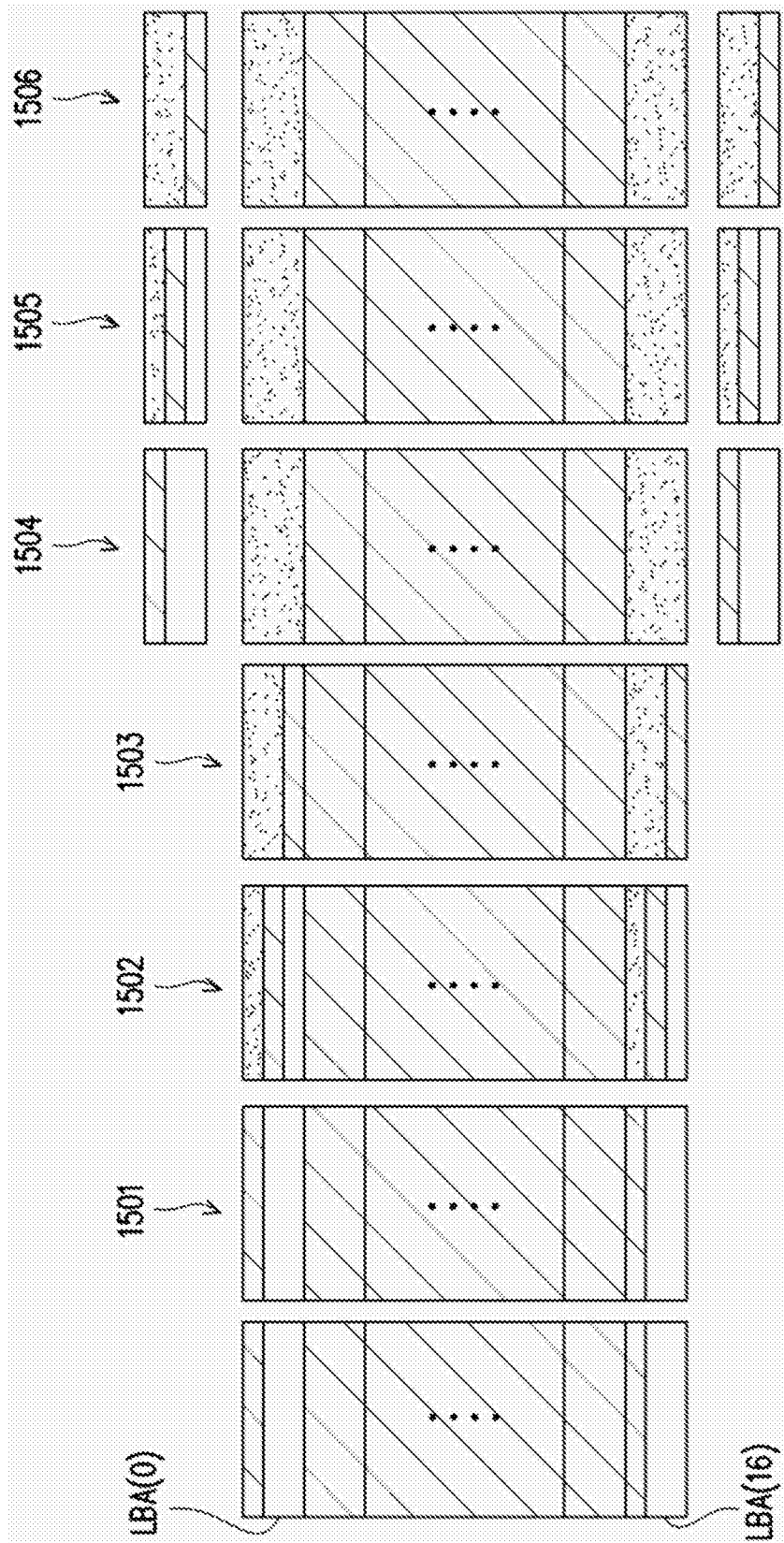


图15

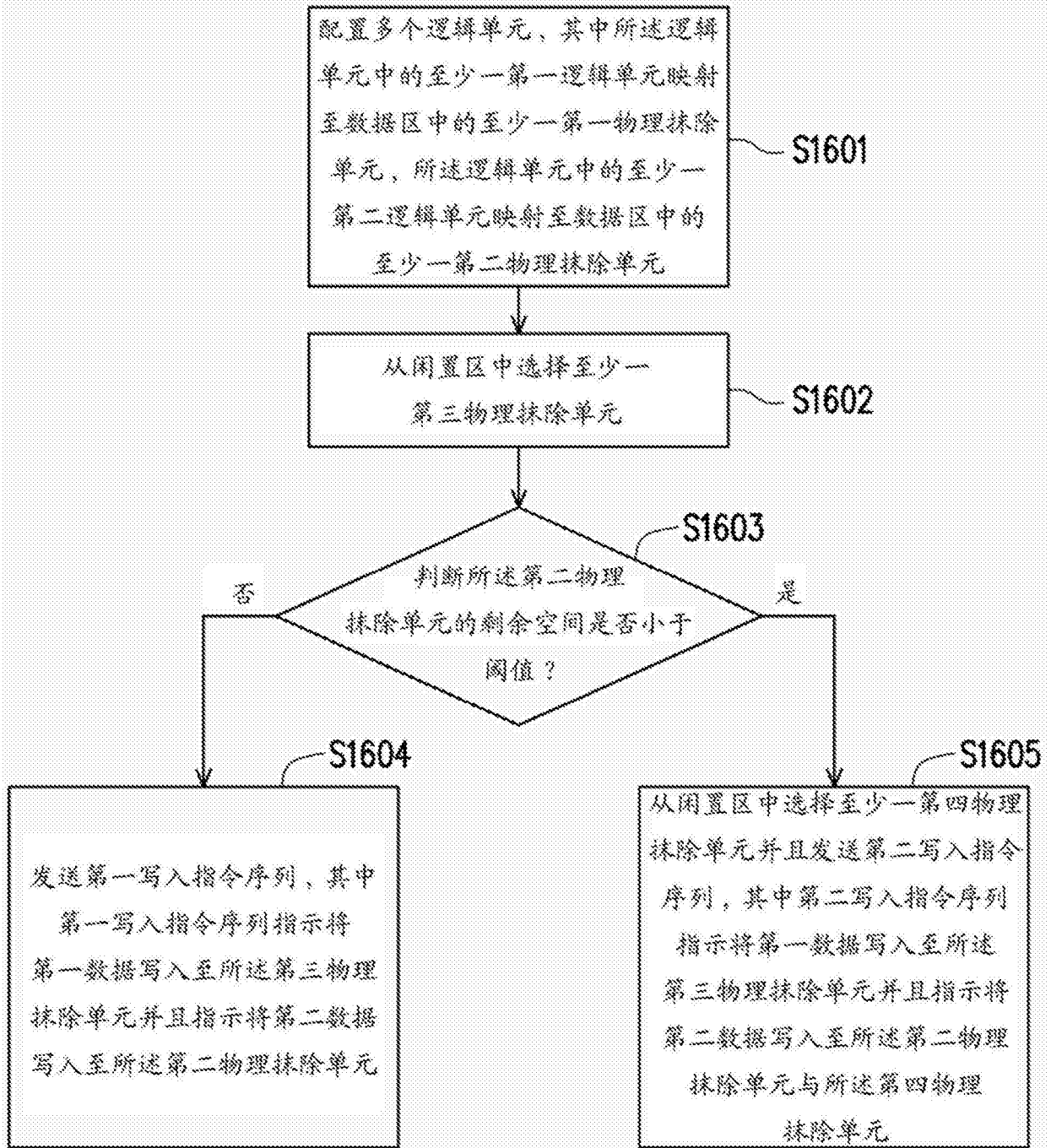


图16