

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup> H01L 27/108	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월18일 10-0500949 2005년07월04일
---	-------------------------------------	--

(21) 출원번호	10-2003-7006775	(65) 공개번호	10-2003-0070895
(22) 출원일자	2003년05월20일	(43) 공개일자	2003년09월02일
번역문 제출일자	2003년05월20일		
(86) 국제출원번호	PCT/JP2001/011672	(87) 국제공개번호	WO 2002/56383
국제출원일자	2001년12월28일	국제공개일자	2002년07월18일

(81) 지정국

국내특허 : 중국, 대한민국, 미국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 터키,

(30) 우선권주장      JP-P-2001-00000409      2001년01월05일      일본(JP)

(73) 특허권자      마츠시타 덴끼 산교 가부시카가이샤  
                         일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자      오가와히사시  
                         일본국오오사카후가타노시이쿠노3-27-5

                         모리요시히로  
                         일본국오오사카후네야가와시나리타히가시가오카42-3

                         츠즈미타니아키히코  
                         일본국오오사카후이바라키시하타케다쵸10-35-205

(74) 대리인      김영철

심사관 : 조지은

(54) 반도체기억장치 및 그 제조방법

요약

반도체기억장치인 DRAM의 메모리 셀에 있어서, 제 1 층간절연막(18) 상에는, 비트선 플러그(20b)에 접속되는 비트선(21a)과, 국소배선(21b)이 형성된다. 그리고 하드마스크(37), 상부 메탈장벽(36), Pt막(35), 및 BST막(34) 측면에 걸쳐, TiAlN으로 이루어지는 도체층벽(40)이 형성된다. 상부전극(35a)을 구성하는 Pt막(35) 상에 콘택트 홀이 형성되지 않으며, 도체층벽(40), 더미 하부전극(33b), 더미 셀 플러그(30) 및 국소배선(21b)에 의해 상부전극(35a)이 상층배선(구리배선(42))에 접속된다. Pt막(35)이 환원성 분위기에 노출되지 않으므로, 용량절연막(34a)의 특성 열화를 방지할 수 있다.

대표도

도 1

색인어

상부전극, 용량절연막

명세서

기술분야

본 발명은, 반도체기억장치 및 그 제조방법에 관하며, 특히 고유전체막이나 강유전체막을 이용하는 장치의 메모리 셀 구조에 관한 것이다.

배경기술

최근, 대용량의 메모리용량과 고속의 데이터 전송속도를 요구하는 멀티미디어 기기를 위한, 고성능 논리회로에 DRAM을 혼재시킨 DRAM 혼재 프로세스가 실용화되고 있다.

그러나 종래의 DRAM프로세스는, 기억용량부가 될 커패시터의 용량절연막 형성에 고온의 열처리를 필요로 하므로, 고성능 논리회로에 있어서 트랜지스터 불순물 확산층의 불순물 농도과일을 악화시키는 등의 문제가 있다. 또 DRAM이나 FeRAM 등의 단체메모리(single memory) 프로세스에 있어서도, 메모리 셀 트랜지스터의 미세화를 도모하는 데는 가능한 고온 열처리는 회피하는 것이 바람직하다.

그래서 기억용량부의 용량유전체막으로서, 저온에서의 형성이 가능하고 메모리 셀 크기의 미세화가 가능한 고유전체막을 이용한 MIM(Metal-Insulator-Metal) 커패시터 개발이 필수가 되었다. 이 고유전체막으로는, BST막((BaSr)TiO<sub>3</sub>막) 등의 페로브스카이트 구조를 갖는 유전체막이 있다. 한편, 이 MIM커패시터의 메탈전극을 구성하는 재료로는 내산화성이 강한 Pt가 일반적으로는 유망시 되고있다. 또 강유전체막으로서도 SBT막(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>막)이나 BTO막(Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>막) 등의 페로브스카이트 구조를 갖는 유전체막이 자주 이용된다.

- 해결과제 -

그러나 종래의 기억용량부가 될 MIM커패시터에서는 다음과 같은 문제가 있다.

우선 용량절연막 상에 형성된 백금(Pt)전극(상부전극)에 직접 콘택트 홀을 형성하면, 콘택트플러그를 형성할 때의 환원분위기 등이 커패시터 특성에 악영향을 미칠 우려가 있다. 일반적으로 유전체막은 산화물인 경우가 많으므로, 환원분위기에 따라 유전체막 중의 산소결손을 일으킬 경우 등이 있기 때문이다. 특히 용량절연막이 고유전체막이나 강유전체막일 경우에는, 산소결손을 발생시킬 우려가 강하다. 더욱이 페로브스카이트 구조를 갖는 유전체막에 있어서는 산소결손에 의한 특성 열화가 현저하게 나타난다.

또 종래 백금전극을 사용하지 않던 DRAM 등의 디바이스에서는, 신규재료인 백금전극에의 콘택트형성 등의 공정에서 기존 설비와의 공용화가 어려워, 전용설비에서의 운용이 필요하게 된다. 예를 들어 층간절연막에, 백금전극에 도달하는 콘택트홀을 개구했을 때 등, 백금전극이 노출됐을 때는 Pt가 스퍼터링되므로, 챔버 벽면이나 챔버 내의 부재 등에 백금이 부착한다. 이 챔버를 그대로 사용하면 트랜지스터의 활성영역 등에 Pt가 침입하여 트랜지스터 동작에 악영향을 끼칠 우려가 있기 때문이다.

발명의 상세한 설명

본 발명의 목적은, 용량절연막 상의 백금 등으로 이루어지는 상부전극에 직접이 아닌 간접적으로 접속되는 배선층을 형성하는 수단을 강구함으로써, MIM커패시터 특성이 좋은 반도체기억장치 및 그 제조방법을 제공하는 데 있다.

또 본 발명은, 전용설비를 필요로 하지 않아 제조원가를 저감할 수 있는 반도체기억장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

본 발명의 반도체기억장치는 반도체기판 상의 절연층 상에 형성되며, 하부전극, 상부전극, 및 하부전극과 상부전극 사이에 개재하는 용량절연막으로 구성되는 기억용량부와, 상기 기억용량부의 상부전극, 용량절연막에 각각 연속적으로 형성된 용량절연막 연장부 및 상부전극 연장부와, 상기 상부전극 연장부 및 상기 용량절연막 연장부 아래쪽에 위치하는 부분을 포함하도록 구성된 더미 도체부재와, 상기 상부전극 연장부 및 용량절연막 연장부의 측면에 걸쳐 형성되며, 상기 더미 도체부재에 접속되는 도체측벽과, 상기 더미 도체부재에 전기적으로 접속되는 상층배선을 구비한다.

이로써 상층배선을 상부전극에 직접 접속시킬 필요가 없어지므로, 상부전극을 백금막 등으로 구성했을 때라도, 용량절연막이 환원성 분위기에 노출됨에 기인하는 용량절연막의 특성 열화를 방지할 수 있다.

상기 도체측벽이, 상기 상부전극 연장부 및 용량절연막 연장부의 측면을 전체 둘레에 걸쳐 피복함으로써, 용량절연막에의 환원성 분위기 침입을 확실하게 억제할 수 있다.

상기 더미 도체부재는, 상기 하부전극과 동일 도체막으로 형성된 더미 하부전극이며, 상기 도체측벽은 상기 상부전극 연장부와 상기 더미 하부전극을 서로 접속하는 것이 바람직하다.

상기 절연층을 개재하고 상기 기억용량부 아래쪽에 형성된 비트선과, 상기 비트선과 동일 도체막으로 형성된 국소배선과, 상기 절연층을 관통하고 더미 하부전극과 상기 국소배선을 접속하는 도체 플러그를 추가로 구비함으로써, 비트선용 도체막을 이용하여 COB형(capacitor over bit line:비트선 하부배치형) 메모리에 적합한 구조를 얻을 수 있다.

상기 절연층 아래쪽에 있어서 반도체기판 상에 형성된 소자분리용 절연막과, 상기 반도체기판의 상기 소자분리용 절연막으로 둘러싸인 영역에 형성되며, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극 양쪽에 형성된 불순물 확산층을 갖는 메모리 셀 트랜지스터와, 상기 소자분리용 절연막 상에 형성되며, 상기 게이트전극과 동일 도체막으로 형성된 국소배선과, 상기 층간절연막을 관통하고 상기 국소배선에 접속되는 도체플러그를 추가로 구비함으로써, 게이트전극용 도체막(폴리실리콘막 등)을 이용하여, COB형 메모리와 CUB형(capacitor under bit line:비트선 상부배치형) 메모리 쌍방에 적용할 수 있는 구조가 얻어진다.

상기 반도체기판에 형성되며, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극 양쪽에 형성된 불순물 확산층을 갖는 메모리 셀 트랜지스터와, 상기 반도체기판의 상기 불순물 확산층과는 사이를 두고 형성된 또 1 개의 불순물 확산층으로 형성된 국소배선과, 상기 절연층을 관통하고 상기 국소배선에 접속되는 도체플러그를 추가로 구비함으로써, 소스 드레인 영역을 형성하기 위한 프로세스를 이용하여, COB형 메모리와 CUB형 메모리 쌍방에 적용할 수 있는 구조가 얻어진다.

상기 더미 도체부재는, 상기 절연층에 형성된 트렌치를 메우는 도체막으로 이루어지는 국소배선인 점에 의해서도, COB형 메모리와 CUB형 메모리 쌍방에 적용할 수 있는 구조가 얻어진다.

상기 더미 도체부재는, 상기 하부전극과 동일 도체막으로 형성된 더미 하부전극이며, 상기 도체측벽은 상기 상부전극 연장부와 상기 더미 하부전극과 접촉하고, 상기 상층배선은 상기 더미 하부전극과 접촉함으로써, 비교적 간단한 구조로 COB형 메모리와 CUB형 메모리 쌍방에 적용할 수 있는 구조가 얻어진다.

상기 기억용량부는 통 모양 하부전극, 용량절연막 및 상부전극을 구비함으로써, 비교적 고밀도로 메모리 셀을 배치한 반도체기억장치가 얻어진다.

본 발명의 반도체기억장치의 제조방법은, 하부전극, 상부전극, 및 하부전극과 상부전극 사이에 개재하는 용량절연막으로 구성된 기억용량부와, 상기 기억용량부의 상부전극에 전기적으로 접속되는 상층배선을 구비하는 반도체기억장치의 제조 방법으로서, 반도체기판 상의 절연층 상에 제 1 도체막을 형성한 후 제 1 도체막을 패터닝하여, 서로 떨어진 위치에 하부전극과 더미용 막을 형성하는 공정(a)과, 상기 하부전극 및 상기 더미 하부전극용 막을 피복하는 유전체막을 형성하는 공정(b)과, 상기 유전체막을 피복하는 제 2 도체막을 형성하는 공정(c)과, 상기 제 2 도체막 상에, 상기 하부전극 전체 및 상기 더미 하부전극 일부를 피복하는 에칭마스크를 형성하는 공정(d)과, 상기 제 2 도체막, 상기 유전체막, 및 상기 더미용 막을 패터닝하여 상기 유전체막으로 상기 용량절연막 및 용량절연막 연장부를 형성하고, 상기 제 2 도체막으로 상기 상부전극 및 상부전극 연장부를 형성하며, 상기 더미용 막으로 더미 하부전극을 형성하는 공정(e)과, 상기 공정(e) 후, 기판 상에 제 3 도체막을 퇴적시킨 다음 이방성 에칭으로 제 3 도체막을 에치백 하여, 상기 제 2 도체막, 상기 유전체막, 및 더미 하부전극의 측단면 중 노출된 영역을 피복하는 도체측벽을 형성하는 공정(f)을 포함한다.

이 방법으로써, 공정(a)에서 더미 하부전극이 기억용량부의 하부전극과 동시에 형성되며, 그 후 공정(f)에서 도체측벽에 의해 하부전극과 더미 하부전극이 서로 접속되는 구조가 된다. 더욱이 공정(a)에서 (f)까지의 사이에, 종래의 공정보다 포토리소그래피 공정을 증대시킬 필요는 없다. 따라서 간단한 공정으로 용량절연막의 특성 열화를 회피할 수 있다.

상기 공정(d)에서는, 상기 에칭마스크로서 하드마스크를 형성함으로써, 공정(e)에서의 패터닝 정밀도 향상을 도모할 수 있다.

상기 공정(a) 전에, 상기 절연층 상에 단차용 절연막을 형성하는 공정과, 상기 단차용 절연막에, 상기 기억용량부가 형성되는 제 1 개구부와 상기 더미 하부전극이 형성되는 제 2 개구부를 형성하는 공정을 추가로 포함하며, 상기 공정(a)에서는, 상기 제 1 개구부 측면 및 저면 상에 상기 하부전극을 형성하고, 상기 제 2 개구부 측면 및 저면 상에 상기 더미 하부전극을 형성해두고, 상기 공정(d)에서는 상기 제 2 개구부의 일부만을 피복하도록 상기 에칭마스크를 형성함으로써, 고밀도로 메모리 셀을 배치한 반도체기억장치가 얻어진다.

### 도면의 간단한 설명

도 1의 (a), (b)는 각각 차례로, 본 발명 제 1 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도, 및 상부전극·도체측벽 구조를 나타내는 평면도.

도 2의 (a)~(c)는, 본 발명 제 1 실시형태의 반도체기억장치의 제조공정을 나타내는 단면도.

도 3은 본 발명 제 2 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도.

도 4는 본 발명 제 3 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도.

도 5는 본 발명 제 4 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도.

도 6은 본 발명 제 5 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도.

도 7의 (a)~(c)는, 본 발명 제 5 실시형태의 반도체기억장치의 제조공정을 나타내는 단면도.

도 8은 본 발명 제 6 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도.

도 9의 (a)~(c)는, 본 발명 제 6 실시형태의 반도체기억장치의 제조공정을 나타내는 단면도.

실시예

(제 1 실시형태)

본 실시형태에서는, 본 발명을 비트선이 기억용량부보다 아래쪽에 형성되는 이른바 COB형(비트선 하부배치형)DRAM 메모리 셀 구조에 적용한 예에 대하여 설명한다.

도 1의 (a), (b)는 각각 차례로, 본 발명 제 1 실시형태의 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도, 및 상부전극·도체측벽 구조를 나타내는 평면도이다. 또 도 2의 (a)~(c)는, 본 발명 제 1 실시형태의 반도체기억장치의 제조공정을 나타내는 단면도이다. 이하 본 실시형태에서 반도체기억장치의 구조와 제조방법에 대하여 차례로 설명하기로 한다. 여기서 본 실시형태의 각 도면에서는 메모리부 구조만을 나타내지만, 본 실시형태의 반도체기억장치는, 도시되지 않은 논리회로부에서 논리회로소자가 구성된 혼재형 디바이스이다. 단 논리회로소자의 구조 자체는, 직접 본 발명의 본질과는 관계가 없으므로 도시를 생략하는 것으로 한다.

-메모리 셀의 구조-

도 1의 (a)에 나타낸 바와 같이 본 실시형태의 반도체기억장치인 DRAM의 메모리 셀에 있어서, p형 Si기판(10)의 표면부에는, 활성영역을 둘러싸는 소자분리용 절연막(11)과, n형 불순물을 도입하여 형성된 소스영역(12) 및 드레인영역(13)이 서로 거리를 두고 형성된다. 또 p형 Si기판(10) 중 소스영역(12)과 드레인영역(13) 사이에 개재하는 부분이 채널영역으로서 기능한다. 그리고 Si기판(10)의 활성영역 상에서, 소스영역(12)과 드레인영역(13) 사이에는 산화실리콘을 이루어지는 게이트산화막(14)이 형성되며, 게이트산화막(14) 상에는 폴리실리콘으로 이루어지는 게이트전극(15)(위드선의 일부)이 형성되고, 게이트전극(15) 측면 상에는 산화막 측벽(16)이 형성된다. 상기 소스영역(12), 드레인영역(13), 채널영역, 게이트산화막(14), 및 게이트전극(15)으로 메모리 셀 트랜지스터(TR)가 형성된다. 여기서, 도 1의 (a)에 나타내는 단면에서는, 메모리 셀 트랜지스터(TR)의 게이트로서 기능하지 않는 게이트전극(15)이 도시되어 있지만, 이들은 도 1의 (a)와 다른 단면에서는 메모리 셀 트랜지스터의 게이트로서 기능한다. 그리고 각 게이트전극(15)은, 지면과 거의 직교하는 방향으로 연장되어 DRAM의 위드선이 된다.

또 Si기판(10) 상에는, 소자분리용 절연막(11), 게이트전극(15) 및 산화막 측벽(16)을 피복하는 BPSG로 이루어지는 제 1 층간절연막(18)이 형성되며, 제 1 층간절연막(18)을 관통하여 소스영역(12)에 도달하는 텅스텐(W)으로 된 하층 메모리 셀 플러그(20a)와, 제 1 층간절연막(18)을 관통하여 드레인영역(13)에 도달하는 비트선 플러그(20b)가 형성된다. 또한 제 1 층간절연막(18) 상에는, 비트선 플러그(20b)에 접속되는 W/Ti 적층막으로 이루어지는 비트선(21a)과, 비트선(21a)과 같은 W/Ti 적층막으로 이루어지는 국소배선(21b)이 형성된다. 또 제 1 층간절연막(18) 상에는, 플라즈마TEOS로 이루어지는 제 2 층간절연막(22)이 형성된다. 그리고 제 2 층간절연막(22)을 관통하여 하층 메모리 셀 플러그(20a)에 도달하는 상층 메모리 셀 플러그(30a)와, 제 2 층간절연막(22)을 관통하여 국소배선(21b)에 도달하는 배선 플러그(30c)가 형성된다.

또, 제 2 층간절연막(22) 상에는, TiAlN으로 이루어지는 하부 메탈장벽(32a)과, 그 위에 형성되는 백금(Pt)으로 이루어지는 하부전극(33a)과, TiAlN으로 이루어지는 더미 메탈장벽(32b)과, 그 위에 형성되는 더미 하부전극(33b)이 형성된다. 그리고 제 2 층간절연막(22) 및 하부전극(33a), 더미 하부전극(33b)을 피복하는 BST막( $(\text{BaSr})\text{TiO}_3$ 막)(34)과, BST막(34)을 피복하는 Pt막(35)과, Pt막(35)을 피복하는 TiAlN으로 이루어지는 상부 메탈장벽(36)과, 상부 메탈장벽(36)을 피복하는  $\text{SiO}_2$ 로 이루어지는 하드마스크(37)가 형성된다. BST막(34) 중 하부전극(33a)과 접하는 부분이 용량절연막(34a)이며, BST막(34) 중 더미 하부전극(33b)과 접하는 부분이 용량절연막 연장부(34b)이다. 또 Pt막(35) 중 하부전극(33a)과 대향하는 부분이 상부전극(35a)이며, Pt막(35) 중 더미 하부전극(33b)과 대향하는 부분이 상부전극 연장부(35b)이다. 상기 하부 메탈장벽(32a) 및 하부전극(33a)에 의해 DRAM 메모리 셀의 축적노드(SN)가 구성된다. 또 하부전극(33a), 용량절연막(34a), 및 상부전극(35a)에 의해 기억용량부(MC)가 구성된다.

그리고 하드마스크(37), 상부 메탈장벽(36), Pt막(35), 및 BST막(34) 측면에 걸쳐 TiAlN으로 이루어지는 도체측벽(40)이 형성된다. 이 도체측벽(40)은 도 1의 (b)에 나타낸 바와 같이, Pt막(35) 및 BST막(36)의 전체 주위를 둘러싸며, 특히 더미 하부전극(33b)이 존재하는 부위에서, 도체측벽(40)은 상부 메탈장벽(36), 상부전극 연장부(35b), 용량절연막 연장부(34b), 더미 하부전극(33b), 및 더미 메탈장벽(32b)의 각 측면 상에 형성된다. 즉 도체측벽(40)은, 상부전극 연장부(35b)와 더미 하부전극(33b)(더미 메탈장벽(32b))을 서로 전기적으로 접속한다.

또한, 제 2 층간절연막(22) 및 하드마스크(37) 상에는, 플라즈마 TEOS로 이루어지는 제 3 층간절연막(41)이 형성되며, 제 3 층간절연막(41)에는 배선플러그(30c)와 접촉하는 구리(Cu)배선(42)이 매입된다.

즉 도 1의 (a), (b)에 나타내는 구조에 있어서, 기억용량부(MC), 축적노드(SN), 메모리 셀 트랜지스터(TR) 등을 포함하는 유효 메모리 셀 영역(Rec)과, 더미 하부전극(33b), 용량절연막 연장부(34b), 상부전극 연장부(35b), 더미 셀 플러그(30b) 등을 포함하는 더미 셀 영역(Rdc)이 존재하게 된다.

본 실시형태의 특징은, 상부전극(35a) 또는 상부전극 연장부(35b)(상부 메탈장벽(36))와 접촉하는 플러그가 형성되지 않고, 도체측벽(40), 더미 하부전극(33b), 더미 셀 플러그(30b), 및 국소배선(21b)에 의해 상부전극(35a)이 상층배선(구리배선(42))에 접속된다는 점이다.

그리고 도 1의 (b)에 나타낸 바와 같이, 상부전극(35a)을 구성하는 백금막(35)(상부 메탈장벽(36))은 다수의 메모리 셀에 의해 공유화되며, 백금막(35) 아래쪽에는 다수의 하부전극(33a)(하부 메탈장벽(32a))과, 1 개의 더미 하부전극(33b)(더미 메탈장벽(32b))이 형성된다. 더미 하부전극(33b)(더미 메탈장벽(32b))은 백금막(35) 아래쪽에 복수 개 형성되더라도 되지만, 더미 하부전극(33b)(더미 메탈장벽(32b))은 백금막(35)의 어느 한 부분의 아래쪽에 형성된다면, 상부전극(35a)과 더미 하부전극(33b)이 전기적으로 접속된다.

본 실시형태에 의하면, 상부전극을 구성하는 백금막(35)(상부 메탈장벽(36))에 접촉하는 플러그가 존재하지 않으므로, 제 3 층간절연막(41) 및 하드마스크(37)에 플러그를 매입하기 위한 콘택트 홀을 형성할 필요가 없다. 따라서 종래의 구조와 같이, 상부전극에 콘택트 홀을 형성하기 위한 드라이에칭(플라즈마 에칭) 공정에서, 상부전극을 구성하는 백금막이 노출되는 일이 없다. 즉 백금막이 노출된 상태로 환원성 분위기에 노출되면, BST 등으로 이루어지는 용량절연막(특히 고유전체막)에 산소결손을 발생시킬 우려가 있다. 여기서 본 실시형태와 같이 백금막 상에 TiAlN으로 이루어지는 상부 메탈장벽이 형성됐어도, 상부 메탈장벽이 얇은 점, 콘택트 홀의 에칭 시에는 통상 오버에칭이 실시되므로 콘택트 홀이 백금으로 된 상부전극에 도달할 가능성이 큰 점 등을 고려하면, 상부 메탈장벽에 용량절연막의 산소결손의 방지기능을 기대하기는 어렵다. 이에 반해 본 실시형태에서는, 백금막(35) 위쪽에 콘택트 홀이 형성되지 않으므로, 백금막이 환원성 분위기에 노출됨에 기인하는 용량절연막(34a)의 산소결손을 확실하게 회피할 수 있다.

또 층간절연막에 콘택트 홀을 개구하는 공정에서 백금막(35)이 노출되는 일이 없으므로, 논리회로소자를 형성하기 위한 공정 등과 동일 장치(챔버 등) 내에서 콘택트 홀 형성을 위한 에칭을 실행할 수 있다. 그리고 백금으로 된 하부전극(33a), 더미 하부전극(33b)이나, 상부전극(35a)의 형성 자체는 백금막 형성용의 전용설비로 실시하므로, 논리회로소자를 형성하기 위한 장치를 오염시킬 우려가 애초에 발생하지 않는다.

또한, 예를 들어 메모리 논리 혼재 디바이스를 위한 프로세스에서는, 포토리소그래피 공정의 삭감을 위해, 논리회로소자의 불순물 확산층에 콘택트 홀을 개구하는 동시에 백금막으로의 콘택트 홀을 개구하는 것이 바람직하다. 이러한 경우에도 본 실시형태에서는, 텅스텐/티탄의 적층막으로 이루어지는 국소배선(21b)으로의 콘택트 홀 형성과 동시에 논리회로소자의 불순물 확산층에 콘택트 홀을 형성하면 되므로, 논리소자의 불순물 확산층 내로의 백금 침입에 기인하는 트랜지스터 특성 열화의 발생을 회피할 수 있다.

-메모리 셀의 제조방법-

다음으로, 본 실시형태에서 반도체기억장치의 메모리 셀 제조공정에 대하여 도 2의 (a)~(c)를 참조하면서 설명한다.

도 2의 (a)에 나타내는 공정에서 다음과 같은 처리를 실시한다. 우선 p형 Si기판(10)에, 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에 소스영역(12) 및 드레인영역(13)과, 게이트산화막(14)과, 게이트전극(15)과, 산화막 측벽(16)으로 구성되는 메모리 셀 트랜지스터를 형성한다. 이 메모리 셀 트랜지스터의 형성공정은, 열산화, 폴리실리콘막의 형성 및 패터닝, 이온주입 등 주지의 기술을 이용하여 주지의 순서로 실행된다.

다음으로, 메모리 셀 트랜지스터 상에 BPSG막을 퇴적시킨 후, 어닐링과 CMP(화학기계적연마)에 의한 평탄화를 실시하여 제 1 층간절연막(18)을 형성한다. 그리고 제 1 층간절연막(18)을 관통하고 소스영역(12), 드레인영역(13)에 각각 도달하는 콘택트 홀을 형성한다. 그 다음 콘택트 홀 내 및 제 1 층간절연막(18) 상에 n형 폴리실리콘막을 형성한 후, CMP로 평탄화 시킴으로써 각 콘택트 홀에 폴리실리콘막을 매입시켜, 하층 메모리 셀 플러그(20a)와 비트선 플러그(20b)를 형성한다.

다음, 제 1 층간절연막(18) 상에 W/Ti 적층막을 퇴적시킨 후, 에칭으로 텅스텐/티탄 적층막을 패터닝하여, 비트선 플러그(20b)에 접속되는 비트선(21a)과, 이 단계에서는 다른 부재와 접속되지 않고 고립되는 국소배선(21b)을 형성한다. 이 때 텅스텐막의 패터닝 시에는 티탄막 표면이 노출됐을 때를 검출하여 텅스텐막의 에칭 종료 시기를 관정하고, 티탄막 패터닝 시에는 폴리실리콘으로 이루어지는 제 1 메모리 셀 플러그(20a)에 대하여 높은 선택비가 얻어지는 조건에서 에칭을 실시한다.

다음으로 기판 상에, 플라즈마 TEOS막을 퇴적시킨 후, CMP에 의한 평탄화를 실시하여 제 2 층간절연막(22)을 형성한다. 또한 제 2 층간절연막(22)을 관통하여, 하층 메모리 셀 플러그(20a)와 국소배선(21b)(2 개소)에 각각 도달하는 콘택트 홀을 형성한다. 그 후 콘택트 홀 내에 W/TiN/Ti막을 형성한 다음 CMP로 평탄화 시킴으로써 각 콘택트 홀에 W/TiN/Ti막을 매입시켜, 하층 메모리 셀 플러그(20a)에 접속되는 상층 메모리 셀 플러그(30a)와, 2 개소에서 국소배선(21b)과 각각 접촉하는 더미 셀 플러그(30b) 및 배선플러그(30c)를 형성한다.

다음으로, 제 2 층간절연막(22) 상에 두께 약 30nm의 TiAlN막과, 두께 약 30nm의 Pt막을 순차 퇴적시킨다. 그리고 TiAlN막과 Pt막을 패터닝함으로써, 제 2 층간절연막(22) 상에, 상층 축적노드(30a)에 접속되는 하부 메탈장벽(32a) 및 그 위의 백금으로 된 하부전극(33a)과, 더미 셀 플러그(30b)에 접속되는 더미 메탈장벽(32b) 및 그 위의 더미 하부전극(33b)을 형성한다. 여기서 백금막을 패터닝할 때는, 바탕인 TiAlN막에 대해 높은 선택비가 얻어지는 조건으로 에칭을 실시하며, TiAlN막을 패터닝할 때는 바탕인 텅스텐으로 된 상층 메모리 셀 플러그(30a)가 내려가지 않도록 선택비가 높은 조건으로 에칭을 실시한다.

다음에, 도 2의 (b)에 나타내는 공정에서, 제 2 층간절연막(22), 하부전극(33a) 및 더미 하부전극(33b)을 피복하는 두께 약 30nm의 BST막((BaSr)TiO<sub>3</sub>막)과, 두께 약 30nm의 Pt막과, 두께 약 30nm의 TiAlN막과, SiO<sub>2</sub>막을 순차 퇴적시킨다. 그리고 SiO<sub>2</sub>막을 패터닝하여 하드마스크(37)를 형성한 후, 하드마스크(37)를 이용한 드라이에칭으로써 TiAlN막과, Pt막과, BST막을 순차 패터닝하여, 유효메모리 셀 영역(Rec)과 더미 셀 영역(Rdc)을 피복하는 상부 메탈장벽(36)과, 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt막(35)과, 용량절연막(34a) 및 용량절연막 연장부(34b)를 포함하는 BST막(34)을 형성한다.

다음으로, 도 2의 (c)에 나타내는 공정에서, 기판 상에 두께 약 50nm의 도체막인 TiAlN막을 퇴적시킨 후, TiAlN막을 예를 들어 이방성 드라이에칭으로 에칭백하고, 도 2의 (c)에 나타내는 단면에서, 하드마스크(37), 상부 메탈장벽(36), Pt막(35), BST막(34), 더미 하부전극(33b) 및 더미 메탈장벽(32b)의 각 측면에 걸쳐, 도체측벽(40)을 형성한다. 단 더미 셀 영역(Rdc)이 존재하지 않는 단면에서, 도체측벽(40)은 하드마스크(37), 상부 메탈장벽(36), Pt막(35), BST막(34)의 각 측면에 걸쳐 형성된다.

또한 제 3 층간절연막(41)의 퇴적과 평탄화, 제 3 절연막(41)으로의 트렌치 형성, 트렌치로의 구리배선(42) 매입(damascene:상감법) 등을 실행함으로써, 도 1의 (a)에 나타내는 메모리 셀의 단면구조가 얻어진다.

본 실시형태의 제조방법에 의하면, 종래의 프로세스에서의 포토리소그래피 공정을 늘리는 일없이, 제 3 층간절연막(41) 및 하드마스크(37)에, Pt막(35)(상부 메탈장벽(36)) 상에 도달하는 콘택트 홀을 형성하는 공정을 회피할 수 있다. 즉 제 3 층간절연막(41)에 배선 매입용 트렌치를 형성하는 경우 등, 일반적으로 구리배선의 형성공정에서는, 환원분위기에서의 어닐링이 자주 이용된다. 따라서 상부 메탈장벽(36) 상에 콘택트 홀이 형성되면, 수소가 얇은 상부 메탈장벽(36)을 통해, 또는 오버에칭에 의해 Pt막(35)이 노출된 경우에는 직접 Pt막(35)과 접촉하므로, 수소가 Pt막(35)을 통과하여 BST막(34)에 도달하는 경우가 있다. 이 경우, BST막(34) 중의 산소가 손실되어 산소결손을 발생시키는 등, 용량절연막(34a)의 특성 열화를 초래할 우려가 있다. 이에 반해 본 실시형태와 같이, Pt막(35) 상에 도달하는 콘택트 홀을 형성하는 공정을 회피함으로써, 이러한 원인에 의한 용량절연막(34a)의 특성 열화를 확실하게 억제할 수 있다. 그리고 구리배선(42)을 형성하는 공정은, 종래의 상부전극에 플러그를 형성하는 공정에 대응하여, 국소배선(21b)이나 배선플러그(30c) 형성은 메모리 셀을 형성하는 공정을 이용하여 실시할 수 있으며, 도체층벽(40)을 형성하는 공정은 포토리소그래피 공정 없이 실시할 수 있으므로, 종래의 프로세스, 즉 Pt막(상부 메탈장벽) 상에 직접 플러그를 형성하는 공정보다 포토리소그래피 공정이 증대하는 일이 없다.

여기서 본 실시형태에서는, 상부전극(35a) 및 하부전극(33a)을 백금(Pt)으로 구성하고, 상부 메탈장벽(36)을 TiAlN으로 구성하지만, 이들 부재를, 내산화성을 갖는 다른 도체재료로 구성해도 된다. 또 용량절연막(34a)을 BST로 구성하지만, 다른 고유전체 재료로 구성해도 된다. 특히 구조식이 ABO<sub>3</sub>로 나타나는 페로브스카이트 구조를 갖는 유전체막의 경우에는, 산소원자가 환원에 의해 손실되기 쉬우므로, 본 발명을 적용함으로써 커다란 실효를 얻을 수 있다.

또 본 발명은, 본 실시형태와 같은 혼재디바이스에 한정되지 않으며, 범용 DRAM 또는 FeRAM 등의 금속전극을 이용하는 커패시터를 갖는 반도체기억장치에도 적용할 수 있음은 물론이다.

또한 제 1 실시형태에서의 W/Ti막으로 구성되는 국소배선(21b), 더미 셀 플러그(30b)를 형성하지 않고, 더미 메탈장벽(32b) 및 더미 하부전극(33b)을 도면 중 오른쪽으로 연장하여 그 연장부와 접촉하는 구리배선(42)을 형성해도 된다. 이 경우에도 상부전극(35)과 구리배선(42)이 접속되기 때문이다. 그리고 이 경우에도 용량절연막(34a)의 특성 열화를 방지할 수 있다. 이 경우 더미 하부전극(33b) 아래쪽으로 플러그가 필요하지 않으므로, 더미 하부전극(33b)의 면적을 작게 할 수 있다는 이점이 있다.

(제 2 실시형태)

도 3은 제 2 실시형태에서 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도이다.

도 3에 나타난 바와 같이 본 실시형태의 메모리부 구조가 제 1 실시형태와 다른 점은, 제 1 실시형태의 W/Ti막으로 이루어지는 국소배선(21b), 더미 셀 플러그(30b), 더미 메탈장벽(32b) 및 더미 하부전극(33b)이 형성되지 않고, 제 2 층간절연막(22)에 형성된 트렌치를 매입하는 텅스텐으로 이루어지는 국소배선(23)이 형성되는 점이다. 이 국소배선(23)은, 상층 축적노드(30a)와 동시에 형성된다. 그 밖의 부재는, 상기도 1의 (a)에 나타내는 부재와 동일하며, 이들 부재에는 도 1의 (a)와 동일 부호가 부여된다.

본 실시형태에 의하면 W/TiN/Ti로 이루어지는 국소배선(23) 및 도체층벽(40)을 개재하고, 상부전극(35a)과 구리배선(42)이 전기적으로 접속된다. 그리고 본 실시형태에 있어서도 제 3 층간절연막(41)에, 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36))에 도달하는 콘택트 홀을 형성할 필요가 없다. 따라서 본 실시형태에 의해 상기 제 1 실시형태와 마찬가지로, 용량절연막(34a) 특성의 열화 방지나, 메모리 셀 형성을 위한 전용 설비 불필요 등의 효과를 발휘할 수 있다.

이와 더불어 본 실시형태에서는 더미 하부전극을 형성할 필요가 없으므로, 제 1 실시형태에 비해 메모리부의 점유면적을 작게 할 수 있다는 이점이 있다.

(제 3 실시형태)

도 4는 제 3 실시형태에서의 반도체장치 중 메모리부의 일부 구조를 나타내는 단면도이다.

도 4에 나타난 바와 같이 본 실시형태의 메모리부 구조가 제 1 실시형태와 다른 점은, 제 1 실시형태의, W/Ti막으로 이루어지는 국소배선(21b) 대신, 소자분리용 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)이 형성되며, 또 제 1 층간절연막(18)을 관통하여 국소배선(24)과 접촉하는 하층 더미 셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(24)과 접촉하는 하층 배선플러그(20d)가 형성되는 점이다. 그리고 본 실시형태에 있어서, 더미 셀 플러그(30b)는 하층 더미 셀 플러그(20c)에, 배선 플러그(30c)는 하층 배선플러그(20d)에 각각 접속된다. 국소배선(24)은, 게이트전극(15)과 동시에 형성된다. 그 밖의 부재는 상기도 1의 (a)에 나타내는 부재와 동일하며, 이들 부재에는 도 1의 (a)와 동일 부호가 부여된다.

본 실시형태에 의하면, 더미 하부전극(33b), 더미 메탈장벽(32b), 더미 셀 플러그(30b), 하층 더미 셀 플러그(20c), 국소배선(24), 하층 배선플러그(20d) 및 배선플러그(30c)를 개재하고, 상부전극(35a)과 구리배선(42)이 전기적으로 접속된다. 그리고 본 실시형태에 있어서도, 제 3 층간절연막(41)에, 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36))에 도달하는 콘택트 홀을 형성할 필요가 없다. 따라서 본 실시형태에 의해 상기 제 1 실시형태와 마찬가지로, 용량절연막(34a) 특성의 열화 방지나, 메모리 셀 형성을 위한 전용 설비 불필요 등의 효과를 발휘할 수 있다.

(제 4 실시형태)

도 5는 제 4 실시형태에서 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도이다.

도 5에 나타내는 바와 같이, 본 실시형태의 메모리부 구조가 제 1 실시형태와 다른 점은, 제 1 실시형태에서 W/Ti막으로 이루어지는 국소배선(21b) 대신, Si기판(10) 중에 불순물 확산층으로 이루어지는 국소배선(25)이 형성되며, 또 제 1 층간절연막(18)을 관통하여 국소배선(25)과 접촉하는 하층 더미 셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(25)과 접촉하는 하층 배선플러그(20d)가 형성되는 점이다. 그리고 본 실시형태에 있어서, 더미 셀 플러그(30b)는 하층 더미 셀 플러그(20c)에, 배선 플러그(30c)는 하층 배선플러그(20d)에 각각 접속된다. 국소배선(25)은, 소스 드레인 영역(12, 13)과 동시에 형성된다. 그 밖의 부재는 상기 도 1의 (a)에 나타내는 부재와 동일하며, 이들 부재에는 도 1의 (a)와 동일 부호가 부여된다.

본 실시형태에 의하면, 더미 하부전극(33b), 더미 메탈장벽(32b), 더미 셀 플러그(30b), 하층 더미 셀 플러그(20c), 국소배선(25), 하층 배선플러그(20d) 및 배선플러그(30c)를 개재하고, 상부전극(35a)과 구리배선(42)이 전기적으로 접속된다. 그리고 본 실시형태에 있어서도, 제 3 층간절연막(41)에, 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36))에 도달하는 콘택트 홀을 형성할 필요가 없다. 따라서 본 실시형태에 의해 상기 제 1 실시형태와 마찬가지로, 용량절연막(34a) 특성의 열화 방지나, 메모리 셀 형성을 위한 전용 설비 불필요 등의 효과를 발휘할 수 있다.

(제 5 실시형태)

상기 제 1~제 4 실시형태에 있어서는, 본 발명을 COB형(비트선 하부배치형) DRAM 메모리 셀 구조에 적용한 예에 대하여 설명했지만, 본 실시형태에서는 본 발명을, 비트선이 기억용량부보다 위쪽에 형성된 CUB형(비트선 상부배치형) DRAM 메모리 셀 구조에 적용한 예에 대하여 설명한다. 도 6은 제 5 실시형태에서 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도이다. 도 7의 (a)~(c)는, 제 5 실시형태의 반도체기억장치 제조공정을 나타내는 단면도이다. 이하, 본 실시형태의 반도체기억장치 구조와 제조방법에 대하여 차례로 설명하기로 한다. 여기서 본 실시형태의 각 도면에 있어서는 메모리부의 구조만을 나타내지만, 본 실시형태의 반도체기억장치는 제 1 실시형태와 마찬가지로, 도시되지 않은 논리회로부에서 논리회로소자가 형성된 흔재형 디바이스이다. 단 논리회로소자의 구조 자체는 직접 본 발명의 본질과는 관계가 없으므로 도시를 생략하는 것으로 한다.

도 6에 나타낸 바와 같이 본 실시형태의 메모리부는, 제 3 실시형태와 마찬가지로, 제 1 실시형태의, W/Ti막으로 이루어지는 국소배선(21b) 대신, 소자분리용 절연막(11) 상에 폴리실리컨으로 이루어지는 국소배선(24)이 형성되며, 또 제 1 층간절연막(18)을 관통하여 국소배선(24)과 접촉하는 하층 더미 셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(24)과 접촉하는 하층 배선플러그(20d)가 형성된다.

또 본 실시형태에 있어서는, 기억용량부(MC)나 더미 셀이 제 1 층간절연막(18) 상에 형성되며, 더미 하부전극(더미 메탈장벽(32b))이 직접 하층 더미 셀 플러그(20c)에, 구리배선(42)은 직접 하층 배선플러그(20d)에 각각 접속된다. 국소배선(24)은, 게이트전극(15)과 같은 폴리실리컨으로 형성된다.

그리고 비트선 플러그(20b) 상에는, 제 2 층간절연막(22)을 관통하여 비트선 플러그(20b)에 도달하는 상층 비트선 플러그(51)와, 상층 비트선 플러그(51) 측면을 피복하는 절연체 측벽(52)과, 하드마스크(37), 상부 메탈장벽(36), Pt막(35) 및 BST막(34) 측면과, 절연체 측벽(52)과의 사이에 형성된 TiAlN으로 이루어지는 도체측벽(40)과, 제 3 층간절연막(41)에 매입된 구리막으로 이루어지는 비트선(53)이 형성된다. 즉 비트선이 기억용량부(MC)보다 위쪽에 배치된 CUB형 DRAM 메모리 셀의 구조를 구비한다.

도 6의 다른 부재는, 상기 도 1의 (a)에 나타내는 부재와 동일하므로, 이들 부재에는 도 1의 (a)와 동일 부호가 부여된다.

본 실시형태에 의하면, 더미 하부전극(33b), 더미 메탈장벽(32b), 더미 셀 플러그(30b), 하층 더미 셀 플러그(20c), 국소배선(24) 및 하층배선 플러그(20d)를 개재하고, 상부전극(35a)과 구리배선(42)이 전기적으로 접속된다. 그리고 본 실시형태에 있어서도 제 3 층간절연막(41)에, 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36))에 도달하는 콘택트 홀을 형성할 필요가 없다. 따라서 본 실시형태에 의해, CUB형 구조를 취하면서 상기 제 1 실시형태와 마찬가지로, 용량절연막(34a) 특성의 열화 방지나, 메모리 셀 형성을 위한 전용 설비 불필요 등의 효과를 발휘할 수 있다.

다음으로, 본 실시형태에 있어서 반도체기억장치의 메모리 셀 제조공정에 대하여 도 7의 (a)~(c)를 참조하면서 설명한다.

도 7의 (a)에 나타내는 공정에서 다음과 같은 처리를 실시한다. 우선, p형 Si기판(10)에 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에, 소스영역(12) 및 드레인영역(13)과, 게이트산화막(14)과, 게이트전극(15)과, 산화막 측벽(16)으로 구성되는 메모리 셀 트랜지스터(TR)를 형성한다. 이 메모리 셀 트랜지스터의 형성공정은, 열산화, 폴리실리컨막의 형성 및 패터닝, 이온주입 등 주지의 기술을 이용하여 주지의 순서대로 실시된다. 이 때 게이트전극(15)을 형성할 때, 동시에 소자분리용 절연막(11) 상에 폴리실리컨으로 이루어지는 국소배선(24)을 형성해둔다.

다음, 메모리 셀 트랜지스터(TR) 상에 BPSG막을 퇴적시킨 후 어닐링과 CMP(화학기계적연마)에 의한 평탄화를 실시하여 제 1 층간절연막(18)을 형성한다. 또 제 1 층간절연막(18)을 관통하여 소스영역(12), 드레인영역(13), 및 국소배선(24)의 2 개소에 각각 도달하는 콘택트 홀을 형성한다. 다음으로, 콘택트 홀 내 및 제 1 층간절연막(18) 상에 n형 폴리실리컨막을 형성한 후 CMP로 평탄화를 실시함으로써, 각 콘택트 홀에 폴리실리컨막을 매입하여 하층 메모리 셀 플러그(20a)와, 비트선 플러그(20b)와, 하층 더미 셀 플러그(20c)와, 하층배선 플러그(20d)를 형성한다.

다음으로, 제 1 층간절연막(18) 상에 두께 약 30nm의 TiAlN막과, 두께 약 30nm의 Pt막을 순차 퇴적시킨다. 그리고 TiAlN막과 Pt막을 패터닝함으로써, 제 1 층간절연막(18) 상에, 하층 메모리 셀 플러그(20a)에 접속되는 하부 메탈장벽(32a) 및 그 위의 백금으로 된 하부전극(33a)과, 하층 더미 셀 플러그(20b)에 접속되는 더미 메탈장벽(32b) 및 그 위의 더

미 하부전극(33b)을 형성한다. 여기서 백금막을 패터닝할 때는, 바탕인 TiAlN막에 대해 높은 선택비가 얻어지는 조건으로 에칭을 실시하며, TiAlN막을 패터닝할 때는, 바탕인 폴리실리컨으로 된 하층 메모리 셀 플러그(20a)가 내려가지 않도록 선택비가 높은 조건으로 에칭을 실시한다.

다음에, 제 1 층간절연막(18), 하부전극(33a) 및 더미 하부전극(33b)을 피복하는 두께 약 30nm의 BST막((BaSr)TiO<sub>3</sub> 막)과, 두께 약 30nm의 Pt막과, 두께 약 30nm의 TiAlN막과, SiO<sub>2</sub>막을 순차 퇴적시킨다. 그리고 SiO<sub>2</sub>막을 패터닝하여 하드마스크(37)를 형성한 후, 하드마스크(37)를 이용한 드라이에칭으로써 TiAlN막과, Pt막과, BST막을 순차 패터닝하여, 유효메모리 셀 영역(Rec)과 더미 셀 영역(Rdc)을 피복하는 상부 메탈장벽(36)과, 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt막(35)과, 용량절연막(34a) 및 용량절연막 연장부(34b)를 포함하는 BST막(34)을 형성한다. 이 때 하드마스크(37) 중 비트선 플러그(20b) 위쪽에 위치하는 부분도 삭제되어 개구(59)가 형성된다.

다음으로, 기판 상에 두께 약 50nm의 도체막인 TiAlN막을 퇴적시킨 후, TiAlN막을 예를 들어 이방성 드라이에칭으로 에칭하고, 도 7의 (a)에 나타내는 단면에서, 하드마스크(37), 상부 메탈장벽(36), Pt막(35), BST막(34), 더미 하부전극(33b) 및 더미 메탈장벽(32b)의 각 측면에 걸쳐, 도체측벽(40)을 형성한다. 단 개구(59) 내 측벽 등, 더미 셀 영역(Rdc)이 존재하지 않는 단면에서, 도체측벽(40)은 하드마스크(37), 상부 메탈장벽(36), Pt막(35), BST막(34)의 각 측면에 걸쳐 형성된다.

그 다음, 도 7의 (b)에 나타내는 공정에서, 제 2 층간절연막(22)을 퇴적시킨 후, CMP에 의해, 하드마스크(37)가 노출될 때까지 제 2 층간절연막(22)의 평탄화를 실시한다. 그리고 하드마스크(37)를 관통하여 비트선 플러그(20b)에 도달하는 콘택트 홀(60)을 형성한다. 이 때, 도 7의 (a)에 나타내는 공정에서 형성된 개구(59)의 측면 상 도체측벽(40)의 내경보다 콘택트 홀(60)을 충분히 작게 해둠으로써, 콘택트 홀(60) 측면과 도체측벽(40)과의 사이에는, 절연체 측벽(52)이 개재하게 된다. 다음으로, 도 7의 (c)에 나타내는 공정에서, 제 2 층간절연막(22)을 관통하여 하층배선 플러그(20d)에 도달하는 트렌치를 형성한다. 그리고 구리막의 퇴적과 CMP를 실시하여, 콘택트 홀(60)과, 하층배선 플러그(20d) 상의 트렌치에 구리막을 매입함으로써, 상층 비트선 플러그(51)와 구리배선(42)을 형성한다.

그 후, 제 3 층간절연막(41)의 퇴적 및 평탄화, 제 3 층간절연막(41)으로의 콘택트 홀 및 트렌치 형성과, 콘택트 홀 및 트렌치 내로의 구리막 매입으로써 비트선(53)을 형성한다(dual damascene: 이중 상감법). 이로써 도 6에 나타내는 메모리 셀의 구조가 얻어진다.

본 실시형태의 제조방법에 의하면, 하드마스크(37)에, 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36)) 상에 도달하는 콘택트 홀을 형성하는 공정을 회피할 수 있으므로, 제 1 실시형태의 제조방법과 마찬가지로, 환원성 분위기에 노출됨에 기인하는 용량절연막(34a)의 특성 열화를 확실하게 억제할 수 있다.

여기서, 본 실시형태에서는, 상부전극(35a) 및 하부전극(33a)을 백금(Pt)으로 구성하고, 상부 메탈장벽(36)을 TiAlN으로 구성하지만, 이들 부재를 내산화성을 갖는 다른 도체재료로 구성해도 된다. 또한 용량절연막(34a)을 BST로 구성하지만, 다른 고유전체 재료로 구성해도 된다. 특히 구조식이 ABO<sub>3</sub>로 표시되는 페로브스카이트 구조를 갖는 유전체막의 경우에는, 산소원자가 환원에 의해 소실되기 쉬우므로, 본 발명을 적용함으로써 커다란 효과가 얻어진다.

또 본 발명은, 본 실시형태와 같은 혼재형 디바이스에 한정되지 않으며, 범용 DRAM 혹은 FeRAM 등 금속전극을 이용하는 커패시터를 갖는 반도체 기억장치에도 적용할 수 있음은 물론이다.

(제 6 실시형태)

본 실시형태에 있어서도, 제 5 실시형태와 마찬가지로 본 발명을, 비트선이 기억용량부보다 위쪽에 형성된 CUB형(비트선 상부배치형) DRAM 메모리 셀 구조에 적용한 예에 대하여 설명한다. 도 8은 제 5 실시형태에서 반도체기억장치 중 메모리부의 일부 구조를 나타내는 단면도이다. 도 9의 (a)~(c)는, 제 6 실시형태의 반도체기억장치 제조공정을 나타내는 단면도이다. 이하, 본 실시형태의 반도체기억장치 구조와 제조방법에 대하여 차례로 설명하기로 한다. 여기서 본 실시형태의 각 도면에 있어서는 메모리부의 구조만을 나타내지만, 본 실시형태의 반도체기억장치는 제 1 실시형태와 마찬가지로, 도시되지 않은 논리회로부에서 논리회로소자가 형성된 혼재형 디바이스이다. 단 논리회로소자의 구조 자체는 직접 본 발명의 본질과는 관계가 없으므로 도시를 생략하는 것으로 한다.

도 8에 나타난 바와 같이 본 실시형태의 메모리부는, 제 3 실시형태와 마찬가지로, 제 1 실시형태의, W/Ti막으로 이루어지는 국소배선(21b) 대신, 소자분리용 절연막(11) 상에 폴리실리컨으로 이루어지는 국소배선(24)이 형성되며, 또 제 1 층간절연막(18)을 관통하여 국소배선(24)과 접촉하는 하층 더미 셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(24)과 접촉하는 하층 배선플러그(20d)가 형성된다.

또 본 실시형태에서는 콘택트 홀 내에서, 메모리 셀 플러그(20a), 하층 더미 셀 플러그(20c) 상에 각각 TiAlN으로 이루어지는 하부 메탈장벽(54a, 54b)이 형성된다. 또 제 1 층간절연막(22)에 형성된 도 8 중 1 개 개구의 저면으로부터 측면 전체에 하부전극(33a)이 형성된다. 한편 제 1 층간절연막(22)에 형성된 별도의 개구 일부에, 당해 개구 측면에서 저면에 걸쳐 더미 하부전극(33b)이 형성된다. 그리고 제 2 층간절연막(22), 하부전극(33a) 및 더미 하부전극(33b) 상에 BST막(34), Pt막(35) 및 상부 메탈장벽(36)이 형성된다. BST막(34), Pt막(35), 및 상부 메탈장벽(36)이 형성된다. BST막(34) 중 하부전극(33a)과 접하는 부분이 용량절연막(34a)이며, BST막(34) 중 더미 하부전극(33b)과 접하는 부분이 용량절연막 연장부(34b)이다. 또한 Pt막(35) 중 하부전극(33a)과 대향하는 부분이 상부전극(35a)이며, Pt막(35) 중 더미 하부전극(33b)과 대향하는 부분이 상부전극 연장부(35b)이다. 즉 통 모양의 기억용량부(MC)나 더미 셀이 제 1 층간절연막(18)으로부터 제 2 층간절연막(22)에 걸쳐 형성되며, 더미 하부전극(더미 메탈장벽(32b))이 직접 하층 더미 셀 플러그(20c)에, 구리배선(42)은 직접 하층 배선플러그(20d)에 각각 접촉된다. 국소배선(24)은, 게이트전극(15)과 같은 폴리실리컨막으로 형성된다. 또한 통 모양 기억용량부(MC)의 평면형상은 원형, 사각형, 기타 다각형 등 어떤 것이라도 좋은 것으로 한다.

그리고 상부 메탈장벽(36), Pt막(35), BST막(34) 및 더미 하부전극(33b)의 측면 상에 TiAlN으로 이루어지는 도체측벽(40)이 형성된다. 또 더미 하부전극(33b)이 형성된 개구 중 더미 하부전극(33b)으로 피복되지 않은 부위에는, 더미 하부전극(33b)을 구성하는 Pt막, 용량절연막 연장부(34b)를 구성하는 BST막(34), 상부전극 연장부(35b)를 구성하는 Pt막(35) 및 상부 메탈장벽(36)을 구성하는 TiAlN막의 적층막으로 구성되는 적층막 측벽(56)이 형성되며, 이 적층막 측벽(56)의 측면에도 도체측벽(40)이 형성된다.

또한 비트선 플러그(20b) 상에는, 제 2 층간절연막(22) 및 제 3 층간절연막(41)을 관통하여 비트선 플러그(20b)에 도달하는 상층 비트선 플러그(51)와, 상층 비트선 플러그(51) 측면을 피복하는 절연체 측벽(52)과, 제 4 층간절연막(55)에 매입된, 구리막으로 이루어지는 비트선(53)이 형성된다. 즉 비트선이 기억용량부(MC)보다 위쪽에 형성된 CUB형 DRAM 메모리 셀 구조를 구비한다. 또 상층 비트선 플러그(51) 주위에서, 상부 메탈장벽(36), 상부전극(36a) 및 용량절연막(34a)의 측면 상에도 도체측벽(40)이 형성되며, 도체측벽(40)과 상층 비트선 플러그(51) 사이에 절연체 측벽(52)이 개재한다.

도 8에서의 다른 부재는, 상기 도 1의 (a)에 나타내는 부재와 동일하며, 이들 부재에는 도 1의 (a)와 동일 부호가 부여된다.

본 실시형태에 의하면, 더미 하부전극(33b), 더미 메탈장벽(32b), 더미 셀 플러그(30b), 하층 더미 셀 플러그(20c), 국소 배선(24), 및 하층배선 플러그(20d)를 개재하고, 상부전극(35a)과 구리배선(42)이 전기적으로 접속된다. 그리고 본 실시형태에 있어서도, 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36))에 도달하는 콘택트 홀을 형성할 필요가 없다. 따라서 본 실시형태에 의해 CUB형(비트선 상부배치형) 구조를 취하면서, 상기 제 1 실시형태와 마찬가지로 용량절연막(34a)의 특성 열화 방지나, 메모리 셀 형성을 위한 전용 설비 불필요 등의 효과를 발휘할 수 있다.

다음으로, 본 실시형태에서 반도체기억장치의 메모리 셀 제조공정에 대하여, 도 9의 (a)~(c)를 참조하면서 설명한다.

도 9의 (a)에 나타내는 공정에서 이하의 처리를 실시한다. 우선, p형 Si기판(10)에 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에, 소스영역(12) 및 드레인영역(13)과, 게이트산화막(14)과, 게이트전극(15)과, 산화막 측벽(16)으로 구성되는 메모리 셀 트랜지스터를 형성한다. 이 메모리 셀 트랜지스터의 형성공정은, 열산화, 폴리실리콘막의 형성 및 패터닝, 이온주입 등 주지의 기술을 이용하여 주지의 순서대로 실시된다. 이 때 게이트전극(15)을 형성할 때, 동시에 소자분리용 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)을 형성해둔다.

다음, 메모리 셀 트랜지스터 상에 BPSG막을 퇴적시킨 후 어닐링과 CMP(화학기계적연마)에 의한 평탄화를 실시하여 제 1 층간절연막(18)을 형성한다. 또 제 1 층간절연막(18)을 관통하여 소스영역(12), 드레인영역(13), 및 국소배선(24)의 2 개소에 각각 도달하는 콘택트 홀을 형성한다. 다음으로, 콘택트 홀 내 및 제 1 층간절연막(18) 상에 n형 폴리실리콘막을 형성한 후 CMP로 평탄화를 실시함으로써, 각 콘택트 홀에 폴리실리콘막을 매입한다. 그리고 드라이에칭으로, 콘택트 홀에 매입된 폴리실리콘막 상부를 일부 제거하고 나서, 기판 상에 TiAlN막을 퇴적시킨 후 CMP에 의해 각 콘택트 플러그 상에, 하부 메탈장벽(54a), 하부 더미 메탈장벽(54b)을 포함하는 TiAlN층을 형성한다.

다음에 제 1 층간절연막(18) 상에 플라즈마 TEOS막을 퇴적시킨 후, CMP로 평탄화시켜 제 2 층간절연막(22)을 형성한다. 또 제 2 층간절연막(22)에 하층 메모리 셀 플러그(20a), 더미 셀 플러그(20d)를 노출시키는 개구를 도면 중 2 개소에 형성한다.

다음으로 기판 상에, 두께 약 30nm의 Pt막을 퇴적시킨 후, 제 2 층간절연막(22) 상면이 노출될 때까지 CMP를 실시함으로써, 도면 중 2 개소의 개구 저면 및 측면 상에 Pt막을 남기고, 하부전극(33a)과 더미 하부전극(33b)을 형성한다. 그 다음, 기판 상에, 두께 약 30nm의 BST막((BaSr)TiO<sub>3</sub>막)과, 두께 약 30nm의 Pt막과, 두께 약 17nm의 TiAlN막을 순차 퇴적시킨다.

다음에 도 9의 (b)에 나타내는 공정에서, 유효 메모리 셀 영역(Rec) 및 더미 셀 영역(Rdc)을 피복하고, 다른 영역을 개구시킨 하드마스크(37)를 형성한다. 이 때 하드마스크(37)는, 하층 비트선 플러그(20b) 위쪽에 위치하는 영역에 개구(61)를 갖는다. 그 후 하드마스크(37)를 에칭마스크로 이용한 드라이에칭으로써, TiAlN막과, Pt막과, BST막을 순차 패터닝하여, 유효 메모리 셀 영역(Rec) 및 더미 셀 영역(Rdc)을 피복하는 상부 메탈장벽(36)과 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt막(35)과, 용량절연막(34a) 및 용량절연막 연장부(34b)를 포함하는 BST막(34)을 형성한다. 이 때 유효 메모리 셀 영역(Rec) 및 더미 셀 영역(Rdc) 이외의 영역에서는, TiAlN막과, Pt막과, BST막이 제거되지만, 제 2 층간절연막(22)의 측면 상에는, TiAlN막과, Pt막과, BST막 및 Pt막의 적층막으로 구성되는 적층막 측벽(56)이 형성된다.

다음, 도 9의 (c)에 나타내는 공정에서, 기판 상에 두께 약 50nm의 도체막인 TiAlN막을 퇴적한다. 그리고 TiAlN막을, 예를 들어 이방성 드라이에칭으로 에치백하여, 도 9의 (c)에 나타내는 단면에서, 하드마스크(37), 상부 메탈장벽(36), Pt막(35), BST막(34) 및 더미 하부전극(33b)의 각 측면에 걸쳐, 도체측벽(40)을 형성한다. 단 개구(61) 측벽 등 더미 셀 영역(Rdc)가 존재하지 않는 단면에서는, 도체측벽(40)은 상부 메탈장벽(36), Pt막(35), BST막(34) 및 Pt막(35)의 각 측면에 걸쳐 형성된다. 또 하드마스크(37)의 개구(61) 내에서는, 상부 메탈장벽(36), Pt막(35) 및 BST막(34) 측면 상에, TiAlN으로 이루어지는 도체측벽(40)이 형성된다.

다음으로, 제 3 층간절연막(41)을 퇴적한 후, CMP에 의해 제 3 층간절연막(41)을 평탄화시킨다. 그리고 제 3 층간절연막(41) 및 제 2 층간절연막(22)을 관통하여 비트선 플러그(20b)에 도달하는 콘택트 홀을 형성한 후, 콘택트 홀 측면 상에 절연체 측벽(52)을 형성한다. 다음 제 3 층간절연막(41) 및 제 2 층간절연막(22)을 관통하여 하층배선 플러그(20d)에 도달하는 콘택트 홀을 형성한다. 또 구리막의 퇴적과 CMP를 실시하여, 각 콘택트 홀에 구리막을 매입함으로써, 상층 비트선 플러그(51)와 구리배선(42)을 형성한다.

그 다음, 제 4 층간절연막(55)의 퇴적 및 평탄화와, 제 4 층간절연막(55)으로의 콘택트 홀 및 트렌치 형성과, 콘택트 홀 및 트렌치 내로의 구리막 매입으로써 비트선(53)이 형성된다(듀얼다마신법). 이로써 도 8에 나타내는 메모리 셀 구조가 얻어진다.

본 실시형태의 제조방법에 의하면, 제 3 층간절연막(41)에, 상부전극(35a)을 구성하는 Pt막(35)(상부 메탈장벽(36)) 상에 도달하는 콘택트 홀을 형성하는 공정을 회피할 수 있으므로, 제 1 실시형태의 제조방법과 마찬가지로, 환원성 분위기에 노출됨에 기인하는 용량절연막(34a) 특성의 열화를 확실하게 억제할 수 있다.

또 기억용량부(MC)가 통 모양 구조를 함으로써, 기관의 단위면적 당 용량이 증대하므로, 고밀도로 메모리 셀을 배치한 DRAM을 얻을 수 있다.

여기서 본 실시형태에서는, 상부전극(35a) 및 하부전극(33a)을 백금으로 구성하고, 상부 메탈장벽(36)을 TiAlN으로 구성하지만, 이들 부재를 내산화성을 가진 다른 도체재료로 구성해도 된다. 또 용량절연막(34a)을 BST로 구성하지만, 다른 고유전체 재료로 구성해도 된다. 특히 구조식이  $ABO_3$ 로 표시되는 페로브스카이트 구조를 갖는 유전체막의 경우에는 산소 원자가 환원에 의해 소실되기 쉬우므로, 본 발명을 적용함으로써 커다란 실효를 얻을 수 있다.

또 본 발명은, 본 실시형태와 같은 혼재디바이스에 한정되지 않고, 범용 DRAM 혹은 FrDRAM 등 금속전극을 사용하는 커패시터를 갖는 반도체기억장치에도 적용할 수 있음은 물론이다.

여기서 본 실시형태에서는 통 모양 기억용량부 구조를 CUB형 메모리 셀에 적용한 예를 설명했지만, 도 9에 나타내는 통 모양 기억용량부 구조는 COB형 메모리 셀에 적용하는 것도 가능하다.

(그 밖의 실시형태)

상기 제 5, 제 6 실시형태에서는, 게이트배선이 될 폴리실리콘막을 국소배선으로서 이용했지만, 제 5, 제 6 실시형태와 같은 CUB형 구조를 갖는 DRAM 메모리 셀에서도 제 2, 제 4 실시형태와 마찬가지로 구조를 취할 수 있다. 즉 CUB형 구조를 갖는 DRAM 메모리 셀에서, 도 3에 나타내는 매입 텅스텐막으로 된 국소배선(23)이나, 도 5에 나타내는 불순물 확산막으로 된 국소배선(25)을 형성해도 된다.

상기 각 실시형태에서는, 본 발명을 DRAM과 논리회로를 구비한 혼재형 반도체기억장치에 적용시킨 예를 나타냈지만, 본 발명은 이러한 실시형태에 한정되는 것이 아니며, 범용DRAM에 대해서도 적용할 수 있다.

또 본 발명은, FeRAM 등 강유전체를 용량절연막으로 이용한 반도체기억장치에 대해서도 적용할 수 있다. 이 경우에도 범용 메모리형 또는 메모리 논리 혼재형 어느 것이라도 상관없다.

상기 제 2~제 6 실시형태에 있어서도, 도체층벽(40)은, 도 1의 (b)에 나타내는 바와 마찬가지로, Pt막(35) 전 둘레에서 Pt막(35) 및 BST막(34) 측면을 완전히 피복한다. 이로써 용량절연막(34a)으로의 불순물 혼입 등을 확실하게 방지하는 보호층으로서의 기능을 높이 발휘할 수 있다. 단 본 발명에 있어서는, 반드시 도체층벽(40)이 Pt막(35) 전체 둘레에서 Pt막(35) 및 BST막(34) 측면을 완전히 피복할 필요는 없다.

또 상기 제 1~제 5 실시형태에서는, 상부전극 상에 하드마스크를 형성했지만, 상부전극이나 하부전극의 도체재료 종류에 따라서는, 상기 하드마스크 대신 레지스트 마스크를 형성해도 된다. 단 하드마스크를 이용함으로써, 에칭 시의 마스크 패턴 변형을 억제할 수 있으므로, 패터닝 정밀도의 향상을 도모할 수 있다.

본 발명에 의하면, 상부전극을 노출시키는 일없이 확실하게 상부전극과 상층배선을 전기적으로 접속할 수 있으므로, 용량절연막 특성의 열화가 작은 반도체기억장치를 실현할 수 있다.

**산업상 이용 가능성**

본 발명은 범용 DRAM이나, DRAM, FeRAM 등과 논리회로를 혼재한 반도체디바이스에 적용할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

반도체기관 상의 절연층 상에 형성되며, 하부전극, 상부전극, 및 하부전극과 상부전극 사이에 개재하는 용량절연막으로 구성되는 기억용량부와,

상기 기억용량부의 상부전극, 용량절연막에 각각 연속적으로 형성된 용량절연막 연장부 및 상부전극 연장부와,

상기 상부전극 연장부 및 상기 용량절연막 연장부 아래쪽에 위치하는 부분을 포함하도록 구성된 더미 도체부재와,

상기 상부전극 연장부 및 용량절연막 연장부의 측면에 걸쳐 형성되며, 상기 더미 도체부재에 접속되는 도체층벽과,

상기 더미 도체부재에 전기적으로 접속되는 상층배선을 구비하는 반도체기억장치.

## 청구항 2.

제 1 항의 반도체기억장치에 있어서,

상기 도체측벽은, 상기 상부전극 연장부 및 용량절연막 연장부의 측면을 전체 둘레에 걸쳐 피복되는 것을 특징으로 하는 반도체기억장치.

## 청구항 3.

제 1 항 또는 제 2 항의 반도체기억장치에 있어서,

상기 더미 도체부재는, 상기 하부전극과 동일 도체막으로 형성된 더미 하부전극이며,

상기 도체측벽은, 상기 상부전극 연장부와 상기 더미 하부전극을 서로 접속하는 것을 특징으로 하는 반도체기억장치.

## 청구항 4.

제 3 항의 반도체기억장치에 있어서,

상기 절연층을 개재하고 상기 기억용량부 아래쪽에 형성된 비트선과,

상기 비트선과 동일 도체막으로 형성된 국소배선과,

상기 절연층을 관통하고 더미 하부전극과 상기 국소배선을 접속하는 도체 플러그를 추가로 구비하는 것을 특징으로 하는 반도체기억장치.

## 청구항 5.

제 3 항의 반도체기억장치에 있어서,

상기 절연층 아래쪽에 있어서 반도체기판 상에 형성된 소자분리용 절연막과,

상기 반도체기판의 상기 소자분리용 절연막으로 둘러싸인 영역에 형성되며, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극 양쪽에 형성된 불순물 확산층을 갖는 메모리 셀 트랜지스터와,

상기 소자분리용 절연막 상에 형성되며, 상기 게이트전극과 동일 도체막으로 형성된 국소배선과,

상기 층간절연막을 관통하고 상기 국소배선에 접속되는 도체플러그를 추가로 구비하는 것을 특징으로 하는 반도체기억장치.

## 청구항 6.

제 3 항의 반도체기억장치에 있어서,

상기 반도체기판에 형성되며, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극 양쪽에 형성된 불순물 확산층을 갖는 메모리 셀 트랜지스터와,

상기 반도체기판의 상기 불순물 확산층과는 사이를 두고 형성된 또 1 개의 불순물 확산층으로 형성된 국소배선과,

상기 절연층을 관통하고 상기 국소배선에 접속되는 도체플러그를 추가로 구비하는 것을 특징으로 하는 반도체기억장치.

## 청구항 7.

제 1 항 또는 제 2 항의 반도체기억장치에 있어서,

상기 더미 도체부재는, 상기 절연층에 형성된 트렌치를 메우는 도체막으로 이루어지는 국소배선인 것을 특징으로 하는 반도체기억장치.

### 청구항 8.

제 1 항 또는 제 2 항의 반도체기억장치에 있어서,

상기 더미 도체부재는, 상기 하부전극과 동일 도체막으로 형성된 더미 하부전극이며,

상기 도체측벽은, 상기 상부전극 연장부와 상기 더미 하부전극과 접촉하고,

상기 상층배선은 상기 더미 하부전극과 접촉하는 것을 특징으로 하는 반도체기억장치.

### 청구항 9.

제 1 항 내지 제 8 항 중 어느 한 항의 반도체기억장치에 있어서,

상기 기억용량부는 통모양 하부전극, 용량절연막 및 상부전극을 구비하는 것을 특징으로 하는 반도체기억장치.

### 청구항 10.

하부전극, 상부전극, 및 하부전극과 상부전극 사이에 개재하는 용량절연막으로 구성된 기억용량부와, 상기 기억용량부의 상부전극에 전기적으로 접속되는 상층배선을 구비하는 반도체기억장치의 제조방법으로서,

반도체기판 상의 절연층 상에 제 1 도체막을 형성한 후 제 1 도체막을 패터닝하여, 서로 떨어진 위치에 하부전극과 더미용 막을 형성하는 공정(a)과,

상기 하부전극 및 상기 더미용 막을 피복하는 유전체막을 형성하는 공정(b)과,

상기 유전체막을 피복하는 제 2 도체막을 형성하는 공정(c)과,

상기 제 2 도체막 상에, 상기 하부전극 전체 및 상기 더미용 막 일부를 피복하는 에칭마스크를 형성하는 공정(d)과,

상기 제 2 도체막, 상기 유전체막, 및 상기 더미용 막을 패터닝하여 상기 유전체막으로 상기 용량절연막 및 용량절연막 연장부를 형성하고, 상기 제 2 도체막으로부터 상기 상부전극 및 상부전극 연장부를 형성하며, 상기 더미용 막으로부터 더미 하부전극을 형성하는 공정(e)과,

상기 공정(e) 후, 기판 상에 제 3 도체막을 퇴적시킨 다음 이방성 에칭으로 제 3 도체막을 에치백 하여, 상기 제 2 도체막, 상기 유전체막, 및 더미 하부전극의 측단면 중 노출된 영역을 피복하는 도체측벽을 형성하는 공정(f)을 포함하는 반도체기억장치의 제조방법.

### 청구항 11.

제 10 항의 반도체기억장치의 제조방법에 있어서,

상기 공정(d)에서는, 상기 에칭마스크로서 하드마스크를 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법

### 청구항 12.

제 10 항의 반도체기억장치의 제조방법에 있어서,

상기 공정(a) 전에,

상기 절연층 상에 단차용 절연막을 형성하는 공정과,

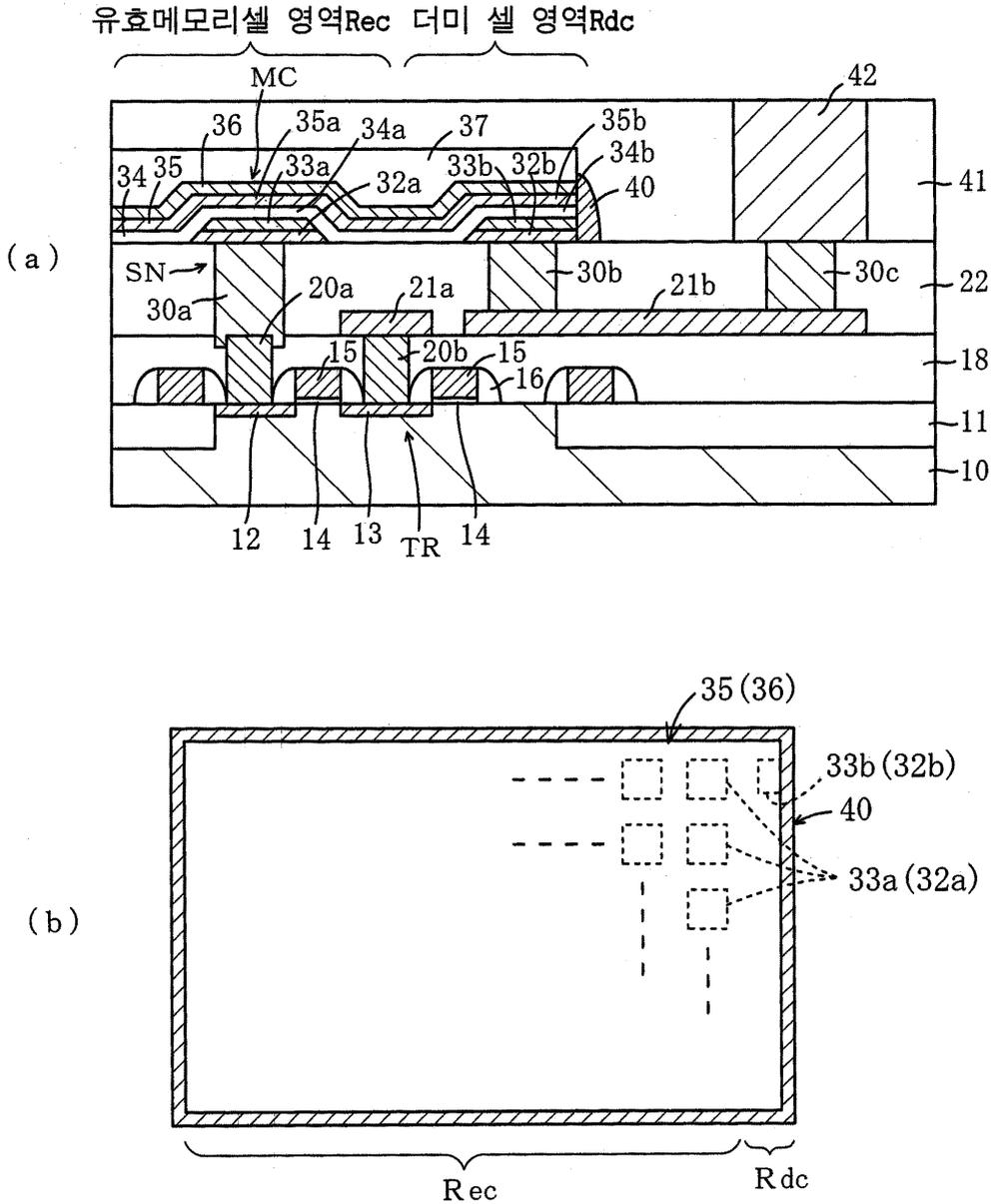
상기 단차용 절연막에, 상기 기억용량부가 형성되는 제 1 개구부와 상기 더미 하부전극이 형성되는 제 2 개구부를 형성하는 공정을 추가로 포함하며,

상기 공정(a)에서는, 상기 제 1 개구부 측면 및 저면 상에 상기 하부전극을 형성하고, 상기 제 2 개구부 측면 및 저면 상에 상기 더미 하부전극을 형성해두고,

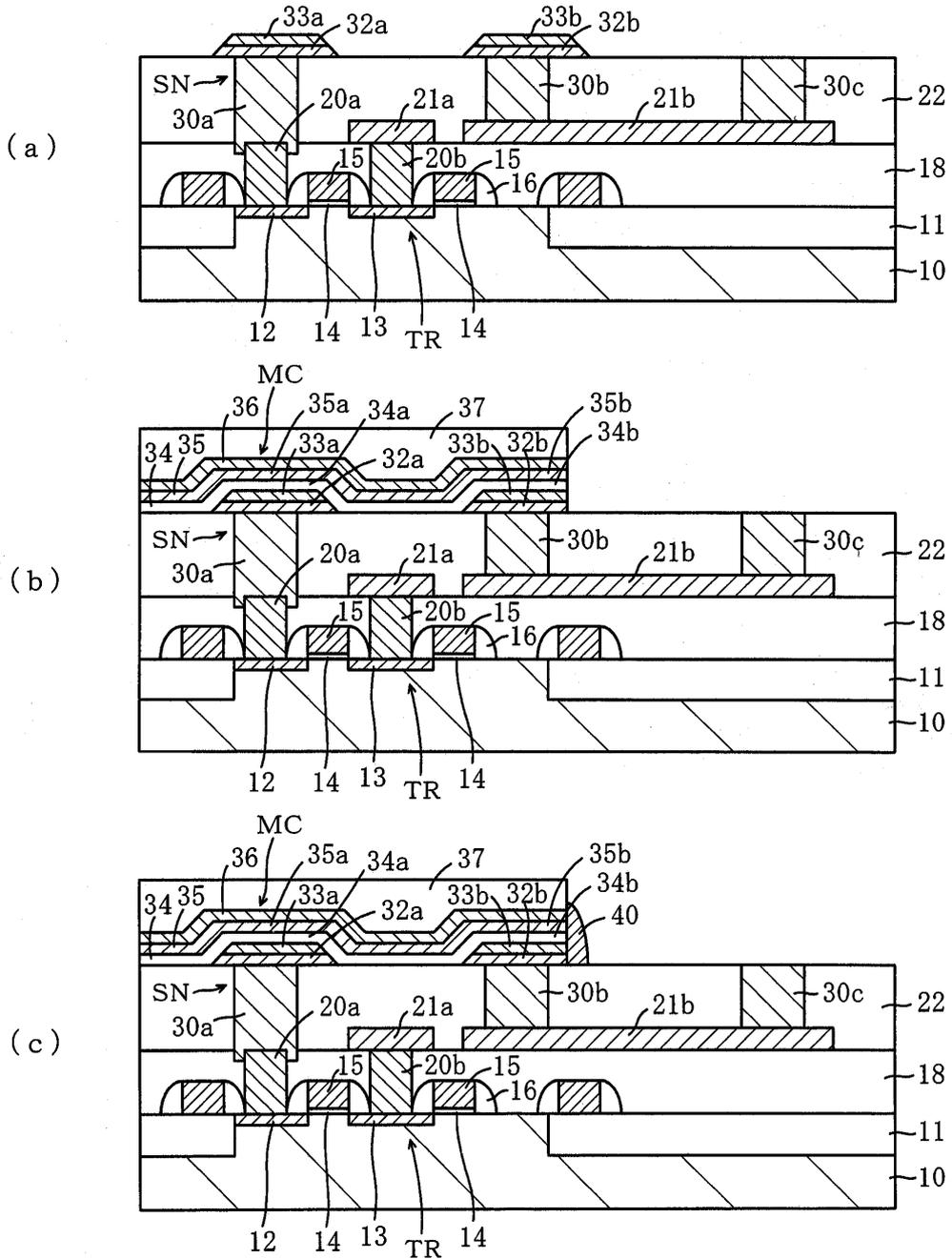
상기 공정(d)에서는 상기 제 2 개구부의 일부만을 피복하도록 상기 에칭마스크를 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법.

도면

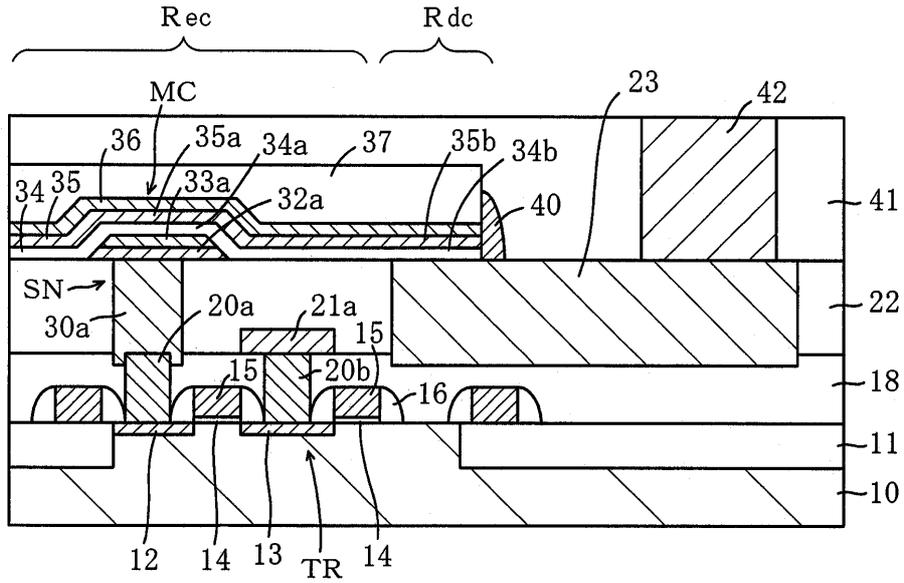
도면1



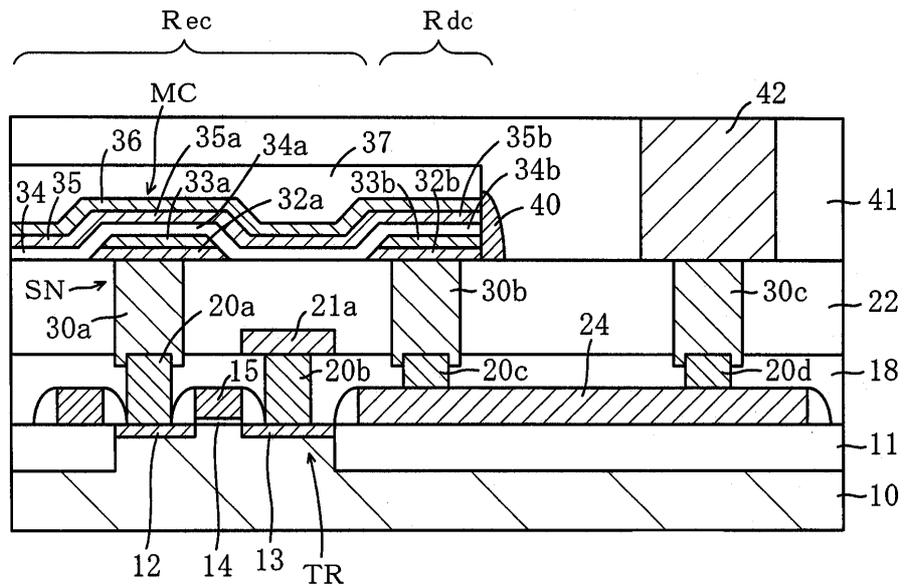
도면2



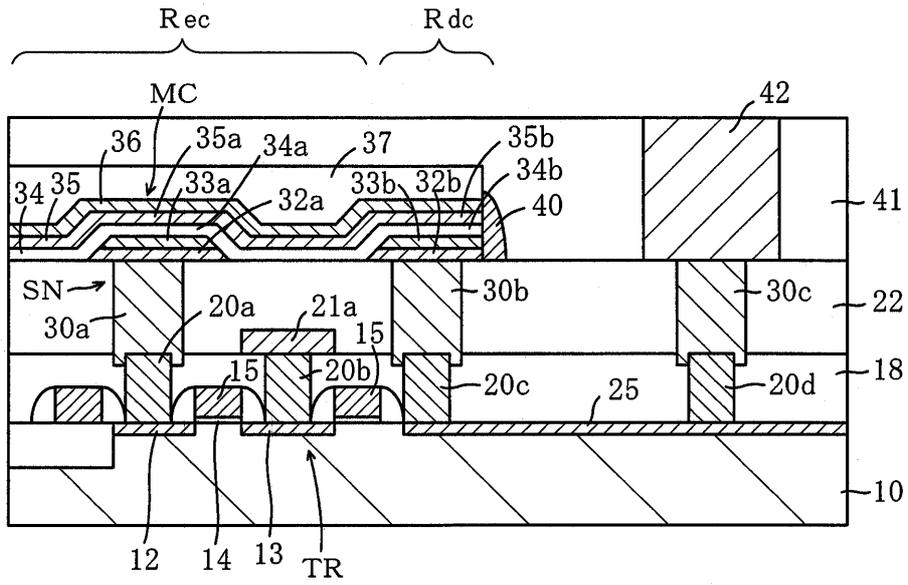
도면3



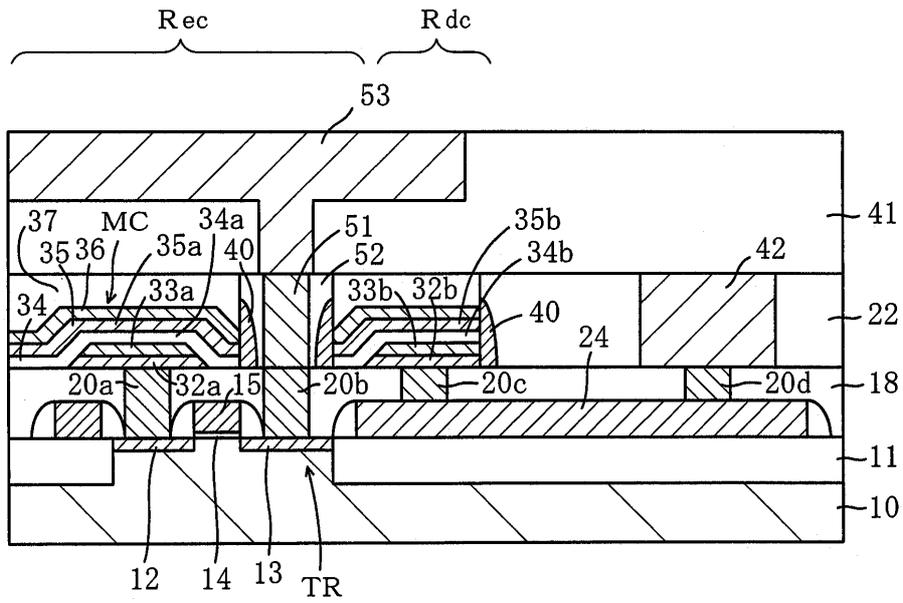
도면4



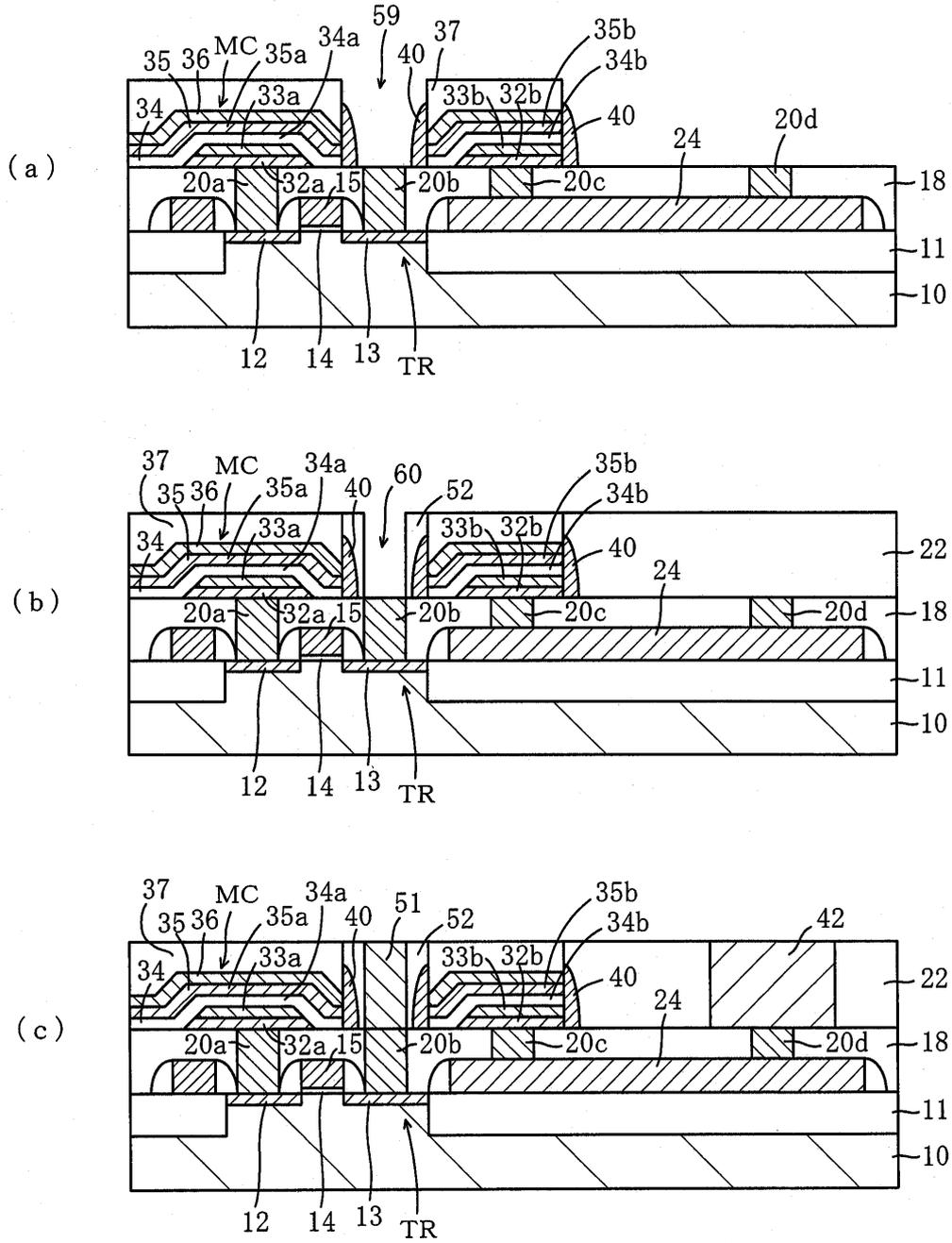
도면5



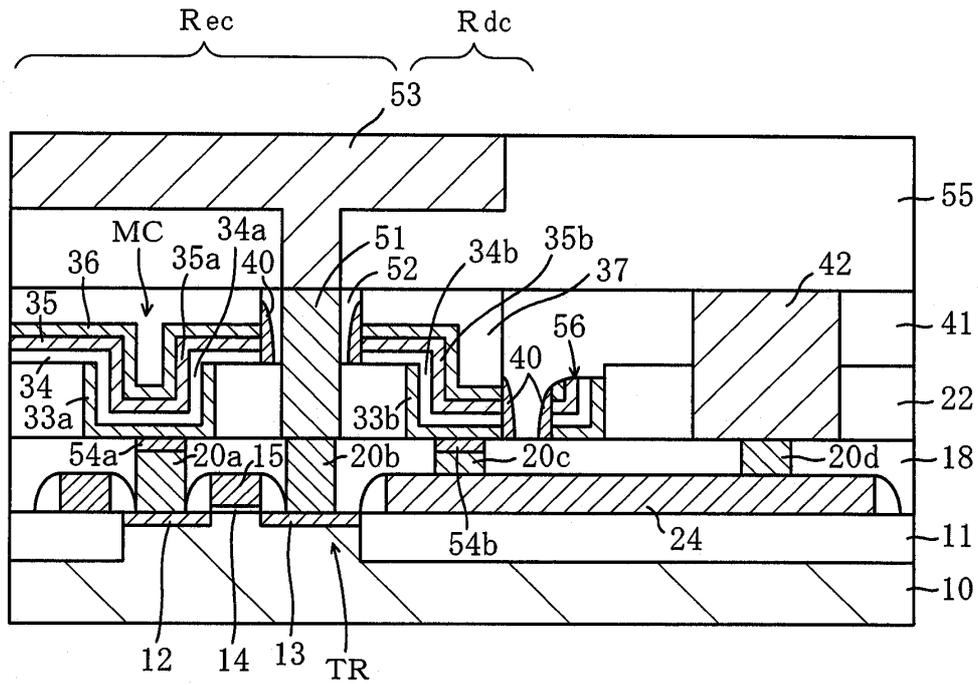
도면6



도면7



도면8



도면9

