(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/82

(11) 공개번호 특2002-0042507
(43) 공개일자 2002년06월05일

(21) 출원번호 10-2001-0075266
(22) 출원일자 2001년11월30일

(30) 우선권주장 JP-P-2000-0036 2000년11월30일 일본(JP)
4112

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치
가부시기가이샤 히다치초엘에스아이시스템즈
스즈키 진이치로
일본국 도쿄도 고다이라시 죠스이혼쵸5-22-1

(72) 발명자 야마다토시오
일본국도쿄도치요다쿠마루노우치1쵸메5반지1고신마루비루가부시키가이샤히타치세이샤쿠쇼지텍키소유켄혼부나이
야나기사와가즈마사
일본국도쿄도치요다쿠마루노우치1쵸메5반지1고신마루비루가부시키가이샤히타치세이샤쿠쇼지텍키소유켄혼부나이
시노자키요시히로
일본국도쿄도고다이라시죠스이혼쵸5쵸메22-1히타치초엘.에스.아이시스템즈가부시키가이샤나이
이오야키히데토모
일본국도쿄도고다이라시죠스이혼쵸5쵸메22-1히타치초엘.에스.아이시스템즈가부시키가이샤나이

(74) 대리인 이종일

심사청구 : 없음

(54) 반도체장치, 그 제조방법 및 기억매체

요약

본 발명은 반도체장치, 그 제조방법 및 기억매체에 관한 것으로서, 마크로셀(MC3)상을 X방향으로 연장하는 셀 외측 배선을 마크로셀(MC3)의 신호용의 단자(Ts)보다 상층의 배선층으로 구성하고, 이 단자(Ts)를 셀 외측 배선의 복수의 채널분을 확보하도록, Y방향(X방향으로 교차하는 방향)으로 연장시켜 구성한다. 마크로셀(MC 3)과, 셀 외측배선과의 접속을 이 신호용 단자(Ts)를 매개하여 실행하여 칩사이즈를 축소하는 기술을 제공한다.

대표도

도 10

명세서

도면의 간단한 설명

도 1 은 본 발명의 한 실시형태인 반도체장치를 구성하는 마크로셀의 평면도이다.

도 2 는 도 1에 배선격자 및 셀 외측배선을 부가한 레이아웃 평면의 평면도이다.

도 3 은 도 1의 마크로셀을 복수개 배치하는 것으로 구성한 반도체장치의 주요부 평면의 일례의 설명도이다.

도 4 는 도 1의 마크로 셀을 복수개 배치하는 것으로 구성한 반도체장치의 주요부 평면의 일례의 설명도이다.

도 5 는 도 1의 마크로 셀의 배치와 신호용 단자의 장변방향 수치와의 관계를 설명하기 위한 설명도이다.

도 6 은 본 발명의 다른 실시형태인 반도체장치를 구성하는 마크로 셀의 평면도이다,

도 7 은 도 6에 배선격자 및 셀 외측배선을 부가한 레이아웃 평면의 평면도이다.

도 8 은 도 1 및 도 6의 마크로 셀을 복수개 배치하는 것으로 구성한 반도체장치의 주요부 평면의 일례의 설명도이다.

도 9 는 본 발명의 다른 실시형태인 마크로 셀의 일례의 평면도이다.

도 10 은 도 9에 배선격자를 부가한 레이아웃 평면의 평면도이다.

도 11 은 도 9의 마크로셀의 전원용의 단자와 셀내 배선 및 셀 외측배선과의 접속상태를 나타내는 주요부 평면도이다.

도 12 는 도 9의 X1-X1선의 단면도이다.

도 13 은 도 9의 마크로셀을 이용한 반도체장치를 구성하는 반도체 칩의 일례의 평면도이다.

도 14 는 도 13의 배선을 배치하기 전의 반도체 칩의 평면도이다.

도 15 는 본 발명의 또다른 실시형태인 마크로셀의 일례의 평면도이다.

도 16 은 도 15의 마크로셀을 이용하는 경우의 배선접속방법을 설명하기 위한 반도체장치의 주요부 평면도이다.

도 17 은 도 16에서 설명한 배선접속방법으로 제조된 반도체장치의 주요부 평면도이다.

도 18 은 본 발명의 다른 실시형태인 반도체장치의 제조방법으로 이용하는 컴퓨터의 설명도이다.

도 19 는 도 18의 컴퓨터를 이용하여 반도체장치를 설계하는 경우의 플로챠트이다.

도 20 은 본 발명자등이 검토한 반도체장치의 레이아웃 설계의 설명도이다.

< 주요부분을 나타내는 부호의 설명 >

1C : 반도체 칩 1S : 반도체기판

2 : 분리부 3 : 반도체영역

4 : 게이트 절연막 5A : 게이트전극

6a, 6b : 층간 절연막 7 : 반도체영역

10 : 컴퓨터 10a : 본체

10b : 디스플레이 10d : 디스크 드라이브

11 : 기억매체 MC1 ~ MC6 : 마크로셀

L, L1 : 셀 외측배선 LC : 셀 외측배선

LA : 셀 외측배선 LDIN : 셀 외측배선

LDOUT : 셀 외측배선 Tvdd : 단자

Lvdd, Lvss : 셀 외측배선 Tvss : 단자

LIvdd 1, LIvss 1 : 셀 내 배선 8 : 외부단자

Ts, Ts 1, Ts2a, Ts2b : 단자

TH, TH 1, TH 2 : 관통홀 CNT 1, CNT 2 : 컨택트홀

A : 입력회로 B : 출력회로

C : 배선채널 영역

Qp 1, Qp 2 : p채널형 MIS · FET NISO : 매입 영역

Qp 1, Qp 2 : p채널형 MIS · FET PWL 1, PWL 2 : p웰

NWL 1 : n웰 MA : 메모리어레이

I/OA : 입출력회로 영역 XDA : X디코더 영역

YDA : Y디코더 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치, 그 제조방법 및 기억매체기술에 관한 것이고, 특히, 반도체장치의 레이아웃설계기술에 적용하기에 유효한 기술에 관한 것이다.

반도체장치의 레이아웃설계에서는, 반도체장치의 종류등에 따라서 다양한 레이아웃설계방식이 있다. 본 발명자등이 검토한 레이아웃설계방식은, 예를들면 마크로셀(메가 셀)방식이다. 이 방식은, 예를들면 마이크로 프로세서, 메모리, I/O(Input/Output) 및 커스텀회로등과 같은 시스템을 1칩화하는 경우 유효한 방식이고, 대소 다양한 회로블록을 칩영역에 배치하고, 그들 사이를 배선하는 방식이다.

그런데, 상기 본 발명자등이 검토한 기술에 있어서는 이하의 과제가 있는 것을 본 발명자는 견출하였다.

즉, 회로블록간을 접속하기 위하여 필요로 하는 배선영역이 반도체 칩상의 불필요한 영역이 되고, 칩 사이즈가 증대하는 문제가 있다. 도 20은 그 상태의 일례를 나타내고 있다. 여기에서는, 신호단자(5) 및 전원단자(51)가 회로블록(52)의 셀 프레임상에 배치되어 있다. 이 회로블록(52)을 도 20의 좌우 횡방향(X)으로 복수 나열하면, 회로블록(52)간의 신호접속을 위하여 근접회로블록(52)간에 제 2 층배선(53a)과 제 3 층배선(53b)을 배치하기 위한 배선영역(54)을 설치할 필요가 있다. 이것이, 칩사이즈의 증가를 초래한다.

본 발명의 목적은 칩사이즈를 축소하는 것이 가능한 기술을 제공하는 것이다.

본 발명의 상기 및 그 외의 목적과 신규특징은 본 명세서의 기술 및 첨부도면에서 명확해질 것이다.

발명이 이루고자 하는 기술적 과제

본원에 있어서 개시되는 발명가운데, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 본 발명은, 회로블록의 신호용단자를 복수의 회로블록이 배치되는 제 1 방향으로 교차하는 제 2 방향으로 복수의 채널분을 확보가능한 구조로 하고, 상기 신호용 단자의 인출을 상기 신호용단자보다 상층의 배선으로서, 상기 제 1 방향으로 연장하는 제 1 배선으로 실행하는 것이다.

또한, 본 발명은, 상기 신호용단자를 상기 제 2 방향으로 연장시킨 것이다.

또한, 본 발명은, 상기 신호용단자를 상기 제 1 방향으로도 배치하고, 그 제 1 방향으로 상호 근접하는 신호용단자를 상기 제 2 방향으로 이동하여 배치한 것이다.

또한, 본 발명은 상기 회로블록에 상기 제 2 방향으로 연장하는 전원용의 단자를 배치한 것이다.

또한, 본 발명은 회로블록의 전원용의 단자를 복수의 회로블록이 배치되는 제 1 방향으로 교차하는 제 2 방향으로 연장시켜, 상기 전원용의 단자의 인출을 상기 전원용 단자보다 상층의 배선으로서, 상기 제 1 방향으로 연장하는 제 1 배선으로 실행하는 것이다.

또한, 본 발명은 상기 회로블록에 메모리회로가 형성되어 있다.

발명의 구성 및 작용

본원 발명을 상세하게 설명하기 전에 본원에 있어서의 용어의 의미를 설명하면 다음과 같다.

1. 반도체장치 또는 반도체집적회로장치에 있어서는 실리콘 웨이퍼와 사파이어 기판등의 반도체 또는 절연체기판상에 장치되는 것뿐 아니라, 특히, 상기와 같이 명시된 경우를 제외하고, TFT(Thin-Film-Transistor) 및 STN(Super-Twisted-Nematic)액정등과 같은 유리등의 절연기판상에 장치되는 것등도 포함하는 것으로 한다.

2. 마크로셀(Macro Cell)은 기본셀보다 고기능으로 대규모의 회로블록 또는 기능블록을 말한다. 마스크패턴이 확정하

고 있는 하드 마크로와 라이브러리 정보는 네트리스트표현까지로, 설계시 마스크패턴을 생성하는 소프트마크로로 분류된다. 마크로셀은, 소규모의 논리게이트를 표시하고 높이가 일정한 표준셀(폴리 셀), 규제적인 레이아웃구조를 가지는 모듈 제너레이터에 의해 입력파라미터에 따라서 자동새성되는 RAM(Random Access Memory), ROM(Rom Only Memory), PLA(Programmable Logic Arrantral Processing Unit)와 아날로그 셀, I/O(Input/Output)셀등이 있다. 마크로셀은, 마스크패턴정보 이외에 자동배치배선을 위한 셀프레임 및 단자정보, 시뮬레이션을 위한 기능모델, 논리모델 및 지연파라미터등과 같은 정보가 셀 라이브러리로서 설계시스템(컴퓨터등)에 등록되어 있고, 시뮬레이션의 경우등, 셀라이브러리에서 간단하게 호출하여 사용할 수 있다. RAM 및 ROM은 메모리회로(메모리모듈)이고, RAM의 예로서는 DRAM(Dynamic RAM), SRAM(Static RAM) 또는 FRAM(Ferroelectric RAM)등이 있다. 또한, ROM의 예로서는 마스크ROM(MROM), 후래쉬메모리(EEPROM; Electric Erasable Programmable ROM)등이 있다.

3. 셀내 배선으로서는 주요하게 셀내 소망회로(기능)를 구성하기 위한 신호용 및 전원용의 배선을 말한다.

4. 셀외 배선(회로블록외 배선, 제 1 배선)은 주요하게 복수의 셀간을 접속하여 전체적인 회로를 구성하기 위한 신호용 및 전원용의 배선을 말한다.

5. 이너단자로는 마크로셀의 셀프레임내에 배치된 단자를 말한다.

6. IP(Intellectual Property)는 미리 설계되어 동작이 확인되어 있는 회로기능블록을 설계자산으로서 재이용이 가능한 회로블록의 경우를 말한다.

7. 네트리스트는 집적회로등의 접속관계를 나타낸 설계데이터의 경우를 말한다. 네트리스트는 컴퓨터가 처리가능한 형식으로 되어 있다. 일반적으로는 데이터를 콤팩트하게 하기 위하여 접속관계를 계층적으로 기술하고 있다.

8. 배선격자로는 배선을 배치하는 경로(배선채널)을 나타내는 선으로서, 상호 직교하는 복수의 배선격자선에 의해 구성되어 있다. 또한, 배선격자와 마크로셀의 경계가 일치하는 타입과, 일치하지 않는 타입이 있다. 전자는, 마크로셀의 경계에 배선을 배치가능하므로, 배선용이성을 향상 할 수 있다. 후자는, 셀사이즈를 작게 할 수 있으므로, 반도체 칩의 사이즈축소가 가능해진다.

이하 실시형태에 있어서 편의상 그 필요가 있는 경우는, 복수의 섹션 또는 실시형태로 분할하여 설명하지만, 특히 명시한 경우를 제외하고, 그들은 상호 무관계뿐아니라, 한편은 다른편의 일부 또는 전부의 변형예, 상세, 보충설명등의 관계이다.

또한, 이하의 실시형태에 있어서, 요소의 수등(개수, 수치, 양, 범위등을 포함)에 언급하는 경우, 특히 명시한 경우 및 원리적으로 명확하게 특정수에 한정되는 경우등을 제외하고, 그 특정수에 한정되는 것은 아닌 특정수 이상에서도 이하에서도 용이하다.

또한, 이하 실시형태에 있어서 그 구성요소(요소 스텝등도 포함)는 특히 명시한 경우 및 원리적으로 명확하게 필수라고 고려되는 경우등을 제외하고, 반드시 필수만은 아니다.

동일하게, 이하 실시형태에 있어서, 구성요소등의 형태, 위치관계등에 언급하는 경우는 특히 명시한 경우 및 원리적으로 명확하지 않는 것으로 고려되는 경우등을 제외하고, 실질적으로 그 형태등에 근사 또는 유사한 것등을 포함하는 것으로 한다. 이 경우는, 상기 수치 및 범위에 대해서도 동일하다.

또한, 본 실시형태를 설명하기 위한 전도에 있어서 동일기능을 가지는 것은 동일부호를 부여하고, 그 반복설명은 생략한다.

또한, 본 실시형태에 있어서는, 전계효과 트랜지스터를 대표하는 MIS · FET(Metal Insulator Semiconductor Field Effect Transtistor)를 MIS로 약기하고, p채널형의 MIS · FET를 pMIS로 약기하고, n채널형의 MIS · FET를 nMIS로 약기한다.

이하 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다.

(실시형태 1)

도 1은 본 발명의 한 실시형태인 반도체장치를 구성하는 회로블록인 마크로셀(MC 1)의 평면도를 나타내고 있다. 또한, 도 2는 그 도 1에 배선격자(파선) 및 셀외 배선(L)을 레이아웃평면도를 나타낸다. 또한, 반도체자치에 있어서, 상호 근접하는 배선격자선의 간격은 예를들면 0.5㎛정도이다.

이 마크로셀(MC 1)에는 예를들면 셀프레임내에 배치된 복수의 집적회로단자를 셀내 배선에 의해 전기적으로 접속하는 것으로 소정의 회로기능이 구성되어 있다. 셀내배선은, 예를들면 제 1 , 제 2 층 배선으로 구성되어 있다. 도 1에는, 마크로셀(MC 1)의 입력회로(A)와 출력회로(B)가 예시되어 있다. 입력회로(A)는 예를들면 CMIS(Complementary MIS)인버터회로로 이루어지고, pMIS(Qp 1), nMIS(Qn 1)을 갖추고 있다. 또한, 출력회로(B)는 pMIS(Qp 2), nMIS(Qn 2)를 가지고 있다. 또한, 도 2에는 마크로셀(MC 1)의 셀프레임이 배선격자선상에 배치되는 방식이 예시되어 있다. 셀프레임의 배치방식은 여기에 한정되는 것은 아니고 예를들면 셀프레임을 인접배선결자선간의 반피치분 만큼 이동하여 배치하는 방식으로 하여도 용이하다.

마크로셀(MC 1)은 신호용 복수단자(Ts)를 갖추고 있다. 이 단자(Ts)는 마크로셀(MC 1)내에 형성된 회로와, 그 마크로셀(MC 1)외의 회로와의 신호의 수수를 실행하기 위한 도체부이고, 마크로셀(MC 1)내에 있어서의 최상배선층의 배선으로 형성되어 있다. 여기에서는, 단자(Ts)가 예를들면 제 2 층배선으로 구성되어 있다. 또한, 여기에는 단자(Ts)에 마크로셀(MC 1)내의 입력회로(A)의 입력 및 출력회로(B)의 출력이 전기적으로 접속된 상태가 예시되어 있다. 입력회로(A)의 pMIS(Qp 1), nMIS(Qn 1)의 게이트전극은, 단자(Ts)에 전기적으로 접속되고, 출력회로(B)의 pMIS(Qp 2), nMIS(Qn 2)의 드레인영역은 단자(Ts)에 전기적으로 접속된다. pMIS(Qp 1), pMIS(Qn 2)의 소스영역에는 전원전압(Vdd)이 공급되고, nMIS(Qp 1), nMIS(Qn 2)의 소스영역에는 전원전압(Vdd)보다 낮은 전위의 전원전압(Vss)이 공급된다. 또한, 이들의 전원전압(Vdd, Vss)에 대해서는 후 기술한다. 또한, 단자(Ts)는 제 2 층 배선, 제 2 층 배선보다 하층의 배선층인 제 1 층배선 또는 그 쌍방의 배선을 이용하여 입력회로(A), 출력회로(B)에 전기적으로 접속된다.

또한, 단자(Ts)는 마크로셀(MC1)의 셀 프레임내에 있어서, 도 1 및 도 2의 상하 종방향(Y방향(제 2방향))을 따라서 변의 근방에 그 변을 따라서 일렬로 나열하여 배치되어 있다. Y방향으로 근접하는 단자(Ts)간에는 예를들면 1 및 도 2의 좌우 횡방향(X방향(제 1방향))으로 연장하는 배선격자선이 1개분만이 배치가능한 간격으로 위치되어 있다. 이와 같이 단자(Ts)를 셀프레임내에 배치하는 것에 의해(즉, 이너단자로 하는 것에 의해), 마크로셀(MC 1)의 면적을 축소할 수 있다. 또한, 마크로셀(MC 1)의 면적을 크게하는 경우 없이, 복수의 단자(Ts)를 배치하는 것이 가능 하다. 그러나, 본 발명은 여기에 한정되는 것은 아니고, 예를들면 단자(Ts)가 셀프레임상에 배치되는 구조에도 적용이 가능하다. 또한, 여기에서는 이 단자(이너단자)(Ts)가 일렬로 나열하여 배치되어 있는 경우가 예시되어 있지만, 복수열로 하여도 용이하다. 여기에 대해서는 후 기술한다.

또한, 본 실시형태에 있어서는, 그 단자(이너단자)(Ts)가 상기 Y방향으로 연장하는 배선격자선을 따라서 그 선 상에 도 2에 나타나는 바와 같이 상기 Y방향으로 긴 평면장방형의 패턴으로 형성되어 있다. 즉, 단자(Ts)는 X방향으로 연장하는 배선격자선이 복수개 통과가능하도록 Y방향으로 연장하여 형성되어 있다. 여기에서는, 단자(Ts)의 Y방향수치가, 예를들면 X방향의 배선격자선을 2개 이상 통과시키는 것이 가능하도록 설정되어 있다. 마크로셀(MC 1)의 외부에서의 단자(Ts)로 직접적인 접속은, 마크로셀(MC 1)의 상공배선이 되는 셀 외측배선(L)에서 실행된다. 이 셀 외측 배선(L)은 단자(이너단자)(Ts)보다 상층의 배선층의 배선, 예를들면 제 3층배선으로 구성되어 있고, 상기 X방향으로 연장하는 배선격자선을 따라서 그 선상에 배치되어 있다. 셀 외측 배선(L)은 관통홀(TH(도 2 참조))을 통하여 단자(Ts)와

전기적으로 접속되어 있다. 또한, 관통홀(TH)은 주로 X방향으로 연장하는 배선격자선과 Y방향으로 연장하는 배선격자선과의 교점에 배치된다. 이와 같은 마크로셀(MC 1)의 구조로 하는 것에 의해 복수의 마크로셀(MC 1)을 간격없이(셀간에배선영역을 설치하지 않아도) 배치할 수 있다. 또한, 단자(Ts)를 장방형으로 한 것에의해, 배치 배선공정시에 있어서의 배선 채널효율을 향상시키는 것이 가능 하다. 배선의 자유도를 향상시키는 것이 가능하다. 상기에 의해 반도체 칩사이즈(칩사이즈)를 축소하는 것이 가능 해진다.

도 3 및 도 4는 상기 마크로셀(MC 1)을 X방향으로 m개, Y방향으로 n개 배치하는 것으로 구성한 RAM 또는 ROM등과 같은 메모리회로(모듈)의 일례를 나타내고 있다. 도 3은 데이터입력을 공통으로 한 케이스(어드레스 공간의 확장)를 예시하고, 도 4는 어드레스를 공통으로 한 케이스(비트선의 확장)를 예시하고 있다. 또한, 도 3 및 도 4안의 부호의 LC는 클록신호용의 셀 외측배선, LA는 어드레스신호용의 셀 외측배선, LDIN은 데이터입력 신호용의 셀 외측배선 및 LDOUT은 데이터출력 신호용의 셀외측배선을 나타내고 있다. 어느 하나도 셀 외측 배선(L)을 예시하는 것이다.

도 3 및 도 4에 있어서, 각 마크로셀(MC 1)의 구성은 동일하게 되어 있다. 각 마크로셀(MC 1)은 예를들면 소정의 메모리용량의 RAM이 형성되어 있다. 도 3에 있어서는, 데이터입력을 공통으로 하는 마크로셀(MC 1)이 셀 외측배선(LC)의 연장방향(X방향)을 따라서 간격없이 배치되어 있다. 또한, 도 4에 있어서는, 어드레스를 공통으로 하는 마크로셀(MC 1)이 셀 외측배선(LA)의 연장방향(X방향)을 따라서 간격없이 배치되어 있다. 어드레스 신호용의 셀외측 배선(LA), 데이터 입력신호용의 셀 외측배선(LDIN) 및 데이터출력용의 셀 외측배선(LDOUT)은 각 마크로셀(MC)상을 X방향으로 연장하도록 배치된다.

즉, 도 3에 나타나는 바와 같이,어드레스 신호용의 셀 외측 배선(LA) 및 데이터 출력신호용의 셀 외측배선(LDOUT)은 각각 다른 마크로셀 (MC 1)에 전기적으로 접속되어, 데이터입력신호용의 셀 외측배선(LDIN)은 각각 이들의 마크로셀(MC 1)에 공통으로 전기적으로 접속된다.

또한, 도 4에 나타나는 바와 같이, 어드레스 신호용의 셀 외측배선(LA)은 각각 이들의 마크로셀(MC 1)에 공통으로 전기적으로 접속되어, 데이터입력신호용의 셀 외측배선(LDIN) 및 데이터출력신호용의 셀 외측배선(LDOUT)은 각각 다른 마크로셀(MC 1)에 전기적으로 접속된다.

이와 같은 본 실시형태에 의하면, 도 3 및 도 4에 나타나는 바와 같이, 각 마크로셀(MC 1)의 단자(Ts)를 그 상층의 제3 배선층의 셀 외측배선(L)에 의해 인출이 가능 하므로 신호용의 배선을 배치하기 위한 배선영역을 마크로셀(MC 1)간에 설치할 필요는 없다. 이로 인하여, 복수의 마크로셀(MC 1)을 X방향 및 Y방향의 어느하나에 있어서도 간격없이 배치하는 것이 가능하다. 따라서, 칩사이즈를 축소하는 것이 가능하게 되어 있다.

또한, 도 3 및 도 4에 있어서는, 클록신호용의 셀 외측 배선(LC)을 마크로 셀(MC 1)별로 분류하고 있다. 즉, 클록신호용의 셀 외측배선(LC)은 각각 다른 마크로셀(MC 1)에 전기적으로 접속된다. 상기에 의해, 필요한 마크로셀(MC 1)만을 동작시켜 반도체장치 전체의 소비전력을 억제할 수 있다. 또한, 마크로셀(MC 1)별로 다른 클록신호를 입력하는 것이 가능하다.

도 5는 마크로셀(MC 1)의 배치와 신호용의 단자(Ts)의 길이방향수치와의 관계를 설명하기 위한 설명도이다. 여기에서는, 단자(Ts)의 길이방향 수치가 X방향으로 연장하는 배선격자선을 4개분 배치가능한 수치로 설정되어 있는 경우를 예시하고 있다. 이 경우, 마크로셀(MC 1)은 X방향으로 최대 4개까지 간격없이 배치하는 것이 가능하다. 이것을 넘어선 경우는 셀 외측 배선을 배치할 수 없다. 상기에서, 그 경우는 마크로셀(MC 1)을 Y방향으로 전개하는 경우가 예시되어 있다.

(실시형태 2)

본 실시형태는 신호용의 단자를 복수열 배치하는 경우의 일례를 설명하는 것이다. 도 6 및 도 7은 그 일례를 나타내고 있다. 도 6은, 본 실시형태의 반도체장치를 구성하는 회로블록인 마크로셀(MC 2)의 평면도를 나타내고 있다. 또한, 도 7은 그 도 6에 배선격자(파선) 및 셀 외측배선(L)을 부가한 도를 나타내고 있다.

마크로셀(MC 2)에 있어서, 단자(Ts)의 배치이외의 구성은, 상기 실시형태 1의 마크로 셀(MC 1)에서 설명한 것과 동일하다. 본 실시형태에 있어서는 단자(Ts)의 예가 X방향으로 복수열 배치되어 있다. 그리고, 상호 근접하는 단자열의 단자(Ts)의 위치가 Y방향으로 이동하여 배치되어 있다. 상기에 의해, 배선채널의 유효이용이 가능해진다. 예를들면 도 7에 나타나는 바와 같이, 최상의 셀 외측배선(L1(L))은 제일좌측의 단자열이 최상의 단자(Ts 1(Ts))와 관통홀(TH)을 통하여 전기적으로 접속되는 배선이다. 이 셀 외측배선(L1)은 그 단자(Ts 1)상뿐아니라, X방향으로 연장되어 있기 때문에, 상기와 같이 단자(Ts)의 위치를 Y방향으로 이동하지 않으려고 하면 제일상층의 셀외측배선(L1)의 배치에 의해, 좌측에서 2번째의 단자열의 단자(Ts2a, Ta2b)의 접속부(배선 채널의 일부)도 무너져 버린다.

본 실시형태에서는 좌측에서 2번째의 단자열의 단자(Ts)의 위치가, 가장 좌측의 단자열의 단자(Ts) 위치에 대해서 Y방향으로 이동하고 있으므로, 그 좌측에 2번째의 단자열안에 있어서 Y방향으로 근접하는 단자(Ts2a(Ts), Ts2b(Ts)) 간의 배선격자상에 셀 외측배선(L1)을 통과시키는 것이 가능 하다. 이로 인하여, 좌측에서 2번째의 단자열에서는 그 셀외측 배선(L1)에 의해 단자(Ts2a, Ta2b)상의 접속부분이 무너지지 않고 가능하다. 따라서,단자(Ts2a, Ta2b)의 접속가능한 부분을 확보할 수 있으므로, 배선채널의 유효이용이 가능해진다. 이로 인하여, 셀외측배선(L)의 접속의 자유도를 확보할 수 있으므로 칩사이즈의 축소를 추진하는 것이 가능해진다.

도 8은 상기 마크로셀(MC 1, MC 2)를 복수 배치하는 것으로 구성한 RAM 또는 ROM등의 메모리회로(모듈)의 일례를 나타내고 있다. 여기에서는, 마크로셀(MC 1, MC 2)의 사이즈가 다른 경우의 구성을 예시하고 있다. 또한, 여기에서는 사이즈가 다른 복수의 마크로셀(MC 1, MC 2)의 클록신호용의 셀 외측배선(LC)을 공통으로 한 경우를 예시하고 있다. 물론, 사이즈가 동일하여도 타입이 다른 마크로셀을 복수배치하는 것도 가능하다.

(실시형태 3)

도 9는 본 발명의 다른 실시형태인 반도체장치를 구성하는 마크로셀(MC 3)의 평면도, 도 10은 도 9에 배선격자(파선)을 부가한 레이아웃 평면도, 도 11은 도 9의 회로블록인 마크로셀(MC 3)의 주요부 확대 평면도, 도12는 도 9의 X1-X1선의 단면도를 각각 나타내고 있다.

마크로셀(MC 3)에는 상기 ROM등의 메모리회로(메모리모듈)가 형성되어 있다. 마크로셀(MC 3)의 셀프레임 내에는 메모리셀 어레이(MA), X디코더 영역(XDA), Y디코더(YDA) 및 입출력회로 영역(I/0A)이 배치되어 있다. 메모리셀 어레이(MA)에는 예를들면 DRAM, SRAM 또는 FRAM등과 같은 메모리회로가 형성되어 있다. 즉, 메모리셀 어레이(MA)에는 메모리셀, 워드선, 데이터선이 형성되어 있다. X디코더 영역(XDA)에는 X디코더회로가 또한, Y디코더영역(YDA)에는 Y디코더회로가 형성되어 있다. 상기 워드선과 데이터선과의 교점에 메모리셀이 배치되고, 워드선은 X디코더회로에 전기적으로 접속되고, 데이터선은 Y디코더회로와 전기적으로 접속된다. 입출력회로 영역(I/OA)에는 상기 한 입력회로 및 출력회로외 입출력 쌍방회로가 배치되어 있다.

신호용단자(Ts)의 배치는 상기 실시형태 2에서 설명한 것과 동일하다. 여기에서는 그 단자(이너 단자(Ts))가 입출력회로영역(I/OA)내에 배치되어 있다. 즉, 단자(이너 단자(Ts))와 입출력회로영역(I/OA)상에 배치하는 것으로 배선지연을 작게하는 것이 가능하다. 또한, 본 실시형태에서는, 마크로셀(MC 3)의 셀 프레임내의 입출력회로영역(I/OA)내

에 있어서, 신호용의 단자(Ts)군에 근접하는 위치에 전원용의 단자(Tvdd, Tvss)가 배치되어 있다. 전원용의 단자(Tvdd, Tvss)는 마크로셀(MC 3)에 전원전압을 공급하기 위한 단자이고, 신호용의 단자(Ts)의 장변방향(Y방향)을 따라서 셀프레임의 상하의 단에서 단까지 연장하는 고리형의 패턴으로 형성되어 있다. 상기에 의해, 마크로셀(MC 3)의 전원을 Y방향 수치내에 있어서 어느 곳이라도 취할 수 있다. 또한, 마크로셀(MC 3)에 따라서 가능한 유효한 개소 또는 수로 전원을 취하는 것이 가능하므로, 전원전위의 안정성을 향상시키는 것이 가능해진다. 전원용의 단자(Tvdd)는 상대적으로 고전위의 전원전압(Vdd)을 공급하기 위한 단자로서 예를들면 1.8V 또는 3.3V 정도로 설정되어 있다. 또한, 전원용의 단자(Tvss)는 반도체장치의 기준전위(상대적으로 저전위의 전원전압(VSS))를 공급하기 위한 단자로서 예를들면 0V 정도로 설정되어 있다.

도 11은 이 전원용 단자(Tvdd, Tvss)와 전원용셀내 배선(LIvdd 1, LIvss 1) 및 전원용 셀 외측배선(Lvdd, Lvss)과의 접속상태를 나타내고 있다. 전원용의 단자(Tvdd, Tvss)는 예를들면 2층배선으로 구성되어 있다. 이 단자 Tvdd, Tvss는 관통홀(TH 1)을 통하여 각각 제 1 층배선으로 구성된 전원용 셀내 배선(LIvdd 1, LIvss 1)과 전기적으로 접속되어 있다. 또한, 단자(Tvdd, Tvss)는 관통홀(TH 2)를 통하여, 각각 제 3 층배선으로 구성된 전원용 셀 외측배선(Lvdd, Lvss)와 전기적으로 접속되어 있다. 또한, 제 3 층배선으로 구성되는 셀 외측 배선(L)안에는 이 전원용 단자(Tvdd, Tvss)의 위쪽을 단순하게 통과하는 것도 구비한다. 또한, 전원용의 단자(Tvdd, Tvss)는 도 10 및 도 11에 나타나는 바와 같이 Y방향으로 연장하는 배선격자선상으로 배치되어 있다.

이와 같이, 마크로셀(MC 3)상 및 그 외부상을 X방향으로 연장하는 전원용의 셀 외측배선(Lvdd, Lvss)을 전원용 단자(Tvdd, Tvss)보다 상층의 배선층으로 구성하고, 또한, 전원용의 단자(Tvdd, Tvss)를 매개하여, 전원용의 단자(Tvdd, Tvss)보다 하층의 전원용의 셀 내 배선(LIvdd, LIVSS)에 전기적으로 접속되도록 구성하고 있다. 전원용의 단자(Tvdd, Tvss)를 마크로셀(MC 3)의 셀 프레임의 상단에서 하단까지 연장하는 고리형의 패턴으로 형성하는 것에 의해, 전원용 셀 외측 배선(Lvdd, Lvss)과 전원용단자(Tvdd, Tvss)와의 접속의 자유도를 높이면서 마크로셀(MC 3)상을 연장하는 신호용의 셀 외측배선의 배치의 자유도를 높이는 것이 가능하다. 즉, 상기에 의해, 마크로셀(MC 3)상을 통하는 전원용의 셀 외측배선(Lvdd, Lvss), 신호용의 셀 외측배선의 배치밀도를 높이는 것이 가능하고, 고집적화하는 것이 가능하다. 또한, 전원용단자(Tvdd, Tvss)와 제 1 층배선으로 구성된 전원용 셀 내 배선(LIvdd, LIvss)는 예를들면 마크로셀(MC 3)내의 각 회로를 구성하는 집적회로소자에 전기적으로 접속된다.

다음으로 도 12를 이용하여 마크로셀(MC 3) 일부의 종형구조를 설명한다. 또한, 도 12에는 집적회로소자로서, 예를들면 상기 출력회로용의 nMIS(Qn 2)의 단면이 예시되어 있다. 그러나, 집적회로소자는 여기에 한정되는 것은 아니고 다양하며, 예를들면 pMIS, 다이오드, 바이폴라 트랜지스터, 저항 또는 커패시터가 있다.

반도체 칩을 구성하는 반도체기판(이하, 단순히 기판으로 명기)(1S)은 예를들면 p형의 단결정 실리콘으로 이루어진다. 이 기판(1S)의 주요면의 분리영역에는 예를들면 홈형의 분리부(2)(트랜치 아이소레이션)이 형성되어 있다. 분리부(2)에는 기판(1S)의 주요면에서 소정의 깊이로 파여진 홈내에, 예를들면 산화실리콘(SiO_2)등과 같은 절연막이 매입도는 것으로 형성되어 있다. 분리부(2)는 홈형에 한정되는 것은 아니고 다양한 변경이 가능하고, 예를들면 로코스(LOCOS ;Local Oxidization of Silicon)법에 의해 형성된 산화실리콘등으로 이루어지는 필드절연막으로도 용이하다.

또한, 이 분리부(2)에 포위된 활성영역에 있어서, 기판(1S)의 주요면(디바이스면)에서 소정의 깊이를 넘어서 p웰(PWL 1, PWL 2) 및 n웰(NWL 1)로 칭하는 반도체 영역이 형성되어 있다. 상기 가운데, p웰(PWL 2)은 n형의 매입영역(NISO)으로 칭하는 반도체영역으로 포위되어 있다. 즉, p웰(PWL 2)은 기판(1S)과 전기적으로 분리되어 있다. 상기에 의해, 기판(1S)을 통하여 p웰(PWL 2)에 노이즈등이 전달하는 것을 억제 또는 방지가능하다. 또한, p웰(PLW 2)의 전위를 기판(1S)과는 다른 전위로 설정할 수 있다.

p웰(PWL 1, PWL 2)에는 예를들면 붕소(B)등과 같은 p형 영역을 형성하는 불순물이 도입되고, n웰(NWL 1) 및 n형의 매입 웰(NISO)에는 예를들면 인(P) 또는 비소(As)등과 같은 n형 영역을 형성하는 불순물이 도입되어 있다. 여기에서는, 상기 p웰(PWL 2)에 nMIS(Qn 2)가 형성되어 있다. nMIS(Qn 2)는 소스 및 드레인용의 한쌍의 반도체영역(3)과 게이트절연막(4)과 게이트전극(5A)을 갖추고 있다. 이 nMIS(Qn 2)의 채널은 예를들면 한쌍의 반도체영역(3)간의 기판(S1)에 있어서, 게이트전극(5A)하의 게이트절연막(4)과 기판(1S)과의 경계면 부분에 형성된다(표면 채널).

nMIS(Qn 2)의 소스 드레인용의 반도체영역(3)은 예를들면 인 또는 비소가 도입되어 n형으로 설정되어 있다. 게이트절연막(4)은 예를들면 산화 실리콘막으로 이루어진다. 또한, 게이트절연막(4)을 산질화막으로 하여도 용이하다. 상기에 의해, 핫캐리어내성을 향상시키는 것이 가능해진다. 게이트전극(5A)은 예를들면 n형의 저저항 폴리실리콘으로 이루어진다. 게이트전극(5A)에는 예를들면, 인 또는 비소가 도입되어 있다. 이 게이트전극(5A)은 저저항 폴리실리콘의 단체막에 한정되는 것은 아닌 다양한 변경이 가능하다. 예를들면, n형의 저저항 폴리실리콘막상에 코발트 실리사이드($CoSi_x$)를 형성한 이른바, 폴리사이드 게이트구조로 하여도 용이하다. 이 코발트 실리사이드로 변경하여 티탄 실리사이드($TiSi_x$)와 텅스텐 실리사이드(WSi_x)를 채용하는 것도 가능하지만, 코발트 실리사이드쪽이 저항을 저감할 수 잇다. 또한, n형의 저저항 폴리실리콘막상에 질화티탄(WN)등과 같은 배리어막을 매개하여 텅스텐(W)막을 퇴적한 이른바 폴리메탈게이트 구조로 하여도 용이하다. 이경우, 게이트전극(5A)의 저항 및 게이트전극(5A)과 배선과의 접촉저항을 대폭으로 저감하는 것이 가능하다.

이 기판(1S)의 주요면상에는 예를들면 산화 실리콘으로 이루어지는 층간절연막(6a, 6b)이 하층에서 순서로 퇴적되어 있다. 층간절연막(6a)상에 제 1 배선층이 형성되고, 층간절연막(6b)상에 제 2 배선층이 형성되어 있다. 상기 신호용단자(Ts) 및 전원용 단자(Tvdd, Tvss)는 층간절연막(6b)상에 형성되어 있다. 이들 단자(Ts, Tvdd, Tvss)는 예를들면 알루미늄(Al) 또는 알루미늄-Si-동합금등으로 이루어지고, 동일 패터닝시에 패턴형성되어 있다.

단자(Ts)는 층간절연막(6b)에 천공된 관통홀(TH)을 통하여 제 1 층 배선으로 구성되는 셀내 배선(LIs1)과 전기적으로 접속되어 있다. 셀내 배선(LIs1)은 층간절연막(6a)에 천공된 컨택홀(CNT 1)을 통하여 nMIS(Qn 2)의 한쪽의 반도체영역(3)과 전기수단적으로 접속되어 있다. 또한, 셀 내 배선(LIs1)은 단자(Ts)등과 동일한 재료로 이루어진다.

단자(Tvss)는 층간절연막(6b)에 천공된 관통홀(TH 1)을 통하여 제 1 층 배선에서 구성되는 셀내배선(LIvss 1)과 전기적으로 접속되어 있다. 셀 내 배선(LIvss 1)은 층간절연막(6a)에 천공된 컨택홀(CNT 2)을 통하여 p웰(PWL 1)의 +p형의 반도체영역(7)과 전기적으로 접속되어 있다. 또한, 셀 내 배선(LIvss 1)은 셀 내 배선(LIs 1)과 동일한 재료로 이루어지고, 셀 내 배선(LIs 1)과 동일한 패터닝으로 패턴형성되어 있다.

다음으로 이와 같은 본 실시형태의 기술사항을 이용하여 작성한 반도체 칩(이하, 단순히 칩으로 명기)의 평면도를 도 13 및 도 14에 나타낸다. 또한, 도14는 마크로셀을 배치한 단계에서 배선처리를 실행하기 전의 칩(IC)의 평면도를 나타내고 있다.]

칩(IC)은 평면 사각형태의 기판(1S)의 소절편으로 이루어지고, 이 칩(IC)내에는 예를들면 컴퓨터 시스템이 형성되어 있다. (SOC:System On Chip). 그러나, 본 발명자체는 SoC에 한정되는 것은 아니고 다양한 적용이 가능하다.

칩(IC)의 외주위 근방에는 복수의 외부단자(8)가 그 외주변을 따라서 배치되어 있다. 물론, 외부단자(8)의 배치는 여기에 한정되는 것은 아니고, 예를들면 칩(IC)의 중앙에 배치되는 구성도 용이하다. 이 외부단자(8)의 배치영역을 포함하는 칩(IC)의 주변영역은 칩(IC)의 입출력회로영역, 즉, I/O셀이 배치되는 영역으로 되어 있다. 또한, 일반적으로 외부단자(8)S는 상기에 직접접촉된 상태에서 접속되는 본딩와이어와 범프전극(돌기전극)등을 통하여, 패키지의 리드와 전기적으로 접속되고, 또한, 그 패키지를 실장하는 배선기판상의 배선을 통하여 상기 칩(IC)의 외부의 외부장치(혹은 외부회로)의 출력과 전기적으로 접속되도록 이루고 있다.

칩(IC)의 내부회로영역에는 복수의 마크로셀(MC 3, MC 4, MC 5)이 배치되어 있다. 상기와 같이 RAM이형성된 마크로셀(MC 3)은 상호 근접한 사이로 간격을 발생하는 경우 없이 배치되어 있다. 또한, 마크로셀(MC 4)은 예를들면 ROM이 형성되어 있다. 이 마크로셀(MC 4)도 상호 근접한 사이로 간격을 발생하는 경우 없이 배치되어 있다. 따라서, 무단영역을 저감 또는 삭감하는 것이 가능하므로 칩사이즈를 축소하는 것이 가능하게 되어 있다. Y방향으로 근접하는 마크로셀(MC 3)의 전원용 단자(Tvdd, Tvss)는 상호 전기적으로 접속되어 있다. 또한, Y방향으로 근접하는 마크로셀(MC 4)의 전원용의 단자(Tvdd, Tvss)도 상호 전기적으로 접속되어 있다.

이들 마크로셀(MC 3, MC 4)의 배치영역을 제외하는 영역은 코어셀영역 또는 커스텀영역으로 되어 있다. 이 코어셀 영역 또는 커스텀영역에 배치된 마크로셀(MC 5)에는 예를들면, 소망하는 로직회로가 형성되어 있다. 이 마크로 셀(MC 5)에도 본 발명의 기술적 사상을 취하고 있다. 각 마크로셀(MC 3 ~ MC 5)의 인접간에는 이들을 접속하기 위한 배선영역이 용의되어 있다. 이 배선영역에는 각 마크로셀(MC 3 ~ MC 5)을 전기적으로 접속하기 위한 셀 외측배선이 배치되어 있다. 셀 내 배선 및 셀 외측배선의 구조는 상기 기술한 바와 동일하다. 레이아웃설계에 관해서는 도 14에 나타나는 바와 같이, 복수의 마크로셀(MC 3 ~ MC 4)을 배치한 후, 이들 마크로셀(MC 3 ~ MC 5)을 접속하는 셀 외측배선을 배치하는 것에 의해 전체적인 소망의 회로기능을 갖추는 반도체장치를 설계한다.

(실시형태 4)

본 실시형태의 반도체장치에 있어서의 회로블록인 마크로셀의 일례를 도 15에 나타낸다. 이 마크로셀(MC 6)에 있어서는, 신호용단자(Ts)가 평면 정방형태로 되고, 그 신호용단자(Ts)의 주위(특히 Y방향)에 신호용단자(Ts)와 셀 외측배선을 접속하기 위한 배선채널영역(C)이 배치되어 있다. 이 배선채널영역(C)자체는 반도체장치의 설계단계에 있어서의 배치배선시에 데이터상에서 설치되는 가상 영역이다. 이 배선채널영역(C)에 배선이 배치되는가의 여부는 셀 외측배선과의 접속상태에 의해 결정된다.

상기와 같은 본 실시형태에 의하면, 신호용단자(Ts)를 짧게 할 수 있으므로, 이 단자(Ts)에 의한 배선용량을 상기 실시형태 1 ~ 3보다 저감할 수 있다. 특히 배선의 신호속도가 엄격한 경우에, 이 기술사상을 적용하는 것에 의해, 배선지연의 저감에 효과가 있다. 이와 같은 본 실시형태의 구조와, 상기 실시형태 1 ~ 3의 구조를 동일 마크로셀내에서 실현하여도 용이하다. 예를들면 특히 위험한 패스가 배치되는 개소에서는 본 실시형태와 같이 신호용단자를 평면정방형으로 하고 그 이외의 개소에서는 상기 실시형태 1 ~ 3과 같이 신호용의 단자(Ts)를 평면장방형으로 하여도 용이하다. 상기에 의해, 칩사이즈의 축소와, 특성(신호속도)향상과의 양립이 가능해진다. 또한, 단자열의 1열째는 상기 실시형태 1과 같이 하고, 단자열 2열째는 본 실시형태와 같이 하거나 혹은 그 역으로 하는 등, 다양한 변경이 가능하다. 이 경우는, 상기 실시형태 2와 동일한 효과가 구해지는 외에 특성(신호속도)의 향상을 도모할 수 있다.

도 16은 상기 마크로셀(MC 6)을 복수 배치한 경우에 셀 외측배선(LC, LA)과 신호용단자(Ts)와의 접속방법의 일례를 나타내고 있다. 여기에서는, 2열째 이후의 마크로셀(MC 6)에 있어서는 셀 외측배선(LC, LA)을 일단 관통홀(TH)을 통하여 배선채널영역(C)내의 배선(LIs 2)에 접속하고, 그 셀내 배선(LIs 2)를 통하여 단자(Ts)와 전기적으로 접속한다.

이와 같이 하여 구성된 반도체장치의 주요부 평면도를 도 17에 나타낸다. 1열째의 마크로셀(MC 6)에 있어서는 신호용단자(Ts)가 통상의 평면 정방향의 단자를 이루고 있다. 셀 외측배선(LA, LA, 관통홀(TH)을 매개하여 1열째의 단자(Ts)와 직접전기적으로 접속되어 있다. 2열째 이후의 마크로셀(MC 6)에 있어서는 셀 외측배선(LC, LA)가 관통홀(TH)을 통하여 제 2 층 배선인 셀 내배선(LI 2)과 전기적으로 접속되어 있다. 이 셀내 배선(LIs2)은 도 17의 Y방향으로 연장되어 단자(Ts)과 접속되어 있다. 즉, 셀 외측배선(LC, LA)은 셀내배선(LIs2)을 통하여 그것과 일체적으로 형성

된 단자(Ts)와 전기적으로 접속되어 있다. 3열째의 마크로셀(MC 6)에서는 그 셀 내 배선(LIs 2)의 Y방향 수치가 2열째의 마크로셀(MC 6)셀 내 배선(LIs 2)보다 길게 이루고 있다. 동일한 길이가 되면, 셀 외측배선(LC, LA)와 3열째의 마크로셀(MC 6) 단자(Ts)와 접속불가능하기 때문이다. 이 예에서는, 칩사이즈를 축소할 수 있다. 또한, 배선용량을 저감할 수 있으므로 특성(신호속도등)을 향상시키는 것이 가능하다.

(실시형태 5)

상기 실시형태 1 ~ 4에서 설명한 회로블록인 마크로셀(MC 1, MC 2, MC 3, MC 6)(이하 마크로 셀(MC)로 대표한다)은 집적회로의 일부를 구성하는 IP부품으로서 사용할 수 있다. 이 마크로셀(MC)을 특정하기 위한 데이터(이하, IP모듈 데이터로 명기)는 자기디스크, 플로피디스크, 하드디스크, CD-ROM, MO(마그네트 옵티컬·디스크)등과 같은 기억매체에 컴퓨터에 의해 판독이 가능한 상태로 기억되어 있다.

이 IP모듈 데이터는 하나의 칩(IC)에 형성되는 집적회로를 컴퓨터를 이용하여 설계하기 때문이다. IP모듈데이터는 칩(IC)에 형성하기 위한 도형패턴을 정하는 도형패턴데이터와, 마크로셀의 기능을 정하는 기능데이터를 갖추고 있다.

도형 패턴 데이터는 예를들면, 반도체장치를 제조할 때 사용되는 마스크 패턴을 형성하기 위한 데이터이고, 예를들면, 마스크패턴을 형성하기 위한 묘화데이터이다. 마스크패턴의 데이터는 칩(IC)상의 반도체영역(활성영역), 소자분리영역, 게이트전극, 배선층, 절연막, 접속구멍(컨택트 홀과 관통홀)등과 같은 회로형성층별로 도형패턴을 규정하는 데이터이고, 리소그래피기술에 있어서의 포토마스크의 패턴을 생성하는 것이 가능한 데이터이다. 또한, 상기 기능데이터는 예를들면 마크로셀의 기능을 HDL(Hardware Description Language)등과 같은 컴퓨터언어로 기능 기술한 데이터이다.

도 18에는 집적회로의 설계에 이용되는 엔지니어링 워크스테이션, 퍼스널 컴퓨터 혹은 설계장치등과 같은 컴퓨터(10)의 일례가 나타나고 있다. 이 컴퓨터(10)는 프로세서 및 메모리등을 실장한 프로세서 보드, 그리고 각종 인터페이스보드를 탑재한 본체(10a)에 디스플레이(10b), 키보드(10c), 디스크드라이브(10d)등과 같은 대표적으로 나타난 주변기기가 접속되어 있다. 상기 도형패턴데이터 및 기능 데이터를 포함하는 IP모듈데이터는 상기 기억매체(11)에 격납되어 있다. 특별히 제한은 두지 않지만, 기억매체(11)에 기억되어 있는 IP모듈 데이터는 그 기억매체(11)를 상기 디스크드라이브(10d)에 장착하는 것으로, 컴퓨터(10)의 본체(10a)에 독입된다. 예를들면 독입된 IP모듈데이터가 HDL에서 기술된 기술데이터인 경우, 상기 컴퓨터(10)는 이것을 해독하여 처리를 실행한다. 해독하여 처리를 실행하기 위하여 상기 컴퓨터(10)는 특정 프로그램을 실행한다. 컴퓨터(10)는 분산처리시스템도 가능하다. 예를들면, 디스크 엑세스, 레이아웃 연산, 맨 머신(man-machine)·인터페이스의 각각을 개개의 컴퓨터를 이용하여 처리시켜, 처리결과를 연휴하여 이용가능하게 하여도 용이하다. 또한, IP모듈데이터의 용량이 커지고 한개의 기억매체(11)에 격납하는 것이 불가능한 경우에는 복수의 기억매체(11)를 지나 상기 IP모듈데이터가 격납되도록 하여도 용이하다. 물론, 상기 IP모듈데이터를 미리 복수의 기억매체(11)에 격납하는 바와 같이 분할하기에 있어서, 복수의 기억매체(11)에 격납하여도 용이하다.

마크로셀(MC)을 채용하는 설계처리는, 상기 기억매체(11)에서 IP모듈 데이터를 컴퓨터(10)에 독입하고, 독입된 IP모듈 데이터에 대응하는 마크로셀(MC)을 하나의 내장모듈로서 포함하는 마이크로 컴퓨터와 같은 반도체장치를 설계하는 처리의 일부에 포함되는 처리로서 위치장착하는 것이 가능하다.

도 19에는 상기 IP모듈 데이터를 이용하여 반도체장치를 설계하는 처리의 일례가 전체적으로 나타나고 있다. 설계처리의 방법은, 이 방법에 의해 형성된 마스크패턴을 이용하여 반도체장치가 제조되기 때문에 이것을 반도체장치의 제조방법으로 견출하는 것이 가능하다.

우선, 논리합성에서는 마크로셀간의 접속등의 처리를 실행한다(공정 100). 여기에서는 고위레벨의 설계데이터(하드웨어 기술언어, 논리식, 진리값표등)에서 논리회로(논리도, 네트리스트등)를 자동생성한다. 최종적인 네트리스트를 생성하기 까지의 논리합성공정에서는 예를들면 논리압축(LogicMinimization), 인수화(Factoring) 및 평탄화(Flatten)등과 같은 주사를 반복하여 논리최적화를 실행한다.

다음으로 논리검증에서는 논리합성된 것을 논리검증한다(공정 101). 여기에서는 설계자가 의도한 바와 같이 논리회로가 동작하는가의 여부를 검증한다. 예를들면 각 논리게이트의 논리동작, 상승/하강시간등과, 네트리스트를 입력하고,테스트벡터(test vector)(논리회로기능을 테스트하기 위한 일련의 입력신호 패턴)를 인가하여 출력된 신호통지를 기대값으로 하고 비교등을 하여 검증한다.

이 논리검증 후, 집적회로전체의 레이아웃 설계가 실행된다(공정 102). 여기에서는, 논리설계를 따라서, 포토마스크의 원화가 되는 마스크 패턴 레이아웃을 작성한다. 반도체장치의 논리회로(네트리스트)에 의거하여, 사양기능을 만족시키도록, 트랜지스터, 저항등과 같은 집적회로소자의 수치를 결정하면서 배치하고, 이들의 집적회로소자간을 배선한다. 여기에서는, 프로세스측에서 디자인 · 룰에 따르지 않으면 되지 않는다. 전기적 특성을 고려하면서 배치배선의 최적화를 실행하고 가능한 한 칩사이즈를 축소한다.

이상, 본 발명자에 의해 이루어진 발명을 실시형태에 의거하여 구체적으로 설명하였지만 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 일탈하지않는 범위에서 다양한 변경이 가능한 것은 물론이다.

예를들면 상기 실시형태 1, 2 에 있어서는 마크로셀에 있어서의 전체 신호용 단자가 평면장방형태인 경우에 대해서 설명하였지만, 여기에 한정되는 것은 아니고 예를들면 평면장방형태의 단자와, 평면정방형태의 통상단자를 배치하는 마크로 셀 구조로 하여도 용이하다. 이 평면정방형태의 단자는 예를들면 복수의 마크로셀에서 공통의 신호용 단자로 하는 것이 가능하다. 상기에 의해, 이 단자군 전체의 점유면적을 축소할 수 있다.

또한, 상기 실시형태 1 ~ 5의 배선구조를 대시한여, 층간절연막에 홈과 구멍을 설치하여 그 안에 도체막(예를들면 동(Cu) 배선)을 매입하는 것으로 배선을 형성하는 이른바 다머신배선 구조를 채용하여도 용이하다.

이상 설명의 요점으로는 본 발명자에 의해 이루어진 발명을 그 배경이 된 이용분야인 SoC에 적용한 경우에 대해서 설명하였지만, 상기에 한정되는 것은 아니고, 예를들면 게이트 어레이와 스탠다드 셀에 대표되는 ASIC(Application Specific IC)등과 같은 다른 반도체장치에도 적용가능하다.

발명의 효과

본 원에 있어서, 개시되는 발명가운데 대표적인 것에 의해 구해지는 효과를 간단하게 설명하면 이하와 같다.

즉, 본 발명에 의하면 회로블록 신호용단자를 복수의 회로블록이 배치되는 제 1 방향으로 교차하는 제 2 방향으로 복수의 채널분을 확보가능한 구조로 하고, 상기 신호용단자의 인출을 상기 신호용단자보다 상층의 배선으로서, 상기 제 1 방향으로 연장하는 제 1 배선에서 실행하는 것에 의해 제 1 방향으로 근접한 회로블록을 간격없이 배치가능하므로 칩사이즈를 축소하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

회로블록 신호용의 단자를, 그 상층의 배선으로서 상기 신호용의 단자와 접속되는 회로블록외측 배선의 연장방향에 대해서 교차하는 방향을 따라서 복수배치하고,

상기 신호용의 단자의 각각을 상기 회로블록외측 배선의 연장방향에 대해서 교차하는 방향으로 복수채널분의 공간이 확보되도록 한 것을 특징으로 하는 반도체장치.

청구항 2.

청구항 1 에 있어서,

상기 회로블록을 상기 회로블록외측 배선의 연장방향을 따라서 복수배치하고, 그 각각의 회로블록의 상기 신호용의 단자와, 상기 회로블록 외측배선을 전기적으로 접속한 것을 특징으로 하는 반도체장치.

청구항 3.

청구항 2 에 있어서,

상기 회로블록가운데 다른 회로블록의 한 집합사이에 배선영역을 설치한 것을 특징으로 하는 반도체장치.

청구항 4.

청구항 1 에 있어서,

상기 신호용의 단자를 상기 회로블록 외측 배선의 연장방향에 대해서 교차하는 방향으로 연장시킨 것을 특징으로 하는 반도체장치.

청구항 5.

청구항 1 에 있어서,

상기 신호용의 단자를 상기 셀 외측배선의 연장방향을 따라서 복수배치하고, 그 셀외측 배선의 연장방향을 따라서 상호 근접하는 신호용의 단자의 위치를 상기 셀 외측배선의 연장방향에 대해서 교차하는 방향으로 이동하여 배치한 것을 특징으로 하는 반도체장치.

청구항 6.

청구항 1 에 있어서,

상기 신호용의 단자를 상기 회로블록의 프레임내에 배치한 것을 특징으로 하는 반도체장치.

청구항 7.

청구항 1 에 있어서,

상기 신호용의 단자를 상기 회로블록내의 최상의 배선층으로 구성한 것을 특징으로 하는 반도체장치.

청구항 8.

청구항 1 에 있어서,

상기 회로블록의 프레임내에 상기 회로블록 외측배선의 연장방향에 대해서 교차하는 방향으로 연장하는 전원용의 단자를 설치한 것을 특징으로 하는 반도체장치.

청구항 9.

청구항 8 에 있어서,

상기 전원용의 단자를 상기 회로블록내의 최상의 배선층으로 구성한 것을 특징으로 하는 반도체장치.

청구항 10.

회로블록의 전원용의 단자를 그 상층의 배선으로서 상기 전원용의 단자와 접속되고, 또한, 상기 회로블록상을 연장하는 전원배선의 연장방향에 대해서 교차하는 방향으로 연장시킨 것을 특징으로 하는 반도체장치.

청구항 11.

청구항 10 에 있어서,

상기 전원용의 단자를 상기 회로블록의 프레임내에 있어서, 끝에서 끝까지 연장시킨 것을 특징으로 하는 반도체장치.

청구항 12.

청구항 10 에 있어서,

상기 전원용의 단자를 상기 회로블록내의 최상의 배선층으로 구성한 것을 특징으로 하는 반도체장치.

청구항 13.

제 1 방향을 따라서 배치된 복수의 회로블록과,

상기 제 1 방향을 따라서 연장되고, 상기 복수의 회로블록간을 전기적으로 접속하는 제 1 배선을 갖추고,

상기 복수의 회로블록의 각각은, 상기 제 1 방향으로 교차하는 제 2 방향을 따라서 복수의 신호용의 단자가 배치되고,

상기 복수의 신호용의 단자의 각각은, 상기 제 2 방향으로 복수의 채널분의 공간이 확보된 구조로 되어 있고,

상기 복수의 신호용의 단자의 각각은, 그 상층의 배선층에 배치된 상기 제 1 배선이 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 14.

청구항 13 에 있어서,

상기 복수의 신호용의 단자의 각각을 상기 제 2 방향으로 연장시킨 것을 특징으로 하는 반도체장치.

청구항 15.

청구항 13 에 있어서,

상기 복수의 신호용의 단자의 각각을 상기 제 1 방향을 따라서 복수배치하고, 그 제 1 방향으로 상호 근접하는 신호용의 단자의 위치를 상기 제 2 방향으로 이동하여 배치한 것을 특징으로 하는 반도체장치.

청구항 16.

청구항 13 에 있어서,

상기 복수 신호용 단자의 각각을 상기 회로블록의 프레임내에 배치한 것을 특징으로 하는 반도체장치.

청구항 17.

청구항 13 에 있어서,

상기 복수의 신호용 단자의 각각을 상기 회로블록내의 최상의 배선층으로 구성한 것을 특징으로 하는 반도체장치.

청구항 18.

청구항 13 에 있어서,

상기 회로블록의 프레임내에 상기 제 2 방향으로 연장하는 전원용의 단자를 설치한 것을 특징으로 하는 반도체장치.

청구항 19.

청구항 18 에 있어서,

상기 전원용의 단자를 상기 회로블록내의 최상의 배선층으로 구성한 것을 특징으로 하는 반도체장치.

청구항 20.

청구항 13 에 있어서,

상기 회로블록은 메모리회로이고,

상기 제 1 배선은 어드레스 신호용의 배선을 구성하고,

상기 제 1 배선은 상기 회로블록에 공통으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 21.

청구항 13 에 있어서,

상기 상기 회로블록은 메모리회로이고,

상기 제 1 배선은 데이터 입력용의 배선이고,

상기 제 1 배선은 상기 회로블록에 공통으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 22.

청구항 13 에 있어서,

상기 회로블록은 다른 클록신호용의 배선에 접속되는 것을 특징으로 하는 반도체장치.

청구항 23.

청구항 1에 있어서,

상기 상기 회로블록은 메모리회로이고,

상기 신호용의 단자는 상기 메모리회로의 입출력회로 영역상에 형성되는 것을 특징으로 하는 반도체장치.

청구항 24.

(a) 복수의 회로블록을 제 1 방향을 따라서 배치하는 공정과,

(b) 상기 복수의 회로블록간을 상기 제 1 방향으로 연장하는 제 1 배선에 의해 전기적으로 접속하는 공정을 갖추고,

상기 복수의 회로블록의 각각은 상기 제 1 방향에 교차하는 제 2 방향을 따라서 복수의 신호용단자가 배치되고,

상기 복수의 신호용단자의 각각은 상기 제 2 방향으로 복수의 채널분의 공간이 확보된 구조를 이루고 있고,

상기 제 1 배선은 상기 신호용단자보다 상층의 배선층에 배치되고 상기 신호용의 단자와 전기적으로 접속되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 25.

반도체칩에 형성되는 집적회로를 설계하기 위한 데이터가 기억된 기억매체로서,

상기 기억매체에 기억된 데이터는 제 1 방향을 따라서 배치된 복수의 회로블록의 데이터와, 상기 제 1 방향을 따라서 연장되고, 상기 복수의 회로블록간을 전기적으로 접속하는 제 1 배선의 데이터를 갖추고,

상기 복수의 회로블록의 각각은, 상기 제 1 방향으로 교차하는 제 2 방향을 따라서 배치된 복수의 신호용 단자의 데이터를 갖추고,

상기 복수의 신호용단자의 각각은, 상기 제 2 방향으로 복수의 채널분의 공간이 확보된 구조의 데이터를 갖추고,

상기 복수의 신호용단자의 각각과, 그 상층의 배선층에 배치된 상기 제 1 배선과의 접속상태의 데이터를 갖추고 있는 것을 특징으로 하는 기억매체.

청구항 26.

청구항 25 에 있어서,

상기 복수의 신호용단자의 각각을, 상기 제 2 방향으로 연장시킨 상태로 배치하는 데이터를 갖추는 것을 특징으로 하는 기억매체.

청구항 27.

청구항 25 에 있어서,

상기 복수의 신호용단자의 각각을, 상기 제 1 방향을 따라서 복수배치하고, 그 제 1 방향으로 상호 근접하는 신호용단자의 위치를 상기 제 2 방향으로 이동하여 배치하는 데이터를 갖추는 것을 특징으로 하는 기억매체.

청구항 28.

청구항 25 에 있어서,

상기 복수의 신호용단자의 각각을, 상기 회로블록의 프레임내에 배치하는 데이터를 갖추는 것을 특징으로 하는 기억매체.

청구항 29.

청구항 25 에 있어서,

기억매체를 이용하여 반도체집적회로를 설계하는 것을 특징으로 하는 기억매체.

청구항 30.

청구항 14 에 있어서,

상기 회로블록은 메모리회로이고,

상기 신호용단자는 상기 메모리회로의 입출력회로영역상에 형성되는 것을 특징으로 하는 반도체장치.

청구항 31.

청구항 30 에 있어서,

상기 제 1 배선은 어드레스 신호용의 배선 또는 데이터용의 배선인 것을 특징으로 하는 반도체장치.

청구항 32.

청구항 24 에 있어서,

상기 회로블록은 메모리회로이고,

상기 신호용단자는 상기 메모리회로의 입출력회로영역상에 형성되는 것을 특징으로 하는 반도체장치.

청구항 33.

제 1 방향을 따라서 배치된 복수의 메모리회로와,

상기 복수의 메모리회로에 전기적으로 접속하는 복수의 제 1 배선을 갖추고,

상기 복수의 메모리회로의 각각에는 신호용단자가 배치되고,

상기 복수의 제 1 배선은, 상기 신호용단자의 상층의 배선층에 형성되고, 또한 상기 신호용단자상을 상기 제 1 방향을 따라서 연장하고,

상기 신호용단자의 각각은, 상기 제 1 방향으로 교차하는 제 2 방향으로 복수의 채널분의 공간이 확보된 구조를 이루고 있고,

상기 복수의 제 1 배선은 각각, 상기 복수의 채널내의 다른 채널상에 배치되고, 상기 제 1 방향에 배치된 복수의 메모리회로의 신호용단자내의 다른 신호용의 단자에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체장치.

청구항 34.

청구항 33 에 있어서,

상기 제 1 배선과 동일층의 배선층으로 형성된 제 2 배선을 갖추고,

상기 제 2 배선은 동일한 채널상에 위치하는 상기 복수의 메모리회로의 신호용단자의 각각에 전기적으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 35.

청구항 33 에 있어서,

상기 제 1 배선은 어드레스신호용의 배선인 것을 특징으로 하는 반도체장치.

청구항 36.

청구항 33 에 있어서,

상기 제 1 배선은 데이터용 배선인 것을 특징으로 하는 반도체장치.

청구항 37.

청구항 33 에 있어서,

상기 제 1 배선은 클록신호용의 배선인 것을 특징으로 하는 반도체장치.

청구항 38.

청구항 33 에 있어서,

상기 신호용단자는 상기 메모리회로의 입출력회로 영역상에 형성되는 것을 특징으로 하는 반도체장치.

청구항 39.

청구항 34 에 있어서,

상기 제 1 배선은, 어드레스 신호용의 배선과 데이터용 배선내의 한쪽이고,

상기 제 2 배선은 어드레스 신호용의 배선과 데이터용 배선내의 다른쪽인 것을 특징으로 하는 반도체장치.

청구항 40.

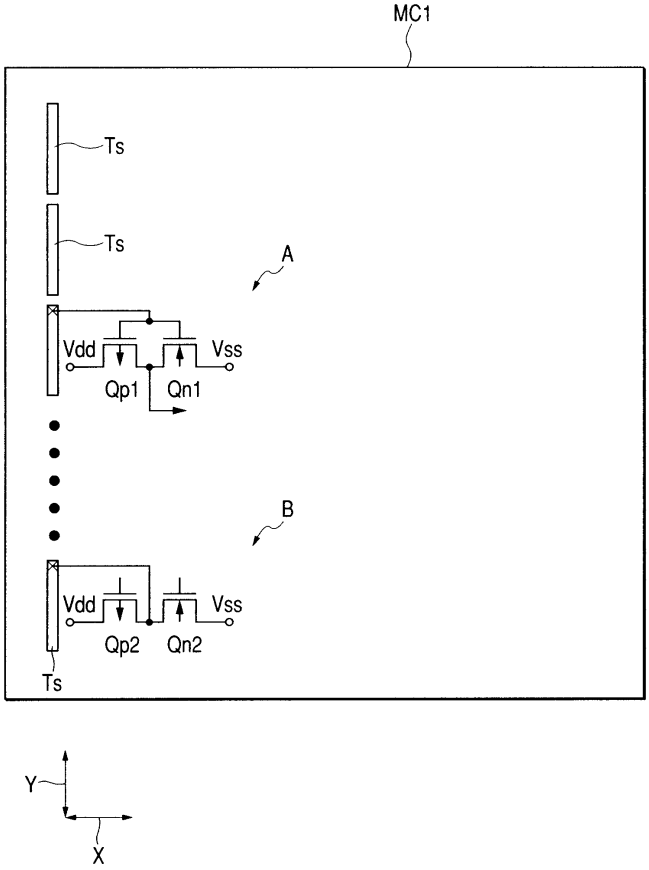
청구항 33 에 있어서,

상기 메모리회로의 각각에 있어서,

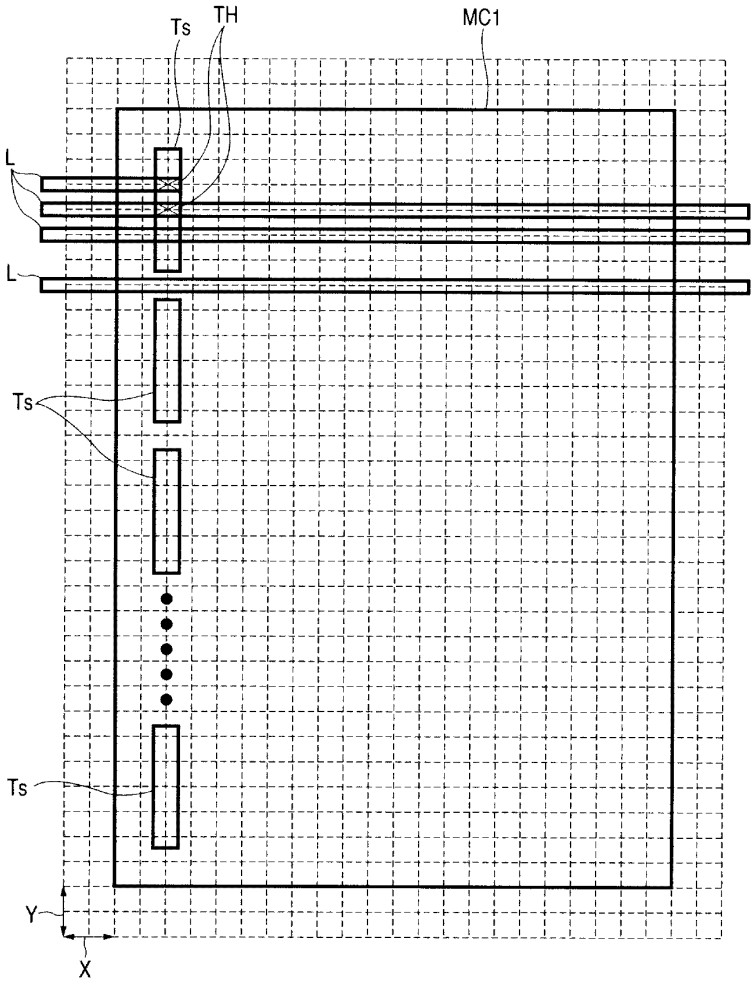
상기 신호용단자는 상기 제 1 방향 및 제 2 방향으로 복수배치되며, 상기 제 1 방향으로 근접하는 신호용단자의 위치가 상기 제 2 방향으로 이동하여 배치되는 것을 특징으로 하는 반도체장치.

도면

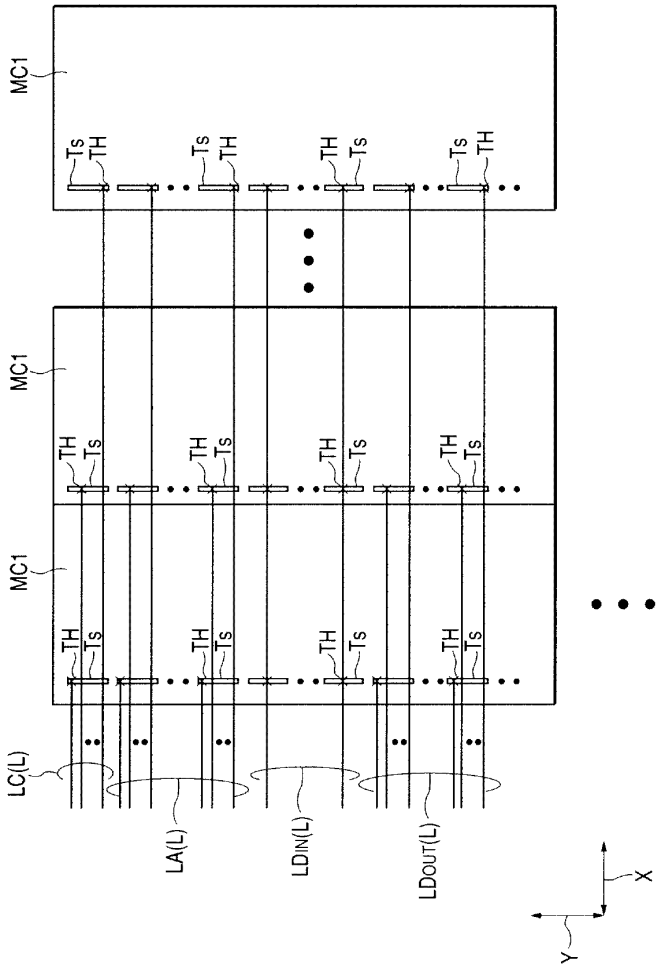
도면 1



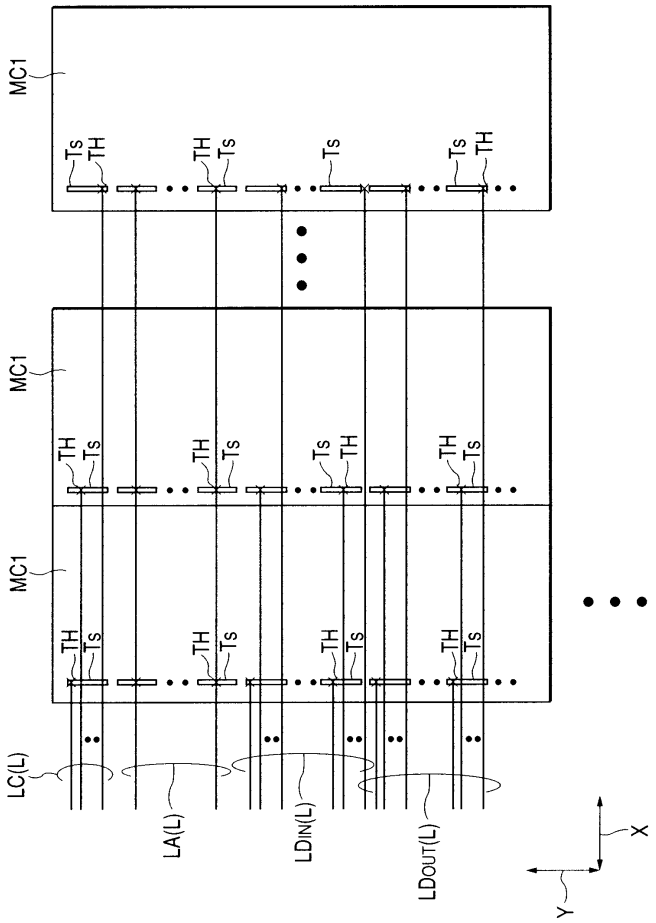
도면 2



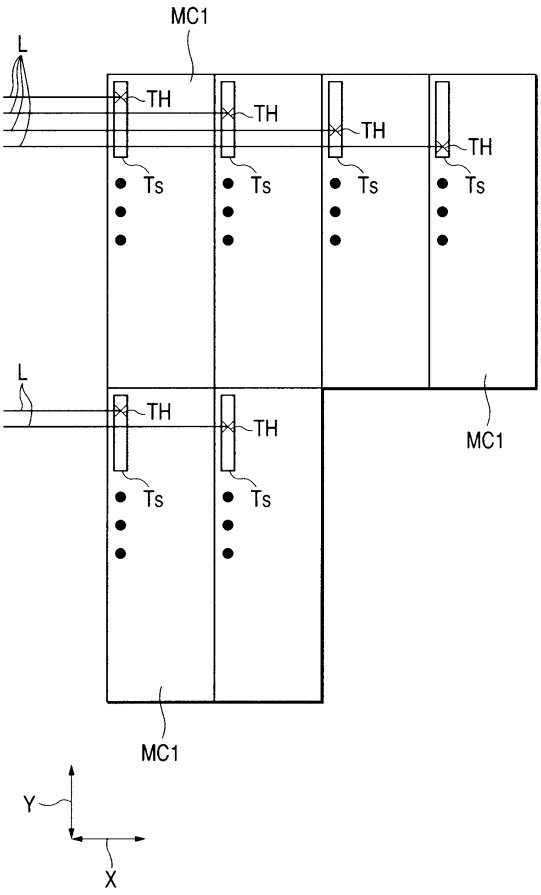
도면 3



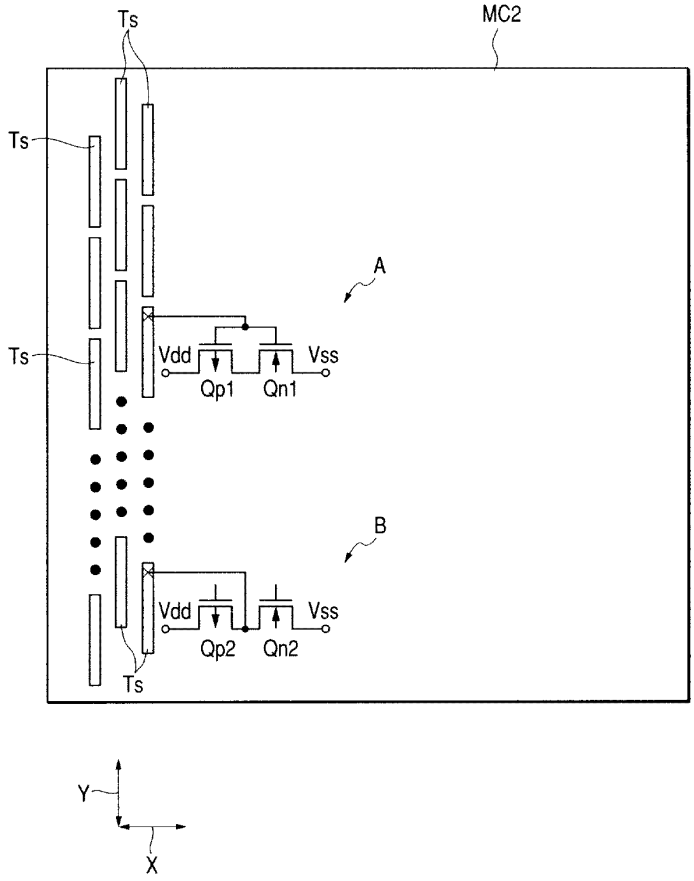
도면 4



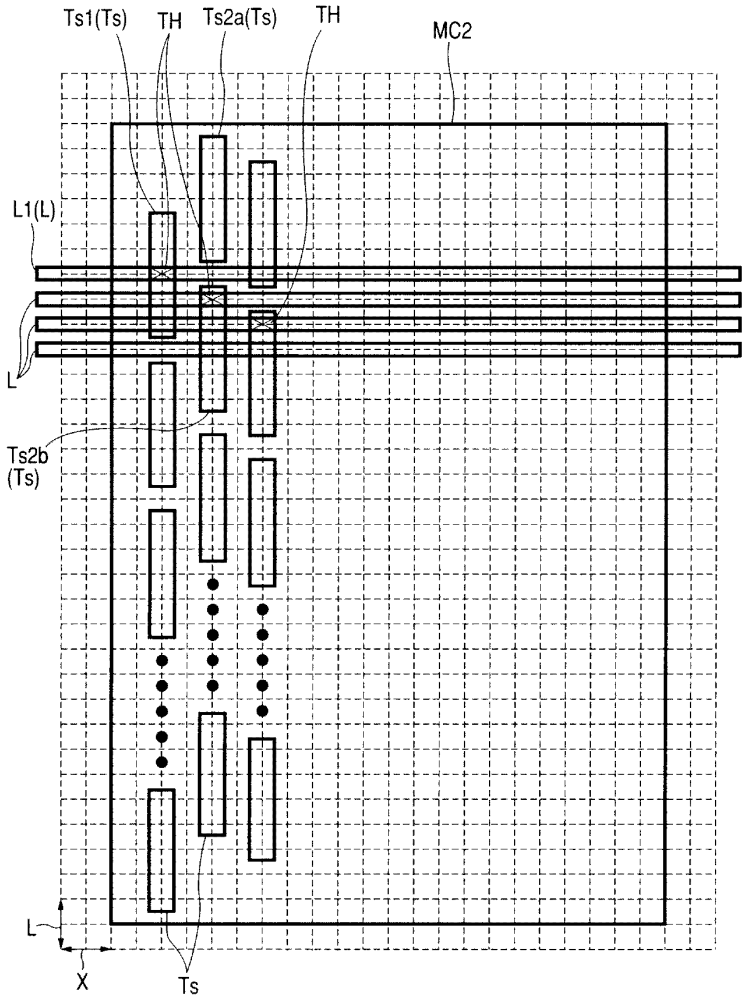
도면 5



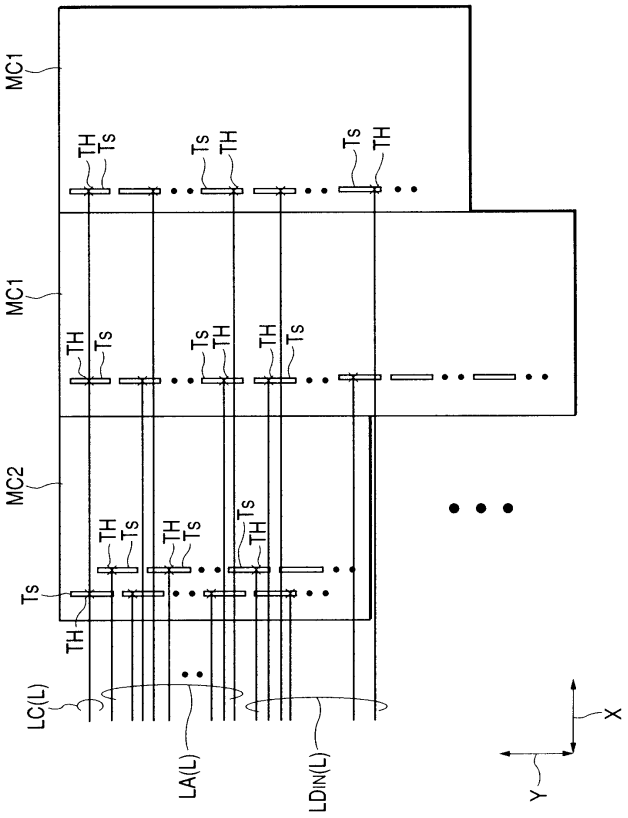
도면 6



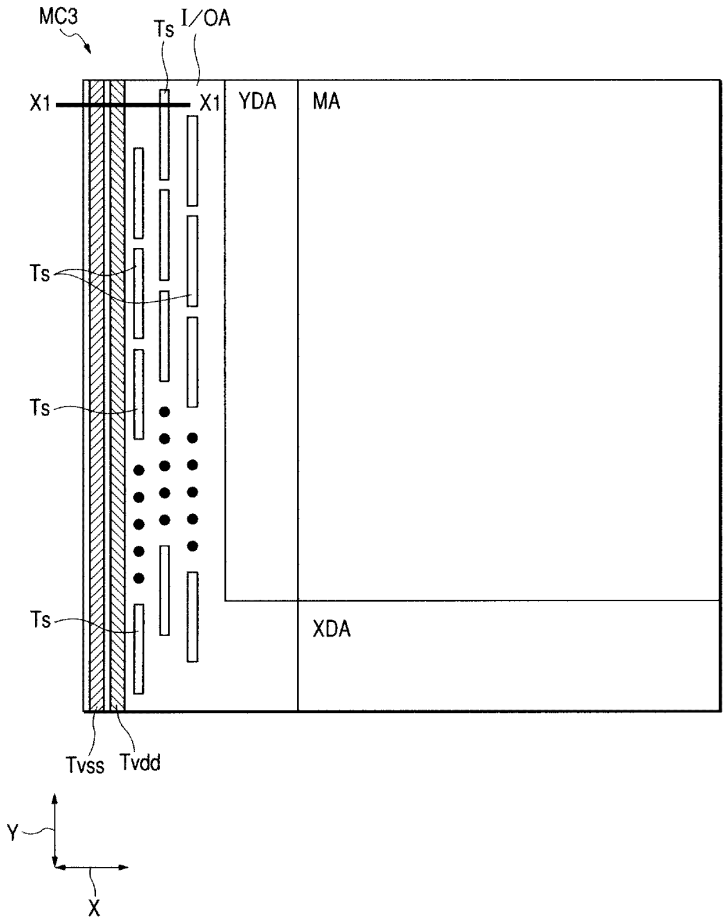
도면 7



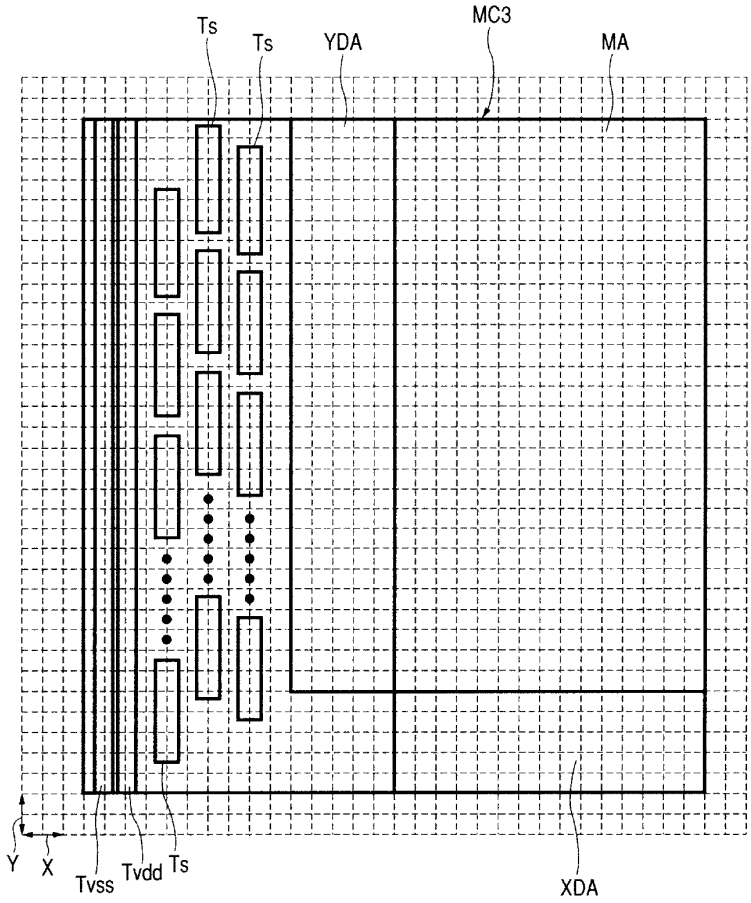
도면 8



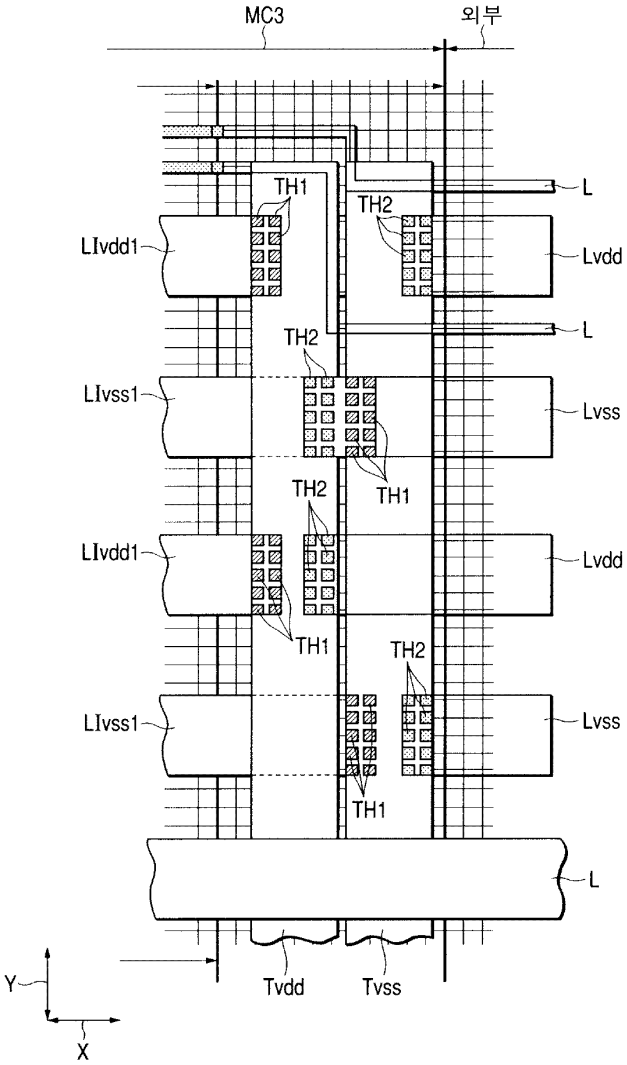
도면 9



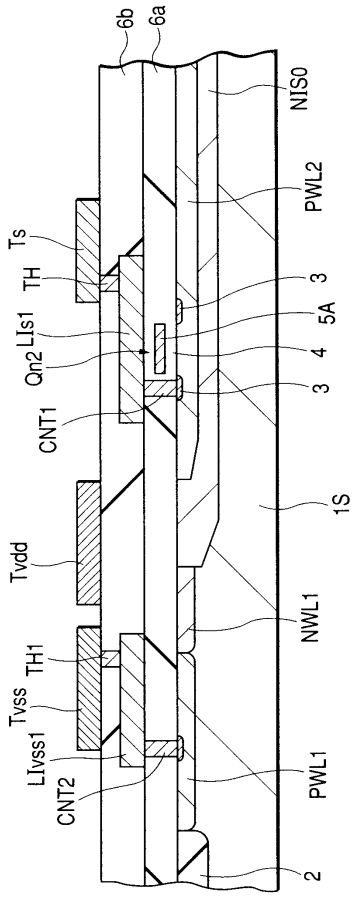
도면 10



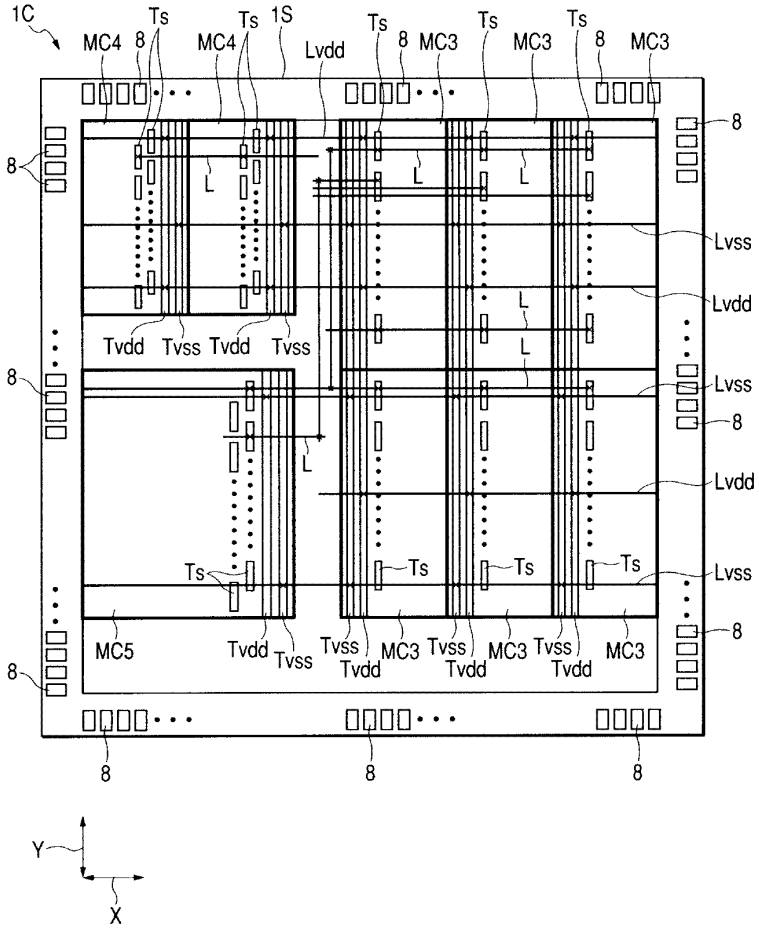
도면 11


MC3
외부
TH1
TH2
L
LIvdd1
Lvdd
TH2
L
LIvss1
Lvss
TH2
TH1
LIvdd1
Lvdd
TH1
TH2
LIvss1
Lvss
TH1
L
Tvdd
Tvss
Y
X

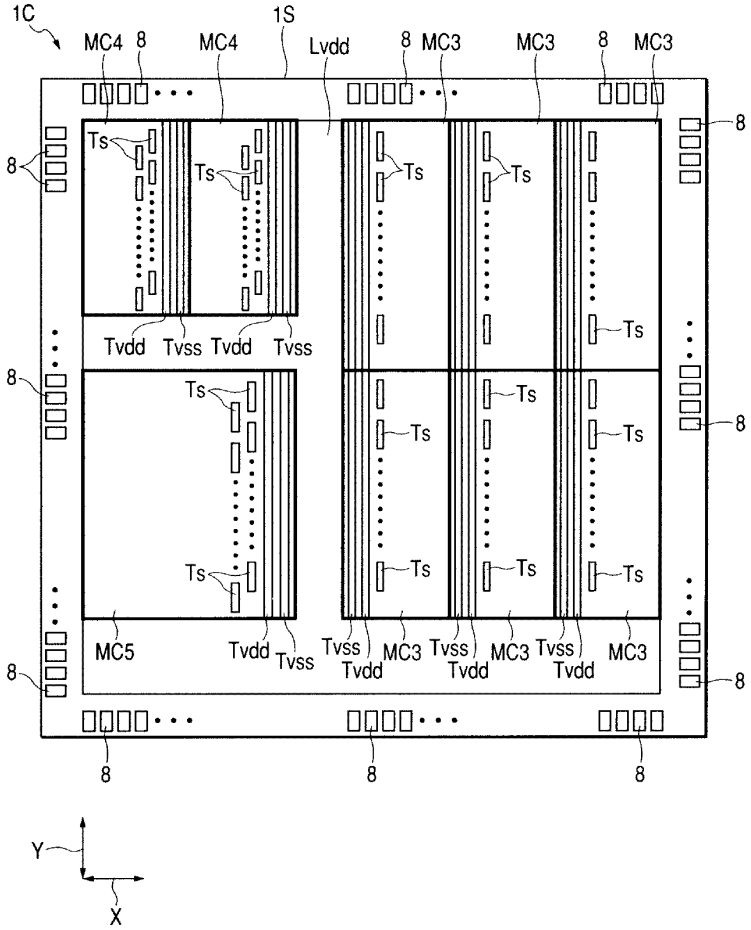
도면 12


6b
6a
NIS0
PWL2
Ts
TH
3
5A
LIs1
Qn2
4
3
CNT1
1S
Tvdd
NWL1
TH1
Tvss
LIvss1
CNT2
PWL1
2

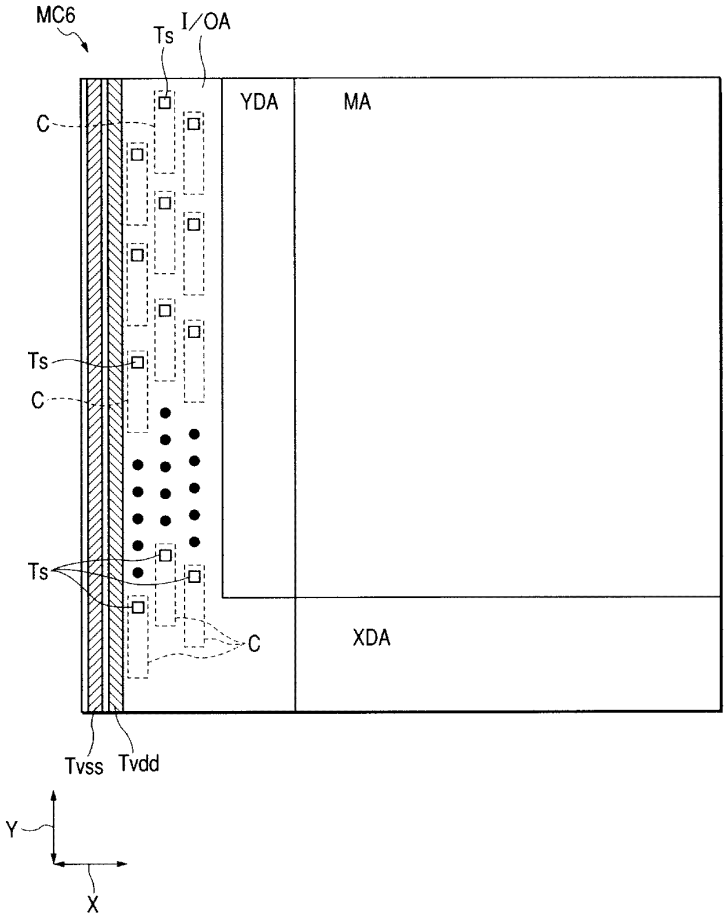
도면 13



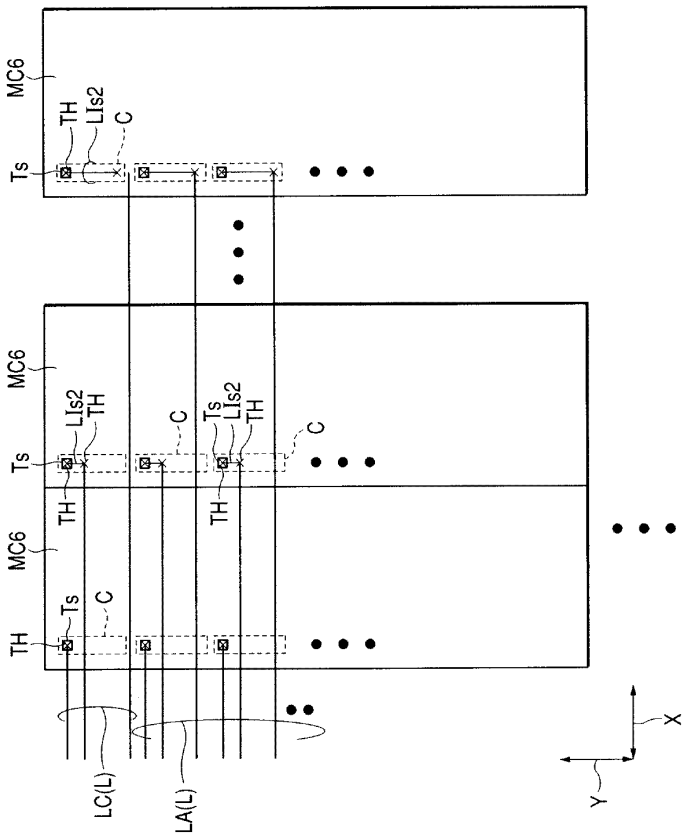
도면 14



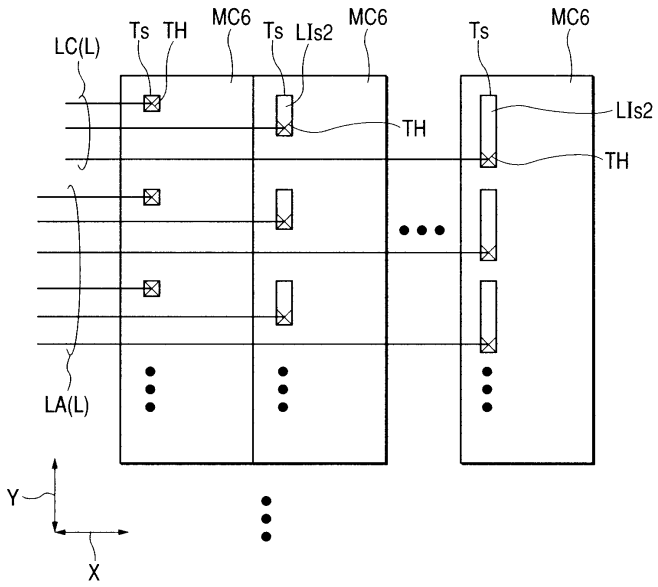
도면 15



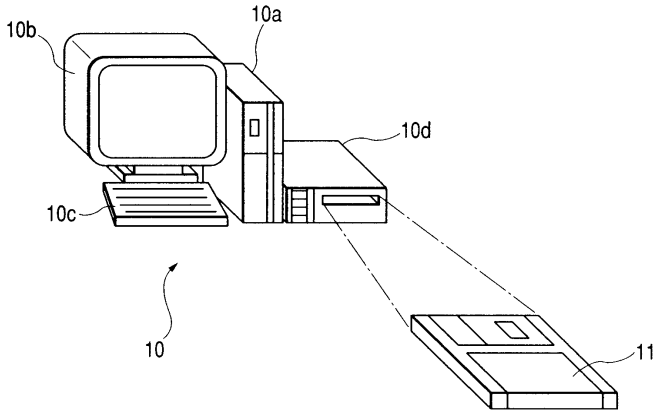
도면 16


MC6
TH
LIs2
C
Ts
MC6
LIs2
TH
C
Ts
LIs2
TH
C
Ts
TH
TH
MC6
Ts
C
TH
LC(L)
LA(L)
X
Y

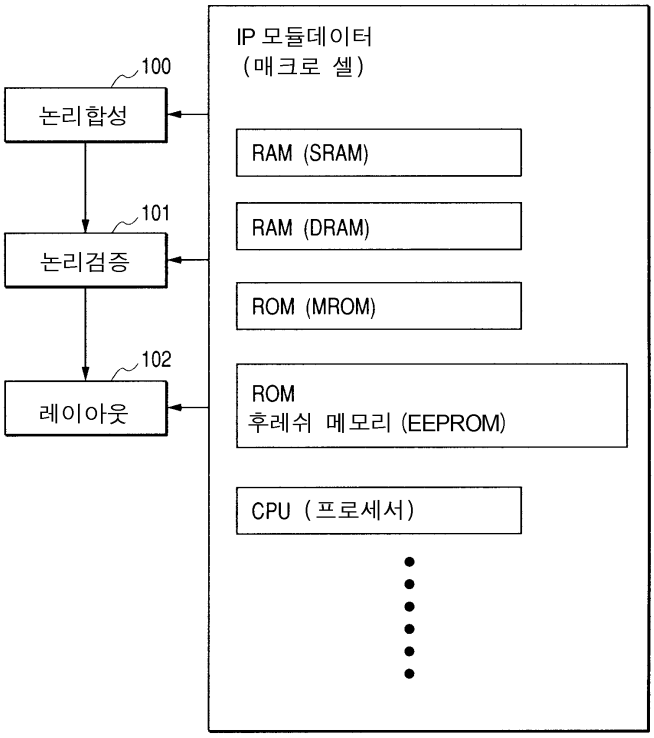
도면 17


LC(L)
Ts
TH
MC6
Ts
LIs2
MC6
Ts
MC6
TH
LIs2
TH
LA(L)
Y
X

도면 18


10b
10a
10d
10c
10
11

도면 19


IP 모듈데이터
(매크로 셀)
100
논리합성
101
논리검증
102
레이아웃
RAM (SRAM)
RAM (DRAM)
ROM (MROM)
ROM
후레쉬 메모리 (EEPROM)
CPU (프로세서)

도면 20