

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년10월02일
<i>H01L 27/146</i> (2006.01)	(11) 등록번호	10-0630704
<i>H01L 31/10</i> (2006.01)	(24) 등록일자	2006년09월26일

(21) 출원번호	10-2004-0083968	(65) 공개번호	10-2006-0034926
(22) 출원일자	2004년10월20일	(43) 공개일자	2006년04월26일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 류정호
 경기 수원시 영통구 영통동 황골마을 풍림아파트 232-2004

(74) 대리인 리엔목특허법인
 이해영

(56) 선행기술조사문헌

JP2002246581 A	KR1020010082096 A
KR1020030008481 A	KR1020050014078 A

* 심사관에 의하여 인용된 문헌

심사관 : 양성지

(54) 비평면 구조의 트랜지스터를 구비한 CMOS 이미지 센서 및 그 제조 방법

요약

트랜스퍼 트랜지스터가 비평면 구조를 가지는 CMOS 이미지 센서 및 그 제조 방법에 관하여 개시한다. 포토다이오드에 축적된 신호 전하를 플로팅 확산 영역으로 운송하는 트랜스퍼 트랜지스터는 기판의 주면에 대하여 수직인 2개의 수직 채널면을 가진다.

대표도

도 4b

색인어

CIS, 트랜스퍼 트랜지스터, 트리플 게이트, 수직 채널

명세서

도면의 간단한 설명

도 1은 일반적인 CIS의 구성도이다.

도 2는 일반적인 CIS 단위 픽셀의 등가회로도이다.

도 3은 본 발명의 제1 실시예에 따른 CIS를 구현하기 위한 예시적인 단위 픽셀의 레이아웃이다.

도 4a는 도 3의 IVa - IVa'선 단면도이다.

도 4b는 도 3의 IVb - IVb'선 단면도이다.

도 4c는 도 3의 IVc - IVc'선 단면도이다.

도 4d는 본 발명의 제1 실시예에 따른 CIS의 포토다이오드 및 트랜스퍼 트랜지스터 게이트의 일부절결 사시도 (partially cutaway perspective view)이다.

도 4e는 본 발명의 제1 실시예에 따른 CIS에서 트랜스퍼 트랜지스터가 온(ON) 상태일 때 트랜스퍼 트랜지스터의 게이트 하부의 채널 영역에서의 전위 프로파일이다.

도 5a 및 도 5b는 본 발명의 제2 실시예에 따른 CIS의 요부 단면도들이다.

도 5c는 본 발명의 제2 실시예에 따른 CIS의 포토다이오드 및 트랜스퍼 트랜지스터 게이트의 일부절결 사시도이다.

도 6은 본 발명의 제3 실시예에 따른 CIS를 구현하기 위한 예시적인 단위 픽셀의 레이아웃이다.

도 7a는 도 6의 VIIa - VIIa'선 단면도이다.

도 7b는 도 6의 VIIb - VIIb'선 단면도이다.

도 8은 본 발명의 제4 실시예에 따른 CIS를 구현하기 위한 예시적인 단위 픽셀의 레이아웃이다.

도 9는 본 발명의 제5 실시예에 따른 CIS를 구현하기 위한 예시적인 단위 픽셀의 레이아웃이다.

도 10은 본 발명의 제6 실시예에 따른 CIS를 구현하기 위한 예시적인 단위 픽셀의 레이아웃이다.

도 11a 및 도 11b 내지 도 18a 및 도 18b는 본 발명의 제1 실시예에 따른 CIS의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 19a 및 도 19b 내지 도 22a 및 도 22b는 본 발명의 제2 실시예에 따른 CIS의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 23a 및 도 23b는 본 발명의 제3 실시예에 따른 CIS의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 반도체 기판, 102: 소자분리막, 110: 활성 영역, 110a: 포토다이오드 영역, 110b: 트랜지스터 영역, 104: 메사형 활성 영역, 104a, 104b: 측벽, 104c, 104d: 상면, 106: 메사형 활성 영역, 106a, 106b: 측벽, 106c: 상면, 108: 상면, 112: 제1 마스크 패턴, 113: 불순물 이온, 114: 제2 마스크 패턴, 115: 불순물 이온, 116: 제3 마스크 패턴, 117: 리세스, 118: 절연막, 119: 도전층, 120: 게이트, 120a: 제1 게이트, 120b: 제2 게이트, 120c: 제3 게이트, 126: 게이트 절연막, 130: 게이트, 130a: 제1 게이트, 130b: 제2 게이트, 130c: 제3 게이트, 132: 소스, 134: 콘택, 136: 게이트 절연막, 140: 게이트, 144: 콘택, 150: 게이트, 152: 제4 마스크 패턴, 154: 불순물 이온, 155: HAD 영역, 156: 포토다이오드, 160: 플로팅 확산 영역, 162: 절연 스페이서, 216: 제5 마스크 패턴, 217a: 제1 리세스, 217b: 제2 리세스, 220: 게이트, 220a: 제1 게이트, 220b: 제2 게이트.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 광학 이미지를 전기 신호로 변환시키는 이미지 센서 및 그 제조 방법에 관한 것으로, 특히 CMOS 이미지 센서(CMOS image sensor, 이하 "CIS"라 함) 및 그 제조 방법에 관한 것이다.

최근, 휴대전화, PDA (personal digital assistants), 디지털 카메라 등과 같은 새로운 기술 분야에 있어서 CIS 및 CCD가 주로 사용되고 있다. 그 중, CIS는 2차원으로 배치된 포토다이오드에 입사한 광을 신호 전하(전자)로 변환시켜 시간 축에 따라 순차로 신호 전압으로 읽어내는 원리는 CCD와 유사하나, 신호 전하를 전압으로 바꾸는 장소와, 신호를 출력 단자까지 전송하는 방법에 있어서 CCD와 차이가 있다. CIS는 복수의 단위 픽셀에서 전하를 전압으로 변환하여 신호선에서 스위칭 동작에 의하여 신호를 출력한다.

도 1은 일반적인 CIS의 구성도이다.

도 1을 참조하면, CIS(10)는 회로 기판상에 형성된 픽셀 어레이 영역(20) 및 CMOS 제어 회로(30)를 포함한다. 픽셀 어레이 영역(20)은 매트릭스(matrix) 형태로 배치된 복수의 단위 픽셀(22)을 포함한다. 상기 픽셀 어레이 영역(20)의 주위에 배치되어 있는 상기 CMOS 제어 회로(30)는 복수의 CMOS 트랜지스터들(도시되지 않음)로 구성되며, 상기 픽셀 어레이 영역(20)의 각 단위 픽셀(22)에 일정한 신호를 제공하거나 출력 신호를 제어한다.

CIS(10)의 단위 픽셀(22) 구조는 픽셀을 구성하는 요소에 따라 다양하며, 지금까지 1 ~ 5개의 트랜지스터를 구비한 구조가 널리 응용되고 있다.

도 2는 1개의 포토다이오드 및 4개의 트랜지스터로 구성된 CIS 단위 픽셀(22)의 등가회로도이다.

도 2를 참조하면, 단위 픽셀(22)은 광을 인가받아 광 전하를 생성하는 포토다이오드(PD), 상기 포토다이오드(PD)에서 생성된 신호 전하를 플로팅 확산 영역(FD: floating diffusion region)에 운송하는 트랜스퍼 트랜지스터(Tx), 상기 플로팅 확산 영역(FD)에 저장되어 있는 전하를 주기적으로 리셋(reset)시키는 리셋 트랜지스터(Rx), 소스 팔로워 버퍼 증폭기(source follower buffer amplifier) 역할을 하며 상기 플로팅 확산 영역(FD)에 충전된 전하에 따른 신호를 버퍼링(buffering)하는 드라이브 트랜지스터(Dx), 그리고 상기 단위 픽셀(22)을 선택하기 위한 스위칭(switching) 및 어드레싱(addressing) 역할을 하는 셀렉트 트랜지스터(Sx)를 포함한다. 도 2에 있어서, "RS"는 리셋 트랜지스터(Rx)의 게이트에 인가되는 신호이고, "TG"는 트랜스퍼 트랜지스터(Tx)의 게이트에 인가되는 신호이다.

상기 트랜스퍼 트랜지스터(Tx)의 역할은 수광부인 포토다이오드(PD)에서 생성된 전자를 드라이브 트랜지스터(Dx)의 게이트와 리셋 트랜지스터(Rx)의 소스로 잘 전달하는 것이다. 그러나, 영상 소자의 집적도가 증가함에 따라 단위 픽셀의 크기도 줄어들고 있다. 이에 따라 트랜스퍼 트랜지스터(Tx)가 차지하는 면적도 줄어들어 트랜스퍼 트랜지스터(Tx)의 게이트 길이 및 폭이 점차 감소하는 추세이다. 이와 같이 축소된 사이즈의 게이트를 구비한 트랜스퍼 트랜지스터(Tx)에서는 전자 전달 특성이 열화되어 포토다이오드(PD)에 축적된 신호 전하를 모두 플로팅 확산 영역(FD)까지 전달하는 능력이 감소되고, 그 결과 이미지 소자에서 잔상(image lag) 문제를 초래하게 된다.

종래 기술에서는, 트랜스퍼 트랜지스터(Tx)의 전달 특성을 열화시키지 않고 포토다이오드에 모인 전자를 플로팅 확산 영역(FD)까지 잘 전달시키기 위한 시도로써 포토다이오드(PD) 영역 형성을 위한 이온 주입 조건을 변경하고자 하는 시도가 있었다. 그 중 하나로서, 포토다이오드(PD) 영역 형성을 위한 N형 이온주입 에너지를 낮추는 방법을 이용하였다. 이 방법에 따르면 빛이 전자로 변환되는 영역이 감소되어 파장별 양자 효율의 감소 및 감도의 저하를 초래하게 된다. 또한, 종래 기술에서는 얇은 영역의 포토다이오드(PD)에서 충분한 포화 신호를 얻기 위해 높은 도즈(dose)의 N형 이온을 주입하는 시도도 있었다. 이 경우 N형 포토다이오드(PD) 영역과 상기 포토다이오드(PD) 영역의 표면에 형성되는 HAD (hole accumulated diode) 영역인 P형 확산 영역과의 사이에 강한 전기장이 발생하게 되고 이는 포토다이오드(PD) 영역에서의 결합 발생율을 증가시키게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술에서의 문제들을 해결하고자 하는 것으로, 포토다이오드 영역에서의 결함 발생을 야기하지 않고 포토다이오드에서 발생된 전자를 모두 효과적으로 잘 전달할 수 있는 트랜스퍼 트랜지스터를 구비한 CMOS 이미지 센서를 제공하는 것이다.

본 발명의 다른 목적은 전자 전달 특성이 우수한 트랜스퍼 트랜지스터의 게이트 구조를 간단한 공정으로 구현할 수 있는 CMOS 이미지 센서의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명이 제1 양태에 따른 CMOS 이미지 센서는 기판상의 활성 영역에 형성되어 있는 포토다이오드와, 상기 포토다이오드로부터 전달된 전하를 저장하는 플로팅 확산 영역과, 상기 포토다이오드에 축적된 전하를 상기 플로팅 확산 영역으로 전달하기 위한 트랜스퍼 트랜지스터를 포함한다. 상기 활성 영역의 일부를 구성하는 메사형 활성 영역은 상기 기판의 주면에 대하여 수직인 수직 채널면에 따라 상기 트랜스퍼 트랜지스터의 채널 경로를 제공하는 양 측면을 가진다. 트랜스퍼 트랜지스터 게이트는 상기 메사형 활성 영역의 양 측면 위에서 상기 기판의 주면에 대하여 수직으로 연장되어 있는 제1 게이트 및 제2 게이트를 포함한다.

상기 기판에는 활성 영역을 정의하기 위한 소자분리막이 형성되어 있다. 상기 트랜스퍼 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면보다 얇은 깊이까지 상기 기판의 주면에 대하여 수직으로 연장될 수 있다. 또는, 상기 트랜스퍼 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면과 동일한 레벨까지 상기 기판의 주면에 대하여 수직으로 연장될 수 있다.

바람직하게는, 상기 메사형 활성 영역은 상기 기판의 주면에 대하여 평행한 수평 채널면에 따라 상기 트랜스퍼 트랜지스터의 채널 경로를 제공하도록 상기 기판의 주면에 대하여 평행하게 연장되어 있는 상면을 더 포함한다. 또한, 상기 트랜스퍼 트랜지스터 게이트는 상기 제1 게이트 및 제2 게이트 사이에서 상기 메사형 활성 영역의 상면을 덮도록 연장되어 있는 제3 게이트를 더 포함한다. 상기 메사형 활성 영역의 상면은 상기 포토다이오드의 표면과 동일 평면상에 위치될 수도 있고, 상기 포토다이오드의 표면보다 낮은 레벨의 평면상에 위치될 수도 있다.

상기 활성 영역은 상기 포토다이오드가 형성되어 있는 포토다이오드 영역과, 복수의 트랜지스터가 형성되어 있는 트랜지스터 영역으로 구분된다. 그리고, 상기 트랜스퍼 트랜지스터는 상기 활성 영역에서 상기 포토다이오드 영역과 상기 트랜지스터 영역과의 경계면 부근에 형성되어 있다.

본 발명의 제1 양태에 따른 CMOS 이미지 센서는 상기 활성 영역에 형성되어 있는 적어도 하나의 MOS 트랜지스터를 더 포함한다. 상기 MOS 트랜지스터는 상기 플로팅 확산 영역을 주기적으로 리셋시키는 리셋 트랜지스터, 상기 플로팅 확산 영역에 충전된 전하에 따른 신호를 버퍼링하는 드라이브 트랜지스터, 또는 단위 픽셀을 선택하기 위한 셀렉트 트랜지스터를 구성할 수 있다. 바람직하게는, 상기 MOS 트랜지스터는 상기 활성 영역의 일부인 양 측면 및 상면을 가지는 메사형 활성 영역 위에 형성되어 있는 게이트를 포함한다. 상기 MOS 트랜지스터의 게이트는 상기 메사형 활성 영역의 양 측면을 각각 덮고 있는 제1 게이트 및 제2 게이트와, 상기 메사형 활성 영역의 상면을 덮고 있는 제3 게이트로 이루어질 수 있다. 상기 메사형 활성 영역의 양 측면은 각각 상기 기판의 주면에 대하여 수직인 수직 채널면에 따라 상기 MOS 트랜지스터의 수직 채널 경로를 제공하고, 상기 메사형 활성 영역의 상면은 상기 기판의 주면에 대하여 평행하게 연장되는 수평 채널면에 따라 상기 MOS 트랜지스터의 수평 채널 경로를 제공한다. 상기 MOS 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 기판의 활성 영역을 정의하도록 상기 기판에 형성된 소자분리막의 저면보다 얇은 깊이까지 상기 기판의 주면에 대하여 수직으로 연장될 수 있다. 또는, 상기 MOS 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면과 동일한 레벨까지 상기 기판의 주면에 대하여 수직으로 연장될 수 있다.

상기 목적을 달성하기 위하여, 본 발명의 제2 양태에 따른 CMOS 이미지 센서는 CMOS 제어 회로와, 적어도 플로팅 확산 영역, 트랜스퍼 트랜지스터 및 소스 팔로워 버퍼 증폭기를 구비하는 트랜지스터 영역과, 포토다이오드 영역을 각각 가지는 복수의 픽셀을 포함한다. 상기 포토다이오드 영역에는 포토다이오드가 형성되어 있고, 상기 픽셀 내에는 활성 영역이 소자분리막에 의하여 소정 형상으로 정의되어 있다. 상기 활성 영역은 측면 및 상면을 가지며 상기 측면중 그 일부인 상호 반대 방향의 제1 측면부 및 제2 측면부를 제외한 부분이 상기 소자분리막과 직접 접해 있다. 상기 트랜지스터 영역은 상기 제1 측면부 및 제2 측면부를 각각 덮는 제1 게이트 및 제2 게이트를 포함하는 적어도 1개의 멀티-게이트 트랜지스터를 포함한다.

상기 멀티-게이트 트랜지스터는 그 게이트가 상기 제1 게이트 및 제2 게이트로 이루어지는 더블(double) 게이트 구조를 가질 수 있다. 또는, 상기 멀티-게이트 트랜지스터는 그 게이트가 상기 제1 게이트, 상기 제2 게이트, 상기 활성 영역의 상면 위에서 상기 제1 게이트로부터 상기 제2 게이트까지 연장되어 있는 제3 게이트로 이루어지는 트리플(tripple) 게이트 구조를 가질 수 있다.

상기 멀티-게이트 트랜지스터는 상기 포토다이오드로부터 상기 플로팅 확산 영역까지 전하를 전달하기 위한 상기 트랜스퍼 트랜지스터를 구성할 수 있다.

또는, 상기 멀티-게이트 트랜지스터는 상기 포토다이오드로부터 상기 플로팅 확산 영역까지 전하를 전달하기 위한 제1 트랜지스터와, 상기 제1 트랜지스터로부터 소정 거리 이격되어 있는 제2 트랜지스터중 적어도 하나의 트랜지스터를 구성할 수 있다. 여기서, 상기 제2 트랜지스터는 리셋 트랜지스터, 드라이브 트랜지스터 및 셀렉트 트랜지스터 중에서 선택되는 적어도 하나가 될 수 있다.

상기 활성 영역은 제1 방향으로 연장되는 주면을 가지는 기관상에 형성되고, 상기 제1 측벽부 및 제2 측벽부는 상기 제1 방향에 대하여 수직으로 상기 멀티-게이트 트랜지스터의 채널이 형성되는 수직 채널면을 제공한다. 또한, 상기 활성 영역의 상면은 상기 제1 방향에 평행하게 상기 멀티-게이트 트랜지스터의 채널이 형성되는 수평 채널면을 제공하는 제1 상면부를 포함한다.

상기 활성 영역의 상면은 상기 제1 방향에 평행하게 멀티-게이트 트랜지스터의 채널이 형성되는 수평 채널면을 제공하는 제1 상면부와, 상기 포토다이오드의 표면을 구성하는 제2 상면부를 포함한다. 여기서, 상기 제1 상면부와 제2 상면부는 서로 동일한 수평면상에 위치될 수 있다. 또는, 상기 제1 상면부와 제2 상면부는 각각 서로 다른 높이를 가지는 수평면상에 위치될 수 있다. 이 경우에는, 상기 제1 상면부는 상기 제2 상면부보다 더 낮은 높이를 가지는 것이 바람직하다.

상기 목적을 달성하기 위하여, 본 발명의 제3 양태에 따른 CMOS 이미지 센서는 제1 방향으로 연장되는 주면을 가지는 기관과, 상기 기관의 제1 영역에 형성된 수광 영역과, 트랜스퍼 트랜지스터를 포함한다. 상기 트랜스퍼 트랜지스터는 상기 제1 방향에 대하여 수직인 제2 방향으로 형성되는 2개의 수직 채널면을 가지고, 상기 수광 영역에 축적된 전하를 상기 기관의 제2 영역으로 운송하기 위하여 상기 제1 영역과 제2 영역과의 사이에 형성되어 있다.

상기 다른 목적을 달성하기 위하여, 본 발명에 따른 CMOS 이미지 센서의 제조 방법에서는 기관상에 소자분리막을 형성하여 양 측벽 및 상면을 가지는 활성 영역을 한정한다. 상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽 및 상면을 노출시키도록 상기 소자분리막의 일부를 제거한다. 상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽 및 상면 위에 게이트 절연막을 형성한다. 상기 활성 영역의 제1 영역에서 상기 게이트 절연막을 사이에 두고 상기 양 측벽 및 상면 중 적어도 2개의 표면을 덮는 트랜스퍼 트랜지스터의 게이트를 형성한다. 상기 활성 영역의 제1 영역에 인접한 제2 영역에 불순물 이온을 주입하여 포토다이오드를 형성한다. 상기 활성 영역의 제1 영역을 중심으로 하여 상기 제2 영역의 반대측에서 상기 제1 영역에 인접한 제3 영역에 불순물 이온을 주입하여 플로팅 확산 영역을 형성한다.

상기 노출된 소자분리막의 일부를 제거하는 단계에서는 상기 소자분리막의 저면보다 얇은 깊이까지 상기 소자분리막을 제거할 수도 있고, 상기 소자분리막의 저면과 동일한 깊이까지 상기 소자분리막을 제거할 수도 있다.

상기 소자분리막의 일부를 제거한 후 상기 게이트 절연막을 형성하기 전에, 상기 활성 영역의 제1 영역에서 그 상면의 높이가 낮아지도록 상기 상면으로부터 소정 두께 만큼 상기 활성 영역의 일부를 제거하는 단계를 더 포함할 수 있다.

본 발명에 의하면, CIS는 트랜스퍼 트랜지스터에 멀티-게이트 구조를 채용함으로써 신호 전하 전달 특성을 향상시킬 수 있다. 포토다이오드의 비교적 깊은 영역에 축적되어 있는 신호 전하들도 트랜스퍼 트랜지스터의 수직 채널을 통하여 플로팅 확산 영역까지 전송되므로 포토다이오드에서 발생된 신호 전하가 모두 효과적으로 잘 전달되어, 이미지 소자에서 잔상(image lag) 문제를 초래할 염려가 없다. 또한, 종래 기술에 비하여 포토다이오드를 깊게 형성할 수 있어 신호 전하의 축적에 유리하며, 포토다이오드 영역에서의 결함 발생을 감소시킬 수 있다.

다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다.

도 3은 본 발명의 제1 실시예에 따른 CMOS 이미지 센서 (이하, "CIS"라 함)를 구현하기 위한 예시적인 단위 픽셀의 개략적인 레이아웃이다. 도 3의 레이아웃은 도 1의 CIS를 구성하는 하나의 단위 픽셀(22)의 레이아웃을 나타내며, 도 2의 등가 회로도에 대응하는 구성을 제공한다.

도 3을 참조하면, 본 발명에 따른 CIS의 단위 픽셀은 반도체 기판상의 픽셀 어레이 영역에서 소정 형상으로 정의되어 있는 활성 영역(110)을 구비한다. 상기 활성 영역(110)은 포토다이오드(PD)가 형성되어 있는 포토다이오드 영역(110a) 및 트랜지스터가 형성되어 있는 트랜지스터 영역(110b)으로 구분되어 있다. 수광 영역인 상기 포토다이오드 영역(110a)은 단위 픽셀 내에서 반도체 기판의 소정 영역을 점유하도록 예를 들면 평면상에서 볼 때 사각형으로 형성될 수 있다. 트랜지스터 영역(110b)은 포토다이오드 영역(110a)의 일부와 접하면서, 적어도 한 부분 이상 절곡된 라인 형태로 형성될 수 있다.

트랜스퍼 트랜지스터(Tx)의 게이트(120)는 활성 영역(110)상의 포토다이오드 영역(110a)과 트랜지스터 영역(110b)과의 경계면 부근에 배치된다. 상기 트랜스퍼 트랜지스터(Tx)는 상기 포토다이오드(PD)에 축적된 전하를 플로팅 확산 영역(FD)으로 전달하는 역할을 한다.

리셋 트랜지스터(Rx)의 게이트(130), 드라이브 트랜지스터(Dx)의 게이트(140), 및 셀렉트 트랜지스터(Sx)의 게이트(150)는 상기 활성 영역(110)의 트랜지스터 영역(110b)에서 상호 소정 간격을 두고 배치되어 있다.

트랜스퍼 트랜지스터(Tx)의 게이트와 리셋 트랜지스터(Rx)의 게이트와의 사이의 활성 영역은 플로팅 확산 영역(FD)을 구성한다. 상기 플로팅 확산 영역(FD)은 상기 포토다이오드(PD)로부터 전달된 전하를 저장하고, 상기 리셋 트랜지스터(Rx)에서는 상기 플로팅 확산 영역(FD)을 주기적으로 리셋시킨다. 상기 드라이브 트랜지스터(Dx)는 상기 플로팅 확산 영역(FD)에 충전된 전하에 따른 신호를 버퍼링하는 역할을 한다.

도 4a는 도 3의 IVa - IVa'선 단면도이고, 도 4b는 도 3의 IVb - IVb'선 단면도이다.

도 3, 도 4a 및 도 4b를 참조하면, 본 발명의 제1 실시예에 따른 CIS는 상기 반도체 기판(100)에서 소자분리막(102)에 의하여 활성 영역(110)이 정의되어 있다. 상기 활성 영역(110)은 포토다이오드(PD)가 형성되어 있는 포토다이오드 영역(110a)과, 복수의 트랜지스터가 형성되어 있는 트랜지스터 영역(110b)으로 구분된다. 상기 반도체 기판(100)은 예를 들면 실리콘 기판으로 이루어질 수 있다. 도 4a 및 도 4b에는 상기 반도체 기판(100)이 상기 벌크(bulk) 기판으로 구성된 경우를 예시하였으나, 본 발명은 이에 한정되는 것은 아니며 상기 반도체 기판(100)으로서 SOI(silicon-on-insulator) 기판을 사용하는 것도 가능하다.

상기 반도체 기판(100)의 수광 영역 즉 포토다이오드 영역(110a)에는 N형의 포토다이오드(PD)가 형성되어 있다. 상기 포토다이오드(PD) 위에는 상기 반도체 기판(100)의 표면에 P⁺형의 HAD(hole accumulated device) 영역이 형성되어 있다.

상기 반도체 기판(100)의 트랜지스터 영역(110b)에 형성되어 있는 트랜스퍼 트랜지스터(Tx)는 상기 포토다이오드(PD)에서 생성된 신호 전하를 N⁺형의 플로팅 확산 영역(160)으로 운송하는 역할을 한다. 상기 트랜스퍼 트랜지스터(Tx)의 게이트(120)는 상기 활성 영역(110)의 일부를 구성하는 메사형 활성 영역(104) 위에서 멀티-게이트(multi-gate) 구조를 가지도록 형성된다. 상기 메사형 활성 영역(104)은 상기 반도체 기판(100)의 주면에 대하여 수직인 양 측벽(104a, 104b)과, 상기 반도체 기판(100)의 주면에 평행하게 연장되는 상면(104c)을 가진다. 도 4a 및 도 4b에는 상기 트랜스퍼 트랜지스터의 게이트가 메사형 활성 영역(104) 위에서 상기 양 측벽(104a, 104b) 및 상면(104c)을 동시에 덮도록 연장되어 트리플(tripple) 게이트 구조를 구성하는 것으로 도시되어 있다. 즉, 상기 게이트(120)는 상기 메사형 활성 영역(104)의 일 측벽(104a)을 덮는 제1 게이트(120a)와, 다른 측벽(104b)을 덮는 제2 게이트(120b)와, 상면(104c)을 덮는 제3 게이트(120c)로 구성된다. 상기 메사형 활성 영역(104)과 상기 제1 게이트(120a), 제2 게이트(120b) 및 제3 게이트(120c)와의 사이에는 각각 게이트 절연막(126)이 개재되어 있다. 상기 제1 게이트(120a) 및 제2 게이트(120b)는 상기 메사형 활성 영역(104)의 상면(104c)으로부터 상기 반도체 기판(100)의 주면에 대하여 수직인 방향으로 소정 깊이(D₁) 만큼 아래로 연장되어 있다. 여기서, 상기 메사형 활성 영역(104)의 상면(104c)은 상기 반도체 기판(100)의 상면(108)(도 4a 참조)과 동일한 레벨에 형성되어 있다. 따라서, 상기 메사형 활성 영역(104)의 상면은 상기 포토다이오드 영역(110a)의 표면을 구성하는 상기 반도체 기판(100)의 상면과 동일 수평면에 위치한다.

상기와 같이 구성된 본 발명의 제1 실시예에 따른 CIS에서, 상기 메사형 활성 영역(104)은 상기 트랜스퍼 트랜지스터(Tx)의 채널 경로를 제공한다. 특히, 상기 트랜스퍼 트랜지스터(Tx)는 상기 반도체 기판(100)의 주면에 대하여 수직인 면에 따라 채널이 형성되는 비평면 구조를 가진다. 보다 구체적으로 설명하면, 상기 트랜스퍼 트랜지스터(Tx)에서는 도 4a 및 도

4b에서 점선(C₁, C₂, C₃)으로 표시한 바와 같이, 상기 메사형 활성 영역(104)의 상면에 평행한 수평 채널면(C₃), 즉 반도체 기판(100)의 주면(主面)에 평행한 수평 채널면(C₃) 뿐 만 아니라 상기 메사형 활성 영역(104)의 양 측벽(104a, 104b)에 각각 평행한 수직 채널면(C₁, C₂), 즉 반도체 기판(100)의 주면에 대하여 수직인 수직 채널면(C₁, C₂)에서 채널이 동시에 형성된다. 따라서, 상기 포토다이오드(PD)에 축적되어 있는 신호 전하가 상기 플로팅 확산 영역(FD)으로 운송될 때 신호 전하가 상기 메사형 활성 영역(104)의 양 측벽(104a, 104b)에 평행한 수직 채널면(C₁, C₂)에 따라 운송될 수 있으므로 상기 포토다이오드(PD) 내에 있는 모든 신호 전하가 플로팅 확산 영역(FD)까지 효과적으로 용이하게 운송될 수 있다. 또한, 종래 기술에 비하여 상기 포토다이오드(PD)를 상기 반도체 기판(100) 내에 더욱 깊게 형성할 수 있다는 효과를 제공한다.

도 4c는 도 3의 IVc - IVc'선 단면도이다. 도 4c에는 리셋 트랜지스터(Rx)가 트리플 게이트 구조를 가지는 경우를 예시한 것이다. 도 4c에 도시한 리셋 트랜지스터(Rx)의 구성은 본 발명에 따른 CIS에 있어서 필수 구성은 아니며, 필요한 경우에만 채용 가능하다.

도 4c를 참조하면, 상기 리셋 트랜지스터(Rx)의 게이트(130)는 상기 활성 영역(110)의 일부를 구성하는 메사형 활성 영역(106) 위에 형성되어 있다. 상기 메사형 활성 영역(106)은 상기 반도체 기판(100)의 주면에 대하여 수직인 양 측벽(106a, 106b)과, 상기 반도체 기판(100)의 주면에 평행하게 연장되는 상면(106c)을 가지는 메사형 활성 영역(106) 위에 형성되어 있다. 즉, 상기 리셋 트랜지스터(Rx)의 게이트(130)는 상기 메사형 활성 영역(106)의 일 측벽(106a)을 덮는 제1 게이트(130a)와, 다른 측벽(106b)을 덮는 제2 게이트(130b)와, 상면(106c)을 덮는 제3 게이트(130c)로 구성된다. 상기 메사형 활성 영역(106)과 상기 제1 게이트(130a), 제2 게이트(130b) 및 제3 게이트(130c)와의 사이에는 각각 게이트 절연막(136)이 개재되어 있다. 도 4b를 참조하여 설명한 트랜스퍼 트랜지스터(Tx)에서와 마찬가지로, 상기 제1 게이트(130a) 및 제2 게이트(130b)는 상기 메사형 활성 영역(106)의 상면(106c)으로부터 상기 반도체 기판(100)의 주면에 대하여 수직인 방향으로 소정 깊이(D₁) 만큼 아래로 연장되어 있다. 또한, 상기 메사형 활성 영역(106)의 상면(106c)은 상기 반도체 기판(100)의 상면(108)(도 4a 참조)과 동일한 레벨에 형성되어 있다.

도 4c에 예시된 상기 리셋 트랜지스터(Rx)의 구성에서는 도 4c에서 점선(C₄, C₅, C₆)으로 표시한 바와 같이 상기 메사형 활성 영역(106)의 상면에 평행한 수평 채널면(C₆), 즉 반도체 기판(100)의 주면에 대하여 평행한 수평 채널면(C₆) 뿐 만 아니라 상기 메사형 활성 영역(106)의 양 측벽(106a, 106b)에 각각 평행한 수직 채널면(C₄, C₅), 즉 반도체 기판(100)의 주면에 대하여 수직인 수직 채널면(C₄, C₅)에서 채널이 동시에 형성된다.

상기와 같은 구성을 가지는 상기 리셋 트랜지스터(Rx)는 수평 채널면 및 수직 채널면에 형성되는 3차원의 채널을 이용하는 비평면 구조를 채용함으로써 게이트 길이를 증가시키지 않고도 우수한 전류 제어 능력을 제공할 수 있다. 특히, SOI 기판을 사용하여 핀(fin) 형상의 실리콘 바디(body)로 구성되는 활성 영역을 형성하고, 실리콘 핀 바디의 표면 위에 상기 게이트(130)를 형성하는 경우, CIS의 소자 밀도를 높이기 위한 스케일링(scailing)시 매우 유리하게 적용될 수 있다.

도 4c에서는 리셋 트랜지스터(Rx)의 경우만을 예로 들어 설명하였으나, 본 발명은 리셋 트랜지스터(Rx) 뿐 만 아니라 도 3의 드라이브 트랜지스터(Dx) 및 셀렉트 트랜지스터(Sx) 각각에 대하여도 필요에 따라 도 4c에 예시된 바와 같은 특징적 구성을 가지는 트리플 게이트 구조를 채용할 수 있음은 당업자이면 잘 알 수 있을 것이다.

도 4d는 도 4a 및 도 4b에 도시한 포토다이오드(PD)와 트랜스퍼 트랜지스터(Tx)의 게이트(120)의 일부절결 사시도(partially cutaway perspective view)이다.

도 4b 및 도 4d에는 상기 제1 게이트(120a) 및 제2 게이트(120b)가 상기 메사형 활성 영역(104)의 상면(104c)으로부터 상기 소자분리막(102) 보다 얇은 깊이까지만 아래로 연장되어 있는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 즉, 본 발명에 따르면, 상기 제1 게이트(120a) 및 제2 게이트(120b)가 각각 상기 메사형 활성 영역(104)의 상면(104c)으로부터 상기 소자분리막(102)의 저면과 대략 동일한 깊이까지 아래로 연장되는 구성을 채용할 수도 있다.

이하, 도 3, 도 4a 및 도 4b를 참조하여 본 발명의 제1 실시예에 따른 CIS 단위 화소에서의 동작을 설명한다.

리셋 트랜지스터(Rx)의 소스(132)에는 전원 공급 단자(V_{DD})가 연결되어 있다. 리셋 트랜지스터(Rx)의 게이트(130)에 리셋 전압(RS)이 인가되면 리셋 트랜지스터(Rx)가 온(ON) 되면서 플로팅 확산 영역(FD)의 포텐셜은 리셋 트랜지스터(Rx)의 소스(132)에서의 V_{DD} 전압에 의해 충전(charging)되고, 이는 플로팅 확산 영역(FD)을 소정의 전압 ($V_{DD} - V_{th}$, V_{th} 는 리셋 트랜지스터의 한계 전압)으로 리셋시키게 된다.

플로팅 확산 영역(FD)의 전하는 콘택(134) 및 콘택(144)을 상호 연결시키는 배선(도시 생략)을 통하여 드라이브 트랜지스터(Dx)의 게이트(140)에 인가되어, 셀렉트 트랜지스터(Sx)의 게이트(150)에 인가되는 선택 신호(SEL)에 의해 온(ON)되었던 셀렉트 트랜지스터(Sx)를 통해 흐르는 전류를 제어하게 된다. 상기 셀렉트 트랜지스터(Sx)를 통해 흐르는 전류는 단위 화소의 출력단(OUT)에서 단위 화소의 출력 신호로서 출력되며, 이는 단위 화소의 출력단(OUT)에 연결되어 있는 부하 트랜지스터(도시 생략)에서 독출된다.

수광부인 포토다이오드(PD)에 빛이 입사되면, 상기 포토다이오드(PD)에서는 감지된 광량에 비례하여 EHP (electron-hole pair)를 생성한다. 이렇게 생성된 신호 전하에 의하여 트랜스퍼 트랜지스터(Tx)의 소스 노드의 포텐셜이 상기 신호 전하의 생성량에 비례하여 변화한다. 포토다이오드(PD)에서 생성된 신호 전하는 트랜스퍼 트랜지스터(Tx)의 게이트 장벽에 의해 포토다이오드(PD)에 구속되어 있게 된다.

트랜스퍼 트랜지스터(Tx)의 게이트(120)에 리셋 전압(RS)과 비슷한 전압(TG) 펄스를 인가하여 리셋 트랜지스터(Rx)가 오프(OFF) 상태에서 트랜스퍼 트랜지스터(Tx)가 온(ON) 상태로 되면, 포토다이오드(PD)에 축적되어 있던 신호 전하는 플로팅 확산 영역(FD)으로 전달된다. 전달된 신호 전하량에 비례하여 플로팅 확산 영역(FD)의 포텐셜이 변하며, 동시에 셀렉트 트랜지스터(Sx)의 게이트 바이어스가 변화된다. 이 때, 포토다이오드(PD)로부터 플로팅 확산 영역(FD)까지 신호 전하가 전달되는 데 있어서 상기 메사형 활성 영역(104)의 상면(104c) 보다 낮은 깊이에서 상기 트랜스퍼 트랜지스터(Tx)의 수직 채널면(C_2 , C_3)에 따라 형성되는 채널을 통하여 신호 전하가 전달되므로, 상기 포토다이오드(PD) 내에 있는 모든 신호 전하가 플로팅 확산 영역(FD)까지 용이하게 운송될 수 있다. 따라서, 포토다이오드(PD)에 축적된 신호 전하의 전달 능력이 향상되며, 이미지 소자에서 잔상에 따른 문제 발생을 야기할 염려가 없다.

상기한 바와 같이 플로팅 확산 영역(FD)의 포텐셜이 변화됨으로써 셀렉트 트랜지스터(Sx)의 소스 포텐셜 변화가 초래된다. 셀렉트 트랜지스터(Sx)를 통해 흐르는 전류는 단위 화소의 출력단(OUT)에서 새로운 출력 전압으로 출력된다.

그 후, 다시 리셋 트랜지스터(Rx)가 온(ON) 되면서 플로팅 확산 영역(FD)의 포텐셜이 V_{DD} 전압으로 충전된다. 상기와 같은 과정이 반복되면서 출력단(OUT)에서의 출력 신호 변화를 독출한다.

도 4e는 도 4a 및 도 4b에 도시한 본 발명에 따른 CIS 구조에서 트랜스퍼 트랜지스터(Tx)가 온(ON) 상태일 때 상기 트랜스퍼 트랜지스터(Tx)의 게이트(120) 하부의 채널 영역에서의 전위 프로파일을 나타낸 도면이다. 도 4e에서, "A"로 표시한 프로파일은 상기 트랜스퍼 트랜지스터(Tx)의 수평 채널면(C_3)(도 4b 참조)에 따라 형성되는 채널에서의 전위 프로파일이고, "B"로 표시한 프로파일은 상기 트랜스퍼 트랜지스터(Tx)의 수직 채널면(C_1 , C_2)(도 4b 참조)에 따라 형성되는 채널에서의 전위 프로파일이다.

도 4e에 도시한 바와 같이, 트랜스퍼 트랜지스터(Tx)의 수직 채널면(C_1 , C_2)에 따라 형성되는 채널에서는 수평 채널면(C_3)에 따라 형성되는 채널에서 보다 높은 전위가 형성된다.

도 5a 및 도 5b는 본 발명의 제2 실시예에 따른 CIS의 요부 단면도들이다. 도 5a 및 도 5b는 각각 도 4a 및 도 4b와 마찬가지로 도 3의 IVa - IVa' 단면 및 IVb - IVb' 단면에 대응되는 단면도이다. 도 5c는 도 5a 및 도 5b에 도시한 포토다이오드(PD)와 트랜스퍼 트랜지스터(Tx)의 게이트(120)의 일부절결 사시도이다.

도 5a, 도 5b, 및 도 5c의 구성은 도 4a, 도 4b, 및 도 4c에 도시한 제1 실시예의 구성과 대체로 동일하나, 제1 실시예에서와 다른 점은 상기 메사형 활성 영역(104)의 상면(104d)이 상기 반도체 기판(100)의 상면(108) 보다 소정 두께(D_2) 만큼 낮은 레벨에 형성되어 있다는 것이다. 즉, 상기 메사형 활성 영역(104)의 상면(104d)은 상기 포토다이오드 영역(110a)이 위치되는 반도체 기판(100)의 상면 보다 낮은 레벨의 수평면상에 위치되어 있다.

이와 같이 메사형 활성 영역(104)의 상면(104d)이 반도체 기판(100)의 상면(108) 보다 낮게 형성됨으로써 상기 트랜스퍼 트랜지스터(Tx)에서 메사형 활성 영역(104)의 상면(104d)에 따라 상기 반도체 기판(100)의 주면에 대하여 평행하게 연장되는 선이 제1 실시예에서보다 소정 깊이 (D_2) 만큼 낮은 위치에 형성된다. 따라서, 포토다이오드(PD)로부터 플로팅 확산 영역(FD)까지 신호 전하가 운송되는 데 있어서 상기 메사형 활성 영역(104)의 양 측벽(104a, 104b)에 평행하게 연장되어 있는 수직 채널면(C_1, C_2)에서 형성되는 채널 뿐만 아니라 상기 메사형 활성 영역(104)의 상면(104d)에 평행하게 연장되는 수평 채널면(C_3)에서 형성되는 채널이 상기 포토다이오드(PD) 내에 있는 신호 전하 전달 능력 향상에 기여하게 된다. 따라서, 상기 포토다이오드(PD)로부터 플로팅 확산 영역(FD)까지의 신호 전하 전달 능력을 더욱 향상시킬 수 있다.

또한, 도 5b에 도시한 바와 같이, 상기 제1 게이트(120a) 및 제2 게이트(120b)가 상기 메사형 활성 영역(104)의 상면(104d)으로부터 상기 소자분리막(102)의 저면과 동일한 깊이까지 상기 반도체 기판(100)의 주면에 대하여 수직으로 연장되어 있다. 이와 같은 구성을 채용하는 경우에는, 상기 제1 게이트(120a) 및 제2 게이트(120b) 형성 위치에 리세스(recess)를 형성하기 위하여 상기 소자분리 영역(104)을 에치백할 때 식각 종료점을 콘트롤하기 용이하다는 장점이 있으며, 상기 반도체 기판(100) 내에서 상기 포토다이오드(PD)의 깊이를 더욱 깊게 형성할 수 있다.

도 6은 본 발명의 제3 실시예에 따른 CIS를 구현하기 위한 예시적인 단위 픽셀의 개략적인 레이아웃이다. 도 6의 레이아웃은 도 2의 등가회로도에 대응하는 구성을 제공한다.

도 7a는 도 6의 VIIa - VIIa'선 단면도이고, 도 7b는 도 6의 VIIb - VIIb'선 단면도이다.

도 6, 도 7a 및 도 7b의 구성은 도 3에 도시한 실시예 1의 구성과 대체로 동일하나, 단지 트랜스퍼 트랜지스터(Tx)의 게이트(220)가 더블(double) 게이트 구조를 가진다. 도 6, 도 7a 및 도 7b에 있어서, 도 3, 도 4a 및 도 4b에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 이들에 대한 상세한 설명은 생략한다.

도 6, 도 7a 및 도 7b에서의 특징적 구성을 보다 상세히 설명하면 다음과 같다. 상기 트랜스퍼 트랜지스터(Tx)는 양 측벽(104a, 104b) 및 상면(104c)을 가지는 메사형 활성 영역(104) 위에 형성된다. 상기 트랜스퍼 트랜지스터(Tx)의 게이트(220)는 상기 메사형 활성 영역(104)의 일 측벽(104a)을 덮도록 연장되는 제1 게이트(220a)와, 다른 측벽(104b)을 덮도록 연장되는 제2 게이트(220b)로 구성된다. 상기 메사형 활성 영역(104)과 상기 제1 게이트(220a) 및 제2 게이트(220b)와의 사이에는 각각 게이트 절연막(126)이 개재되어 있다. 상기 트랜스퍼 트랜지스터(Tx)가 온(ON) 상태로 되기 위하여는 상기 제1 게이트(220a) 및 제2 게이트(220b)에 동시에 전압(TG)이 인가된다.

상기와 같이 구성된 본 발명의 제3 실시예에 따른 CIS의 트랜스퍼 트랜지스터(Tx)에서는 도 7b에서 점선(C_7, C_8)으로 표시한 바와 같이 상기 메사형 활성 영역(104)의 양 측벽(104a, 104b)에 각각 평행한 수직 채널면(C_7, C_8), 즉 반도체 기판(100)의 주면에 대하여 수직인 수직 채널면(C_7, C_8)에서 채널이 동시에 형성된다. 반면, 상기 게이트(220)는 메사형 활성 영역(104)의 상면(104c) 위에는 형성되어 있지 않으므로 상기 상면(104c) 부근에서는 채널이 형성되지 않는다. 상기 포토다이오드(PD)에 축적되어 있는 신호 전하가 상기 플로팅 확산 영역(FD)으로 운송될 때 신호 전하가 상기 메사형 활성 영역(104)의 양 측벽(104a, 104b)에 평행한 수직 채널면(C_7, C_8)에 따라 운송될 수 있으므로 상기 포토다이오드(PD) 내에 있는 모든 신호 전하가 플로팅 확산 영역(FD)까지 효과적으로 용이하게 운송될 수 있다.

도 8, 도 9 및 도 10에는 본 발명에 따른 CIS를 구현하는 데 적용될 수 있는 다양한 단위 픽셀의 개략적인 레이아웃들이 예시되어 있다. 도 8 내지 도 10의 레이아웃은 각각 도 2의 등가회로도에 대응하는 구성을 제공한다. 도 8 내지 도 10에 있어서, 트랜스퍼 트랜지스터(Tx)의 게이트(120)는 도 3을 참조하여 설명한 바와 같은 역할을 한다. 또한, 도 8 내지 도 10의 트랜스퍼 트랜지스터(Tx)의 게이트(120)는 각각 도 4a 및 도 4b를 참조하여 설명한 바와 마찬가지로 트리플 게이트 구조를 가지며, 이들에 대한 상세한 사항은 중복을 피하기 위하여 생략한다. 도 8 내지 도 10에 있어서, 도 3에서와 동일한 참조 부호는 동일 부재를 나타내며, 따라서 이들에 대한 상세한 설명은 생략한다.

도 11a 및 도 11b 내지 도 18a 및 도 18b는 본 발명의 제1 실시예에 따른 CIS의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들로서, 도 3의 IVa - IVa'선 단면 및 IVb - IVb'선 단면에 대응되는 도면이다. 본 실시예에서는 도 4a 및 도 4b를 참조하여 설명한 바와 같은 구조의 CIS를 제조하는 방법을 예로 들어 설명한다. 도 11a 및 도 11b 내지 도 18a 및 도 18b에 있어서, 도 4a 및 도 4b에서와 동일 참조 부호는 동일 부재를 나타낸다.

도 11a 및 도 11b를 참조하면, 반도체 기판(100)상에 트렌치 소자분리 방법에 의하여 소자분리막(102)을 형성하여 반도체 기판(100)의 활성 영역을 정의한다. 그 결과, 상기 반도체 기판(100)에서 트랜스퍼 트랜지스터(Tx)가 형성될 영역에는 양 측벽(104a, 104b) 및 상면(104c)을 가지는 mesa형 활성 영역이 정의된다. 상기 소자분리막(102)은 예를 들면 HDP (high density plasma) 산화막으로 형성될 수 있다.

그 후, 트랜지스터 영역에 NMOS 트랜지스터를 형성하기 위한 P웰(도시하지 않음)을 형성한다. 본 예에서는 상기 소자분리막(102) 형성을 위하여 트렌치 소자분리 방법을 이용하는 것으로 설명하였으나, 본 발명은 이에 한정되지 않으며, 예를 들면 LOCOS (local oxidation of silicon) 방법을 이용할 수도 있다.

도 12a 및 도 12b를 참조하면, 상기 반도체 기판(100)의 활성 영역 중 트랜스퍼 트랜지스터(Tx)가 형성될 영역을 노출시키는 제1 마스크 패턴(112)을 형성한 후, 상기 제1 마스크 패턴(112)을 이온주입 마스크로 하여 불순물 이온(113)을 주입한다. 상기 불순물 이온(113)으로서 예를 들면 붕소(B)이온과 같은 P형 이온과, 인(P)과 같은 N형 이온을 차례로 주입할 수 있다. 상기 P형 이온 주입에 의하여 상기 반도체 기판(100)의 활성 영역(104)에 P⁻ 웰(도시 생략)이 형성됨으로써 블루밍(blooming) 현상을 방지할 수 있는 공핍형 MOS 트랜지스터를 형성할 수 있다. 또한, 상기 N형 이온 주입에 의하여 상기 활성 영역(104)의 표면에 N⁻ 웰(도시 생략)이 형성된다. 반도체 기판(100) 표면에 상기 N⁻ 웰이 형성됨으로써 트랜스퍼 트랜지스터(Tx)의 채널이 형성될 활성 영역(104) 표면에서 실리콘 탱글링 본드에 의하여 열적으로 생성되는 전자로 인하여 발생될 수 있는 노이즈 또는 암전류 발생을 방지할 수 있다.

도 13a 및 도 13b를 참조하면, 상기 제1 마스크 패턴(112)을 제거한 후, 상기 반도체 기판(100)의 활성 영역 중 리셋 트랜지스터(Rx)가 형성될 영역을 노출시키는 제2 마스크 패턴(114)을 형성한다. 상기 제2 마스크 패턴(114)을 이온주입 마스크로 하여 불순물 이온(115)을 주입한다. 상기 불순물 이온(115)으로서 N형 이온, 예를 들면 인(P) 이온을 주입할 수 있다. N형 이온 주입에 의하여 리셋 트랜지스터(Rx) 아래의 활성 영역 표면에 이온 주입 영역(도시 생략)을 형성한다. 상기 N형 이온 주입에 의하여 블루밍 현상을 방지할 수 있는 공핍형 MOS 트랜지스터를 형성할 수 있다.

도 14a 및 도 14b를 참조하면, 상기 제2 마스크 패턴(114)을 제거한 후, 트랜스퍼 트랜지스터(Tx)가 형성될 영역에 있는 mesa형 활성 영역(104)에 인접한 소자분리막(102)의 상면을 일부 노출시키는 제3 마스크 패턴(116)을 형성한다. 상기 제3 마스크 패턴(116)을 식각 마스크로 하여 상기 노출된 소자분리막(102)을 소정 깊이만큼 식각하여 상기 활성 영역(104)의 양 측벽(104a, 104b)의 적어도 일부를 노출시키는 리세스(117)를 형성한다. 도 14b에 도시한 바와 같이 상기 소자분리막(102)의 저면 보다 얇은 깊이까지 상기 소자분리막(102)을 식각하는 경우에는 상기 리세스(117) 내에서 상기 활성 영역의 양 측벽(104a, 104b)의 수직 길이 중 일부 길이 만큼만 노출되고, 상기 소자분리막(102)의 저면과 동일한 깊이까지 상기 소자분리막(102)을 식각하는 경우에는 상기 리세스(117) 내에서 상기 활성 영역의 양 측벽(104a, 104b)의 수직 길이 전체가 노출된다. 본 예에서는 도 14b에 도시한 바와 같이 상기 소자분리막(102)의 저면 보다 얇은 깊이까지 상기 소자분리막(102)을 식각하는 경우를 예시하였다. 이 경우, 상기 소자분리막(102)의 식각 시간을 조절하여 식각 종료점을 결정한다. 상기 리세스(117)를 형성하기 위한 식각 공정은 건식 또는 습식 식각 방법으로 행해질 수 있다. 건식 식각 방법을 이용하는 경우에는 예를 들면 CF₄ 가스를 식각 가스로 사용하여 상기 소자분리막(102)을 식각한다. 습식 식각 방법을 이용하는 경우에는, 상기 소자분리막(102)을 식각하기 위하여 DHF (diluted HF, H₂O:HF = 100:1) 용액을 사용할 수 있다.

도 15a 및 도 15b를 참조하면, 상기 제3 마스크 패턴(116)을 제거한 후, 상기 반도체 기판(100)의 노출 표면 위에 절연막(118)을 형성하고, 상기 절연막(118) 위에 게이트 형성용 도전층(119)을 형성한다. 예를 들면, 상기 절연막(118)은 열산화 방법에 의하여 형성된 산화막으로 이루어지고, 상기 도전층(119)은 도핑된 폴리실리콘, 또는 텅스텐(W)과 같은 금속으로 이루어질 수 있다.

상기 16a 및 도 16b를 참조하면, 포토레지스트 패턴(도시 생략)을 식각 마스크로 이용하여 상기 도전층(119) 및 절연막(118)을 식각하여 구현하고자 하는 CIS의 타입에 따라 필요한 게이트 전극들을 상기 반도체 기판(100)상에 형성한다. 예를 들면, 1개의 포토다이오드(PD)와 4개의 MOS 트랜지스터(Tx, Rx, Dx, Sx)로 구성된 단위 픽셀을 가지는 이미지 센서를 형성하고자 하는 경우에는 4개의 MOS 트랜지스터(Tx, Rx, Dx, Sx)에 필요한 게이트들을 상기 트랜지스터 영역에 모두 형성한다. 도 16a에는 트랜스퍼 트랜지스터(Tx)의 게이트(120) 및 게이트 절연막(126)과, 리셋 트랜지스터(Rx)의 게이트(130) 및 게이트 절연막(136)이 도시되어 있다. 도 16a에는 도시되지 않았으나, 상기 게이트(120, 130)가 형성될 때 드라이브 트랜지스터(Dx)의 게이트(140)(도 3 참조) 및 셀렉트 트랜지스터(Sx)의 게이트(150)도 동시에 형성된다.

필요에 따라, 상기 각 게이트(120, 130, 140, 150)가 형성된 후 열에 의한 재산화(re-oxidation) 공정에 의하여 상기 게이트(120, 130, 140, 150)의 표면을 산화시킨다.

상기 트랜스퍼 트랜지스터(Tx)의 게이트(120)는 상기 메사형 활성 영역(104)의 일 측벽(104a)을 덮는 제1 게이트(120a)와, 다른 측벽(104b)을 덮는 제2 게이트(120b)와, 상면(104c)을 덮는 제3 게이트(120c)로 구성되는 트리플 게이트 구조를 가진다.

도 17a 및 도 17b를 참조하면, 상기 반도체 기판(100)의 포토다이오드 영역만을 선택적으로 노출시키는 제4 마스크 패턴(152)을 이온주입 마스크로 사용하여 상기 포토다이오드 영역에 불순물 이온(154)을 주입한다. 상기 불순물 이온(154)으로서 P⁺ 이온 및 N 이온을 차례로 주입한다. 상기 P⁺ 이온을 주입함으로써 상기 반도체 기판(100)의 표면에 P⁺ 이온으로도핑된 HAD 영역(155)이 형성된다. 예를 들면 상기 HAD 영역(155) 형성을 위한 이온 주입을 위하여 이불화붕소(BF₂)를 사용할 수 있다. 또한, 상기 포토다이오드 영역에 상기 N 이온을 주입함으로써 상기 반도체 기판(100) 내에서 상기 HAD 영역(155) 보다 깊은 깊이에 N형의 포토다이오드(156)가 형성된다. 상기 N 이온을 주입할 때 경사 이온주입 방법을 이용함으로써 상기 N형의 포토다이오드(156)의 일부가 상기 트랜스퍼 트랜지스터(Tx)의 게이트(120)와 소정 폭(W) 만큼 상호 오버랩되도록 한다. 여기서, 상기 P⁺ 이온 주입 및 N 이온 주입시 동일한 마스크 패턴(152)을 이온주입 마스크로 사용할 수 있다. 그러나, 경우에 따라 각각 별도의 마스크 패턴을 사용할 수도 있다. 상기 포토다이오드(156) 형성을 위한 이온 주입을 위하여 예를 들면 비소(As) 이온을 사용할 수 있다. 상기 포토다이오드(156) 형성을 위한 이온 주입시 이온 투사 범위(Rp)를 종래의 경우보다 크게 하여, 상기 포토다이오드(156)의 깊이를 종래의 경우보다 크게 할 수 있다. 예를 들면, 종래 기술에서 포토다이오드를 형성하는 데 있어서 N 이온 주입시 Rp가 약 0.3 μ m까지 제한되었다면, 본 발명에 따라 트랜스퍼 트랜지스터(Tx)에 트리플 게이트 구조를 적용하는 경우, 상기 포토다이오드(156)를 형성하는 데 있어서 N 이온 주입시 Rp를 약 0.7 μ m까지 크게 할 수 있다. 이와 같이 포토다이오드(156)의 깊이가 종래의 경우보다 커지는 경우에도 상기 포토다이오드(156)에 축적되어 있는 신호 전하가 플로팅 확산 영역(FD)으로 운송될 때 신호 전하가 상기 메사형 활성 영역(104)의 양 측벽(104a, 104b)에 평행한 수직 채널면(C₁, C₂)에 따라 운송될 수 있으므로 상기 포토다이오드(156) 내의 비교적 깊은 위치에 있는 신호 전하들도 플로팅 확산 영역(FD)까지 용이하게 운송될 수 있다.

도 18a 및 도 18b를 참조하면, 상기 마스크 패턴(152)을 제거한 후, N⁻ 이온 주입 공정, 절연 스페이서(162) 형성 공정, 및 N⁺ 이온 주입을 차례로 행하여, 트랜지스터 영역의 활성 영역 내에 웰을 형성한다. 그 결과, 트랜스퍼 트랜지스터(Tx)의 게이트(120)와 리셋 트랜지스터(Rx)의 게이트(130)와의 사이의 활성 영역에는 플로팅 확산 영역(160)이 형성되고, 리셋 트랜지스터(Rx)의 게이트(130)와 드라이브 트랜지스터(Dx)(도 3 참조)의 게이트(도시하지 않음)와의 사이의 활성 영역에는 소스(132)가 형성된다.

그 후, 통상의 방법에 의하여 필요한 배선 형성 공정을 실시하여 CIS를 완성한다.

도 19a 및 도 19b 내지 도 22a 및 도 22b는 본 발명의 제2 실시예에 따른 CIS의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들로서, 도 3의 IVa - IVa'선 단면 및 IVb - IVb'선 단면에 대응되는 도면이다. 본 실시예에서는 도 5a 및 도 5b를 참조하여 설명한 바와 같은 CIS를 제조하는 방법을 예로 들어 설명한다. 도 19a 및 도 19b 내지 도 22a 및 도 22b에 있어서, 도 11a 및 도 11b 내지 도 18a 및 도 18b, 그리고 도 4a 및 도 4b에서와 동일 참조 부호는 동일 부재를 나타낸다.

도 19a 및 도 19b를 참조하면, 도 11a 및 도 11b 내지 도 14a 및 도 14b를 참조하여 설명한 바와 같은 공정들을 행하여 반도체 기판(100)상에 활성 영역(104)의 양 측벽(104a, 104b)의 적어도 일부를 노출시키는 제1 리세스(217a)를 형성한다. 이 때, 상기 소자분리 영역의 저면, 즉 반도체 기판(100)이 노출될 때까지 상기 소자분리막(102)의 노출 부분을 식각하여 상기 제1 리세스(217a) 내에서 상기 활성 영역(104)의 양 측벽(104a, 104b)이 완전히 노출되도록 한다. 이 경우, 상기 반도체 기판(100)이 노출될 때까지 상기 소자분리막(102)의 노출 부분을 완전히 식각하므로 상기 제1 리세스(217a) 형성을 위한 식각 공정시 식각 종료점을 결정하기 용이하다.

도 20a 및 도 20b를 참조하면, 상기 제3 마스크 패턴(116)을 제거한 후, 상기 메사형 활성 영역(104)의 상면(104c)만 노출시키는 제5 마스크 패턴(216)을 형성한다.

도 21a 및 도 21b를 참조하면, 상기 제5 마스크 패턴(216)을 식각 마스크로 하여 상기 노출된 메사형 활성 영역(104)을 소정 두께 만큼 식각하여 제2 리세스(217b)를 형성한다. 그 결과, 상기 메사형 활성 영역(104)은 반도체 기판(100)의 상면(108) 또는 메사형 활성 영역(104)의 상면(104c) 보다 높이가 낮아진 상면(104d)을 가지게 된다. 상기 메사형 활성 영역(104)을 식각하기 위하여, 예를 들면 Cl₂, HBr 및 O₂를 식각 가스로 사용하는 건식 식각 공정을 이용할 수 있다.

도 22a 및 도 22b를 참조하면, 상기 제5 마스크 패턴(216)을 제거한 후, 상기 도 15a 및 도 15b와, 도 16a 및 도 16b를 참조하여 설명한 바와 같은 방법으로 상기 반도체 기판(100)의 노출 표면 위에 절연막 및 게이트 형성용 도전층을 차례로 형성한 후, 포토레지스트 패턴(도시 생략)을 식각 마스크로 이용하여 상기 도전층 및 절연막을 식각하여 필요한 게이트들 및 게이트 절연막들을 형성한다.

그 후, 도 17a 및 도 17b와 도 18a 및 도 18b를 참조하여 설명한 바와 같은 공정들을 행하여, 제2 실시예에 따른 CIS를 완성한다.

도 23a 및 도 23b는 본 발명의 제3 실시예에 따른 CIS의 제조 방법을 설명하기 위한 단면도들로서, 도 6의 VIIa - VIIa'선 단면 및 VIIb - VIIb'선 단면에 각각 대응되는 도면이다. 본 실시예에서는 도 7a 및 도 7b를 참조하여 설명한 바와 같은 CIS를 제조하는 방법을 예로 들어 설명한다. 도 23a 및 도 23b에 있어서, 도 11a 및 도 11b 내지 도 18a 및 도 18b, 그리고 도 7a 및 도 7b에서와 동일 참조 부호는 동일 부재를 나타낸다.

도 23a 및 도 23b를 참조하면, 도 11a 및 도 11b 내지 도 15a 및 도 15b를 참조하여 설명한 바와 같은 공정들을 행하여 반도체 기판(100)상에 절연막(118) 및 게이트 형성용 도전층(119)을 차례로 형성한다. 그 후, 상기 도전층(119) 및 절연막(118)을 패터닝하여 필요한 게이트들 및 게이트 절연막들을 형성한다. 단, 트랜스퍼 트랜지스터(Tx)가 형성될 영역에서는 상기 메사형 활성 영역(104)의 상면(104c)이 노출될 때까지 상기 도전층(119) 및 절연막(118)을 에치백하여, 트랜스퍼 트랜지스터(Tx)의 게이트(220)가 상기 메사형 활성 영역(104)의 일 측벽(104a)을 덮도록 연장되는 제1 게이트(220a)와, 다른 측벽(104b)을 덮도록 연장되는 제2 게이트(220b)로 구성되는 더블 게이트 구조를 형성한다. 상기 메사형 활성 영역(104)과 상기 제1 게이트(220a) 및 제2 게이트(220b)와의 사이에는 각각 게이트 절연막(126)이 개재된다.

그 후, 도 17a 및 도 17b와 도 18a 및 도 18b를 참조하여 설명한 바와 같은 공정들을 행하여, 제3 실시예에 따른 CIS를 완성한다.

상기 실시예들에서는 도 3 및 도 6의 레이아웃을 가지는 CIS를 제조하는 방법 만을 예로 들어 설명하였으나, 본 발명은 이에 한정되지 않으며, 본 발명의 사상의 범위 내에서 다양한 변형 및 변경이 가능함은 당업자이면 잘 알 수 있을 것이다. 또한, 상기 실시예들에서는 벌크 기판을 사용하는 경우 만을 예시하였으나, 본 발명은 이에 한정되지 않으며, 당업자이면 벌크 기판 대신 SOI 기판을 사용하여도 본 발명에 따른 사상을 구현할 수 있음을 잘 알 수 있을 것이다.

발명의 효과

본 발명에 따른 CIS에서는 트랜스퍼 트랜지스터가 멀티-게이트 구조를 가지는 비평면 구조를 채용한다. 활성 영역의 양 측벽 근방에 형성되는 2개의 수직 채널을 이용하여 포토다이오드로부터 플로팅 확산 영역까지 신호 전하를 운송하므로 신호 전하 전달 특성이 향상될 수 있다. 포토다이오드의 비교적 깊은 영역에 축적되어 있는 신호 전하들도 트랜스퍼 트랜지스터의 수직 채널을 통하여 플로팅 확산 영역까지 전송되므로 포토다이오드에서 발생된 신호 전하들이 모두 효과적으로 잘 전달될 수 있다. 따라서, 이미지 소자에서 잔상 (image lag) 문제를 초래할 염려가 없다. 또한, 종래 기술에 비하여 포토다이오드를 깊게 형성할 수 있어 빨간색과 같은 장파장의 신호 전하의 축적이 유리하여 CIS의 감도가 향상될 수 있다. 그리고, 종래 기술에서와 같이 포토다이오드에서 높은 도즈의 N형 이온을 주입할 필요가 없으므로 포토다이오드 영역의 표면에 형성되는 P형 확산 영역과 N형 포토다이오드와의 사이에 발생하는 전기장도 줄일 수 있어서 포토다이오드 영역에서의 결함 발생을 감소시킬 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

(57) 청구의 범위

청구항 1.

기관상의 활성 영역에 형성되어 있는 포토다이오드와,

상기 포토다이오드로부터 전달된 전하를 저장하는 플로팅 확산 영역과,

상기 포토다이오드에 축적된 전하를 상기 플로팅 확산 영역으로 전달하기 위한 트랜스퍼 트랜지스터와,

상기 활성 영역의 일부를 구성하고 상기 기관의 주면에 대하여 수직인 수직 채널면에 따라 상기 트랜스퍼 트랜지스터의 채널 경로를 제공하는 양 측벽을 가지는 메사형 활성 영역과,

상기 메사형 활성 영역의 양 측벽 위에서 상기 기관의 주면에 대하여 수직으로 연장되어 있는 제1 게이트 및 제2 게이트를 포함하는 트랜스퍼 트랜지스터 게이트를 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 2.

제1항에 있어서,

상기 기관의 활성 영역을 정의하기 위하여 상기 기관에 형성된 소자분리막을 더 포함하고,

상기 트랜스퍼 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면보다 얇은 깊이까지 상기 기관의 주면에 대하여 수직으로 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 3.

제1항에 있어서,

상기 기관의 활성 영역을 정의하기 위하여 상기 기관에 형성된 소자분리막을 더 포함하고,

상기 트랜스퍼 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면과 동일한 레벨까지 상기 기관의 주면에 대하여 수직으로 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 4.

제1항에 있어서,

상기 메사형 활성 영역은 상기 기관의 주면에 대하여 평행한 수평 채널면에 따라 상기 트랜스퍼 트랜지스터의 채널 경로를 제공하도록 상기 기관의 주면에 대하여 평행하게 연장되어 있는 상면을 더 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 5.

제4항에 있어서,

상기 트랜스퍼 트랜지스터 게이트는 상기 제1 게이트 및 제2 게이트 사이에서 상기 메사형 활성 영역의 상면을 덮도록 연장되어 있는 제3 게이트를 더 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 6.

제4항에 있어서,

상기 메사형 활성 영역의 상면은 상기 포토다이오드의 표면과 동일 평면상에 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 7.

제4항에 있어서,

상기 메사형 활성 영역의 상면은 상기 포토다이오드의 표면보다 낮은 레벨의 평면상에 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 8.

제1항에 있어서,

상기 활성 영역은 상기 포토다이오드가 형성되어 있는 포토다이오드 영역과, 복수의 트랜지스터가 형성되어 있는 트랜지스터 영역으로 구분되고,

상기 트랜스퍼 트랜지스터는 상기 활성 영역에서 상기 포토다이오드 영역과 상기 트랜지스터 영역과의 경계면 부근에 형성되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 9.

제1항에 있어서,

상기 활성 영역에 형성되어 있는 적어도 하나의 MOS 트랜지스터를 더 포함하고, 상기 MOS 트랜지스터는 상기 플로팅 확산 영역을 주기적으로 리셋시키는 리셋 트랜지스터, 상기 플로팅 확산 영역에 충전된 전하에 따른 신호를 버퍼링하는 드라이브 트랜지스터, 또는 단위 픽셀을 선택하기 위한 셀렉트 트랜지스터를 구성하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 10.

제9항에 있어서,

상기 MOS 트랜지스터는 상기 활성 영역의 일부인 양 측벽 및 상면을 가지는 메사형 활성 영역 위에 형성되어 있는 게이트를 포함하고,

상기 MOS 트랜지스터의 게이트는 상기 메사형 활성 영역의 양 측벽을 각각 덮고 있는 제1 게이트 및 제2 게이트와, 상기 메사형 활성 영역의 상면을 덮고 있는 제3 게이트로 이루어지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 11.

제10항에 있어서,

상기 메사형 활성 영역의 양 측벽은 각각 상기 기관의 주면에 대하여 수직인 수직 채널면에 따라 상기 MOS 트랜지스터의 수직 채널 경로를 제공하고,

상기 메사형 활성 영역의 상면은 상기 기관의 주면에 대하여 평행하게 연장되는 수평 채널면에 따라 상기 MOS 트랜지스터의 수평 채널 경로를 제공하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 12.

제10항에 있어서,

상기 기관의 활성 영역을 정의하도록 상기 기관에 형성된 소자분리막을 더 포함하고,

상기 MOS 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면보다 얇은 깊이까지 상기 기관의 주면에 대하여 수직으로 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 13.

제10항에 있어서,

상기 기관의 활성 영역을 정의하도록 상기 기관에 형성된 소자분리막을 더 포함하고,

상기 MOS 트랜지스터의 제1 게이트 및 제2 게이트는 각각 상기 소자분리막의 저면과 동일한 레벨까지 상기 기관의 주면에 대하여 수직으로 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 14.

제1 방향으로 연장되는 주면을 가지는 기관과,

상기 기관에 형성되어 있고 적어도 플로팅 확산 영역, 트랜스퍼 트랜지스터 및 소스 팔로워 버퍼 증폭기를 구비하는 트랜지스터 영역과, 상기 기관상에서 상기 트랜지스터 영역에 인접해 있는 포토다이오드 영역을 각각 가지는 복수의 픽셀과,

상기 포토다이오드 영역에 형성된 포토다이오드와,

상기 픽셀 내에서 소자분리막에 의하여 소정 형상으로 정의되어 있고, 상기 제1 방향에 대하여 수직으로 연장되어 있는 상호 반대 방향의 제1 측벽부 및 제2 측벽부를 포함하는 측벽과 상기 제1 방향으로 연장되는 상면을 가지며, 상기 측벽중 상기 제1 측벽부 및 제2 측벽부를 제외한 나머지 부분이 상기 소자분리막과 직접 접해 있는 활성 영역과,

상기 트랜지스터 영역에서 상기 제1 측벽부 및 제2 측벽부를 각각 덮는 제1 게이트 및 제2 게이트를 포함하는 적어도 1개의 멀티-게이트 트랜지스터와,

상기 픽셀로의 소정 신호 제공 및 상기 픽셀로부터의 출력 신호 제어를 위하여 상기 기관상에서 상기 복수의 픽셀의 주위에 배치되어 있는 CMOS 제어 회로를 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 15.

제14항에 있어서,

상기 멀티-게이트 트랜지스터는 그 게이트가 상기 제1 게이트 및 제2 게이트로 이루어지는 더블(double) 게이트 구조를 가지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 16.

제14항에 있어서,

상기 멀티-게이트 트랜지스터는 그 게이트가 상기 제1 게이트, 상기 제2 게이트, 상기 활성 영역의 상면 위에서 상기 제1 게이트로부터 상기 제2 게이트까지 연장되어 있는 제3 게이트로 이루어지는 트리플(tripple) 게이트 구조를 가지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 17.

제14항에 있어서,

상기 멀티-게이트 트랜지스터는 상기 포토다이오드로부터 상기 플로팅 확산 영역까지 전하를 전달하기 위한 상기 트랜스퍼 트랜지스터를 구성하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 18.

제14항에 있어서,

상기 멀티-게이트 트랜지스터는 상기 포토다이오드로부터 상기 플로팅 확산 영역까지 전하를 전달하기 위한 제1 트랜지스터와, 상기 제1 트랜지스터로부터 소정 거리 이격되어 있는 제2 트랜지스터중 적어도 하나의 트랜지스터를 구성하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 19.

제18항에 있어서,

상기 제2 트랜지스터는 리셋 트랜지스터, 드라이브 트랜지스터 및 셀렉트 트랜지스터 중에서 선택되는 적어도 하나인 것을 특징으로 하는 CMOS 이미지 센서.

청구항 20.

제14항에 있어서,

상기 제1 측벽부 및 제2 측벽부는 상기 제1 방향에 대하여 수직으로 상기 멀티-게이트 트랜지스터의 채널이 형성되는 수직 채널면을 제공하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 21.

제20항에 있어서,

상기 활성 영역의 상면은 상기 제1 방향에 평행하게 상기 멀티-게이트 트랜지스터의 채널이 형성되는 수평 채널면을 제공하는 제1 상면부를 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 22.

제20항에 있어서,

상기 활성 영역의 상면은 상기 제1 방향에 평행하게 멀티-게이트 트랜지스터의 채널이 형성되는 수평 채널면을 제공하는 제1 상면부와, 상기 포토다이오드의 표면을 구성하는 제2 상면부를 포함하고,

상기 제1 상면부와 제2 상면부는 서로 동일한 수평면상에 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 23.

제20항에 있어서,

상기 활성 영역의 상면은 상기 제1 방향에 평행하게 멀티-게이트 트랜지스터의 채널이 형성되는 수평 채널면을 제공하는 제1 상면부와, 상기 포토다이오드의 표면을 구성하는 제2 상면부를 포함하고,

상기 제1 상면부와 제2 상면부는 각각 서로 다른 높이를 가지는 수평면상에 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 24.

제23항에 있어서,

상기 제1 상면부는 상기 제2 상면부보다 더 낮은 높이를 가지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 25.

제14항에 있어서,

상기 소자분리막은 그 상면으로부터 소정의 제1 깊이까지 형성되어 있고,

상기 제1 게이트 및 제2 게이트는 각각 상기 활성 영역의 상면으로부터 상기 제1 깊이보다 얇은 제2 깊이까지 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 26.

제14항에 있어서,

상기 소자분리막은 그 상면으로부터 소정의 제1 깊이까지 형성되어 있고,

상기 제1 게이트 및 제2 게이트는 각각 상기 활성 영역의 상면으로부터 상기 제1 깊이와 동일한 제2 깊이까지 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 27.

제1 방향으로 연장되는 주면을 가지는 기판과,

상기 기판의 제1 영역에 형성된 수광 영역과,

상기 제1 방향에 대하여 수직인 제2 방향으로 형성되는 2개의 수직 채널면을 가지고, 상기 수광 영역에 축적된 전하를 상기 기관의 제2 영역으로 운송하기 위하여 상기 제1 영역과 제2 영역과의 사이에 형성되어 있는 트랜스퍼 트랜지스터를 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 28.

제27항에 있어서,

상기 2개의 수직 채널면은 각각 상기 기관상에 형성된 활성 영역의 양 측벽에 각각 평행하게 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 29.

제27항에 있어서,

상기 트랜스퍼 트랜지스터는 상기 2개의 수직 채널면 사이에서 상기 제1 방향으로 형성되는 수평 채널면을 더 가지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 30.

제29항에 있어서,

상기 수평 채널면은 상기 기관상에 형성된 활성 영역의 상면에 평행하게 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 31.

제30항에 있어서,

상기 활성 영역의 상면은 상기 수평 채널면이 위치되는 제1 상면부와, 상기 수광 영역의 표면을 구성하는 제2 상면부를 포함하고,

상기 제1 상면부와 제2 상면부는 서로 동일한 수평면상에 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 32.

제30항에 있어서,

상기 활성 영역의 상면은 상기 수평 채널면이 위치되는 제1 상면부와, 상기 수광 영역의 표면을 구성하는 제2 상면부를 포함하고,

상기 제1 상면부와 제2 상면부는 각각 서로 다른 높이를 가지는 수평면상에 위치되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 33.

제32항에 있어서,

상기 제1 상면부는 상기 제2 상면부보다 더 낮은 높이를 가지는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 34.

제28항에 있어서,

상기 트랜스퍼 트랜지스터는 상기 활성 영역의 양 측벽을 각각 덮도록 형성되어 있는 제1 게이트 및 제2 게이트를 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 35.

제34항에 있어서,

상기 트랜스퍼 트랜지스터는 상기 제1 게이트와 상기 제2 게이트와의 사이에서 상기 제1 방향으로 연장되어 있는 제3 게이트를 더 포함하는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 36.

제34항에 있어서,

상기 활성 영역을 한정하기 위한 소자분리막을 더 포함하고, 상기 소자분리막은 상기 기판의 상면으로부터 제1 깊이에 위치되는 저면을 가지고,

상기 제1 게이트 및 제2 게이트는 각각 상기 기판의 상면으로부터 상기 제1 깊이보다 얇은 제2 깊이까지 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 37.

제34항에 있어서,

상기 활성 영역을 한정하기 위한 소자분리막을 더 포함하고, 상기 소자분리막은 상기 기판의 상면으로부터 제1 깊이에 위치되는 저면을 가지고,

상기 제1 게이트 및 제2 게이트는 각각 상기 기판의 상면으로부터 상기 제1 깊이까지 연장되어 있는 것을 특징으로 하는 CMOS 이미지 센서.

청구항 38.

제27항에 있어서,

상기 제2 영역은 상기 기판에 형성된 불순물 이온 주입 영역으로 구성되는 플로팅 확산 영역인 것을 특징으로 하는 CMOS 이미지 센서.

청구항 39.

기관상에 소자분리막을 형성하여 양 측벽 및 상면을 가지는 활성 영역을 한정하는 단계와,

상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽 및 상면을 노출시키도록 상기 소자분리막의 일부를 제거하는 단계와,

상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽 및 상면 위에 게이트 절연막을 형성하는 단계와,

상기 활성 영역의 제1 영역에서 상기 게이트 절연막을 사이에 두고 상기 양 측벽 및 상면 중 적어도 2개의 표면을 덮는 트랜스퍼 트랜지스터의 게이트를 형성하는 단계와,

상기 활성 영역의 제1 영역에 인접한 제2 영역에 불순물 이온을 주입하여 포토다이오드를 형성하는 단계와,

상기 활성 영역의 제1 영역을 중심으로 하여 상기 제2 영역의 반대측에서 상기 제1 영역에 인접한 제3 영역에 불순물 이온을 주입하여 플로팅 확산 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 40.

제39항에 있어서,

상기 활성 영역은 상기 포토다이오드가 형성되는 포토다이오드 영역과, 복수의 트랜지스터가 형성되고 상기 제3 영역을 포함하는 트랜지스터 영역으로 구분되고,

상기 활성 영역의 제1 영역은 상기 포토다이오드 영역과 트랜지스터 영역과의 경계면 부근에 위치하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 41.

제39항에 있어서,

상기 소자분리막의 일부를 제거하는 단계는

상기 소자분리막의 일부를 노출시키는 마스크 패턴을 형성하는 단계와,

상기 마스크 패턴을 식각 마스크로 하여 습식 또는 건식 식각 방법에 의해 상기 노출된 소자분리막을 제거하는 단계를 포함하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 42.

제41항에 있어서,

상기 노출된 소자분리막의 일부를 제거하는 단계에서는 상기 소자분리막의 저면보다 얇은 깊이까지 상기 소자분리막을 제거하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 43.

제41항에 있어서,

상기 노출된 소자분리막의 일부를 제거하는 단계에서는 상기 소자분리막의 저면과 동일한 깊이까지 상기 소자분리막을 제거하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 44.

제39항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트는 상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽을 각각 덮는 제1 게이트 및 제2 게이트를 포함하도록 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 45.

제39항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트는 상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽을 각각 덮는 제1 게이트 및 제2 게이트와, 상기 활성 영역의 제1 영역에서 상기 활성 영역의 상면을 덮는 제3 게이트를 포함하도록 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 46.

제39항에 있어서,

상기 소자분리막의 일부를 제거한 후 상기 게이트 절연막을 형성하기 전에, 상기 활성 영역의 제1 영역에서 그 상면의 높이가 낮아지도록 상기 상면으로부터 소정 두께 만큼 상기 활성 영역의 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 47.

제46항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트는 상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽을 각각 덮는 제1 게이트 및 제2 게이트를 포함하도록 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 48.

제46항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트는 상기 활성 영역의 제1 영역에서 상기 활성 영역의 양 측벽을 각각 덮는 제1 게이트 및 제2 게이트와, 상기 활성 영역의 제1 영역에서 상기 낮아진 높이를 가지는 상면을 덮는 제3 게이트를 포함하도록 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 49.

제39항에 있어서,

상기 활성화 영역을 한정하는 단계에서는 상기 소자분리막에 의하여 각각 하나의 단위 픽셀을 구성하는 복수의 활성화 영역이 한정되고,

상기 트랜스퍼 트랜지스터의 게이트를 형성하는 단계에서는 상기 복수의 활성화 영역 중 하나의 활성화 영역 내에서 상기 트랜스퍼 트랜지스터의 게이트 형성과 동시에 복수의 다른 트랜지스터를 구성하는 복수의 다른 게이트들이 함께 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 50.

제49항에 있어서,

상기 복수의 다른 트랜지스터는 상기 플로팅 확산 영역을 주기적으로 리셋시키기 위한 리셋 트랜지스터, 상기 플로팅 확산 영역에 충전된 전하에 따른 신호를 버퍼링하기 위한 드라이브 트랜지스터, 및 상기 단위 픽셀을 선택하기 위한 셀렉트 트랜지스터를 포함하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 51.

제49항에 있어서,

상기 복수의 다른 게이트들 중 적어도 하나의 게이트는 상기 활성화 영역의 양 측벽을 덮도록 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 52.

제49항에 있어서,

상기 복수의 다른 게이트들 중 적어도 하나의 게이트는 상기 활성화 영역의 양 측벽 및 상면을 동시에 덮도록 형성되는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

청구항 53.

제39항에 있어서,

상기 기판으로서 벌크 기판을 준비하는 단계를 포함하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

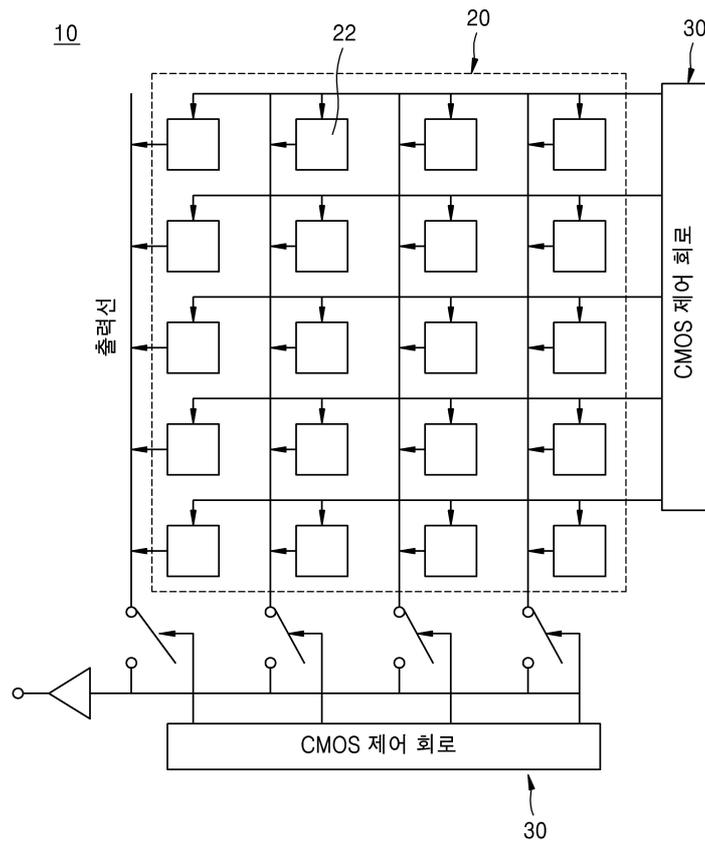
청구항 54.

제39항에 있어서,

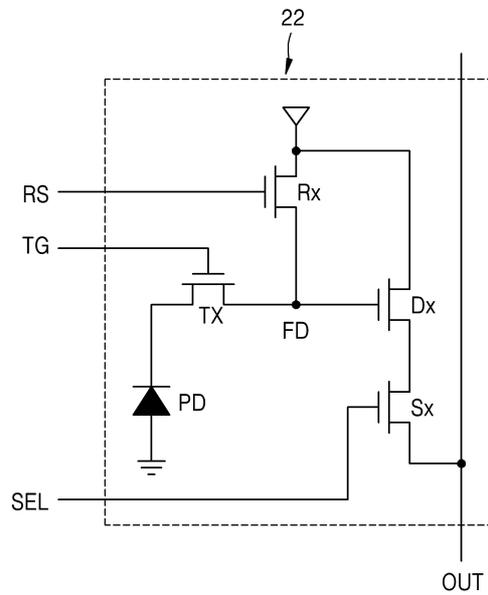
상기 기판으로서 SOI (silicon-on-insulator) 기판을 준비하는 단계를 포함하는 것을 특징으로 하는 CMOS 이미지 센서의 제조 방법.

도면

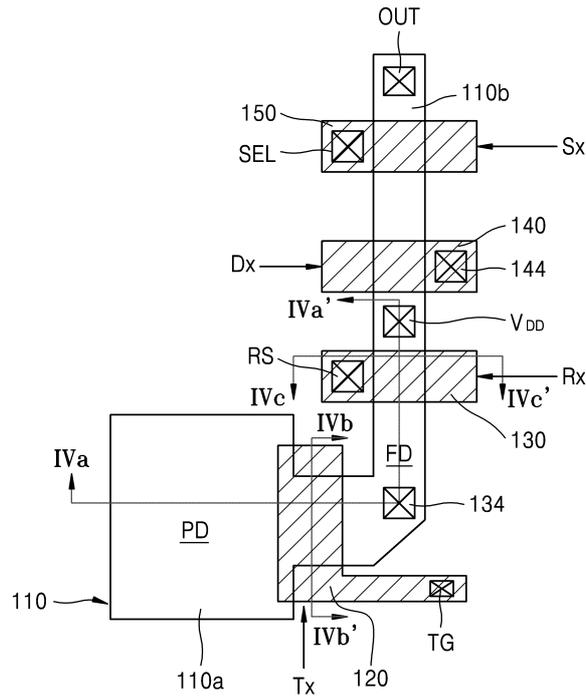
도면1



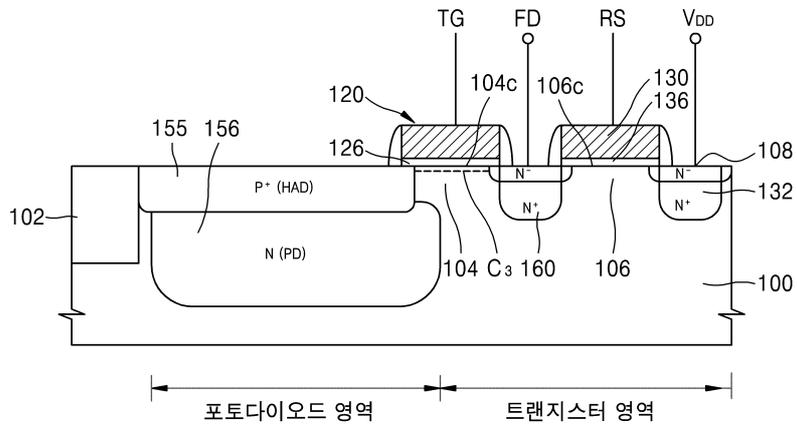
도면2



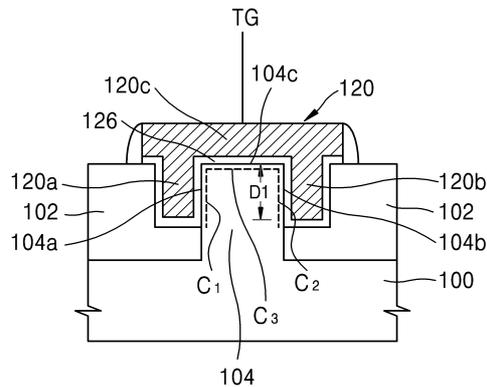
도면3



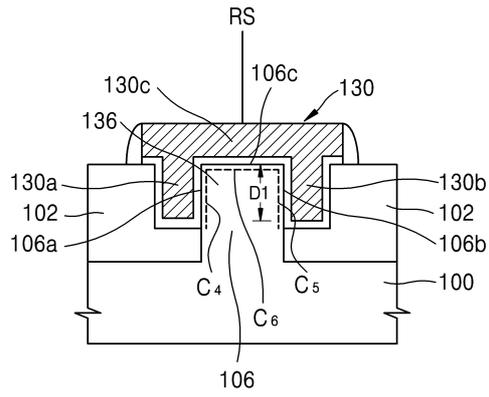
도면4a



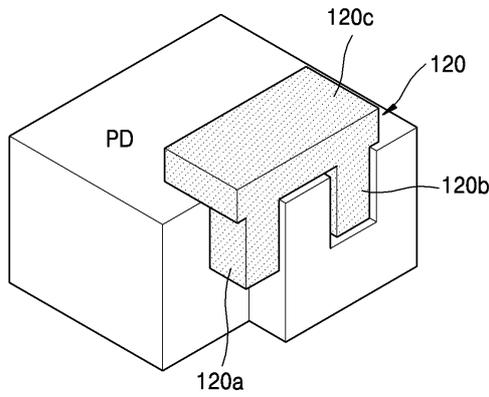
도면4b



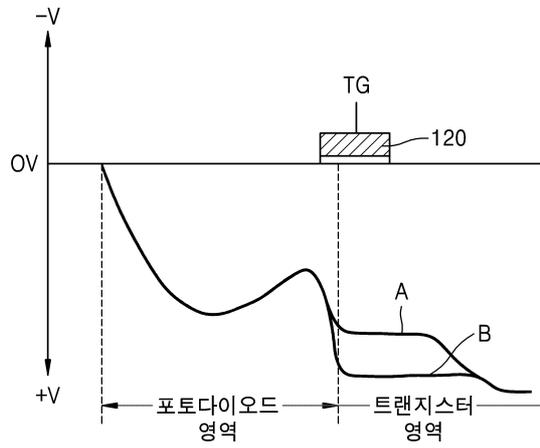
도면4c



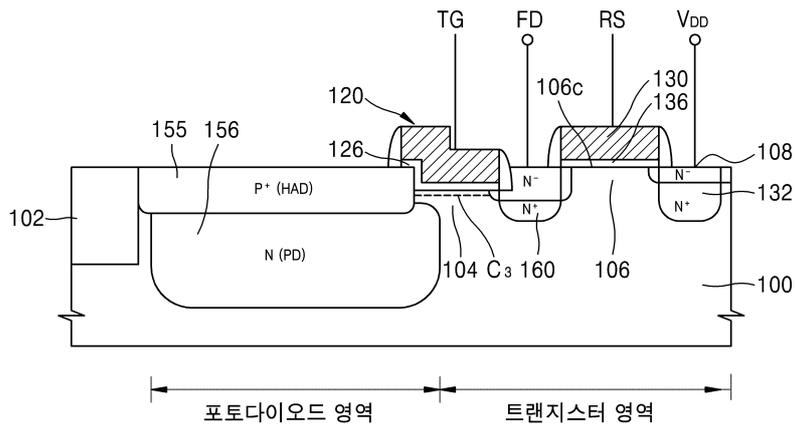
도면4d



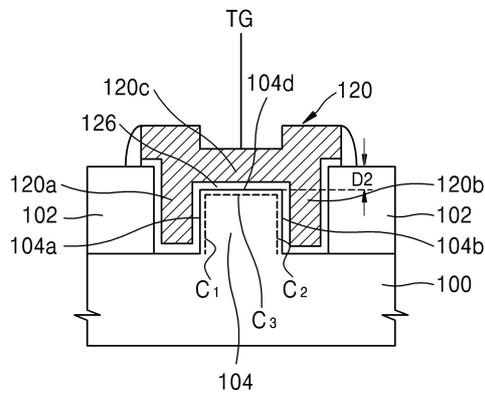
도면4e



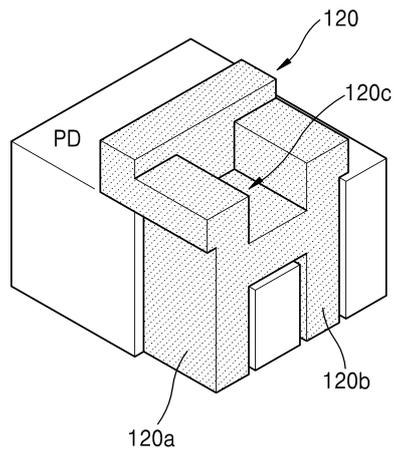
도면5a



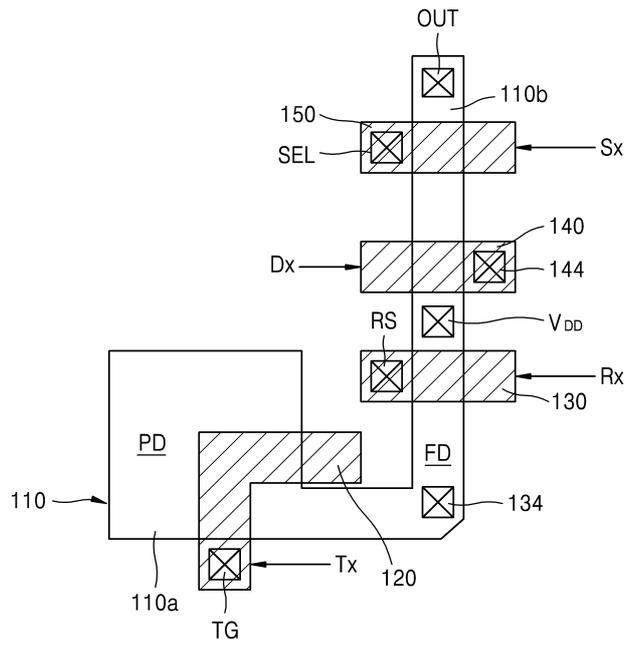
도면5b



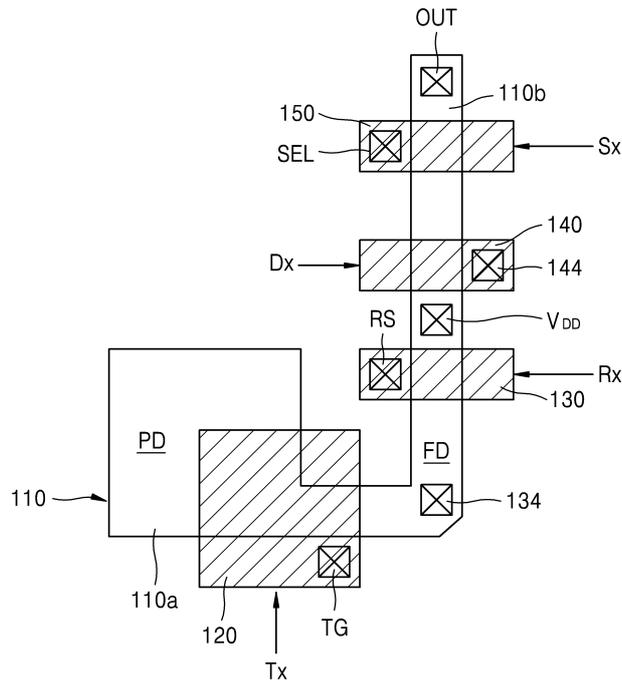
도면5c



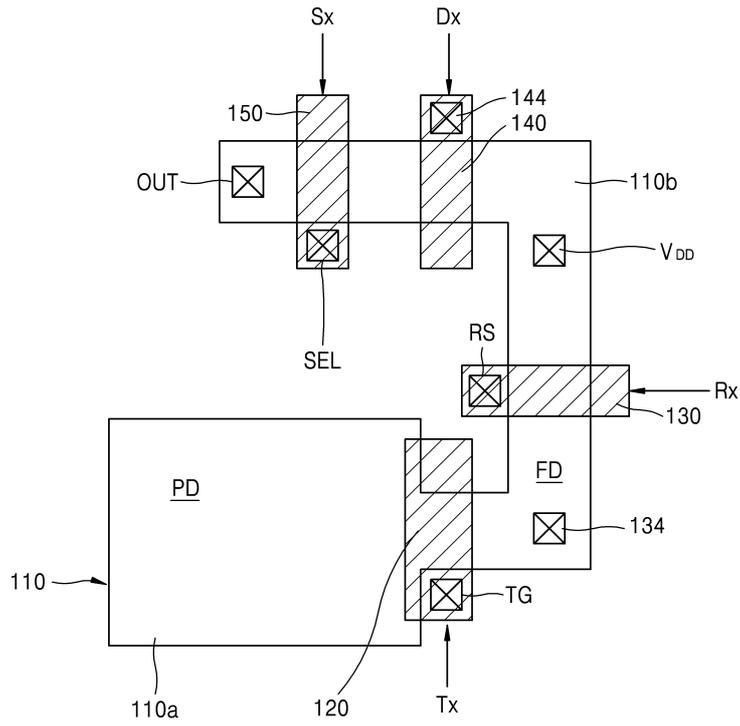
도면8



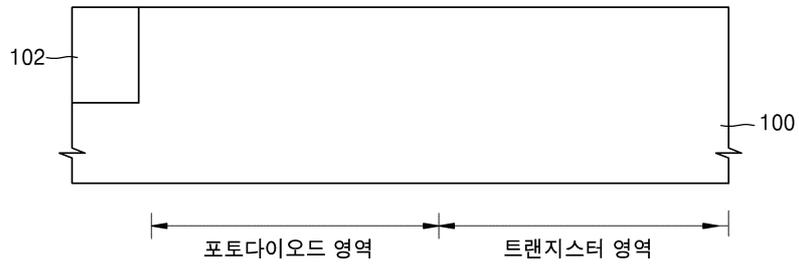
도면9



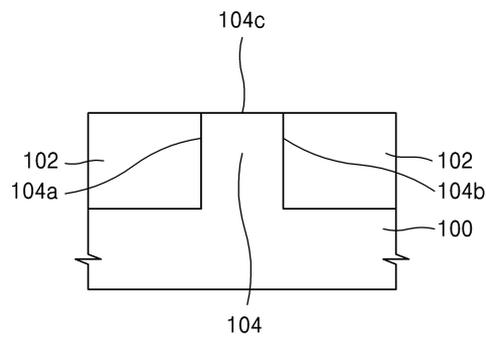
도면10



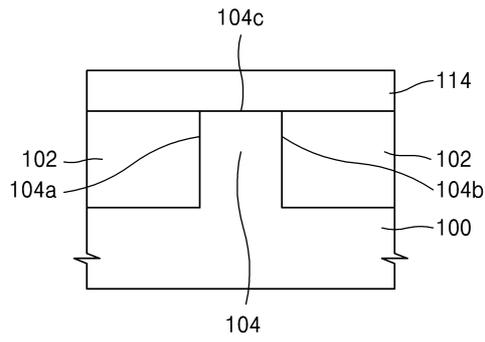
도면11a



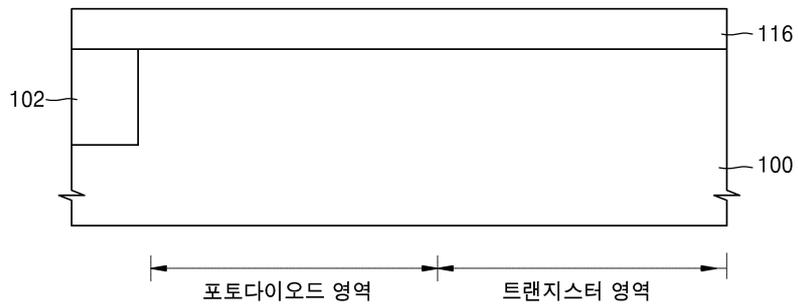
도면11b



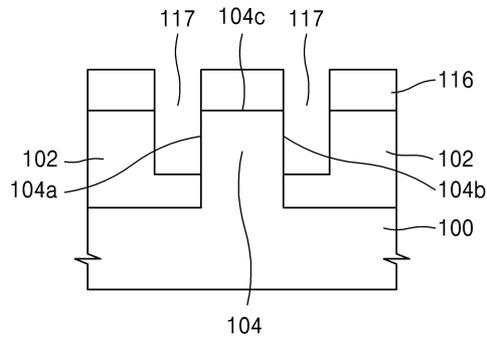
도면13b



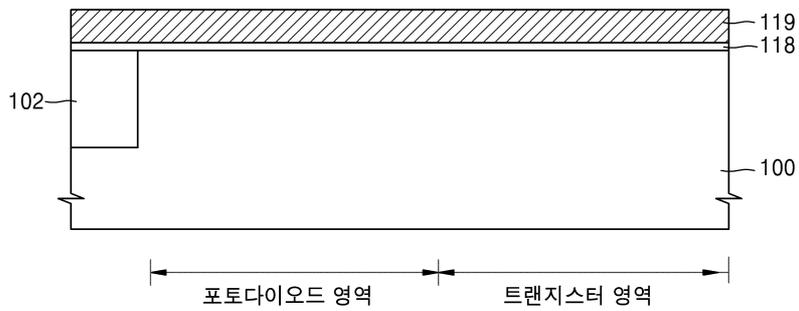
도면14a



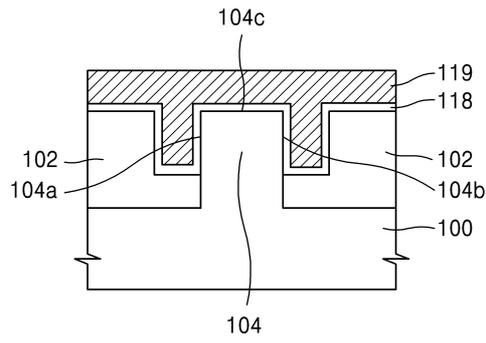
도면14b



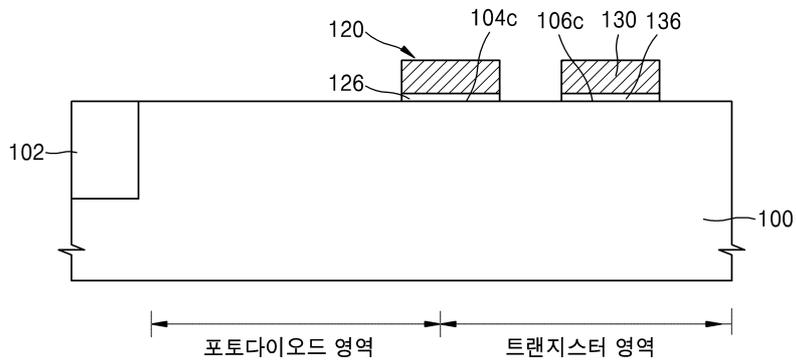
도면15a



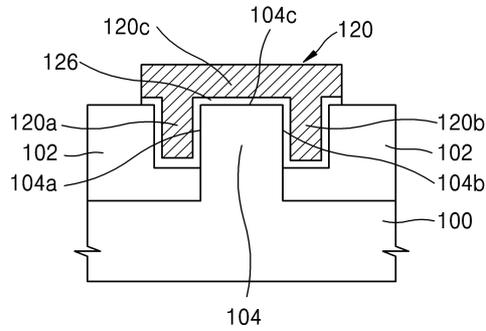
도면15b



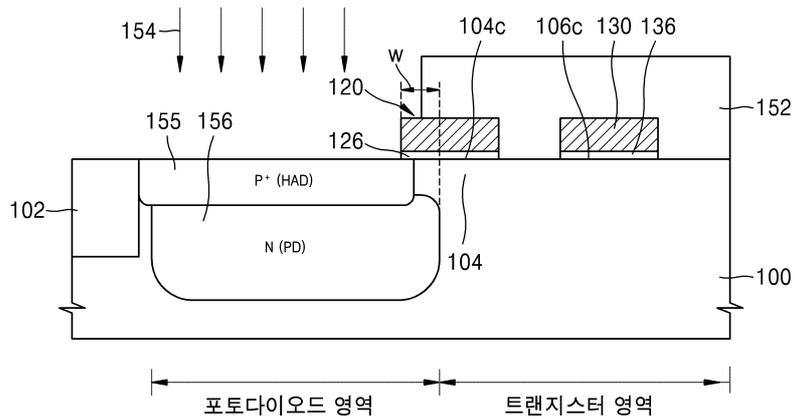
도면16a



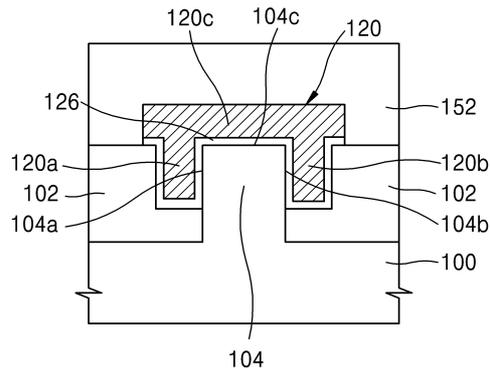
도면16b



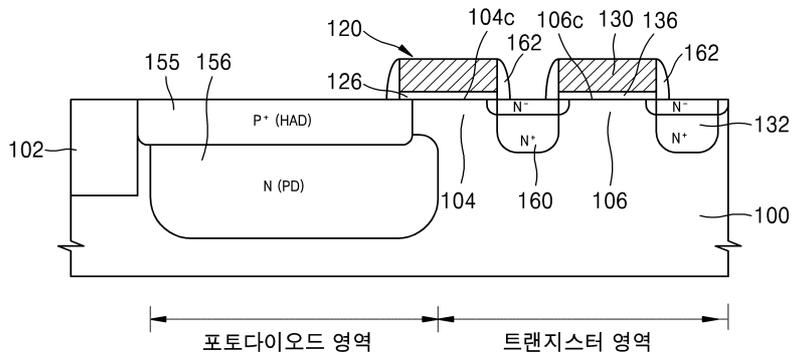
도면17a



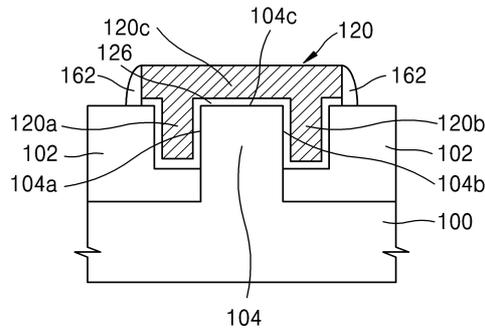
도면17b



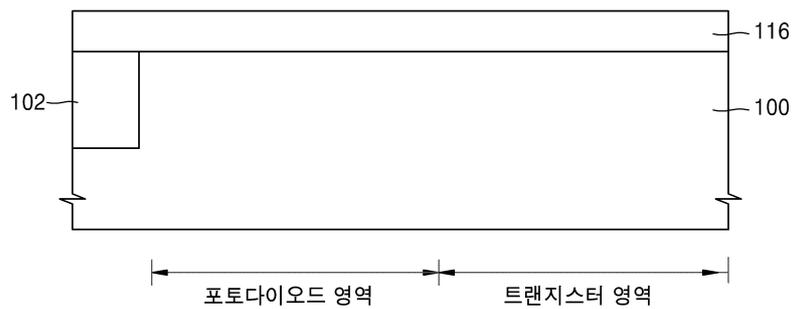
도면18a



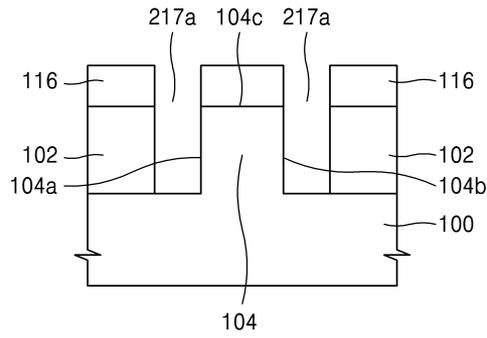
도면18b



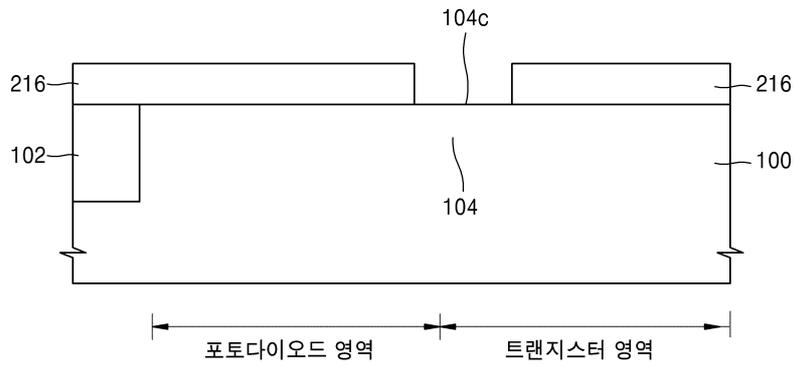
도면19a



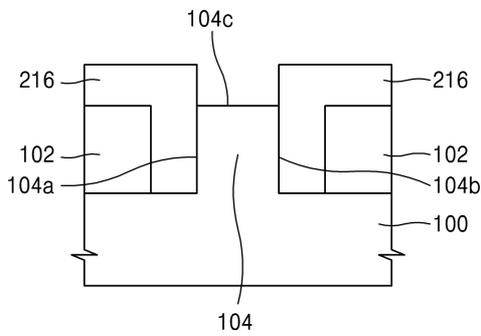
도면19b



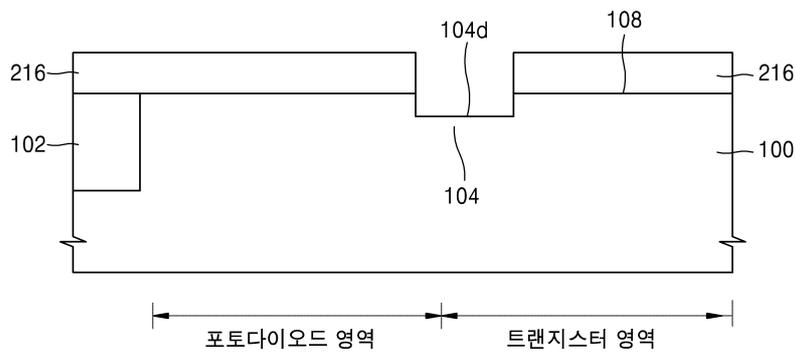
도면20a



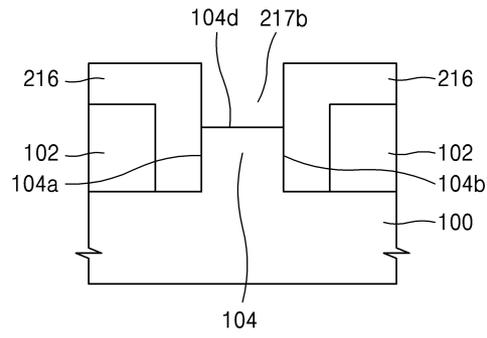
도면20b



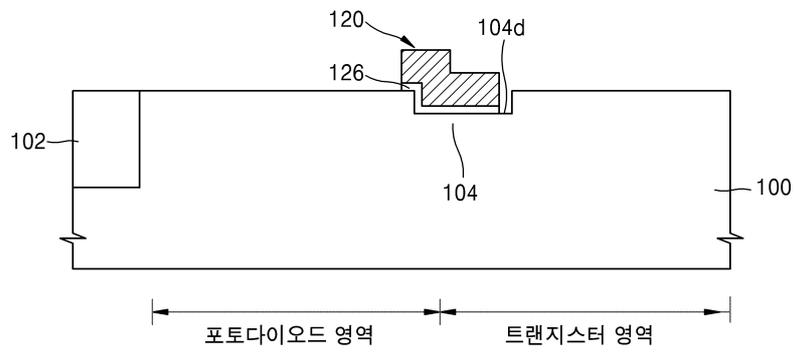
도면21a



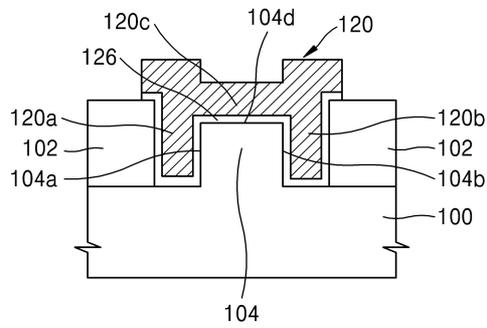
도면21b



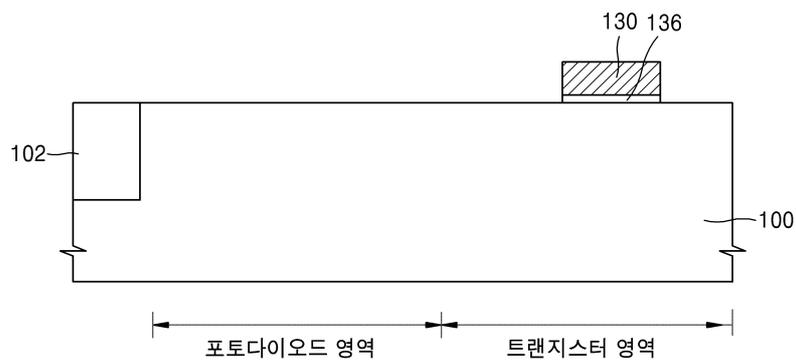
도면22a



도면22b



도면23a



도면23b

