



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월29일
 (11) 등록번호 10-1975630
 (24) 등록일자 2019년04월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/808 (2006.01) *H01L 21/8234* (2006.01)
H01L 27/06 (2006.01) *H01L 29/10* (2006.01)
 (52) CPC특허분류
H01L 29/808 (2013.01)
H01L 21/823493 (2013.01)
 (21) 출원번호 10-2015-0047731
 (22) 출원일자 2015년04월03일
 심사청구일자 2018년08월17일
 (65) 공개번호 10-2016-0119410
 (43) 공개일자 2016년10월13일
 (56) 선행기술조사문헌
 EP02765604 A1*
 JP2013509731 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
매그나칩 반도체 유한회사
 충북 청주시 흥덕구 향정동 1
 (72) 발명자
김영배
 충청북도 청주시 흥덕구 대신로 215 (향정동, 매그나칩 반도체 유한회사 내)
김광일
 충청북도 청주시 흥덕구 대신로 215 (향정동, 매그나칩 반도체 유한회사 내)
 (74) 대리인
김종선, 이형석

전체 청구항 수 : 총 22 항

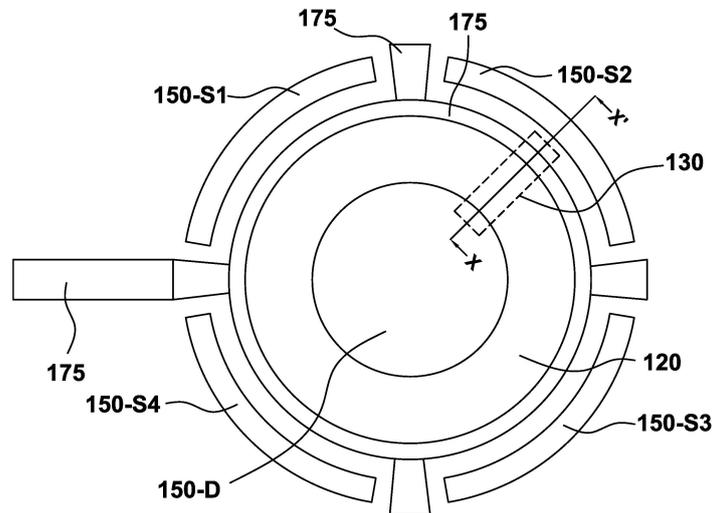
심사관 : 안경민

(54) 발명의 명칭 **접합 트랜지스터와 고전압 트랜지스터 구조를 포함한 반도체 소자 및 그 제조 방법**

(57) 요약

본 발명은 고전압 트랜지스터(High Voltage Field Effect Transistor)와 드레인을 공유하는 접합 트랜지스터(Junction Field Effect Transistor)에 관한 것으로, 접합 트랜지스터의 채널 영역에 형성되는 제1 도전형의 딥웰영역 하부에 채널 폭 방향으로 홈을 형성함으로써 고전압 트랜지스터의 전기적 특성을 유지하면서도 접합 트랜지스터의 펀치오프 특성을 개별적으로 조절할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/06 (2013.01)

H01L 29/1066 (2013.01)

명세서

청구범위

청구항 1

기판에 형성되는 접합형 전계 효과 트랜지스터(JFET);

상기 JFET는,

상기 기판에 형성하는 하나의 제1 도전형의 딥 웰 영역;

상기 제1 도전형의 딥 웰 영역 안에 형성되는 확산 영역;

상기 제1 도전형의 딥 웰 영역 안에 형성되는 제2 도전형의 매립 불순물 층;

상기 제1 도전형의 딥 웰 영역에 형성되는 제1 도전형의 공통 드레인 영역;

상기 제1 도전형의 딥 웰 영역에 형성되는 제1 도전형의 제1 소스 영역;

상기 기판에 형성되는 제2 도전형의 픽업 영역; 및

상기 제1 도전형의 공통 드레인 영역과 상기 제1 도전형의 제1 소스 영역 사이의 상기 기판 상에 형성되는 절연막을 포함하고,

상기 확산 영역은 상기 제1 도전형의 딥 웰 영역의 다른 부분보다 불순물 농도가 낮은 반도체 소자.

청구항 2

제1항에 있어서,

상기 기판에 형성되는 고전압 트랜지스터;를 더 포함하고,

상기 고전압 트랜지스터는,

상기 기판에 형성되는 게이트 전극; 및

상기 게이트 전극 근처에 형성되는 제2 소스 영역을 포함하고,

상기 제1 도전형의 공통 드레인 영역은 상기 게이트 전극으로부터 일정한 거리를 두고 배치되는 반도체 소자.

청구항 3

제1항에 있어서,

상기 확산 영역의 하면에 홈이 형성되는 반도체 소자.

청구항 4

제3항에 있어서,

상기 확산 영역에 핀치-오프 영역이 형성되는 반도체 소자.

청구항 5

제1항에 있어서,

상기 제1 도전형의 공통 드레인 영역에 연결되는 제1 단자;

상기 제1 도전형의 제1 소스 영역에 연결되는 제2 단자; 및

상기 픽업 영역에 연결되는 제3 단자;를 더 포함하고,

상기 제1 및 제2 단자는 상기 제1 도전형의 딥 웰 영역에 전기적으로 연결되며,

상기 제3 단자는 상기 기판에 전기적으로 연결되며,

상기 제1 단자와 상기 제3 단자의 전압 차이인 제1 전압이 핀치-오프 전압과 같거나 크게 되면, 상기 제1 도전형의 딥 웰 영역에 공핍 영역이 형성되는 반도체 소자.

청구항 6

제5항에 있어서,

상기 제1 전압이 상기 핀치-오프 전압보다 작으면, 상기 제2 단자의 출력 전압이 상기 제1 전압에 비례하지만, 상기 제1 전압이 상기 핀치-오프 전압보다 같거나 크게 되면, 상기 제2 단자의 전압이 고정된 전압이 되는 반도체 소자.

청구항 7

제1항에 있어서,

상기 제2 도전형의 매립 불순물 층은 상기 절연막의 하면에 접하여 형성되거나 상기 기판 표면의 수직 방향에 이격되어 형성되는 반도체 소자.

청구항 8

제1항에 있어서,

상기 제1 도전형의 딥 웰 영역은 제1 딥 웰 영역과 제2 딥 웰 영역을 포함하고,

상기 확산 영역은 상기 제1 딥 웰 영역과 상기 제2 딥 웰 영역 사이에 위치하고, 상기 제1 딥 웰 영역 및 상기 제2 딥 웰 영역의 불순물의 확산으로 형성되는 반도체 소자.

청구항 9

제8항에 있어서,

상기 제1 딥 웰 영역은 상기 제2 딥 웰 영역의 불순물의 도핑 농도보다 높게 형성되거나 제2 딥 웰 영역보다 더 깊게 형성되는 반도체 소자.

청구항 10

제1항에 있어서,

상기 제1 도전형의 딥 웰 영역은 소정의 폭을 가진 마스크 패턴을 이용하여 상기 기판 상에 제1 도전형의 불순물을 이온 주입하여 형성되는 제1 딥 웰 영역 및 제2 딥 웰 영역을 포함하고,

상기 확산 영역은 상기 제1 도전형의 불순물을 확산시켜 열처리 공정을 통하여 형성되는 반도체 소자.

청구항 11

기판에 형성되는 제1 도전형의 딥 웰 영역;
 상기 제1 도전형의 딥 웰 영역에 형성되는 제2 도전형의 매립 불순물 층;
 상기 제1 도전형의 딥 웰 영역에 형성되는 제1 도전형의 제1 드레인 영역 및 제1 소스 영역;
 상기 기판에 형성되는 제2 도전형의 제1 픽업 영역;
 상기 제1 도전형의 제1 드레인 영역과 상기 제1 소스 영역 사이의 상기 기판의 표면에 형성되는 절연막; 및
 상기 제1 도전형의 딥 웰 영역의 일부분에 형성되고, 상기 절연막의 하부와 접하여 형성되며, 상기 제2 도전형의 매립 불순물 층을 관통하여 형성되는 접합형 전계 효과 트랜지스터(JFET) 게이트 영역;을 포함하는 반도체 소자.

청구항 12

제11항에 있어서,
 상기 제1 도전형의 딥 웰 영역에 형성되는 고전압 트랜지스터를 더 포함하고,
 상기 고전압 트랜지스터는,
 게이트 전극;
 상기 게이트 전극 측에 형성되는 제2 소스 영역 및 제2 픽업 영역; 및
 상기 게이트 전극과 일정거리 이격되어 형성되는 제2 드레인 영역;을 포함하고,
 상기 제1 드레인 영역과 상기 제2 드레인 영역은 동일한 영역인 반도체 소자.

청구항 13

제12항에 있어서,
 상기 JFET 게이트 영역과 상기 제2 픽업 영역은 전기적으로 연결되는 반도체 소자.

청구항 14

제11항에 있어서,
 상기 제1 드레인 영역에 연결되는 제1 단자;
 상기 제1 소스 영역에 연결되는 제2 단자; 및
 상기 제1 픽업 영역에 연결되는 제3 단자;를 더 포함하고,
 상기 제1 및 상기 제2 단자는 상기 제1 도전형의 딥 웰 영역에 전기적으로 연결되고,
 상기 제3 단자는 상기 기판에 전기적으로 연결되며,
 상기 제1 단자 및 상기 제3 단자 사이의 전압 차이인 제1 전압이 핀치-오프 전압과 같거나 크게 되면, 상기 제1 도전형의 딥 웰 영역에 공핍 영역이 형성되고,
 상기 제1 전압이 상기 핀치-오프 전압보다 작으면, 상기 제2 단자의 출력 전압은 상기 제1 전압에 비례하고, 상기 제1 전압이 상기 핀치-오프 전압보다 같거나 크게 되면, 제2 단자의 전압이 고정된 전압이 되는 반도체 소자.

청구항 15

기판에 위치하며 제1 농도를 가지는 하나의 제1 도전형의 딥 웰 영역;
 상기 제1 도전형의 딥 웰 영역 안에 위치하며 제1 농도보다 저농도인 제2 농도를 가지는 제1 도전형의 반도체 영역;
 상기 제1 도전형의 딥 웰 영역 안에 형성되는 제2 도전형의 불순물 층;
 상기 반도체 영역으로부터 분리되어 형성되는 제1 도전형의 드레인 영역 및 소스 영역; 및
 상기 기판에 형성되는 제2 도전형의 픽업 영역을 포함하고,
 상기 제2 도전형의 불순물 층은 상기 반도체 영역에 접하고,
 상기 반도체 영역은 핀치-오프 전압이 일어나는 것을 특징으로 하는 반도체 소자.

청구항 16

제15항에 있어서,
 상기 제1 도전형의 딥 웰 영역은 제1 딥 웰 영역 및 제2 딥 웰 영역을 포함하고,
 상기 제1 딥 웰 영역과 상기 제2 딥 웰 영역은 상기 반도체 영역과 접하여 위치되며,
 상기 반도체 영역은 상기 제1 딥 웰 영역과 상기 제2 딥 웰 영역의 제1 도전형의 도펀트가 확산되어 형성되는 반도체 소자.

청구항 17

제15항에 있어서,
 상기 제2 도전형의 불순물 층을 통하여 형성되는 JFET 게이트 영역을 더 포함하는 반도체 소자.

청구항 18

접합형 전계 효과 트랜지스터(JFET)에 있어서,
 기판에 형성되는 하나의 딥 웰 영역;
 상기 딥 웰 영역 안에 형성되는 확산 영역;
 상기 딥 웰 영역 안에 형성되는 매립 불순물 층;
 상기 딥 웰 영역 안에 형성되는 공통 드레인 영역;
 상기 딥 웰 영역에 형성되는 제1 소스 영역; 및
 상기 기판에 형성되는 픽업 영역 및 절연막을 포함하며,
 상기 절연막은 상기 공통 드레인 영역과 상기 제1 소스 영역 사이의 기판에 위치하고, 상기 확산 영역은 딥 웰 영역의 다른 부분의 농도보다 낮은 불순물 농도인 반도체 소자.

청구항 19

제 18항에 있어서,
 상기 딥 웰 영역,

상기 공통 드레인 영역, 및

상기 제1 소스 영역은 제1 도전형이고, 상기 매립 불순물 층 및 상기 픽업 영역은 제2 도전형인 반도체 소자.

청구항 20

제 18항에 있어서,

상기 확산 영역의 하면에 홈이 형성되는 반도체 소자.

청구항 21

제 1항에 있어서,

상기 제2 도전형의 매립 불순물 층을 관통하여 형성되는 게이트 영역;을 더 포함하는 반도체 소자.

청구항 22

제 18항에 있어서,

상기 매립 불순물 층을 관통하여 형성되는 게이트 영역;을 더 포함하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 공통 드레인 구조를 갖는 고전압 트랜지스터(High Voltage Field Effect Transistor) 및 접합 트랜지스터(Junction Field Effect Transistor) 구조를 포함한 반도체 소자 및 제조 방법에 관한 것으로, 더 자세하게는 핀치오프(Pinch-off) 전압 및 전류를 조절할 수 있는 접합 트랜지스터를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 고전압 트랜지스터는 수십에서 수백 볼트(V) 단위의 전원을 제어하는 소자로서, 고전압 전원의 스위칭 기능을 수행한다. 고전압 트랜지스터는 턴오프 상태에서 전류를 차단하기 위해 높은 전압에서도 항복현상이 일어나지 않는 고내압(V_{bd}) 성능을 갖추어야 하고, 턴온 상태에서 전력손실을 줄이기 위해 작은 온저항(R_{sp})값을 갖추어야 한다.

[0003] 접합 트랜지스터는 고전압 트랜지스터와 함께 고전압 전원의 제어장치에 사용되는 소자로서, 고전압 트랜지스터의 게이트를 제어하는 회로에 스타트업(start-up) 전원을 공급하는 기능을 수행한다. 일반적으로 고전압 트랜지스터의 게이트를 제어하는 회로는 저전압 트랜지스터들로 구성되므로, 접합 트랜지스터는 핀치오프(Pinch-off) 현상을 이용하여 상기 회로에 인가되는 전압과 전류가 임계치를 넘지 않도록 제한하는 기능을 수행한다.

[0004] 종래 기술에 의한 고전압 트랜지스터와 접합 트랜지스터는 상기와 같은 성능을 만족시키기 위해 상당한 면적을 필요로 한다. 따라서 고전압 트랜지스터와 접합 트랜지스터는 소형화에 많은 어려움을 갖고 있었다.

[0005] 상기와 같은 문제점을 해결하기 위해 미국등록특허 US 6,168,983은 고전압 트랜지스터와 접합 트랜지스터를 결

합한 고전압 트랜지스터의 제조방법에 대한 기술을 개시하였다. 상기 기술에 의한 고전압 트랜지스터의 드리프트 트레인 영역 내부에 반대 도전형의 매립 불순물층을 구비함으로써 온저항(R_{sp})값을 감소시킬 수 있었다.

[0006] 그러나 상기 기술에 의한 접합 트랜지스터는 고전압 트랜지스터의 드리프트 트레인 영역으로 사용되는 딥웰 영역을 접합 트랜지스터의 채널 영역으로 사용하는데, 상기 딥웰 영역은 고전압 트랜지스터의 온저항(R_{sp}) 특성에 맞추어 도핑농도가 결정되고, 매립 불순물층의 구조가 결정된다. 따라서 상기 기술에 의한 접합 트랜지스터는 채널 영역이 고전압 트랜지스터의 전기적 특성에 따라 결정되므로 접합 트랜지스터의 전류-전압 특성을 개별적으로 조절하기 어려운 문제점이 있다.

선행기술문헌

[0007] 삭제

[0008] 삭제

[0009] 삭제

[0010] 삭제

특허문헌

(특허문헌 0001) 미국등록특허 제 6,168,983호 (2001. 1. 2. Method of making a high-voltage transistor with multiple lateral conduction layers)

(특허문헌 0002) 미국등록특허 제 7,491,611호 (2009.2.17. Method and apparatus for controlling a circuit with a high voltage sense device)

(특허문헌 0003) 미국등록특허 제 8,236,656호 (2012.8.7. Method and apparatus for controlling a circuit with a high voltage sense device)

(특허문헌 0004) 미국공개특허 제 2014-0104888 호 (2014.4.17. SEMICONDUCTOR DEVICE WITH SHARED REGION)

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은 면적을 최소화하여 집적도를 향상시키는 접합 트랜지스터와 고전압 트랜지스터 구조를 갖는 반도체 소자 및 그 제조 방법을 제공하는 것이다.

[0012] 본 발명의 다른 목적은 고전압 트랜지스터의 온저항(R_{sp}) 특성을 유지하면서 접합 트랜지스터의 핀치오프(pinchoff) 특성을 조절할 수 있는 접합 트랜지스터를 갖는 반도체 소자 및 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0013] 상기의 목적을 달성하기 위하여 본 발명의 실시예에 따른 반도체 소자는 기판에 형성된 고전압 트랜지스터 및

접합 트랜지스터를 포함하고, 상기 접합 트랜지스터는, 상기 기판에 확산 영역을 포함하는 제1 도전형의 딥웰 영역, 상기 딥웰 영역에 형성된 제2 도전형의 매립 불순물층, 상기 딥웰 영역에 형성된 제1 도전형을 가진 공통 드레인 영역, 상기 딥웰 영역에 형성된 제1 도전형을 가진 제1 소스 영역, 상기 기판에 형성된 제2 도전형의 픽업 영역 및 상기 제1 드레인 영역과 제1 소스 영역 사이의 상기 기판 표면 위에 형성된 절연막을 포함하고, 상기 확산 영역은 상기 딥웰 영역보다 불순물 농도가 낮은 것을 특징으로 한다.

[0014] 또한, 상기 고전압 트랜지스터는, 상기 기판 상에 형성된 게이트 전극, 상기 게이트 전극 근처에 형성된 제2 소스 영역 및 상기 게이트 전극과 일정 간격 떨어져 형성된 상기 공통 드레인 영역을 포함하는 것을 특징으로 한다.

[0015] 또한, 상기 확산 영역의 하면에 홈이 형성되는 것을 특징으로 한다.

[0016] 또한, 상기 확산 영역은 핀치 오프 영역이 형성되는 것을 특징으로 한다.

[0017] 본 발명의 다른 실시예에 따른 반도체 소자는, 상기 제1 드레인 영역과 연결된 제1 단자, 상기 제1 소스 영역과 연결된 제2 단자, 상기 픽업 영역과 연결된 제3 단자를 더 포함하고, 상기 제1 및 제2 단자는 상기 딥웰 영역과 전기적으로 연결되며, 상기 제3 단자는 상기 기판과 전기적으로 연결되며, 상기 제1 단자와 제3 단자의 전압 차이를 제1 전압이라고 할 때, 상기 제1 전압이 핀치-오프 전압과 같거나 크게 되면 상기 딥웰의 한 영역이 공핍 영역이 되는 것을 특징으로 한다.

[0018] 또한, 상기 제1 전압이 상기 핀치-오프 전압보다 작으면 상기 제2 단자의 출력 전압은 상기 제1 전압에 비례하지만, 상기 제1 전압이 상기 핀치-오프 전압과 같거나 더 크게 되면, 제2 단자의 전압이 고정된 전압이 되는 것을 특징으로 한다.

[0019] 또한, 상기 매립 불순물층은 적어도 하나 이상 형성되며, 상기 절연막의 하면에 접하거나 또는 기판 표면의 수직방향으로 이격되어 형성되는 것을 특징으로 한다.

[0020] 또한, 상기 딥웰 영역은 제1 딥웰 영역과 제2 딥웰 영역을 포함하고, 상기 확산 영역은 상기 제1 딥웰 영역과 제2 딥웰 영역 사이에 형성되고, 상기 제1 딥웰 영역 및 제2 딥웰 영역의 불순물의 확산으로 형성되는 것을 특징으로 한다.

[0021] 또한, 상기 제1 딥웰 영역은 상기 제2 딥웰 영역보다 불순물의 도핑농도가 더 높게 형성되거나 더 깊게 형성되는 것을 특징으로 한다.

[0022] 또한, 상기 확산 영역은, 소정의 폭을 가진 마스크 패턴을 이용하여 상기 기판에 제1 도전형의 불순물을 이온주입하여 제1 딥웰 영역과 제2 딥웰 영역을 포함하는 상기 딥웰 영역을 형성하고, 상기 제1 도전형의 불순물을 확산시켜 열처리를 통하여 형성되는 것을 특징으로 한다.

[0023] 본 발명의 다른 실시예에 따른 반도체 소자는, 기판에 형성된 제1 도전형의 딥웰 영역, 상기 딥웰 영역에 형성된 제2 도전형의 매립 불순물층, 상기 딥웰 영역에 형성된 제1 도전형의 제1 드레인 영역 및 제1 소스 영역, 상기 기판에 형성된 제2 도전형의 제1 픽업 영역, 상기 제1 드레인 영역과 제1 소스 영역 사이의 상기 기판 표면 위에 형성된 절연막 및 상기 딥웰 영역의 일부분에 형성되고, 상기 절연막 하부와 접하여 형성되고, 상기 매립

불순물층을 관통하여 형성되는 JFET 게이트 영역을 포함하는 것을 특징으로 한다.

[0024] 또한, 본 발명의 다른 실시예에 따른 반도체 소자는, 상기 딥웰 영역에 형성된 고전압 트랜지스터를 더 포함하고, 상기 고전압 트랜지스터는, 게이트 전극, 상기 게이트 전극 옆에 형성된 제2 소스 영역 및 제2 픽업 영역, 상기 게이트 전극과 일정 간격 떨어져 형성된 제2 드레인 영역;을 포함하고, 상기 제1 드레인 영역과 제2 드레인 영역은 같은 영역으로 하는 것을 특징으로 한다.

[0025] 또한, 상기 JFET 게이트 영역과 상기 제2 픽업 영역이 전기적으로 연결되는 것을 특징으로 한다.

[0026] 또한, 상기 제1 드레인 영역과 연결된 제1 단자, 상기 제1 소스 영역과 연결된 제2 단자, 상기 픽업 영역과 연결된 제3 단자;를 더 포함하고, 상기 제1 및 제2 단자는 상기 딥웰 영역과 전기적으로 연결되며, 상기 제3 단자는 상기 기판과 전기적으로 연결되며, 상기 제1 단자와 제3 단자의 전압 차이를 제1 전압이라고 할 때, 상기 제1 전압이 핀치-오프 전압과 같거나 크게 되면 상기 딥웰의 한 영역이 공핍 영역이 되며, 상기 제1 전압이 상기 핀치-오프 전압보다 작으면 상기 제2 단자의 출력 전압은 상기 제1 전압에 비례하지만, 상기 제1 전압이 상기 핀치-오프 전압과 같거나 더 크게 되면, 제2 단자의 전압이 고정된 전압이 되는 것을 특징으로 한다.

[0027] 또한, 기판에 형성된 제1 농도를 갖는 제1 도전형의 딥웰 영역, 상기 딥웰 영역 안에 형성되고, 상기 제1 농도보다 낮은 제2 농도를 갖는 제1 도전형의 반도체 영역, 상기 딥웰 영역에 형성된 제2 도전형의 불순물층, 상기 반도체 영역과 떨어져 있는 제1 도전형의 드레인 영역 및 소스 영역 및 상기 기판에 형성된 제2 도전형의 픽업 영역을 포함하고, 상기 제2 도전형의 불순물 층의 일부 영역과 상기 반도체 영역은 서로 접하고, 상기 반도체 영역을 통해 핀치 오프가 일어나는 것을 특징으로 하는 것을 특징으로 한다.

[0028] 또한, 상기 딥웰 영역은 제1 딥웰 영역 및 제2 딥웰 영역을 포함하고, 상기 제1 딥웰 영역과 상기 제2 딥웰 영역은 상기 반도체 영역과 접하여 형성되며, 상기 제1 딥웰 영역과 상기 제2 딥웰 영역에 있는 제1 도전형의 도펀트가 확산되어 형성된 것을 특징으로 하는 것을 특징으로 한다.

[0029] 또한, 상기 제2 도전형의 불순물 층을 관통하여 형성되는 JFET 게이트 영역 영역을 더 포함하는 것을 특징으로 한다.

발명의 효과

[0030] 본 발명에 의한 접합 트랜지스터 및 그 제조 방법은 고전압 트랜지스터와 드레인을 공유함으로써 집적도를 향상시킬 수 있다.

[0031] 또한, 본 발명에 의한 접합 트랜지스터 및 그 제조 방법은 채널 영역에 형성되는 제1 도전형의 딥웰 영역에 채널 폭 방향으로 JFET 게이트 영역을 형성함으로써 고전압 트랜지스터의 전기적 특성을 유지하면서도 접합 트랜지스터의 핀치오프 특성을 개별적으로 조절할 수 있다.

도면의 간단한 설명

[0032] 도1은 접합 트랜지스터를 나타내는 도면이다.

도2는 본 발명의 실시예에 따른 접합 트랜지스터 및 고전압 트랜지스터를 갖는 반도체 소자의 평면도를 나타내는 도면이다.

도3은 본 발명의 실시예에 따른 접합 트랜지스터 및 고전압 트랜지스터를 포함한 반도체 소자의 단면도를 나타내는 도면이다.

도4 내지 5는 본 발명의 다른 실시예에 따른 접합 트랜지스터를 나타내는 도면이다.

도6은 본 발명의 실시예에 따른 접합 트랜지스터의 제조방법을 나타내는 도면이다.

도7은 본 발명의 실시예에 따른 접합 트랜지스터의 핀치오프 전압 및 전류 특성 곡선을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0034] 이하, 본 발명의 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다.

[0035] 도1은 원형 타입의 멀티 소스 접합 트랜지스터(Multi-source JFET)를 나타내는 도면인데, 복수개의 소스 전극(150-S1, 150-S2, 150-S3, 150-S4)을 갖는 구조를 말한다. 멀티 소스 접합 트랜지스터의 중심에는 드레인 영역(미도시)과 전기적으로 연결된 드레인 전극(150-D)이 형성된다. 그리고 드레인 전극(150-D)을 둘러싸는 형태로 하나의 P형 접합(JFET) 게이트(175)가 형성된다. 드레인 전극(150-D)과 JFET 게이트(175) 사이에는 절연막(120)이 형성되어 있다. 그리고 JFET 게이트(175)의 외측 방향에는 소스 영역(미도시)과 연결된 총 4개의 소스 단자(150-S1, 150-S2, 150-S3, 150-S4)가 배치된다. 그리고 매립 불순물층(130)이 드레인 전극(150-D)과 JFET 게이트(175) 아래에 형성되어 있다. X-X' 기준선에 대한 단면은 나중에 설명할 도3(a)와 유사한 구조를 가지게 된다. 여기서 JFET 게이트(175)는 P형의 도펀트로 이온 주입된 웰 영역을 말한다. 그래서 드레인 전극(150-D)과 기판(미도시) 사이의 전위차가 핀치 오프 전압에 이르렀을 때, JFET 게이트(175)영역이 P형 기판 사이에 공핍영역이 형성되어, 더 이상 전류가 증가하지 않고 포화 전류(saturation current)에 이르게 된다. 그러나 핀치 오프 전압까지 이르지 않았을 때는 소스 단자(150-S1, 150-S2, 150-S3, 150-S4)에는 드레인 전극(150-D)에 가해진 전압에 상응하는 만큼의 전압이 유지되어, 드레인 전극에 걸여준 전압에 비례해서 전류가 흐르게 된다. 그런데 상기와 같이 구성되는 멀티 소스 JFET접합 트랜지스터 구조를 변형시키지 않고, 고전압 트랜지스터(20)와 함께 형성될 경우에 불리한 면이 있다. 그것은 멀티 소스 JFET접합 트랜지스터 자체적으로 면적을 상당히 많이 차지하고 있기 때문이다. 그래서 두 개의 트랜지스터를 합치더라도, 최적의 면적을 갖도록 하는 것이 중요하다.

[0036] 도2는 본 발명의 실시예에 따른 최적의 면적을 갖는 접합 트랜지스터와 고전압 트랜지스터(20)가 함께 있는 평면도를 나타내는 도면이다.

[0037] 도2(a)에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 소자는 접합 트랜지스터(10)와 고전압 트랜지스터(20)가 함께 형성된 것으로서, 저전력 어플리케이션을 위해 고전압 트랜지스터(20)와 접합 트랜지스터(10)를 별도로 구현하는 경우와 비교하면, 칩에서 차지하는 면적을 90% 이상 감소시킬 수 있는 효과가 있다.

[0038] 접합 트랜지스터(10)는 A-A' 기준으로 보면, 딥웰 영역(110), 공통 드레인 영역(140-D), 공통 드레인 전극(150-D), 제1 소스 영역(140-S) 및 제1 소스 영역(140-S)과 전기적으로 연결된 제1 소스 전극(150-S)을 포함한다. 상기 제1 소스 전극(150-S)은 다른 내부 회로인 저전압 회로(미도시)와 연결된다. 여기서, 딥웰 영역(110)은 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)을 포함한다. 제1 딥웰 영역(110-L)은 드레인 영역(140-D)을 포함하고, 제2 딥웰 영역(110-R)은 소스 영역(140-S)을 포함한다. 그리고 딥웰 영역(110)을 가로지르는 형태로 제2 도전형의 JFET 게이트 영역(170)이 형성된다. 제2 도전형의 JFET 게이트 영역(170)에 대해서는 도3 이하에서 자세히 설명하고자 한다.

[0039] 여기서 접합 트랜지스터(10)의 제1 소스 영역(140-S)은 공통 드레인 영역(140-D)을 기준으로 고전압 트랜지스터의 제2 소스 영역(202)이 형성되는 방향과 수직을 이루는 방향에 형성된다. 상기와 같은 구조는 고전압 트랜지스터와 접합 트랜지스터가 공통 드레인 영역(140-D) 및 딥웰 영역(110)을 공유하기 위한 배치로서, 반드시 수직 방향으로 형성되어야 하는 것은 아니다.

[0040] 고전압 트랜지스터(20)는 B-B' 기준으로, 게이트 전극(201), 공통 드레인 영역(140-D), 제2 소스 영역(202), 제2 소스 전극(203)을 포함한다. 여기서 고전압 트랜지스터(20)는 접합 트랜지스터(10)의 딥웰 영역(110) 위에 형성된다. 상기 공통 드레인 영역(140-D)은 접합 트랜지스터(1)의 공통 드레인 영역(140-D)과 동일한 영역이다. 고로, 고전압 트랜지스터(20)와 접합 트랜지스터(10)는 드레인 영역(140-D) 및 딥웰 영역(110)을 서로 공유하고 있는 것이다.

[0041] 도2(b)는 도2(a)에서 표시된 D영역을 확대한 그림이다. JFET 게이트 영역(170) 주변에 고전압 트랜지스터의 게이트 전극(201)이 형성되어 있고, 게이트 전극(201) 주변에는 N+ 농도를 갖는 제2 소스 영역(202)과 P+ 농도를 갖는 제2 픽업 영역(204)이 반복 형성되어 있다. 그 이유는 홀 캐리어에 의한 기생 다이오드 형성하는 것을 막기 위함이다. 만약 제 2픽업 영역(204)이 제2 소스 영역(202)보다 게이트 전극(201)으로부터 더 멀리 배치되면, 홀 캐리어가 P형 바디 영역(206)에 머무르는 시간이 늘어나서 홀 캐리어에 의한 전위가 커진다. 이 경우, 원하지 않는 기생 다이오드가 발생할 수 있는 것이다. JFET 게이트 영역(170)과 고전압 소자의 제2 픽업 영역(204)과 전기적으로 연결시키기 위해 JFET 게이트 영역(170)의 연장선 상에 제2 픽업 영역(204)이 배치된다. 그래서 JFET 게이트 영역(170)은 고전압 소자의 제2 픽업 영역(204)과 같은 전위차를 갖게 된다. P+ 픽업 영역(204)이 기준 그라운드 전압을 갖게 되면 JFET 게이트 영역(170)도 전기적으로 플로팅 되지 않고, 기준 그라운드 전압을 갖게 되는 것이다. 다른 실시예로 전기적으로 서로 연결하지 않고 플로팅 시킬 수도 있다.

[0042] 도3은 본 발명의 실시예에 따른 반도체 소자의 단면도를 나타내었다.

[0043] 먼저 도3(a)는 도2의 A-A' 단면이다. 도시된 바와 같이, 본 발명의 실시예에 따른 접합 트랜지스터(10)는 P형 기판(100) 내부에 형성된 제1 도전형의 딥웰 영역(110)이 있다. 그리고 딥웰 영역(110) 안에 형성된 공통 드레인 영역(140-D) 및 제1 소스 영역(140-S), 드레인 영역(140-D)과 소스 영역(140-S) 사이의 기판(100) 표면에 형성되는 절연막(120)이 있다. 딥웰 영역(110) 내부에 기판(100) 표면의 수평방향으로 일정한 면을 형성하는 제2 도전형의 매립 불순물층(130)이 있다. 드레인 영역(140-D)에 인접한 절연막(120) 위의 표면에 필드 플레이트(160)가 형성된다. 필드 플레이트(160)와 드레인 영역(140-D)과 전기적으로 연결하는 공통 드레인 전극(또는 제1 단자, 150-D)이 있다. 제1 소스 영역(140-S)과 전기적으로 연결되는 제1 소스 전극(또는 제2 단자, 150-S)을 포함한다. 여기서 단자들(150-D, 150-S)은 금속 배선으로 형성된다. 그리고 기판(100)에 P형의 제1 픽업영역(140-P)이 형성된다. 그리고 P형 제1 픽업 영역(140-P)이 전기적으로 연결된 픽업 전극(또는 제3 단자, 150-P)이 형성된다. 제3 단자(150-P)와 P형 기판(100)은 그라운드 기준 전압(ground reference voltage)으로 연결된다. 기판(100)과 공통 드레인 영역(140-D) 사이의 전압 차이에 따라, 제1 소스 전극(150-S)의 출력 전압이 결정된다.

[0044] 딥웰 영역(110)은 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)과 확산 영역(111)을 포함한다. 여기서 제1 딥웰 영역(110-L)은 공통 드레인 영역(140-D)을 포함하고, 제2 딥웰 영역(110-R)은 제1 소스 영역(140-S)을 포함한다. 그리고 확산 영역(111)은 제1 및 제2 딥웰 영역(110-L,R)의 사이에 형성되는데, 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)에 있는 이온 주입된 도펀트들의 확산에 의해 형성된 것이다. 확산 영역(111)은 기판과 공통 드레인 영역의 전위차에 따라 공핍 영역이 형성되는 영역이다. 즉, 확산 영역은 핀치 오프 영역이 형성되는 곳이다. 그리고 확산 영역(111)은 오목한 형태의 홈(H)을 포함한다. 상기 홈(H)은 접합 트랜지스터(10)의 제조 과정에서 발생한 것이다. 그래서 확산 영역(111)은 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)이 서로 접하는 영역을 포함한다고 볼 수 있다. 확산 영역(111)에 있는 홈(H)의 저면이 제1 및 제2 딥웰 영역(110-L,R)의 저면보다 깊이가 더 낮게 형성되어 있다. 제1 및 제2 딥웰 영역(110-L,R)은 동일한 불순물 농도와 깊이로 형성된다. 그러나 홈이 형성되어 있는 확산 영역(111)은 제1 및 제2 딥웰 영역(110-L,R)에 비해 불순물 농도가 낮고, 저면의 깊이가 같거나 최소한 더 작다.

[0045] 절연막(120)은 필드절연막으로서 LOCOS(LOCAl Oxidation of Silicon) 공정 또는 STI(Shallow Trench Isolation) 공정으로 형성될 수 있다.

- [0046] 매립 불순물층(130)은 딥웰 영역(110) 내부에 기판(100) 표면의 수평방향을 따라 일정한 면을 형성하며, 제2 도전형의 불순물이 도핑된다. 매립 불순물층(130)은 제1 딥웰 영역, 제2 딥웰 영역, 확산 영역에 걸쳐 있음을 알 수 있다. 매립 불순물층(130)이 절연막(120)의 하면과 접하여 형성된다. 본 실시예에 따른 접합 트랜지스터(10)는 매립 불순물층(130)과 절연막(120) 사이에 채널이 없어지고, 매립 불순물층(130) 아래의 N형 채널 영역(182)만 남게 된다. 매립 불순물층(130)은 1개 또는 그 이상이 기판(100) 표면의 수직방향으로 이격되어 형성될 수 있으며, 매립 불순물층(130)의 수에 따라 접합 트랜지스터(10)의 항복전압(V_{bd}), 온저항(R_{sp}) 특성에 영향을 미치게 된다. 매립 불순물층(130)은 전기적으로 P형 기판(100)과 연결될 수 있다. 매립 불순물층(130)도 P형 기판(100)과 마찬가지로 그라운드 기준 전압을 갖게 된다.
- [0047] 상기 딥웰 영역(110) 내에 제2 도전형의 JFET 게이트 영역(170)이 형성되는데, 상기 절연막(120) 하부와 접하여 형성되고, 제2 도전형의 매립 불순물층(130)을 관통하여 형성된다. JFET 게이트 영역(170) 영역에 의해 핀치 오프 전압이 더 낮아질 수 있다. 왜냐하면, 제2 도전형의 매립 불순물층(130)만 있을 경우보다, P형 영역이 더 증가하였기 때문이다. JFET 게이트 영역(170)은 일종의 정션 게이트(junction gate)역할을 하게 되는데, 리버스 바이어스가 인가되면 기판(100) 영역으로 공핍 영역이 확장되어 P형 기판(100)과 만나게 되며, 딥웰 영역(110)의 저항이 급격히 증가하는 핀치-오프가 발생한다. 그러나 핀치 오프 전압에 이르지 않았을 때는 제2 도전형 웰(170) 아래에 있는 확산 영역(111)이 채널 영역이 되어 적당한 전류를 흘려 준다. 또한 JFET 게이트 영역(170)은 접합 트랜지스터(10)의 확산 영역(111)에 형성되어 상기 확산 영역(111)의 단면적을 감소시킨다. 즉, 접합 트랜지스터(10)의 확산 영역(111)의 면적이 상부의 JFET 게이트 영역(170)이 형성된 만큼 감소하므로 핀치-오프 전압도 감소할 수 있다. 여기서 JFET 게이트 영역(170)은 기판과 전기적으로 연결될 수 있으며 그라운드 기준 전압을 갖게 된다.
- [0048]
- [0049] 드레인 영역(140-D)과 기판(100) 사이에 리버스 바이어스(reverse bias) 상태가 되면 기판(100)과 딥웰 영역(110, 111) 사이의 공핍 영역 및 딥웰 영역(110, 111)과 매립 불순물층(130) 사이의 공핍 영역이 각각 확대된다. 제1 단자(150-D)와 기판(100) 사이의 전압 차이가 핀치-오프전압(pinch-off voltage)에 도달하면, 확대된 공핍 영역이 서로 접하게 된다. 그런데 매립 불순물층(130)과 P형 기판(100) 사이의 거리는 홈(H)이 형성되어 있는 N형의 확산 영역(111)이, 홈(H)이 형성되어 있지 않은 N형의 제1 및 제2 딥웰 영역(110-L, 110-R)보다 짧다. 또한 확산 영역(111)이 제1 및 제2 딥웰 영역(110-L, 110-R)보다 넷 도핑 농도(net doping concentration)가 낮다. 따라서 홈(H)이 형성되어 있는 확산 영역(111)에서는 다른 영역의 딥웰 영역(110-L, 110-R)보다 더 빨리 공핍 영역으로 변화되고, 홈(H)이 형성되어 있는 확산 영역(111)이 먼저 핀치 오프 상태에 이르게 된다. 즉, 핀치 오프 영역은 딥웰 영역(110, 111) 중에서도 가장 농도가 낮고 단면적이 좁은 확산 영역(111)에서 형성된다. 확산 영역(111)은 접합 트랜지스터(10)의 채널 영역에 포함되므로 확산 영역(111)의 전부가 공핍 영역이 되면 접합 트랜지스터(10)가 핀치 오프 상태에 놓이게 된다.
- [0050] 더군다나 JFET 게이트 영역(170)이 확산 영역(111)의 면적을 줄이고 있어서 JFET 게이트 영역(170)이 없을 때보다 더 빨리 핀치-오프에 다다르게 된다. JFET 게이트 영역(170)의 농도가 높을수록 핀치 오프 전압은 더 떨어질 것으로 기대된다. 그래서 JFET 게이트 영역(170)의 농도를 조정해서 핀치-오프 전압을 조절할 수 있다고 본다. 마찬가지로 JFET 게이트 영역(170)의 깊이를 조절해서 핀치-오프 전압 조절이 가능하다.
- [0051] 확산 영역(111)에서 핀치 오프가 발생하면, 제1 단자(150-D)와 제2 단자(150-S) 사이의 N형 딥웰 영역(110, 111)의 저항이 급격하게 높아져 제2 단자는 더 이상 전압이 증가하지 못하고, 특정한 핀치-오프전압 (pinch-off voltage)에 머물게 된다. 핀치-오프전압에 이르지 않았을 때는 제2 단자(150-S)는 제1 단자(150-D)의 전압에 비례해서 전압이 상승한다. 그러나 핀치-오프 전압에 이르게 되면, 제1 단자(150-D)의 전압이 계속 상승해도, 제2 단자(150-S)는 핀치-오프전압에 그대로 머물게 된다. 따라서 접합 트랜지스터(10)는 제2 단자(150-S)가 일정한 전압을 초과하지 않도록 전류량을 제한하므로 제1 단자(150-S)의 고전압으로부터 제2 단자(150-S)와 연결된 내부 회로를 보호할 수 있다. 그래서 접합 트랜지스터(10)는 핀치오프(Pinch-off) 현상을 이용하여 상기 내부 회로에 인가되는 전압과 전류가 임계치를 넘지 않도록 제한하는 기능을 수행한다.
- [0052] 정리하면, 제1 단자(150-D)와 제3 단자(150-P)의 전압 차이가 핀치-오프 전압보다 작으면, 제2 단자(150-S)의 출력 전압은 상기 전압 차이에 비례하지만, 상기 전압 차이가 핀치-오프 전압과 같거나 더 크면, 핀치-오프가 발생하여 제2 단자(150-S)의 전압이 고정된(fixed) 전압이 된다.

- [0053] 필드 플레이트(160)는 금속 또는 다결정 실리콘으로 형성될 수 있으며, 절연막(120) 하부의 전기장을 완화함으로써 국부적으로 전계가 집중되어 항복현상이 발생하는 현상을 방지한다.
- [0054] 도3(a)에서는 실시예로 N형 접합 트랜지스터의 구조가 도시되고 있지만, 당해 분야에 속하는 통상의 기술자라면 P형 접합 트랜지스터의 구조에도 동일한 원리를 적용할 수 있을 것이다.
- [0055] 도3(a)에서 더 부언하면, 기판에 형성된 제2 도전형의 딥웰 영역(110)이 제1 농도를 갖는다면, 확산 영역(111)은 제1 농도보다 낮은 제2 농도를 가질 수 있다. 그리고 본 발명에 의한 접합 트랜지스터(10)는 상기 반도체 영역(확산 영역을 말함, 111)을 통해 핀치 오프가 일어나는 것을 특징으로 하는 접합 트랜지스터라고 볼 수 있다. 물론 제1 및 제2 딥웰 영역은 제1 농도를 갖는다고 볼 수 있다. 상기 제1 딥웰 영역과 상기 제2 딥웰 영역은 상기 반도체 영역(111)과 접하여 형성되며, 상기 제1 딥웰 영역과 상기 제2 딥웰 영역에 있는 제1 도전형의 도펀트가 확산되어 형성된 것을 알 수 있다. 그리고 드레인 영역(140-D) 및 소스 영역(140-S)은 확산 영역(111)과 일정 간격 떨어져 있고, 제1 도전형의 불순물로 도핑된 매립불순물층(130)의 일부 영역과 확산 영역(111)은 서로 접하고 있다.
- [0056] 다음으로, 도3(b)는 B-B` 기준선을 따른 고전압 트랜지스터(20)의 단면을 나타낸 도면이다. 고전압 트랜지스터(20)는 딥웰 영역(110), 딥웰 영역(110) 내에 형성되는 매립 불순물층(130)을 포함한다. 여기서 딥웰 영역(110)은 접합 트랜지스터(10)의 제1 딥웰 영역(110-L)에 해당된다. 그리고 딥웰 영역(110)내에 공통 드레인 영역(140-D), 공통 드레인 영역(140-D) 상부에 형성된 공통 드레인 전극(150-D), 절연막(120) 위에 형성된 필드 플레이트(160)를 포함한다. 그리고 P형 기판(100)에 형성된 P형 바디 영역(206), N+ 농도를 갖는 제2 소스 영역(202), P+농도를 갖는 제2 픽업 영역(204), 게이트 절연막(208) 및 게이트 전극(201), 제2 소스 전극(203)을 포함한다. 여기서 제2 소스 영역(202)과 제2 픽업 영역(204)은 P형 바디 영역(206)안에 형성되며, 제2 소스 영역(202)과 제2 픽업 영역(204)은 각각 분리해서 전기적으로 연결할 수 있다. 그렇게 하기 위해서 제2 소스 영역(202)과 제2 픽업 영역(204)은 LOCOS등의 절연막으로 분리 시켜서 형성될 수 있다. 게이트 전극(201) 아래에 P형 바디 영역(206) 일부 영역 및 P형 기판(100)의 일부 영역에는 N형 채널영역이 형성된다.
- [0057] 다음으로, 도3(c)는 도2(b)에서 제시한 C-C` 기준선을 따른 접합 트랜지스터(10)와 고전압 트랜지스터(20)의 단면을 나타낸 도면이다. 매립 불순물층(130)이 절연막(120)과 접하여 형성되어 있고, 매립 불순물층(130)을 둘러싸고 있는 JFET 게이트 영역(170)이 형성된다. 또한 JFET 게이트 영역(170)과 접하고 있는 P형 바디 영역(206)이 형성되고, P형 바디 영역(206)안에는 P+ 도펀트 농도를 갖는 제2 픽업 영역(204)이 형성된다. 그래서 전기적으로 JFET 게이트 영역(170)과 제2 픽업 영역(204)이 서로 연결된다. 그리고 P형 바디 영역 상에 게이트 절연막(208) 및 게이트 전극(201)이 형성된다. 여기서 P형 바디 영역(206), 게이트 절연막(208) 및 게이트 전극(201), 제2 픽업 영역(204)은 앞서 설명한 도3(b)에서 설명한 부분과 반복된다. 고전압 트랜지스터의 게이트 전극(201) 아래에 JFET 게이트 영역(170)이 연장되어 형성되어 있다. 이는 고전압 트랜지스터의 게이트 전극(201)과 JFET 게이트 영역(170)이 중첩되어 형성되어 있다고 볼 수 있다. JFET 게이트 영역(170) 아래에는 접합 트랜지스터(20)의 확산 영역(111)이 형성되어 있다. JFET 게이트 영역(170)은 P형 바디 영역(206)과 컨택할 뿐 아니라 P형 기판(100)과도 접촉하고 있다.
- [0058] 도 4에서는 도2의 A-A`를 기준으로 도시되는 도면들을 통해 본 발명의 다른 실시예에 따른 접합 트랜지스터에 대해 설명하기로 한다.
- [0059] 먼저 도4(a)에 도시된 바와 같이, 본 실시예에 따른 접합 트랜지스터(10)는 매립 불순물층(130)이 절연막(120)과 일정 간격 떨어져 형성되어 있다. 그래서 드레인 영역(140-D)과 소스 영역(140-S) 사이의 딥웰 영역(110)을 상부(180)와 하부(182)로 분리하고 있다. 이는 접합 트랜지스터(10)의 채널 영역이 2개로 분리되었다는 것을 의미한다. 매립 불순물층(130)이 절연막(120)과 서로 떨어져 있기 때문에 매립 불순물층(130)과 절연막(120) 사이의 영역이 확보된다. 그래서 두 영역이 서로 붙어 있는 경우, 전류 경로가 길어지는데 반해, 서로 떨어져 있는

경우, 전류 경로가 짧아지는 효과가 발생한다. 그래서 소스 영역(140-S)과 드레인 영역(140-D) 사이에 흐르는 전류의 양이 보다 많아진다고 볼 수 있다.

[0060] 도4(b)는 본 발명의 다른 실시예에 따른 접합 트랜지스터(10)를 나타내는 도면이다. 도 4(b)에 도시된 바와 같이, 본 실시예에 따른 접합 트랜지스터(10)는 제1 및 제2 딥웰 영역(110-L,R)의 불순물 농도 또는 깊이가 서로 상이하게 형성된다. 상술한 바와 같이 제2 딥웰 영역(110-R)은 고전압 트랜지스터의 드리프트 드레인 영역으로 사용되는 비중이 적으므로 접합 트랜지스터(10)에 요구되는 전기적 특성에 맞추어 불순물의 농도 및 깊이를 조절할 수 있다. 따라서 제2 딥웰 영역(110-R)의 깊이를 제1 딥웰 영역(110-L)보다 얇게 형성함으로써 채널 영역의 단면적을 감소시킬 수 있고, 제2 딥웰 영역(110-R)의 불순물 농도를 감소시켜 접합 트랜지스터(10)의 핀치오프 전압 및 전류를 조절할 수 있다. 도 4에 도시된 구조는 도 4(a)에 도시된 구조보다 핀치-오프 전압이 낮아질 수 있다.

[0061] 도 5는 본 발명의 다른 실시예에 따른 접합 트랜지스터(10)를 나타내는 도면이다.

[0062] 도 5(a)에 도시된 바와 같이, 본 실시예에 따른 접합 트랜지스터(10)는 홈(H) 상부에 JFET 게이트 영역(170)을 더 포함한다. 여기서 JFET 게이트 영역(170)은 상기 딥웰 영역의 일부분에 형성되고, 상기 절연막(120) 하부와 접하여 형성되고, 제2 도전형의 매립 불순물층(130)을 관통하여 형성될 수 있다. 앞에서 언급한대로, JFET 게이트 영역(170) 영역에 의해 핀치 오프 전압이 더 낮아질 수 있다. 왜냐하면, 제2 도전형의 매립 불순물층(130)만 있을 경우보다, P형 영역이 더 증가하였기 때문이다. JFET 게이트 영역(170)은 일종의 정션 게이트 (junction gate)역할을 하게 되는데, 리버스 바이어스가 인가되면 기판(100) 영역으로 공핍 영역이 확장되어 P형 기판(100)과 만나게 되며, 딥웰 영역(110)의 저항이 급격히 증가하는 핀치-오프가 발생한다. 그러나 핀치 오프 전압에 이르지 않았을 때는 제2 도전형 웰(170) 아래에 있는 확산 영역(111)이 채널 영역이 되어 적당한 전류를 흘려 준다.

[0063] JFET 게이트 영역(170)은 접합 트랜지스터(10)의 확산 영역(111)에 형성되어 상기 확산 영역(111)의 단면적을 감소시킨다. 즉, 접합 트랜지스터(10)의 확산 영역(111)은 상부의 제1 도전형의 웰(170)이 형성된 만큼 감소하므로 핀치-오프 전압도 감소할 수 있다. 여기서 JFET 게이트 영역(170)은 기판과 전기적으로 연결될 수 있으며 그라운드 기준 전압을 갖게 된다.

[0064] 도5(b) 본 발명의 다른 실시예에 따른 접합 트랜지스터(10)를 나타내는 도면이다.

[0065] 도5(b)에 도시된 바와 같이, 본 실시예에 따른 접합 트랜지스터(10)는 JFET 게이트 영역(170) 상부에 형성된 제2 도전형의 컨택영역(171)과 컨택 전극(172)을 더 포함한다.

[0066] JFET 게이트 영역(170)과 접하는 딥웰 영역(110)은 서로 반대의 도전형으로 도핑되어 있으므로 P-N 접합에 의한 공핍 영역(depletion region)이 형성된다. 이 때, 컨택 전극(162)을 통해 JFET 게이트 영역(170)에 전압을 인가함으로써 채널 영역에 형성되는 공핍 영역을 조절하고, 이를 통해 접합 트랜지스터(10)의 핀치오프 전압을 제어할 수 있다. 또는 다른 실시예로, JFET 게이트 영역(170)이 기판(100)과 전기적으로 연결되어 있기 때문에 바이어스(Bias)를 가하지 않고, 기준 그라운드 전압 상태가 될 수 있다.

[0067] 도6은 본 발명의 실시예에 따른 접합 트랜지스터의 제조방법을 나타내는 도면이다. 아래에서는 도6을 참조하여 본 발명의 실시예에 따른 접합 트랜지스터의 제조방법을 설명하기로 한다.

- [0068] 도6a에 도시된 바와 같이, 접합 트랜지스터의 채널로 사용할 영역 중간에 소정의 폭을 가진 마스크 패턴(101)을 기판(100) 위에 형성한다. 본 발명의 실시예에 따른 마스크 패턴(101)은 후술하는 열처리 단계를 통해 딥웰 영역(110)내에 딥웰 영역(110)과 농도가 다른 확산 영역(111)을 형성하기 위한 것이다. 마스크 패턴(101)의 폭에 의해 불순물의 도핑에 노출되는 기판(100)의 영역이 조절되고, 마스크 패턴(101)의 두께에 따라 이온주입공정시 발생하는 그림자 효과에 의해 마스크 패턴(101) 주위의 기판에 주입되는 불순물의 도핑농도가 달라질 수 있다. 따라서 마스크 패턴(101)의 폭과 두께에 따라 딥웰 영역(110)에 형성되는 홈(미도시)의 형태 및 깊이가 달라질 수 있다.
- [0069] 마스크 패턴(101)에 의해 노출된 기판(100)에 제1 도전형의 불순물 이온을 주입하여 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)을 형성한다. 본 발명의 실시예에 따른 이온주입공정에서는 상기 제1 도전형의 불순물을 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ atoms/cm}^2$ 의 농도로 주입한다. 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)의 간격은 마스크 패턴(101)의 폭과 두께에 의해 결정된다.
- [0070] 도 6a에는 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)이 동일한 불순물 농도와 깊이로 도핑되는 공정이 도시되어 있으나, 도 4에 도시된 바와 같이 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)의 불순물 농도와 깊이를 서로 상이하게 형성할 수도 있다. 이 때, 제1 딥웰 영역(110-L)은 고전압 트랜지스터의 전기적 특성에 영향을 주므로 고전압 트랜지스터에 요구되는 전기적 특성에 따라 불순물 도핑 농도 및 깊이가 결정되어야 하지만, 제2 딥웰 영역(110-R)은 고전압 트랜지스터의 전기적 특성에 주는 영향이 작으므로 접합 트랜지스터에 요구되는 전기적 특성에 맞춰 불순물 농도 및 깊이를 조절할 수 있다.
- [0071] 도 6b에 도시된 바와 같이, 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)은 열처리 공정에 의해 제1 도전형의 불순물이 확산되면서 서로 접하게 된다. 본 발명의 실시예에 따른 열처리 공정은 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)에 도핑된 불순물의 농도에 따라 온도를 1000~1300℃로 유지한 채, 100분에서 1000분의 범위에서 열처리 공정을 수행한다. 이 때, 상기 불순물은 등방성으로 확산되므로 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)의 경계 중 상부에서는 기판(100) 표면의 수평방향으로 확산이 주로 발생하게 되지만, 아래로 갈수록 수직방향으로의 확산이 커지게 된다. 따라서 상기 경계 상부에서는 제1 도전형의 불순물이 확산되는 영역이 중첩되어 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)이 서로 접하게 된다. 그래서 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R) 사이에 확산 영역(111)이 형성된다. 또한 확산 영역(111)안에 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)이 서로 접하는 면을 포함하고 있다. 서로 접하는 면에 의해 확산 영역(111)의 하부에는 오목한 형태의 홈(H)이 형성된다.
- [0072] 여기서 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)은 따로 이온 주입하여 형성되었지만, 확산 영역(111)은 따로 이온 주입되어 형성된 것이 아니다. 확산 영역(111)은 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)내에 있는 도펀트의 상호 확산에 의해 형성된 영역이다. 그래서 확산 영역(111)은 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)에 비해 불순물 농도가 낮다. 또한 그 깊이도 홈이 형성되어 있기 때문에 제1 딥웰 영역(110-L)과 제2 딥웰 영역(110-R)에 비해 같거나 작다.
- [0073] 도6c에 도시된 바와 같이, 열처리 단계를 통해 확산 영역(111) 하부에 홈(H)이 형성되면, LOCOS(LOCAl Oxidation of Silicon) 공정 또는 STI(Shallow Trench Isolation) 공정을 통해 기판(100) 표면 위에 절연막(120)을 성장시킨다. 절연막(120)은 드레인 영역(미도시)과 소스 영역(미도시) 사이에 형성한다.
- [0074] 그리고 딥웰 영역(110) 내부에 JFET 게이트 영역(170)을 형성하기 위해, 제2 도전형의 불순물을 주입하여 P형 웰(170)영역을 형성한다. 여기서 P형 웰(170) 영역은 절연막(120) 이전 또는 이후에 형성될 수 있다. 그리고 딥웰 영역(110) 내부에 제2 도전형의 불순물을 주입하여 매립 불순물층(130)을 형성한다. 매립불순물층(130)은 이온 주입시, 절연막(120)을 통과시켜 형성된 것으로, 절연막(120)이 존재하기 때문에 기판(100) 표면에 가해지는

데미지는 거의 없다. 매립 불순물층(130)은 제2 도전형의 불순물을 균일한 에너지로 주입함으로써 기관(100) 표면의 수평방향으로 일정한 먼을 이루도록 형성한다. 그리고 매립불순물층(130)은 채널 영역의 특성을 열화시키지 않도록 드레인 영역(미도시) 및 소스 영역(미도시)과 중첩되지 않도록 형성하는 것이 바람직하다. 여기서 매립 불순물층(130)은 제1 딥웰 영역(110-L)에서 제3딥웰 영역(111)을 지나 제2 딥웰 영역(110-R)까지 연장되어 형성될 수 있다.

[0075] 도6d에 도시된 바와 같이, 절연막(120)의 일측 끝단에 제1 도전형의 드레인 영역(140-D)과 제1 도전형의 소스 영역(140-S)과 타측 끝단에 제2 도전형의 기관 픽업 영역(140-P)을 형성한다. 드레인 영역(140-D)과 소스 영역(140-S), 픽업 영역(140-P)을 형성한 후 드레인 전극(150-D)과 소스 전극(150-S), 픽업 전극(150-P)을 형성한다. 고전압 트랜지스터(20)의 드리프트 드레인 영역의 상부에 형성된 절연막(120) 위에는 금속 또는 폴리 실리 콘으로 이루어진 필드 플레이트(160)가 형성될 수 있다.

[0076] 도7은 본 발명의 실시예 따른 접합 트랜지스터의 핀치오프 상태에서의 전압 및 전류 특성 곡선을 나타내는 도면이다.

[0077] 도7에서 가로축은 접합 트랜지스터(10)의 드레인 전극(150-D)과 픽업 전극(150-P) 사이의 전압 차이를 의미하고, 세로축은 상기 전압에 따라 드레인 전극(150-D)과 소스 전극(150-S)에 흐르는 전류량을 의미한다. 픽업 전극(150-P)은 그라운드 전압, 드레인 전극(150-D)에는 0-80V로 인가하면서 측정한 것이다.

[0078] 도 7에 도시된 바와 같이 2개의 테스트 결과가 있는데, 오른쪽 그래프는 왼쪽 그래프에 비해 높은 핀치 오프 전압으로서 약 58V정도이다. 오른쪽 그래프는 접합 트랜지스터(10)에서 매립 불순물층(130)이 형성되어 있지만, JFET 게이트 영역 (170) 이 형성 되지 않은 경우이다. 그에 반해, 왼쪽 그래프는 도 3(a)에서 제시한 실시예 처럼, 접합 트랜지스터(10)에서 매립 불순물층(130)과 JFET 게이트 영역 (170)영역이 모두 형성되었을 때 그래프에 해당된다. JFET 게이트 영역(170)이 형성된 경우 핀치오프 전압을 더 낮출 수 있는 효과가 발생한다. 왼쪽 그래프를 보면, 드레인 전극(150-D)과 픽업 전극(150-P)의 전압차이에 따라 전류량이 증가하다가 약 2mA로 수렴하는 것을 확인할 수 있다. 따라서 핀치오프 상태에서의 전류는 약 2mA라고 할 수 있다. 그리고 24V 수준에서 전류가 차단되는 상태에 이르게 되어 핀치오프 전압이 약 24V에 수준에 이르는 것을 확인할 수 있다. 이와 같은 결과는 저전력 어플리케이션에 적용할 수 있는 수준으로서, 저전력 어플리케이션을 위해 고전압 트랜지스터와 접합 트랜지스터를 별도로 구현하는 경우와 비교하여 칩에서 차지하는 면적을 90% 이상 감소시킬 수 있는 효과가 있다.

[0079] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

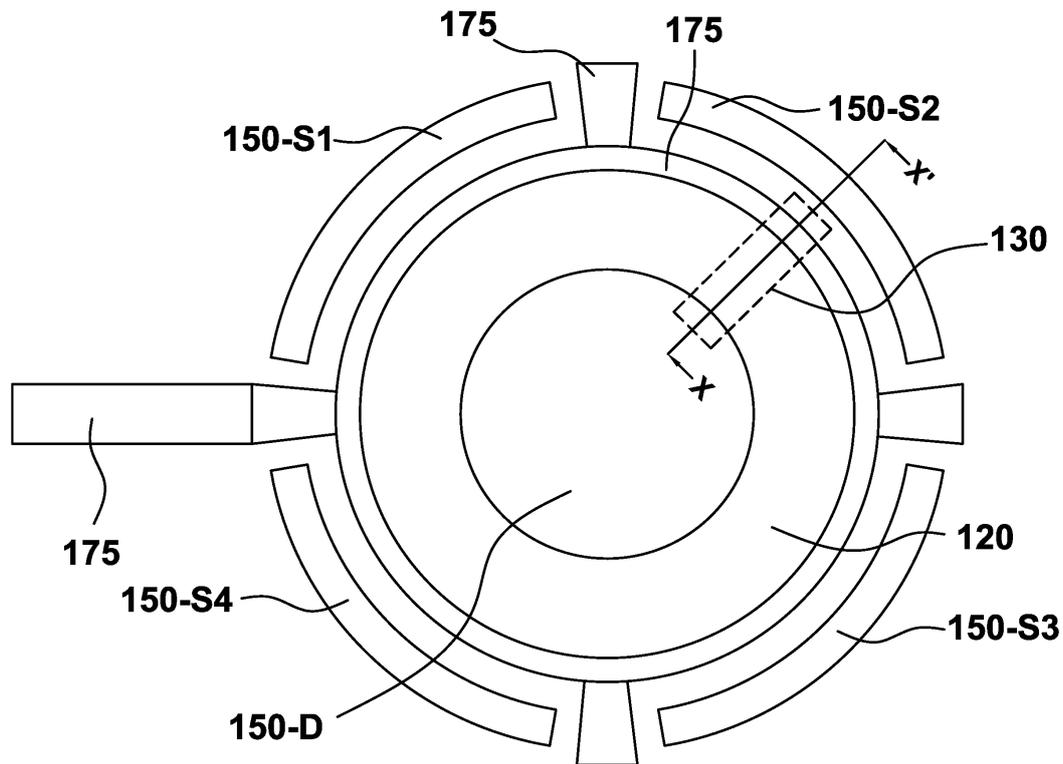
부호의 설명

- [0080] 10: 접합 트랜지스터 20: 고전압 트랜지스터
- 100: 기관
- 110: 딥웰 영역(HDNW) 110-L: 제1 딥웰 영역
- 110-R: 제2 딥웰 영역(HDNW) 111: 확산 영역
- 120: 절연막

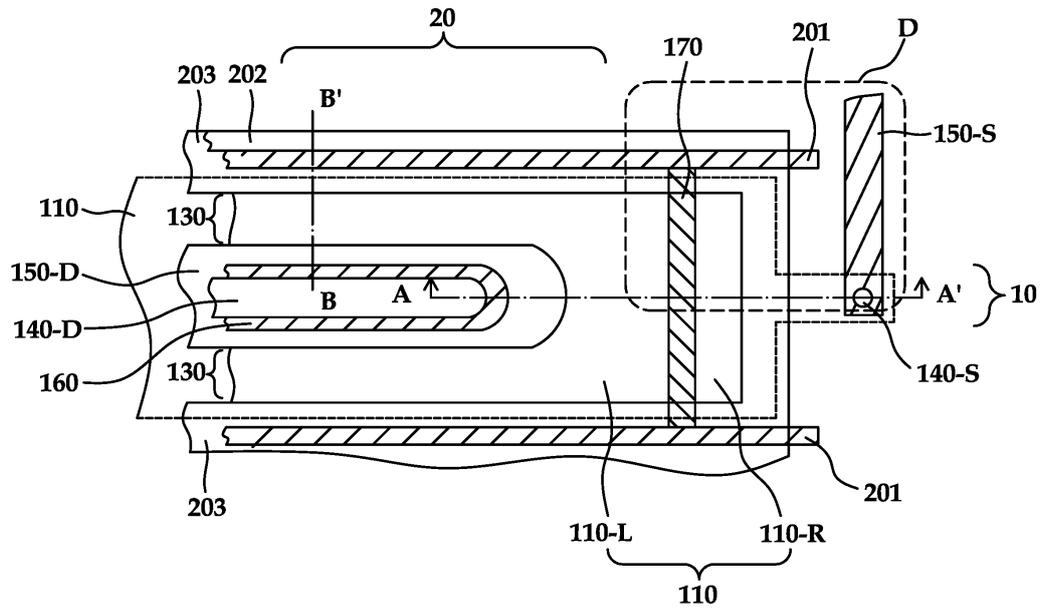
- 130: 매립 불순물층(PB)
- 140-D: 공통 드레인 영역
- 140-D: 제1 소스 영역
- 140-P: 제1 픽업 영역
- 150: 전극 또는 단자
- 160: 필드플레이트
- 170: JFET 게이트 영역 또는 P형 웰(P-Well)영역
- 171: 콘택 영역
- 172: 콘택 전극
- 201: 게이트 전극
- 202: 제2 소스 영역
- 203: 제2 소스 전극
- 204: 제2 픽업 영역

도면

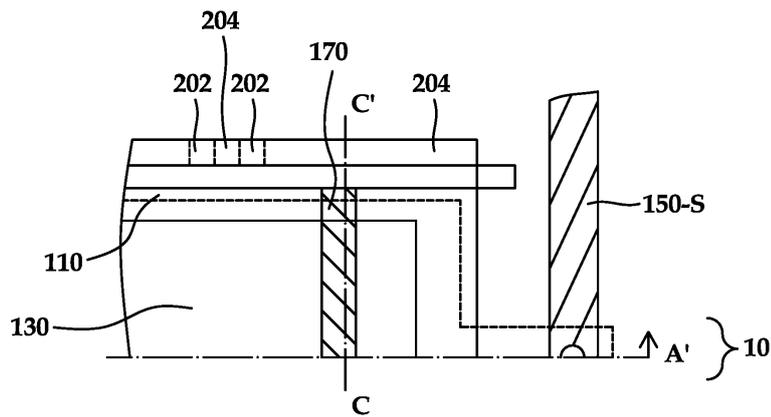
도면1



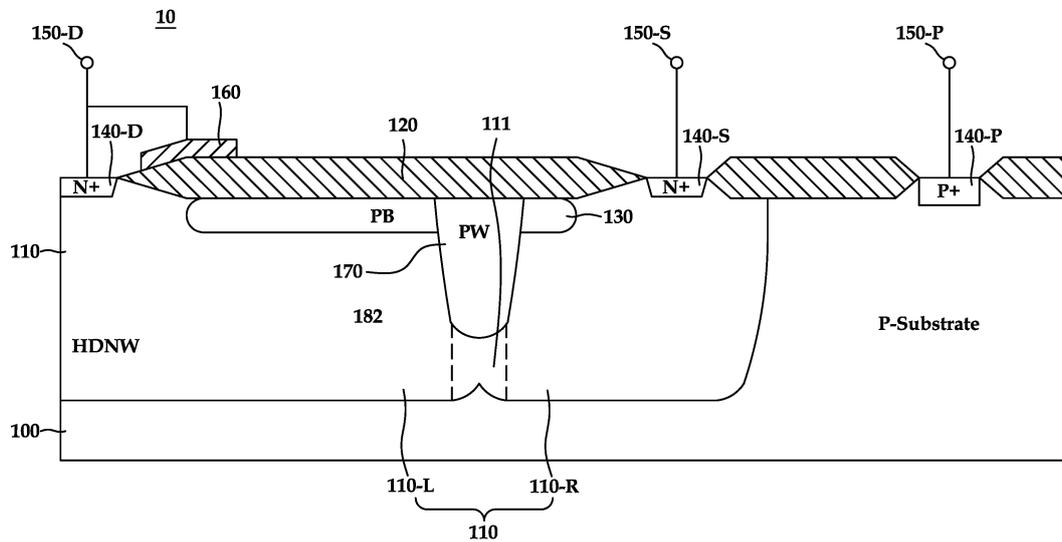
도면2a



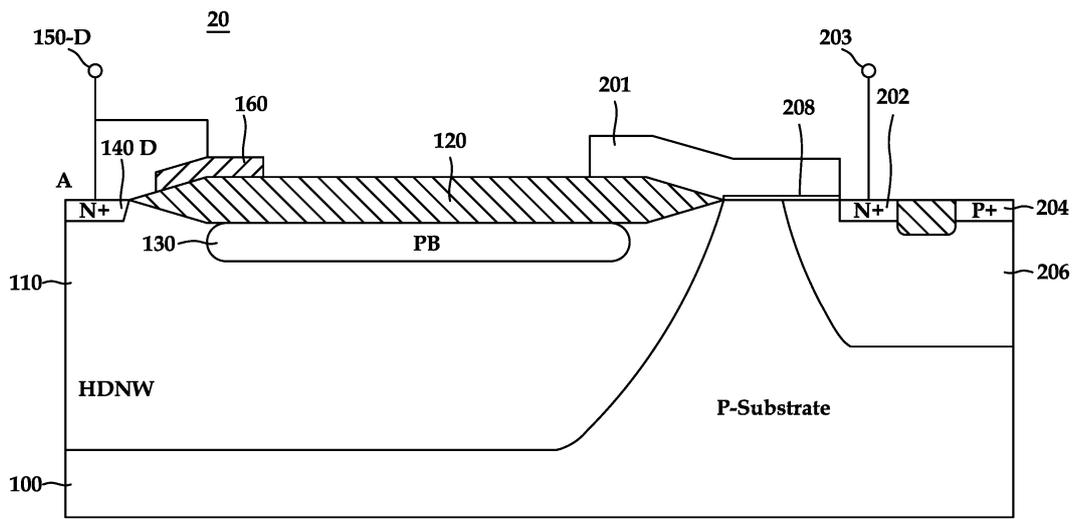
도면2b



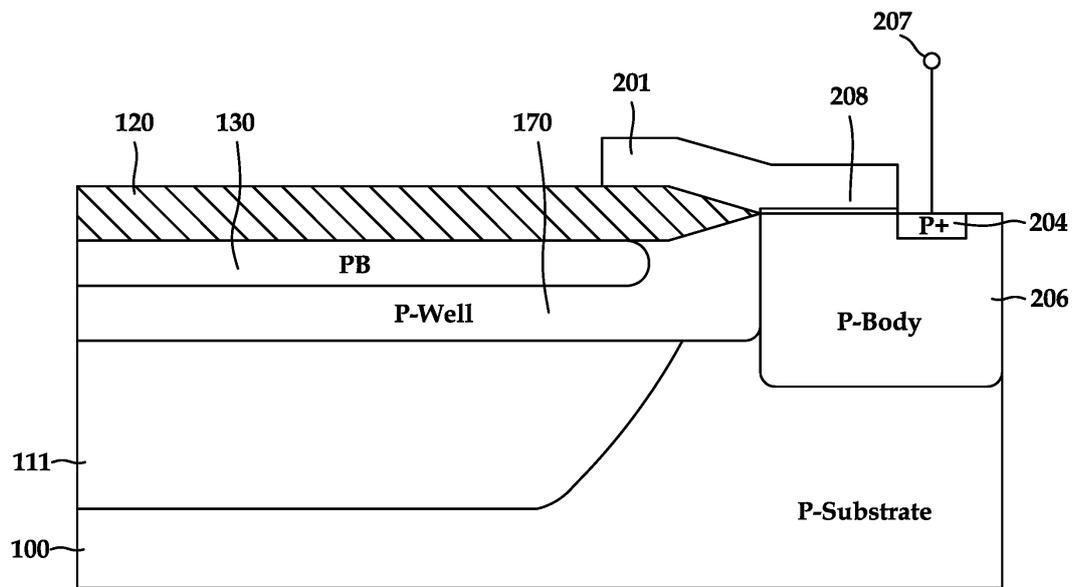
도면3a



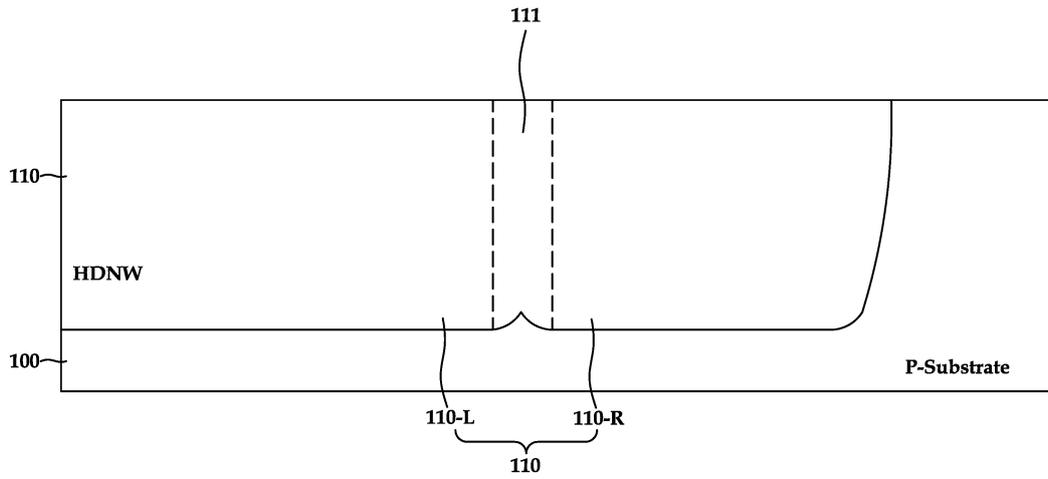
도면3b



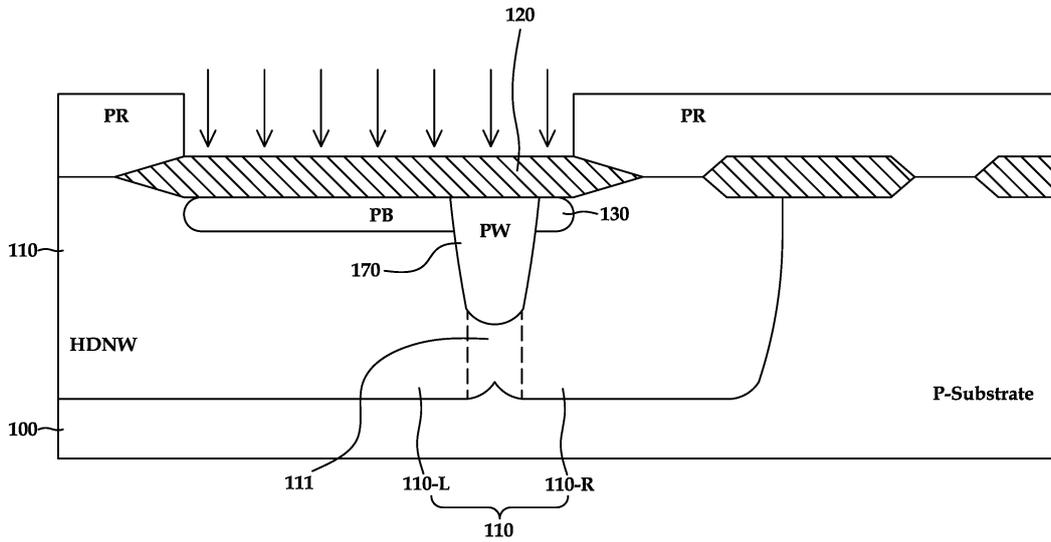
도면3c



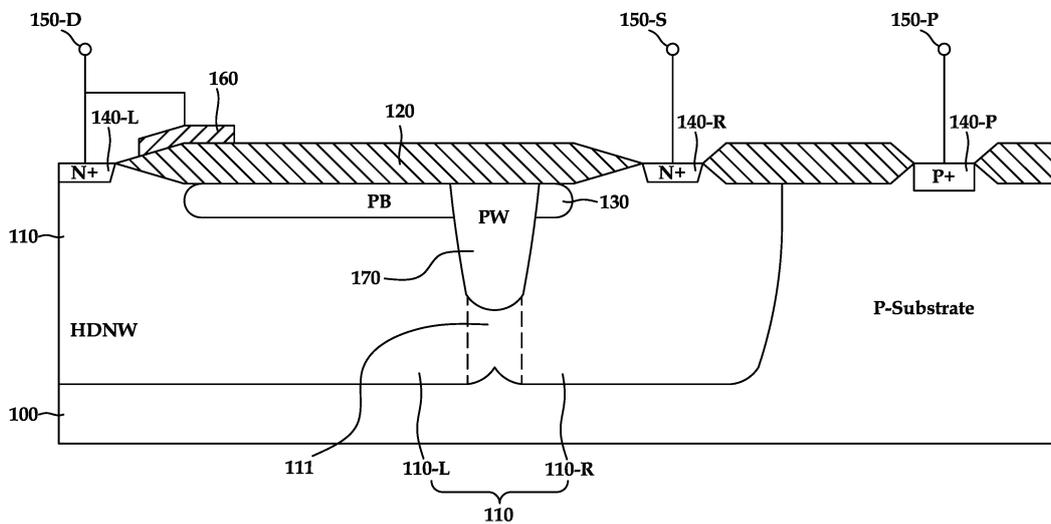
도면6b



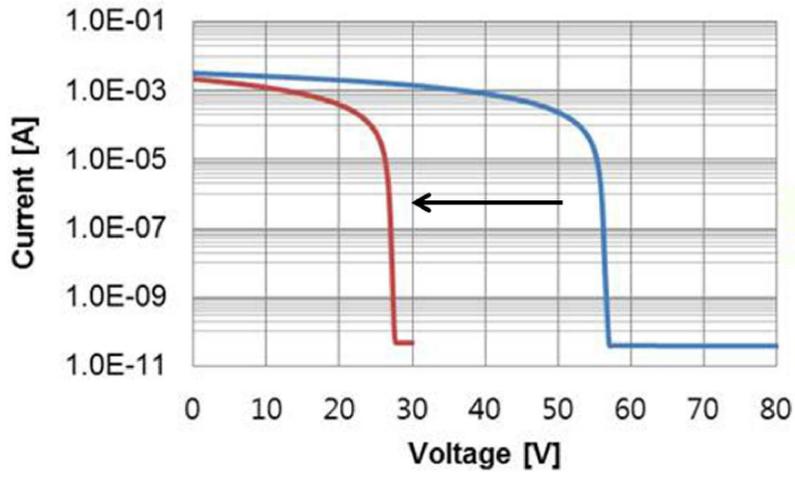
도면6c



도면6d



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10, 줄2

【변경전】

상기 제1 도전전형의 턴오프 영역은

【변경후】

상기 제1 도전형의 턴 오프 영역은