



[12] 发明专利说明书

专利号 ZL 03145860.2

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331347C

[22] 申请日 2003.7.11 [21] 申请号 03145860.2

[30] 优先权

[32] 2002. 7. 12 [33] JP [31] 2002 - 204511

[32] 2002. 7. 12 [33] JP [31] 2002 - 204559

[32] 2002. 7. 26 [33] JP [31] 2002 - 218687

[32] 2002. 9. 13 [33] JP [31] 2002 - 267972

[32] 2002. 10. 28 [33] JP [31] 2002 - 313255

[32] 2002. 10. 28 [33] JP [31] 2002 - 313273

[32] 2002. 10. 28 [33] JP [31] 2002 - 313309

[32] 2002. 12. 27 [33] JP [31] 2002 - 381775

[73] 专利权人 东芝松下显示技术有限公司

地址 日本东京

[72] 发明人 中村卓 林宏宜 吉田征弘 樽友信

[56] 参考文献

CN1348304A 2002.5.8

CN1171011A 1998.1.21

JP2000 - 305535A 2000.11.2

JP2000 - 148082A 2000.5.26

JP2000 - 329616A 2000.11.30

CN1139346A 1997.1.1

CN1319831A 2001.10.31

JP2000 - 83198A 2000.3.21

CN2001 - 339640A 2001.12.7

审查员 潘宁媛

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 沈昭坤

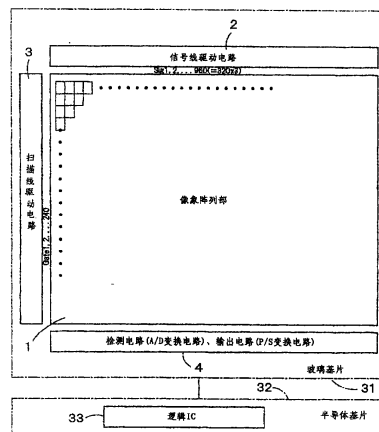
权利要求书 1 页 说明书 27 页 附图 51 页

[54] 发明名称

显示装置

[57] 摘要

本发明的显示装置用玻璃基片和半导体基片构成，并且在半导体基片上安装进行像素控制和图像取入控制的逻辑 IC。逻辑 IC 具有进行对象素阵列部的显示控制的显示控制部、进行传感器的图像取入控制的图像取入控制部、进行整个逻辑 IC 的控制的 CPU 和 CPU 用于作业的存储器。根据改变摄像条件并进行多次图像取入的结果，决定最终的取入图像，因而不受传感器特性波动和 SRAM 门限值电压波动等的影响，就能进行图像取入，并得到噪声小且连中间灰度都能再现的取入图像。



1. 一种显示装置，其特征在于，包括

在绝缘基片上对矩阵上形成的各像素设置的像素显示保持装置，传感器和将该传感器的值2值化后输出的2值化输出装置，

在所述绝缘基片的边框部分形成的、使像素的输出串行化后输出的串行输出装置，

指示多种摄像条件下的图像读取的图像读取指示装置，以及

设置在所述绝缘基片外部并且根据多个2值图像合成多灰度图像的多灰度图像合成装置。

2. 一种显示装置，其特征在于，包括

在绝缘基片上对矩阵上形成的各像素设置的像素显示保持装置，传感器和输出该传感器的值的传感器输出装置，

形成在所述绝缘基片的边框部分的对来自像素的信号进行A/D变换的A/D变换器和使A/D变换后的数字数据串行化后输出的串行输出装置，

指示多种摄像条件下的图像读取的图像读取指示装置，和

设置在所述绝缘基片的外部并且根据多个少量位组成的图像合成多灰度图像的多灰度图像合成装置。

3. 一种显示装置，其特征在于，包括

在绝缘基片上对矩阵上形成的各像素设置的像素显示保持装置，传感器和使传感器的值2值化后输出的2值化输出装置，

形成在所述绝缘基片的边框部分的对来自像素的信号进行A/D变换的A/D变换器和使A/D变换后的数字数据串行化后输出的串行输出装置，

指示多种摄像条件下的图像读取的图像读取指示装置，和

设置在所述绝缘基片的外部并且根据多个2值图像合成多灰度图像的多灰度图像合成装置。

显示装置

相关申请的交叉参考

本申请遵照 35USC 第 119 节，对以下日本专利申请号要求优先权：2002 年 7 月 12 日提交的 2002-204511 号、2002 年 7 月 12 日提交的 2002-204559 号、2002 年 7 月 26 日提交的 2002-218687 号、2002 年 9 月 13 日提交的 2002-267972 号、2002 年 10 月 28 日提交的 2002-313255 号、2002 年 10 月 28 日提交的 2002-313273 号、2002 年 10 月 28 日提交的 2002-323309 号和 2002 年 12 月 27 日提交的 2002-381775 号。其全部内容经参考引入本说明。

技术领域

本发明涉及具有图像取入功能的显示装置。

背景技术

液晶显示装置具有排列信号线、扫描线和象素 TFT 的阵列基片以及驱动信号线和扫描线的驱动电路。由于近来集成电路的进步，在阵列基片上形成部分驱动电路工艺技术已付诸实用。因此，能使整个液晶显示装置轻、薄且短小，广泛用作便携电话和笔记本型计算机等各种便携设备的显示装置。

已提出阵列基片上配置进行图像取入的接触型面积传感器的、具有图像取入功能的显示装置(参考例如特开 2001-292276 号公报和特开 2001-339640 号公报)。

这种具有图像取入功能的已有显示装置使传感器连接的电容器的电荷量随传感器上的感光量变化，并检测出电容器两端的电压，以进行图像取入。

然而，流过传感器的电流微弱，因而难以高精度检测该电流产生的电容器两端的电压变化，测量误差大。因此，取入图像容易出现噪声。

此外，为了检测电容器两端的电压而在电容器连接 SRAM 和缓存器电路时，利用是否超过组成 SRAM 和缓存器电路的晶体管的门限值电压进行“0”或“1”的判断，但晶体管的门限值电压存在波动，所以“0”和“1”的判断基准可能偏移。流过传感器的电流也有波动，“0”和“1”的判断基准也可能偏移。

发明内容

本发明鉴于以上各点而完成，其目的在于提供不受光泄漏波动和晶体管等电特性波动影响，而能进行图像取入的显示装置。

本发明的显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显示元件、分别对应于所述显示元件至少各设置一个并且分别接收指定范围的入射光后将其转换成电信号的摄像部、积存与所述摄像部变换的电信号相适应的电荷的电荷积存部、和信号处理部，该处理部根据多个摄像条件各自在所述电荷积存部积存的电荷，产生与所述摄像部摄取的图像对应的数字图像数据。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显示元件、分别对应于所述显示元件至少各设置一个并且分别接收指定范围的入射光后将其转换成电信号的摄像部、积存与所述摄像部变换的电信号相适应的电荷的电荷积存部、对所述电荷积存部积存的电荷所对应的2值数据进行放大的摄像数据放大部、根据所述摄像数据放大部放大的2值数据检测摄像对象的平均灰度的平均灰度检测部、根据所述平均灰度检测部的检测结果设定所述摄像部中进行摄像时所述显示元件的显示亮度的亮度设定部、多次切换并控制所述摄像部的摄像时间的摄像时间控制部、和图像数据产生装置，该装置设定在所述亮度设定部所设定显示亮度的状态下，根据所述摄像时间控制部切换控制的各摄像时间中所述摄像部摄像结果产生与摄像图像对应的数字图像数据。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显示元件、分别对应于所述显示元件至少各设置一个并且分别接收指定范围的入射光后将其转换成电信号的摄像部、积存与所述摄像部变换的电信号相适应的电荷的电荷积存部、对所述电荷积存部积存的电荷所对应的2值数据进行放大的摄像数据放大部、所述摄像部中进行摄像时用的存储表示多个所述显示元件组成的块的显示状态的多个基准图案的基准图案存储部、从所述基准图案存储部选择多种与所述摄像部的摄像结果近似的基准图案的基准图案选择部、和图像数据产生装置，该装置在所述显示元件显示使所述基准图案选择部所选基准图案各自的明暗相反的基准图案的状态下根据所述摄像部重复进行所述摄像的结果产生摄像图像对应的数字图像。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显

示元件、分别对应于所述显示元件至少各设置一个并且分别接收指定范围的入射光后将其转换成电信号的摄像部、积存与所述摄像部变换的电信号相适应的电荷的电荷积存部、暂时存放与所述电荷积存部所积存的电荷相适应的信号的摄像结果存放部、和根据控制信号线的逻辑切换控制是否输出所述摄像结果存放部存放的信号的输出切换控制部，所述控制信号线的至少一部分配置成与所述摄像结果存放部的电源线上叠合。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显示元件、分别对应于所述显示元件至少各设置一个并且分别接收指定范围的入射光后将其转换成电信号的摄像部、积存与所述摄像部变换的电信号相适应的电荷的电荷积存部、暂时存放与所述电荷积存部所积存的电荷相适应的信号的摄像结果存放部、和根据控制信号线的逻辑切换控制是否输出所述摄像结果存放部存放的信号的输出切换控制部，所述摄像结果存放部的电源线电阻小于所述输出切换控制部的输出线电阻。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显示元件、和分别对应于所述显示元件各设置多个并且各自接收不同范围的入射光以便积存与感光量对应的电荷的传感器，所述传感器具有输出与感光量对应的电信号的光电变换部、积存与所述电信号对应的电荷的电荷积存部、切换所述电荷积存部是否积存初始电荷的初始化控制部、和切换是否输出与所述电荷积存部的积存电荷对应的信号的输出控制部。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成并且构成显示画面的显示元件、设置在所述显示画面内的传感器、和对所述传感器的输出信号进行 A / D 变换的 A / D 变换器，在形成所述信号线和扫描线、所述显示元件和所述传感器的绝缘基片的边框部分形成所述 A / D 变换器。

此外，显示装置包括在纵横排列的信号线和扫描线的各交点附近形成的显示元件、分别对应于所述显示元件设置的传感器、将所述传感器积存的电荷转换成数字信号的 A / D 变换器、和将所述数字信号转换成串行信号输出的移位寄存器，所述移位寄存器具有将由 m (m 为 2 以上的整数) 位组成的所述数字信号转换成第 1 串行信号输出的第 1 移位寄存器、将由 n (n 为 2 以上的整数) 位组成的所述数字信号转换成第 2 串行信号输出的第 2 移位寄存器、和选择所述第 1 和第 2 串行信号的某一方加以输出的串行信号选择部。

此外，显示装置包括在绝缘基片上纵横排列的信号线和扫描线的各交点附

近形成的显示元件、分别对应于所述显示元件形成在所述绝缘基片上的传感器、形成在所述绝缘基片上并且将所述传感器积存的电荷变换成多位组成的数字信号的 A / D 变换器、形成在所述绝缘基片上并且将所述数字信号变换成第 1 串行信号输出的多个移位寄存器、形成在与所述绝缘基片不同的基片上并且选择所述多个第 1 移位寄存器各自输出的多个第 1 串行信号的某一个加以输出的串行信号选择部、和形成在与所述绝缘基片不同的基片上并且将所述串行信号选择部的输出信号变换成与所述多个第 1 串行信号对应的多个第 2 串行信号的 S / P 变换部。

附图说明

图 1 是本发明显示装置第 1 实施形态的概略组成图。

图 2 是详细示出像素阵列部 1 的一部分的框图。

图 3 是详细示出图 2 的一部分的电路图。

图 4 是示出 SRAM 内部结构的电路图。

图 5 是显示装置的剖面图。

图 6 是示出图 1 所示逻辑 IC 的内部结构的框图。

图 7 是示出电容器所加电压切换例的图。

图 8 是示出一例 CPU 的处理动作的流程图。

图 9 是示出名片图像取入例的图。

图 10 是示出对周围 8 图像取平均的状况的图。

图 11 是示出表示图 8 的处理结果的图像例的图。

图 12 是示出一例含字符“T”的图像的图。

图 13 是示出对图 12 中虚线行进行图像取入的结果的图。

图 14 是最后取得的作为取入图 13 的图像的结果的图。

图 15 是示出在另一存储器存放各摄像条件下的图像取入结果例的图。

图 16 是示出存储器容量减少例的图。

图 17A 是示出一例图像对象的图，图 17B 是示出一例图像结果的图。

图 18 是示出本发明显示装置第 2 实施形态的总体结构的框图。

图 19 是示出玻璃基片上的信号线驱动电路、扫描线驱动电路、传感器控制电路和信号处理输出电路与控制电路基片上的控制 IC 和存储器的连接关系的框图。

- 图 20 是示出一例玻璃基片 31 的详细结构的框图。
- 图 21 是示出一例扫描线驱动电路 3 的详细结构的框图。
- 图 22 是示出一例信号处理输出电路 54 的详细结构的框图。
- 图 23 是示出一例同步信号产生电路 71 的详细结构的框图。
- 图 24 是示出一例 P / S 变换电路 72 的详细结构的框图。
- 图 25 是示出一例译码器内部结构的电路图。
- 图 26 是示出一例锁存器内部结构的电路图。
- 图 27 是示出一例输出缓存器 73 的详细结构的框图。
- 图 28 是像素阵列部 1 的一个像素的详细电路图。
- 图 29 是玻璃基片 31 上一个像素的布局图。
- 图 30 是本实施形态的显示装置的动作说明图。
- 图 31 是模式 m1 的动作定时图。
- 图 32 是模式 m2、m3 的动作定时图。
- 图 33 是模式 m4、m5 的动作定时图。
- 图 34 是块划分说明图。
- 图 35 是示出一例图 18 的控制 IC55 进行的处理动作的框图。
- 图 36 是示出摄像时间与平均灰度的关系的图。
- 图 37 是示出一例步骤 S7 中得到的图像数据的图。
- 图 38 是平均灰度增量说明图。
- 图 39 是示出一例本实施形态摄像结果的图。
- 图 40 是示出一例第 2 实施形态中各块的显示亮度的图。
- 图 41 是示意第 2 实施形态中相邻 4 个块的摄像图像的图。
- 图 42 是示出在与图 4 时相同的条件下进行摄像时的第 3 实施形态处理结果的图。
- 图 43 是示意第 3 实施形态中相邻 4 个块的摄像图像的图。
- 图 44 是示出本发明显示装置第 4 实施形态概略结构的框图。
- 图 45 是示出一例基准图案存放部存放的基准图案的图。
- 图 46 是示出本实施形态的控制 IC55 进行的处理动作的框图。
- 图 47 是示出一例摄像对象的图。
- 图 48 是示出一例摄像结果的图。
- 图 49 是示出一例相反图案的图。

图 50 是示出一例传感器摄像数据的图。

图 51 是示出一例最终摄像结果的图。

图 52 是详细示出象素阵列部 3 的一部分的框图。

图 53 是详细示出一个象素的结构的电路图。

图 54 是与图 53 的电路图对应的平面布局图。

图 55 是显示装置第 6 实施形态中一个象素的平面布局图。

图 56 是详细示出图 52 的一部分的电路图。

图 57 是示出检测电路 91 的详细结构的电路图。

图 58A 是锁存器详细电路图，图 58B 是移位寄存器详细电路图。

图 59 是示出放大器变换例的电路图。

图 60 是从移位寄存器 95 传送到 CPU 的图像数据的动作定时图。

图 61 是示出可降低移位寄存器 95 的工作频率的电路结构的框图。

图 62 是第 1 移位寄存器部 95a、第 2 移位寄存器 95 部和 P / S 变换电路 96 的输出定时图。

图 63 是示出图 61 的电路的变换例的框图。

图 64 是示出锁存器加移位寄存器的结构的框图。

图 65 是在阵列基片外部进行排列变换时移位寄存器 95 后级侧的框图。

图 66A 是 P / S 变换电路的框图，图 66B 是 S / P 变换电路的框图。

图 67 是示出 D 锁存器内部结构的电路图。

图 68 是图 65 的电路的定时图。

图 69 是提取第 1 实施形态的特征部分而组成的显示装置的框图。

图 70 是图 69 的变换例的显示装置框图。

图 71 是图 70 的变换例的显示装置框图。

具体实施形态

下面，参照附图具体说明本发明的显示装置。

图 1 是本发明显示装置第 1 实施形态的概略组成图，具有图像取入功能。图 1 的显示装置用玻璃基片 31 和半导体基片 32 构成。玻璃基片 31 上设置排列信号线和扫描线的象素阵列部 1、驱动信号线的信号线驱动电路 2、驱动扫描线路扫描线驱动电路 3 和取入图像并加以输出的检测输出电路 4。这些电路利用例如多晶硅 TFT 形成。信号线驱动电路 2 具有图中未示出的 D / A 变换电

路，将数字像素数据转换成适合驱动显示元件的模拟电压。D / A 变换电路可用公知的结构。半导体基片 32 上安装进行显示控制和图像取入控制的逻辑 IC33。玻璃基片 31 与半导体基片 32 通过例如 FPC 进行各种信号的收发。

图 2 是示出像素阵列部 1 的一部分的框图。图 2 的像素阵列部 1 具有在纵横排列的信号线和扫描线的各交点附近形成的像素 TFT11、连接在像素 TFT11 的一端与 Cs 线之间的液晶电容 C1 和辅助电容 C2、每一像素 TFT11 各设置 2 个的图像取入用传感器 12a 和 12b。传感器 12a、12b 连接图中未示出的电源线和控制线。

图 2 示出为了提高图像取入的析像度，每一像素设置 2 个传感器 12a、12b 的例子，但传感器的数量没有特别限制。

图 3 是详细示出图 2 的一部分的电路图。如图 3 所示，传感器 12a、12b 分别具有光电二极管 D1、D2 和传感器切换用晶体管 Q1、Q2。光电二极管 D1、D2 输出与感光的光量对应的电信号。传感器切换用晶体管 Q1、Q2 交替选择 1 个像素内的多个光电二极管 D1、D2 中的某一个。

各像素具有 2 个传感器 12a 和 12b、同一像素内的 2 个传感器 12a 和 12b 共用的电容器 C3、对检测线输出与电容器 C3 积存的电荷对应的 2 值数据的缓存器 (BUF) 13、进行对缓存器 13 的写入控制的晶体管 Q3 以及使缓存器 13 和电容器 C3 初始化的复位用晶体管 Q4。

缓存器 13 由静态 RAM(SRAM) 组成，例如，如图 4 所示，具有串联的 2 个反相器 IV1 和 IV2、配置在后级反相器 IV2 的输出端子与前级反相器 IV1 的输入端子之间的晶体管 Q3 和连接后级反相器输出端子的输出用晶体管 Q6。

信号 SPOLB 为高电平时，晶体管 Q5 导通，2 个反相器 IV1、IV2 进行保持动作。信号 OUTi 为高电平时，在检测线输出保持的数据。

本实施形态的显示装置能进行通常的显示动作，还能进行与扫描器相同的图像取入。进行通常的显示动作时，将晶体管 Q3 设定为阻断状态，使缓存器 13 不存放有效数据。这时，给信号线提供来自信号线驱动电路 2 的信号线电压，进行与该信号线电压相应的显示。

另一方面，进行图像写入时，如图 5 所示，阵列基片 21 的上表面侧配置图像取入对象物(例如纸张)22，使来自背后照明 23 的光通过对置基片 24 和阵列基片 21 照射到纸张 22。纸张 22 反射的光由阵列基片 21 上的传感器 12a、12b 接收，以进行图像取入。这时用于图像取入的动作不影响显示。

如图 3 所示，取入的图像数据存入缓存器 13 后，通过检测线送到图 1 所示的逻辑 IC33。该逻辑 IC33 接收本实施形态的显示装置输出的数字信号，并且进行数据排列变换和去除数据中的噪声等运算处理。

图 6 是示出图 1 所示逻辑 IC33 的内部结构的框图。如图 6 所示，逻辑 IC33 具有进行对象素阵列部 1 的显示控制的显示控制部 41、进行传感器 12a 和 12b 的图像取入控制的图像取入控制部 42、对整个逻辑 IC33 进行控制的 CPU43 和 CPU43 用于作业的主存储器 44。

图像取入控制部 42 具有暂时存放图 3 中检测线上的摄像数据的缓存器 45 和产生图像取入用的控制信号的控制信号产生电路 46。CPU43 根据缓存器 45 存放的摄像数据进行取入图像的图像处理，并产生显示用的图像数据。

显示控制部 41 具有暂时存放 CPU43 产生的显示用图像数据的缓存器 47 和产生控制图 1 中信号线驱动电路 2 和扫描线驱动电路 3 的动作定时的控制信号的控制信号产生电路 48。

进行图像取入时，在各象素的电容器 43 预先积存初始电荷，使其成为高于 SRAM 的首级反相器门限值电压的电位。传感器 12a、12b 取入很白的图像时，从纸张的反射光使传感器 12a、12b 中流通电流，相应的电容器 C3 的电荷对该传感器 12a、12b 放电，造成电容器 C3 两端的电压降低。反之，传感器 12a、12b 取入很黑的图像时，该传感器中不流通很多电流，电容器 C3 两端的电压几乎没有变化。

因此，通过检测电容器 C3 两端的电压，能判断取入图像的浓淡。本实施形态将电容器 C3 两端的电压暂时存入缓存器 13。该缓存器 13 在电容器 C3 两端的电压为 SRAM 首级反相器门限值电压以上时，判断为“1”（高电平）；不到该门限值，则判断为“0”（低电平）。

然而，传感器 12a、12b 的光泄漏电流波动大且微弱，因而电容器 C3 两端的电压容易产生波动。此外，组成 SRAM 的晶体管的门限值电压也波动，因而即使取入相同的图像，也根据情况，判断为“1”，或判断为“0”。这样的波动呈现为取入图像的噪声。与市售扫描器等惯用的在硅晶片上形成的光电变换元件的电流波动相比，显示装置的阵列基片用的玻璃基片等绝缘基片上形成的光电变换元件电流波动大。后者面积大，处理温度低（受基片耐热温度限制），因而其形成难以均匀。因此，需要与某种形式配备显示装置特有的波动的补偿装置。希望能再现摄像对象的微妙灰度，但因上述波动而受阻。下面说明传感

器电路用特性波动大的晶体管和存在泄漏电流波动的光电变换元件组成，同时能减少噪声或再现灰度显示的装置和结构。

图 6 所示的 CPU43 改变传感器 12a、12b 的摄像条件，多次进行图像取入，并且根据这些多次图像取入的结果产生最终的取入图像数据。具体而言，如图 7 所示，使对电容器 C3 施加的电压 V_{prc} 变化 4 次，并把对电容器 C3 施加各种电压 V_{prc} 的状态下分别进行图像取入的控制信号供给玻璃基片。又进行玻璃基片所输出图像取入结果的数字数据的运算处理。输入到玻璃基片的信号(数字图像数据、控制时钟、控制信号)和从玻璃基片输出的信号都是数字信号(基于摄像结果的数字信号)，因而能在 1 块芯片上方便地形成图 6 所示的显示控制部 41 和图像取入控制部 42。假设玻璃基片上没有 D / A 变换电路，则显示控制部 41 需要放大电路(模拟电路)，难以单片化，但本实施形态不耗费成本就能单片化。

随着近年半导体制造工艺微细化的进步和集成度的提高，能方便地使图 6 的 CPU43 和主存储器 44 与显示控制部 41 和图像取入控制部 42 一起单片化。

图 8 是示出一例 CPU43 的处理动作的流程图。首先，CPU 在每一像素设置的图 3 的电容器 C3 的一端施加电压 $V_{prc}=3.5V$ (比较接近 SRAM 首级反相器门限值的值。反相器的门限值以电源电压(5V)之半的 2.5V 为中心产生波动。)，使该电容器 C3 积存初始电荷(步骤 S1)。

接着，进行第 1 次图像取入(步骤 S2)。这时，读取图像的白部或接近白的灰部的流过传感器 12a、12b 的电流，使电容器 C3 的初始电荷放电，电容器 C3 两端的电压降低。反之，读取图像黑部分的传感器 12a、12b 不流通电流，电容器 C3 两端的电压几乎无变化。

步骤 S2 中，电容器 C3 两端的电压高于 SRAM 首级反相器门限值电压时，判断为该像素黑。即，步骤 S2 首先在取入图像中仅提取黑色的部分，将提取的像素确定为黑色的像素值，而其他像素作为白色的像素值后，存放主存储器 44(步骤 S3)。由于电容器 C3 的预充电电压取为比较接近 SRAM 首级反相器门限值电压的电压，与传感器部对置的图像部分有些较白，就产生少量泄漏电流，使电容器 C3 的电位低于 SRAM 首级反相器门限值电压的概率提高。反过来讲，此状态下，C3 的电压连续保持高于反相器门限值电压不变，就可相当于将对应的图像部分首先无差别地判断为黑。

例如，图 9 是取入名片(白底黑字)的图像的例子，图 9 的(a)示出步骤 S1~

S3 中得到的取入图像。在步骤 S3 仅将很黑的像素检测为黑，因而如图 9 的 (a) 那样，得到的图像总体上很白且多少擦掉字符。

接着，在电容器 C3 的一端施加电压 $V_{prc}=4V$ ，使该电容器 C3 积存初始电荷 (步骤 S4)，进行第 2 次图像取入 (步骤 S5)。这时，就连比第 1 次略为较白的部分，也有可能判断为黑。

第 2 次图像取入结束时，提取第 1 次为白色且第 2 次判断为黑色像素，计算所提取像素周围 8 个像素的第 1 次像素值的平均值，并将该平均值作为所提取像素的像素值 (步骤 S6)。

图 9 的 (b) 示出步骤 S4~S6 中得到的取入图像。将比图 9 的 (a) 略为较白的图像也判断为黑，因而得到比图 9 的 (a) 总体上较黑的图像。

此步骤 S6 中，例如设图 10 斜线部所示的像素是提取像素，则将其周围 8 个像素的像素值 $G1\sim G8$ 的平均值 $(G1+\dots+G8)/2$ 作为提取像素的像素值。如果 $G1\sim G8$ 全白，像素值为白，如果 $G1\sim G8$ 各有若干白、黑，则像素值为中间灰度。

接着，在电容器 C3 的一端施加电压 $V_{prc}=4.5V$ ，使该电容器 C3 积存初始电荷 (步骤 S7)，进行第 3 次图像取入 (步骤 S8)。这时，就连比第 2 次略为较白的像素，也有可能判断为黑。

图 9 的 (c) 示出步骤 S7~S9 中得到的取入图像。将比图 9 的 (b) 略为较白的图像也判断为黑，因而得到比图 9 的 (b) 总体上较黑的图像。

第 3 次图像取入结束时，提取第 2 次为白色且第 3 次判断为黑色的像素，计算所提取像素周围 8 个像素的第 1 次像素值的平均值，将该平均值作为所提取像素的像素值 (步骤 S9)。

接着，在电容器 C3 的一端施加电压 $V_{prc}=5V$ ，使该电容器 C3 积存初始电荷 (步骤 S10)，进行第 4 次图像取入 (步骤 S11)。这时，就连比第 3 次略为较白的像素，也有可能判断为黑。

图 9 的 (d) 示出步骤 S10~S12 中得到的取入图像。将比图 9 的 (c) 略为较白的图像也判断为黑，因而得到比图 9 的 (c) 总体上较黑的图像。

第 4 次图像取入结束时，提取第 3 次为白色且第 4 次判断为黑色的像素，计算所提取像素周围 8 个像素的第 1 次像素值的平均值，将该平均值作为所提取像素的像素值 (步骤 S12)。

作为进行步骤 S12 的处理的结果得到的图像为图 11 所示的图像，显然连

中间灰度也能表现，而且能去除噪声。

图 12 示出一例含字符“T”的图像，图 13 示出进行图 12 中虚线行的图像取入的结果。如图中所示，第 1 次图像取入时，仅像素 P7 为“H”（高电平）。因此，该时刻仅将像素 P7 判为黑色，并且给像素 P7 分配黑色的像素值。

接着，进行第 2 次图像取入时，像素 P9 重新为“H”。因此，将其周围 8 个像素在上次的像素值（这时全为白色像素值）的平均值作为像素 P9 的像素值。

接着，进行第 3 次图像取入时，像素 P4 重新为“H”。因此，将其周围 8 个像素在上次的像素值（这时全为白色像素值）的平均值作为像素 P4 的像素值。

接着，进行第 4 次像素取入时，全部像素 P1~P15 为“H”。因此，剩下的全部像素 P1~P3、P5、P6、P8、P9、P11~P15 根据其周围 8 个像素在上次的像素值的平均值决定像素值。

用这种方法对图 12 的全部行进行图 8 的处理，则最后得到图 14 那样的图像。查看图 14 可知，能去除图像取入时的噪声，同时连中间灰度也能再现。根据多个 2 值图像合成多灰度图像的方法可作各种变换。

本实施形态中，如图 8 的流程图所示，改变摄像条件并进行多次图像取入（次数越多，图像再现精度越高），并且根据各次图像取入结果决定最终的取入图像，因而需要存储各次的图像取入结果。例如，如图 15 所示，在主存储器 44 存放各次图像取入结果，则所需存储器容量大。考虑用于强弱要求整机小型化的便携电话等小型信息终端时，希望用有限的计算资源能完成的运算处理。作为计算资源的例子，可举出用于保持 CPU43 进行计算用的数据的存储器。

因此，本实施形态在图像取入控制部 42 内设置缓存器 45，在该缓存器 45 预先存放 1 次的图像取入结果，并将该结果传送到主存储器 44。CPU43 按照图 8 的流程图利用主存储器 44 的数据进行 1 次的处理，并将该处理结果存放到主存储器 44 的其他存储区。该期间，缓存器 45 存放下次的图像取入结果。此后，重复同样的动作，从而取得最终的取入图像。

这时，如图 16 所示，主存储器 44 仅存放 1 次的图像取入结果，因而能减小主存储器 44 的容量。

这样，本实施形态根据改变摄像条件进行多次图像取入的结果，决定最终的取入图像，因而不受传感器 12a、12b 的特性波动和 SRAM 门限值电压波动等的影响，而能进行特性取入，取得噪声小且连中间灰度也能再现的图像。

上述实施形态中，作为多个摄像条件，说明了改变加给电容器 C3 的电压

的例子，但也可每一摄像条件改变进行图像取入的时间，以代替改变加给电容器 C3 的电压。或者，也可改变液晶的透射率。图 9 示出条件变化的具体例，但也可以是含义方面相同的变换。

还可以改变加给电容器 C3 的电压，同时使进行图像取入的时间变化。这时，能进一步增多摄像条件的数量。

图 69 是汇集以上所说明实施形态 1 的特征部分的显示装置的框图。如图 69 所示，绝缘基片上设置对各像素使传感器的值 2 值化的像素阵列部 1、信号线驱动电路 2、扫描线驱动电路 3 和输出从像素输出的 2 值化数据的串行输出电路 103。像素阵列部 1 的每一像素设置像素显示保持电路 102 和 2 值化输出电路 103。绝缘基片外部的逻辑 IC 设置指示读取多种条件下的图像的图像读取指示部 104 和根据多个 2 值图像合成多灰度图像的多灰度图像合成部 105。

通过采用这种结构，即使传感器输出和 TFT 特性方面波动较大时，也能读取良好的多灰度图像。

再者，无保持像素显示的电路，则传感器进行读取 / 输出动作时，显示亮度异常变化，照射到摄像对象物的光量异常波动，最后得到的多灰度图像呈现异常色斑。此外，二值化具有信号放大效果，因而即使显示装置那样画面面积大而布线驱动负载大的装置，也能将像素信号可靠地传到边框部。

进一步添加从多灰度图像去除色斑用的一般图像处理部也有效。

实施形态 2

摄像对象的浓淡未必相同，其黑色密度因场所而异。例如，用传感器拍摄图 17(a)的“东芝松下ディスプレイ”的字符时，得到图 17(b)那样的摄像结果。如图中所示，“东”字比其他字黑色密度高，因而黑掉。反之，“レ”和“イ”则黑的密度低，其字划接近几乎消失。

这样黑密度高的字符黑掉，是因为周围白色纸张 / 玻璃基片界面等上的多重反射光难以入射。反之，黑色密度低的字符线条接近消失，是因为多重反射光入射得多，使黑线宽度变细。

因此，以下说明的实施形态 2，其特征是以顾及拍摄对象的部分黑密度波动的方式进行图像取入。这时，与单纯的传感器阵列不同，积极利用将其与显示装置综合为一体，通过调整各像素的亮度补偿传感器等的特性波动。

图 18 是示出本发明显示装置实施形态 2 的总体结构的框图。图 28 的显示装置具有形成像素阵列部 1 和部分驱动电路的玻璃基片 31 以及用柔性缆线

(FPC)51 连接到该玻璃基片 31 的控制电路板 52。

玻璃基片 31 上形成排列像素 TFT11 和图像读取用传感器 12 的像素阵列部 1、驱动信号线的信号线驱动电路 2、驱动扫描线的扫描线驱动电路 3、控制传感器 12 的传感器控制电路 53 和输出传感器 12 的摄像结果的信号处理输出电路 54。玻璃基片 31 上的各电路利用例如多晶硅 TFT 形成。

控制电路板 52 上安装控制玻璃基片 31 上各电路的控制 IC55、存储图像数据等的存储器 56 以及输出玻璃基片 31 和控制电路板 52 中使用的各种直流电压的电源电路 57。可与控制 IC55 分开另行设置 CPU，可将存储器 56 和电源电路 57 与控制 IC55 综合为一体，还可在控制电路板 52 上安装分立部件。

图 19 是示出玻璃基片 31 上的信号线驱动电路 2、扫描线驱动电路 3、传感器控制电路 53 和信号处理输出电路 54 与控制电路板 52 上的控制 IC55 和存储器 56 的连接关系的框图。

如图中所示，控制 IC55 内置显示控制部 41、图像取入控制部 42 和 CPU。显示控制部 41 对信号线驱动电路 2 和扫描线驱动电路 3 发送数字像素数据和同步信号、时钟信号等控制信号。图像取入控制部 42 对传感器控制电路 53 和信号处理输出电路 54 发送控制信号，并且接收来自信号处理输出电路 54 的摄像数据和根据需要指明摄像数据位置用的同步信号。显示控制部 41 的内部设置缓存器 47 和控制信号产生电路 48，图像取入控制部 42 的内部也设置缓存器 45 和控制信号产生电路 46。

图 20 是示出玻璃基片 31 详细结构的框图。本实施形态的像素阵列部 1 具有水平方向 320 像素×垂直方向 240 像素的显示析像度。像素在水平方向划分成红、蓝、绿的部分，分别设置信号线。信号线的总数为 $320 \times 3 = 960$ 条，扫描线的总数为 240 条。

扫描线驱动电路 3 具有 240 级的移位寄存器 61、SHUT(误动防止电路)62、电平移位器 63、多路开关选择器(MUX 电路)64 和缓存器 65。

信号处理输出电路 54 具有 960 个预充电电路 66、3 个选择译码器 67、320 级移位寄存器 68 和 8 个输出缓存器 69。

图 21 是示出扫描线驱动电路 3 详细结构的电路图。图 21 中的特征部分是电平移位器 63 的后级设置 MUX 电路 64。该电路 64 切换逐行使扫描线导通或使全部扫描线同时导通。全部扫描线同时导通是为了在存放传感器 12 的摄像结果的电容器 C3 积存初始电荷。

通过这样设置 MUX 电路 64，不需要专用 TFT 切换是否在电容器 C3 积存初始电荷，因而能减小电路规模。

图 22 是示出信号处理输出电路 54 详细结构的框图。图 22 的信号处理输出电路 54 具有输出同步信号的同步信号产生电路 71，将 120 条信号线供给的摄像数据变换成一串的串行数据的 8 个 P / S 变换电路 72、对各 P / S 变换电路 72 输出的串行数据进行缓存的输出缓存器 73 和检测出摄像数据平均灰度的计数器 74。这里，“平均灰度”是指在多个象素上对输出数据的灰度取平均的灰度。最后要组成 256 级灰度的图像时，在 10 个象素中 5 个象素为白的数据，其余 5 个象素为黑的数据的情况下，平均灰度为 $256(\text{级}) \times 5(\text{象素}) / 10(\text{象素}) = 128(\text{级})$ 。

图 23 是示出同步信号产生电路 71 详细结构的框图。图 23 的该电路 71 具有 NAND(与非)门 75 和时钟控制的 D 型 F / F(触发器)76。D 型 F / F76 的后级连接输出缓存器 73。仅用绝缘基片上形成的 NAND 门等的组合电路，因 TFT 特性波动而相对于输出数据的相位波动变大，往往不能起同步信号的作用。因此，最好如图 23 那样，设置利用绝缘基片上的时钟进行控制的 D 型 F / F，使与绝缘基片上的时钟的相位差减小。

图 24 是示出 P / S 变换电路 72 详细结构的框图。图 24 的该电路 72 具有 3 个输入和 1 个输出的译码器 77、锁存器 78 和 40 级移位寄存器 79。译码器 77 用图 25 那样的电路组成。锁存器 78 用图 26 那样的电路组成。通过共用移位寄存器 61 控制中用的时钟和图 23D 型 F / F 控制中用的时钟，能减小数据与同步信号的相位差。

图 27 是示出输出缓存器 73 详细结构的框图。如图中所示，级联多个缓存器(反相器)80 而构成该缓存器 73。越后级的缓存器，组成各反相器的 TFT 的沟道宽度越大，以确保需要的外部负载(柔性缆线(FPC)51 等)驱动力。

图 28 是象素阵列部 1 中 1 个象素的详细电路图，图 29 是玻璃基片 31 上 1 个象素的布局图。如图 28 所示，1 个象素由 RGB 的 3 个副象素 81r、81g 和 81b 组成，各副象素具有象素 TFT11、控制是否在辅助电容 Cs 积存电荷的显示控制 TFT82、图像取入传感器 12、存放传感器 12 的摄像结果的电容器 C3、存放与电容器 C3 积存的电荷对应的 2 值数据的 SRAM83、使电容器 C3 积存初始电荷用的初始化用 TFT84 和保持 SRAM83 的数据用的 TFT85。这里，利用根据辅助电容 Cs 积存的电荷决定的象素电极电位与对置基片上形成的公共电极电位的差，控

制各像素的亮度。

进行电容器 C3 的初始化时,使像素 TFT11 和初始化用 TFT84 导通。将设定显示元件亮度用的模拟电压(模拟像素数据)写入辅助电容 Cs 时,使像素 TFT11 和显示控制 TFT82 导通。进行 SRAM83 的数据保持(刷新)时,使初始化用 TFT84 和数据保持用 TFT84 导通。对信号线供给 SRAM83 存放的摄像数据时,使像素 TFT11 和数据保持用 TFT85 导通。

图 30 是说明本实施形态显示装置动作的图。进行通常的显示时,进行模式 m1 的动作。另一方面,进行传感器 12 的图像取入时,首先进行模式 m1 的动作,以将全部像素的亮度设定为规定值。其次,按模式 m2 进行全部像素的电容器 C3 预充电(积存初始电荷)。又次,按模式 m3 进行 1 个画面份额的红色分量像素取入。再之,按模式 m4 进行 1 个画面份额的绿色分量图像取入。最后,按模式 m5 进行 1 个画面份额的蓝色分量图像取入。

图 31~图 33 是模式 m1~m5 的动作定时图。下面,用这些图依次说明 m1~m5 的动作定时。

模式 m1 中,如图 31 的时刻 t1~t2 所示,扫描线驱动电路 3 依次驱动扫描线,并且配合该定时,信号线驱动电路 2 对各水平行将模拟像素数据供给信号线。进行像素显示。利用公知的 D / A 变换电路变换控制 IC55 输出的数字像素数据,以取得模拟像素数据。利用公知技术(参考特开 2000-305535 公报)在玻璃基片上作为信号线驱动电路,以薄膜方式形成 D / A 变换电路。

模式 m2 中,如图 32 的时刻 t3 所示,扫描线驱动电路 3 按相同的定时驱动全部扫描线。在全部像素的传感器电容 C3 积存预充电电压(5V)。在时刻 t4,初始化用 TFT84 和数据保持用 TFT85 同时导通,SRAM83 进行刷新动作。时刻 t3 至时刻 t4 期间,即使传感器电容 C3 的预充电未完成,SRAM83 的刷新动作也使全部传感器电容 C3 的预充电电压全为 SRAM 的电源电压。

模式 m3 中,如图 32 的时刻 t5~t6 所示,对各水平行将红色分量的摄像数据供给信号线。供给各信号线的红色分量摄像数据用图 22 所示的 P / S 变换电路 72 变换成串行数据后,在 8 条数据线上输出到外部。

模式 m4 中,如图 33 的时刻 t7 所示,对各水平行将绿色摄像数据供给信号线。模式 m5 中,如图 33 的时刻 t8 所示,对各水平行将蓝色摄像数据供给信号线。

图 18 的控制 IC55 如图 34 所示,将 320 像素×240 像素的显示区划分成 40

像素×30 像素组成的块单元(形成水平方向 8 块×垂直方向 8 块),并且以各块分别设定显示亮度的状态进行传感器 12 的摄像。这是本发明的 1 个特征。与已有的 CMOS 图像传感器不同,不是仅简单地形成传感器,而是摄像时积极有效利用各像素的亮度控制装置,以补偿传感器和 TFT 特性方面中的波动,从而能谋求像素画面质量高(确保均匀性等)。

图 35 是示出一例图 38 的控制 IC55 进行的处理动作的流程图。首先,一面进行各块的像素显示,使各块为规定的基准亮度(例如最大亮度的 80%),一面改变摄像时间,进行多次摄像(步骤 S21)。这里,在 10msec~50msec 的范围内,以 5msec 为单位切换摄像时间,进行 9 次摄像(试摄像)。

接着,根据试摄像结果(利用摄像时间对平均灰度的曲线上的插补),对各块求出块内平均灰度为大致中值(256 级灰度时 128 级灰度的值)的摄像时间 $t(m, n)$ (步骤 S22)。 $t(m, n)$ 根据传感器泄漏电流波动、TFT 特性波动、摄像对象的光反射特性、摄像对象的彩色、图形和字符等的线密度分布等,作种种变化。

如图 36 所示,改变摄像时间,使平均灰度变化大,因而上述步骤 S22 中对每一块求最佳摄像时间。

这里,对表示摄像结果的串行数据包含的“0”(低电平)或“1”(高电平)进行计数,并根据该计数结果,检测出各块的平均灰度。

接着,每块判断求出的摄像时间 $t(m, n)$ 是否未达到基准时间(例如 30msec)(步骤 S23)。未达到基准时间的块,使其显示亮度 Y 低于基准亮度(例如最大亮度的 80%)(步骤 S24),而基准时间以上的块,使其显示亮度 Y 为基准亮度以上(步骤 S25)。即,用显示元件的亮度(照射到摄像对象的光量)补偿最佳摄像时间的波动。这种补偿方法不是已有 CMOS 图像传感器技术的延伸。每块改变摄像时间,控制复杂,不实用。

具体而言,例如根据以下的式(1),设定各块的显示亮度 Y 。其中 m 表示行, n 表示列。

$$Y(m, n) = 80\% \cdot \frac{t(m, n)}{30} \quad (1)$$

式(1)的计算结果超过 100%时, $Y(m, n) = 100\%$ 。式(1)为例子,应根据显示元件的特性、传感器的特性、摄像对象的特性作变换。关键在于用显示亮度补偿面内最佳摄像时间的波动即可。

接着,以例如 0.5msec 的档改变摄像时间,同时在摄像时间 10msec~50msec 的范围内进行 50 张摄像(步骤 S26; 主摄像)。

接着,计算 80 张摄像的平均值后,取得最后的摄像数据(步骤 S27)。例如图 37 示出一例在步骤 S27 得到的摄像数据。这时,不是以相同的间隔改变摄像时间进行摄像,而是如图 37 和图 38 所示,进行加权,使 30msec 附近的摄像进行得多些等,即使例如用次数少于 81 张的摄像结果计算平均值也可。能缩短总处理时间。或者,在计算平均值时,也可对各摄像结果进行加权。

通过进行图 35 那样的处理,如图 34 所示,即使摄像对象存在黑密度波动,也能如图 39 所示得到无局部黑掉和无擦除的良好摄像结果。

这样,实施形态 2 中,事先调查摄像对象的黑密度(利用试摄像),在以块为单位设定适合摄像对象的显示亮度的状态下,进行传感器 20 的摄像,因而能得到不存在局部黑掉或擦除的、图像质量均匀的摄像图像。

本实施形态说明了摄像对象黑密度分布偏重引起的摄像结果黑掉的解决方法,但作为传感器泄漏电流偏大和 TFT 特性波动偏大等引起的摄像结果图像质量劣化的解决装置,也有同样的效果。

可按下列步骤进行试摄像后的主摄像动作。

(R1)进行图 30 的模式 m1,使液晶显示为全面红显示。但是,根据试摄像使各块改变灰度。

(R2)进行模式 m2,对全部传感器电容进行预充电。

(R3)进行模式 m3、m4、m5,输出红信号线、绿信号线和蓝信号线所属像素的摄像数据。

(G1)进行模式 m1,使液晶显示为全面绿显示。但是,根据试摄像使各块改变灰度。

(G2)进行模式 m2,对全部传感器电容进行预充电。

(G3)进行模式 m3、m4、m5,输出红信号线、绿信号线和蓝信号线所属像素的摄像数据。

(B1)进行模式 m1,使液晶显示为全面蓝显示。但是,根据试摄像使各块改变灰度。

(B2)进行模式 m2,对全部传感器电容进行预充电。

(B3)进行模式 m3、m4、m5,输出红信号线、绿信号线和蓝信号线所属像素的摄像数据。

乍看，将显示作为全红进行摄像时，容易深信绿像素和蓝像素的传感器数据无意义，但并非如此。尤其在光源(液晶层背面设置的背后照明)的光是扩散光，从各种角度对摄像面照射光的情况下，而且如图5那样在液晶单元观察面侧配置传感器阵列的结构时，该数据有意义。与已有的接触型CMOS图像传感器不同，传感器不能与摄像对象接触，离开 d (玻璃基片厚度+偏振片等的光学膜厚度)的程度(0.2mm至0.7mm)。背后照明光确实仅从红像素发出，但摄像对象上的反射光适当扩散。扩散范围为 d 的程度，像素间距等于或小于 d 的程度。因此，绿像素和蓝像素的传感器上也入射基于摄像对象的光。利用进行上述(R1)~(B3)的处理，从水平方向能得到高析像度。其后，一面改变摄像时间，一面多次重复上述处理后，进行平均处理。这部分与已经详述的实施形态相同，因而省略。

试摄像中，结局着眼于知道各块的平均灰度就满足，则试摄像中也可做成每块仅输出计数器的平均灰度计数结果。可停止8个数据输出电路，节省驱动外部负载用的耗电。

本实施形态在像素内设置SRAM。(1)对传感器的微弱电流进行放大，并且(2)在输出摄像后的数据前的期间保持数据，但不限于SRAM。也可(1)放大源跟随器中的电流。输出摄像后的数据前的期间因泄漏等而不能连续保持数据时，可准备摄像后输出数据的控制电路和序列。关键在于具有输出2值化后的数据的装置。

说明了划分显示画面并对每一块调整摄像时的显示亮度的例子，但画面对角尺寸较小的显示装置(2英寸程度以下适合便携电话等)或传感器和TFT特性在片内的波动小等情况下，不划分画面(划分数=1)也可用。这时，可进行如下，不再划分试摄像和主摄像。

即，(1)首先使摄像时间为 $t_0=10\text{msec}$ (任何摄像对象都几乎不在传感器产生光泄漏而取得黑掉的画面的时间)，进行初始摄像数据输出和平均灰度计数。在控制IC55等的存储器保持初始摄像数据。

(2)使 $t=t_0+\Delta t$ (例如 $\Delta t=0.5\text{msec}$)，进行第2次摄像，并进行平均灰度计数。

(3)平均灰度未达到规定值，则不输出摄像数据，使摄像时间为 $t=t_0+2\Delta t$ ，进行摄像和平均灰度计数。

(4)计数结果为规定值以上，则输出摄像数据，在控制IC55等的存储器中

进行相加。

(5)适当增加摄像时间 t ，同时重复(2)~(4)，直到平均灰度等于 256 级的程度。

可认为利用上述(1)~(5)在存储器上完成的图像与上述实施形态中得到的图像同样摄像结果质量高。而且，图像运算用的存储器只需要 1 帧的程度。在节省硬件资源的便携电话中尤其有效。

实施形态 3

实施形态 2 的情况下，由于每块设定显示亮度，根据情况，有时会相邻块之间显示亮度显著不同。

图 40 是示出一例实施形态 2 中各块显示亮度的图，横轴表示块的位置，纵轴显示亮度。为了便于理解，选出特定的 1 行所述的块。图 41 是示意实施形态 2 中相邻的 4 块的摄像图像。如这些图所示，相邻块间的显示亮度不连续变化。因此，相邻块上亮度差大，则拍摄白密度大的摄像对象时，可能产生图 41 那样的色斑。例如产生：理应白底相同，摄像结果却能看到每一方格状块的白色程度不同。

因此，实施形态 3 中，利用与图 35 相同的处理对各块内的中央像素设定显示亮度，使得从中央像素开始，显示亮度渐渐变化，相邻块的边界附近不太产生亮度差。

图 42 示出在与图 40 相同的条件下进行摄像时的实施形态 3 的处理结果，图 43 示意实施形态 3 中相邻 4 个块的摄像图像。如这些图所示，相邻块之间亮度差变化不大。

这样，实施形态 3 中，使亮度从块的中央像素往周边逐渐变化，相邻块之间亮度变化不大，因而块间亮度差而造成的摄像图像的色斑消失。

实施形态 4

实施形态 4 将传感器 12 的摄像结果与预先准备的基准图案进行图案选配。

图 44 是示出本发明显示装置实施形态 4 的概略结构的框图。图 44 的显示装置除图 19 的组成部分外，还具有存放多个基准图案的基准图案存放部 86。

图 45 是一例基准图案存放部存放的基准图案。各基准图案 1a、1b、1c、2a、2b、2c、2d、3a、3b、3c、3d 的规模为 8 像素×8 像素，用黑色示出的部分表示图案。基准图案的规模种类不限于图中所示的。

图 46 是示出本实施形态的控制 IC55 进行的处理动作的流程图。下面假设

用传感器 12 拍摄图 47 那样的摄像对象的结果得到图 48 那样的摄像数据，对图 46 的流程图处理动作进行说明。

本实施形态的控制 IC55 与基准图案存放部 86 存放的全部基准图像进行比较(步骤 S31)。

图 45 中各基准图案上部标注的数字是与图 48 的摄像数据不一致的像素数。控制 IC55 选择若干不一致像素数少的基准图案(步骤 S32)。例如，假设控制 IC55 选择图 45 的 4 个基准图案 1a、1b、1c、1d。

接着，控制 IC55 产生使所选基准图案的明暗相反的图案(图 49 的相反图案 n1a、n1b、n1c、n1d)(步骤 S33)，在像素阵列部 1 依次显示该相反图案，同时重复进行传感器 12 的设想(步骤 S34)。这时，仅图 49 中的反向图案 n1a、n1b、n1c、n1d 的白色部分透光，因而传感器 12 的摄像数据成为图 50 那样。摄像数据 r1a 对应于基准图案 1a 和相反图案 n1a，摄像数据 r1b 对应于基准图案 1b 和相反图案 n1b，摄像数据 r1c 对应于基准图案 1c 和相反图案 n1c，摄像数据 r1d 对应于基准图案 1d 和相反图案 n1d。

接着，从摄像数据中选择若干白色像素数较少的基准图案(步骤 S35)。例如，图 50 的例子中选择 2 个基准图案 1a、1b。

接着，根据选择的基准图案取得最后的摄像结果(步骤 S36)。这里，进行对选择的基准图案和首次得到的图像数据取平均等，从而得到图 51 所示的最后摄像结果。

这样，实施形态 4 中，预先准备多种基准图案，将传感器 12 的摄像数据与基准图案比较，从而产生最后的摄像数据。因此，传感器 12 的析像度不太高，就能得到高质量的摄像数据。本实施形态在拍摄预先将形状图案化的摄像对象时，特别效果大。

实施形态 5

图 52 是示出像素阵列 3 的一部分的框图，图中所示虚线包围的各部分分别是 1 个像素。各像素具有像素 TFT11、连接在像素 TFT11 的一端的液晶电容 C1 和辅助电容 C2 以及图像用的传感器 12。传感器 12 连接图 52 中未示出的电源线和控制线。

图 52 中在 1 个像素内仅示出 1 个像素 TFT11，但实际上 1 个像素内有红、绿和蓝用的 3 个像素 TFT11，各像素 TFT11 分别具有传感器 12。

图 53 是详细示出 1 个像素的结构的电路图。1 个像素中，对应于各像素

TFT11 分别设置 1 个由光电二极管组成的传感器 12。各传感器 12 的阳极端子连接电源线 JVSS，阴极端子连接控制线 L1。这些部分可全部形成在同一块基片(阵列基片)上，也可将一部分设置到对置基片。例如可将像素 TFT11 配置到对置基片。这时，在对置基片侧也设置信号线和扫描线。在同一块基片上将像素 TFT 等和传感器电路等综合为一体时，能加大开口率且降低背后照明耗电。(例如将对置基片侧的像素 TFT 与阵列基片侧的传感器和电容器元件配置成对置)。

此外，各像素还具有连接在电源线 JVSS 与控制线 L1 之间的电容器 C3、存放与电容器 C3 积存的电荷对应的 2 值数据的 SRAM13、进行对 SRAM13 的写入控制的晶体管 Q3、使 SRAM13 和电容器 C3 初始化的复位用晶体管 Q4、对 SRAM13 的输出进行放大的放大器 (AMP) 14 和利用控制信号线 OUT 的逻辑切换并控制是否将放大器 14 的输出供给信号线 Sig 的晶体管 Q5。

SRAM13 具有串联的 2 个反相器 IV1、IV2 和连接在后级反相器 IV2 和输出端子与前级反相器 IV1 的输入端子之间的晶体管 Q6。

信号 SLB 为高电平时，晶体管 Q6 导通，2 个反相器 IV1、IV2 进行保持动作。控制信号线 OUT(m) 为高电平时，将保持的数据输出到信号线 Sig。

图 54 是与图 53 的电路图对应的平面布局图。如图 54 的虚线 25 所示，本实施形态将控制信号线 OUT(m) 的至少一部分配置成与 SRAM13 和放大器 14 的电源线 JVDD 上下叠合。利用这样配置，如图 5 的虚线 25 所示，SRAM13 和放大器 14 的电源线 JVDD 与控制信号线 OUT(m) 产生电容耦合，使控制信号线 OUT(m) 的布线电容增大。结果，晶体管 Q5 慢慢导通，信号线 Sig 的写入电流也慢慢变化。因此，能防止 SRAM13 和放大器 14 和电源线 JVDD 电压下降，不必担心进行图像取入的数据在信号线 Sig 上消失。能防止即使画面边端靠近供电端的部分能将图像取入结果正常输出到信号线，画面中央等远离供电端的部分也不能将图像取入结果正常输出到信号线的问题。

除将控制信号线 OUT(m) 的至少一部分配置成与 SRAM13 和放大器 14 的电源线 JVDD 上下叠合外，还可考虑在控制信号线 OUT(m) 与电源线 JVDD 之间显性连接电容器，但这样连接，开口率减小新设电容器的份额，显示质量变差。本实施形态的情况下，不需要显性设置这种电容器，因而开口率不可能减小。

这样，在实施形态 5 的情况下，将控制信号线 OUT(m) 的至少一部分配置成与 SRAM13 和放大器 14 的电源线 JVDD 上下叠合，因而能防止 SRAM13 和放大器

14 的电源线 JVDD 电压下降，不必担心进行图像取入的数据在信号线 Sig 上消失。

实施形态 6

实施形态 6 使 SRAM13 和放大器 14 的电源线 JVDD 的电阻小于信号线 Sig 的电阻。

用与图 53 相同的电路组成本发明显示装置实施形态 6。假设 SRAM13 和放大器 14 的电源线 JVDD 的电阻高于信号线 Sig 的电阻，则电源线 JVDD 上的电压降大于信号线 Sig 上的电压降，图像取入数据有可能消失。

因此，本实施形态使 SRAM13 和放大器 14 的电源线 JVDD 的电阻小于信号线 Sig 的电阻。

图 55 是显示装置实施形态 6 中 1 个像素的平面布局图。如图中所示，使电源线 JVDD 比信号线 Sig 线条粗，因而能使电源线 JVDD 的电阻低于信号线 Sig 的电阻。

或者，也可将信号线 Sig 做成多层结构。做成多层结构，则电阻相应增大，即使不特定改变线条粗细，也能使信号线 Sig 的电阻大于电源线 JVDD 的电阻。

电源线 JVDD 的电阻低于信号线 Sig 的电阻，即使同时在信号线 Sig 写入 1 水平行的图像取入数据，流过信号线 Sig 的电流也不可能急剧增大，电源线 JVDD 的电压也不会急剧降低。因此，能抑制电源线 JVDD 的电压降，防止数据消失。

这样，实施形态 6 中，使电源线 JVDD 比信号线 Sig 线条粗，因而能使电源线 JVDD 的电阻低于信号线 Sig 的电阻，即使同时在信号线 Sig 写入 1 水平行的图像写入数据，也不必担心信号线 Sig 上的信号消失。

实施形态 7

图 56 是详细示出图 52 的一部分的电路图。如图 56 所示，传感器 12a 分别具有光电二极管 D1 和传感器切换用晶体管 Q1，传感器 12b 分别具有光电二极管 D2 和传感器切换用晶体管 Q2。光电二极管 D1、D2 输出与感光的光量对应的电信号。传感器切换用晶体管 Q1、Q2 交替进行通断，以交替选择 1 个像素内的多个光电二极管 D1、D2 中的某一个。

各像素具有 2 个传感器 12a 和 12b、同一像素内 2 个传感器 12a 和 12b 共用的电容器 C3、对电容器 C3 积存的电荷进行 A / D 变换的检测电路 91、进行对检测电路 91 的写入控制的晶体管 Q3 以及使缓存器 13 和电容器 C3 初始化的复位用晶体管 Q4。电容器 C3 积存的电荷通过晶体管 Q3 和检测线供给检测电路

91。检测电路 91 设置在阵列基片的边框部分。

与在硅基片上形成晶体管电路时不同，用低温多晶硅工艺在绝缘基片上形成 LTPS 元件(低温多晶硅元件)时，即使在同一芯片上，元件特性的 V_{th} 波动有时也会达 1V 左右。因此，不能原样采用硅基片上的 A / D 变换电路中惯用的差动电路(运算放大器)，需要具有 V_{th} 波动补偿装置的 A / D 变换电路。这是因为一般采用运算放大器时，由于元件的 V_{th} 波动等，某一传感器输出电位在某一检测电路被变换成高电平，而另一检测电路中变换成低电平等，不实用。

下面具体说明具有含 V_{th} 波动补偿装置的 A / D 变换电路的检测电路 91，该补偿装置采用 LTPS 元件在显示装置的阵列基片上综合为一体形成时，特别有效。

图 57 是示出检测电路 91 的详细结构的电路图。图 57 的检测电路 91 在每一检测线具有晶体管 Q7 和 Q8、由电容器 C4 和反相器 IV3 组成的放大器 92、反相器 IV4、锁存器 93、晶体管 Q9 以及由晶体管 Q10 和寄存器电路 94 组成的移位寄存器 95。锁存器 93 用例如图 58(a)那样的电路组成，移位寄存器 44 用例如图 58(b)那样的电路组成。

晶体管 Q7 的栅极都输入信号 / PRC，晶体管 Q3 的栅极都输入信号 PRC。首先，仅在规定的周期使信号 PRC 为高电平。由此，使晶体管 Q8 导通，放大器 92 的输入端初始化为电压 V_{PRC} 。将电压 V_{PRC} 设定为把传感器高电平输出引到检测线时的检测电压与传感器低电平输出引到检测线时的检测线电压之间的电压。放大器 92 内的反相器 IV3 的输入输出端子之间连接开关 SW1，并且电压 PRC 为高电平时，该开关 SW1 导通，因而反相器 IV3 的输入端(=电容器 C4 的下侧端)保持反相器工作门限值。这时，放大器 92 不进行放大。利用此动作消除 V_{th} 。即使 V_{th} 波动，反相器 IV3 的输入端也保持反相器 IV3 的工作门限值。

接着，使信号 / PRC 为高电平(信号 PRC 为低电平)时，输入检测线的电压，使该电压是否高于电压 V_{PRC} 通过电容器元件 C4 原样变换成在反相器 IV3 的输入端是否高于工作门限值的电压，并且在反相器 IV3 的输入端可靠地输出反相放大输出信号。这样，即使 V_{th} 波动有 1V 左右时，也可靠地进行 A / D 变换。

然后，锁存器 93 按规定的定时进行锁存。其后，信号 A 为高电平，则在移位寄存器 95 的各寄存器电路 94 写入锁存器 93 的输出。其后，信号 A 为低电平，则晶体管 Q10 导通，各寄存器电路 94 被级联，与时钟 CLK 同步地将数据逐级往右侧移位后，从右端的寄存器电路 94 供给 CPU。

根据情况,也可省略锁存器 93。将检测线的输出直接完全导入移位寄存器 95 即可。但是,移位寄存器 95 必须按对 CPU 输出数据正好结束的定时将检测线的输出供给移位寄存器 95。这是因为在对移位寄存器 95 存放数据结束前检测电路 91 的输出一直不变。

与此相反,如图 57 那样设置锁存器 93 时,其优点在于,不管移位寄存器 95 的动作,能在锁存器 93 连续保持 A / D 的输出,可快速进入下一检测动作。

图 57 中,用电容器 C4 和反相器 IV3 各 1 个组成放大器 92,但也可分别级联多个电容器 C4 和反相器 IV5,如图 59 所示。由此,能提高放大器 92 的增益控制精度。级联的数量越多,能使可 A / D 变换的检测线信号最小振幅越小,可提高 A / D 变换器的灵敏度。

A / D 变换器不限于 2 值化,也可以作更高值的变化。

图 56 中,象素内不设置放大传感器的值的电路,但如用图 4、图 28、图 53 说明那样,设置若干放大电路也可。象素内的放大电路能缩短驱动信号线的时间。象素内的电路的信号线驱动时间不很长,因而即使按电位只能微小变化的定时截止信号线的驱动,也能在边框部高精度放大信号振幅,不容易发生数据传送差错。结果,具有能缩短读取多灰度图像的时间。

图 57 中,可在移位寄存器 95 的后级连接未示出的缓存器和电平变换电路。缓存器是在电源端子与接地端子之间串联 PMOS-TFT 和 NMOS-TFT 的反相器,进行波形整形。需要电平变换电路的原因如下。玻璃基片等绝缘基片上形成的多晶硅 TFT 与硅基片上形成的 TFT 相比,门限值电压 V_{th} 的绝对值大例如 1~3V,因而作为电源电压,需要较大的电压(本实施形态中为 5V)。另一方面,硅基片上形成的 CPU 通常用 1~3V 的电源电压进行工作。这种 CPU 输入 5V 振幅的信号时,给 CPU 侧的接口电路施加过剩的电压,因而能成为故障源。为了避免这点,希望设置电平变换电路,将信号振幅从 5V 变换到 CPU 中所接收的小振幅那样的电平。电平变换电路可用公知的电路结构。

图 60 是从移位寄存器 95 传送到 CPU 的图像数据的动作定时图。如图中所示,按照从第 320 检测线的数据 D320 到第 1 检测线的数据 D1 的顺序进行传送。也可使数据传送顺序与图 60 相反,按照从第 1 检测线的数据 D1 到第 320 检测线的数据 D320 的顺序传送。

图 70 是汇总以上所说明各实施形态特征部分的显示装置的框图。如图 70 所示,绝缘基片上各象素分别设置输出传感器的值的象素阵列部 1、信号线驱

动电路、扫描线驱动电路 3、将传感器的值变换成数字数据的 A / D 变换电路 106 和将 A / D 变换电路 106 的输出变换成串行数据的串行输出电路 101。像素阵列部 1 的各像素设置像素保持电路 102 和传感器输出电路 107。绝缘基片外部的逻辑 IC 设置指示读取多种条件下的图像的图像读取指示部 104 以及根据多个 2 值图像合成多灰度图像的多灰度图像合成部 105。

通过采用这种结构，传感器输出和 TFT 特性的面内波动较大时也能读取良好的多灰度图像，并且能读取短时间内的图像。此外，也可如图 71 那样，在像素内设置使传感器的值 2 值化的 2 值化输出电路 103。这时，可在绝缘基片上设置放大来自像素的 2 值化信号的放大电路 107，以代替 A / D 变换电路 106。

图 60 的情况下，检测线的数量越多，需要将加移位寄存器 65 的输出频率提高的越多，定时方面的限制严格。具体而言，移位寄存器 95 与时钟同步地将各级的数据传送到下级，但时钟过快，就不能正常进行该传送。因此，图 61 做成可降低移位寄存器 95 的工作频率的电路结构。图 61 的电路示出的例子将移位寄存器 95 分成第 1 移位寄存器部 95a 和第 2 移位寄存器部 95b 等 2 个部分，同时设置选择第 1 和第 2 移位寄存器部 95a 和 95b 中某一方的输出的 P / S 变换电路 96，并且将该电路 96 的输出供给 CPU。

第 1 移位寄存器部 95d 对检测线 D1~D160 的图像数据进行移位，第 2 移位寄存器部 95b 对检测线 D161~D320 的图像数据进行移位。

图 62 是第 1 移位寄存器部 95a、第 2 移位寄存器部 95b 和 P / S 变换电路 96 的输出定时图。如图中所示，第 1 移位寄存器部 95a 依次输出图像数据 D160~D1，第 2 移位寄存器部 95b 依次输出图像数据 D320~D161。P / S 变换电路 96 交替选择并输出第 1 和第 2 移位寄存器部 95a、95b 的输出。

这样，图 61 的电路将移位寄存器 95 分成第 1 和第 2 移位寄存器部 95a 和 95b，并且交替选择各移位寄存器部 95a、95b 的输出，传送到 CPU，因而能使移位寄存器 95 的工作频率降低到图 57 的一半，可缓和定时方面的限制。

图 63 是图 61 的电路的变换例，示出的例子将阵列基片分成 $2n$ (n 为 1 以上的整数) 个块。图 63 中，各块设置锁存与寄存器 95，还设置选择相邻 2 个块内的 2 个移位寄存器 95 的输出中的某一方的 P / S 变换电路 96。锁存与移位寄存器 95 和图 58(a) 及图 58(b) 相同，用图 64 那样的电路组成。

在图 63 的情况下，各相邻的 2 个块对 CPU 供给表示传感器图像取入结果的串行信号。

这样，图 65 中，将阵列基片上 $2n$ 个块各自输出的图像数据汇总到 n 条数据线，传送给 CPU，因而与用 1 个移位寄存器 95 给 CPU 传送图像数据时相比能使移位寄存器 95 的工作频率降低到 $2n$ 分之一。还可使 n 条数据线每 2 条为一组，进一步作串行变换，从而使对 CPU 的数据输出条数减少到 $n / 2$ 。这时，移位寄存器 95 的工作频率为 $2n$ 分之一，同时能使对 CPU 传送数据用的数据线的输出条数减少到 $n / 2$ 。

如图 61 和图 63 那样，在 P / S 变换电路将多个移位寄存器 95 的输出变换成串行数据时，各移位寄存器 95 与像素配置对应地连续排列的数据交互混杂，成为不连续的数据。因此，CPU 即使接收这种数据，也不能对其原样进行图像数据处理。

作为处理这种问题方法，可考虑在阵列基片侧增加输出数据线，配置多条位线，利用这些位线添加并输出图像数据的地址。

然而，造成从绝缘基片输出较多的信号，使耗电增加，引脚数也增加，IC 的造价提高。即使在 IC 侧也对传送来的数据译码，当然必须将各个数据逐一存入存储器，使门电路数增多，造成耗电增大。

图 65 是在阵列基片外部进行排列变换时的移位寄存器 95 后级侧的框图。图 65 的电路具有将阵列基片中 P / S 变换电路 96 输出的串行信号变换成并行信号的 S / P 变换电路 97、使组成并行信号的各信号相位一致的定时调整电路 98 以及使定时调整电路 98 的输出信号移位的移位寄存器 99a 和 99b。

P / S 变换电路 96 和 S / P 变换电路 97 都用 2 个模拟开关组成。具体而言，P / S 变换电路 96 和 S / P 变换电路 97 分别用图 66(a) 和图 66(b) 那样的电路组成。任一电路中，都控制成 1 个模拟开关导通时，另一模拟开关阻断，从而能进行 P / S 变换或 S / P 变换。

定时调整电路 98 用例如 D 锁存器 50 组成。图 65 中排在左侧的 D 锁存器 50 与排在右侧的 D 锁存器 50 中级数不同，其原因在于使两者的数据相位一致。D 锁存器 50 的内部结构如图 67 那样。

定时调整电路 98 的后级连接移位寄存器 95，使 CPU 中的处理方便，但该移位寄存器 95 并非必须的组成部分，也可用行缓存器和存储器等。不管这样，由于图 66(b) 所示的 S / P 变换电路按正确的顺序输出数据，CPU 中的数据处理方便。

图 68 是图 65 的电路的动作定时图。图 68 的信号 OUT1 是第 1 移位寄存器

部 95a 的输出, 信号 OUT2 是第 2 移位寄存器部 95b 的输出, 信号 OUT 是 P / S 变换电路 96 的输出, 信号 IN1、IN2 是 S / P 变换电路 97 的输出, 信号 IN1a、IN1b 是定时调整电路 98 的输出。如图 68 所示, 定时调整电路 98 的 2 个输出相互相位对齐。

这样, 通过在阵列基片的外侧设置与 P / S 变换电路 96 对称的 S / P 变换电路 97, 即使不从阵列基片传送地址信息, 也能进行图像数据的排列变换。

上述各实施形态说明了本发明的显示装置用于液晶显示装置的例子, 但本发明也可用于 EL(电致发光)显示装置和 PDP(等离子显示板)等其他显示装置。

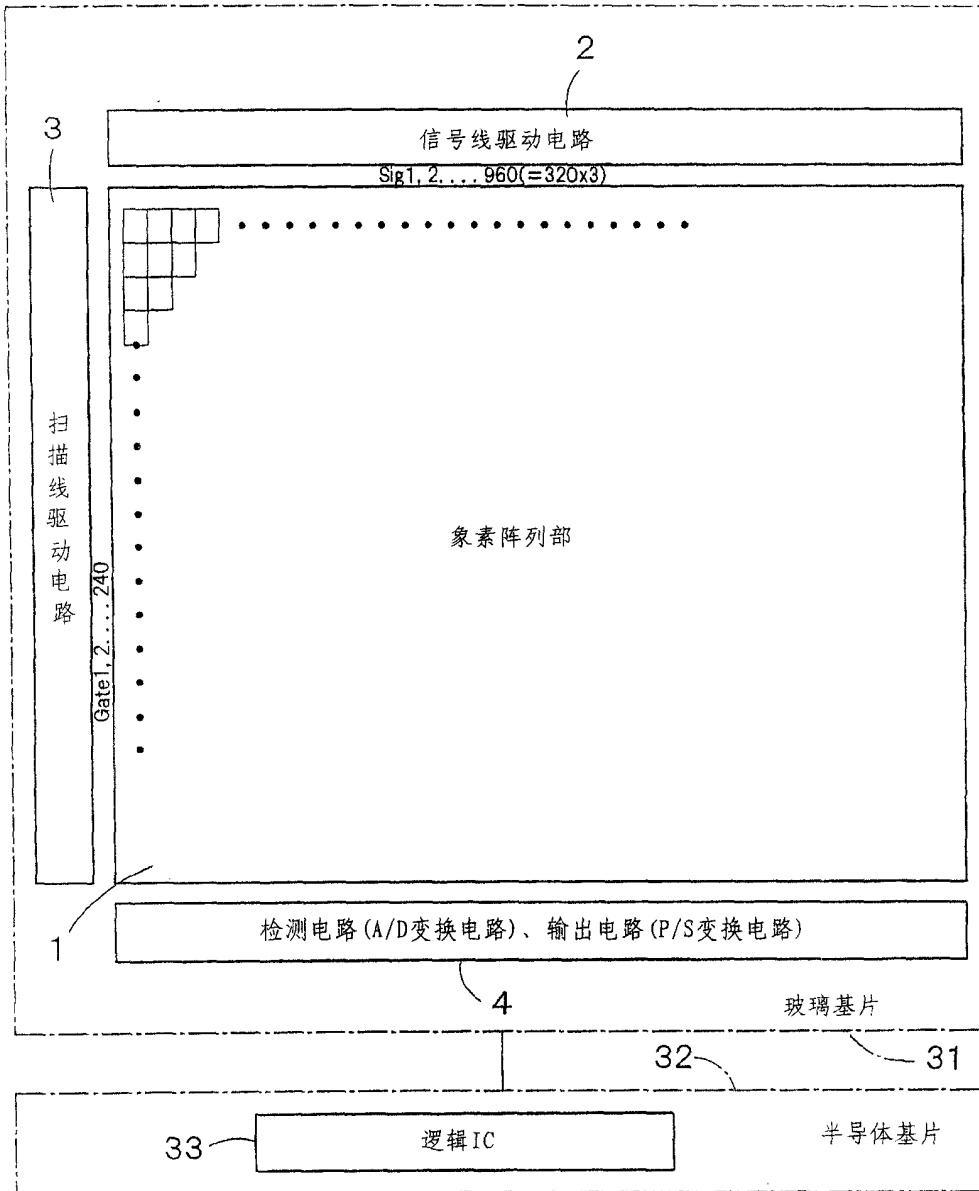


图 1

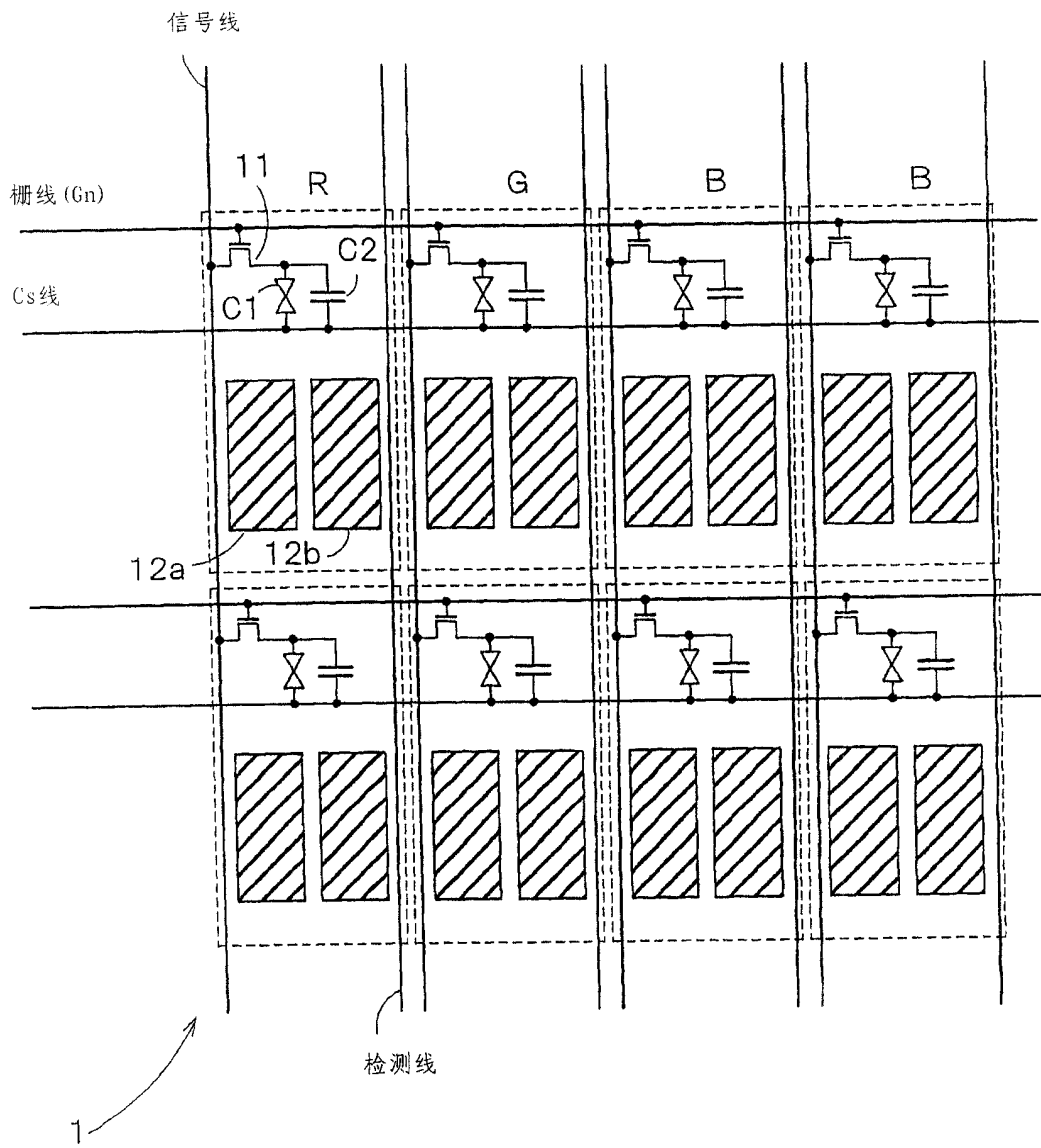


图 2

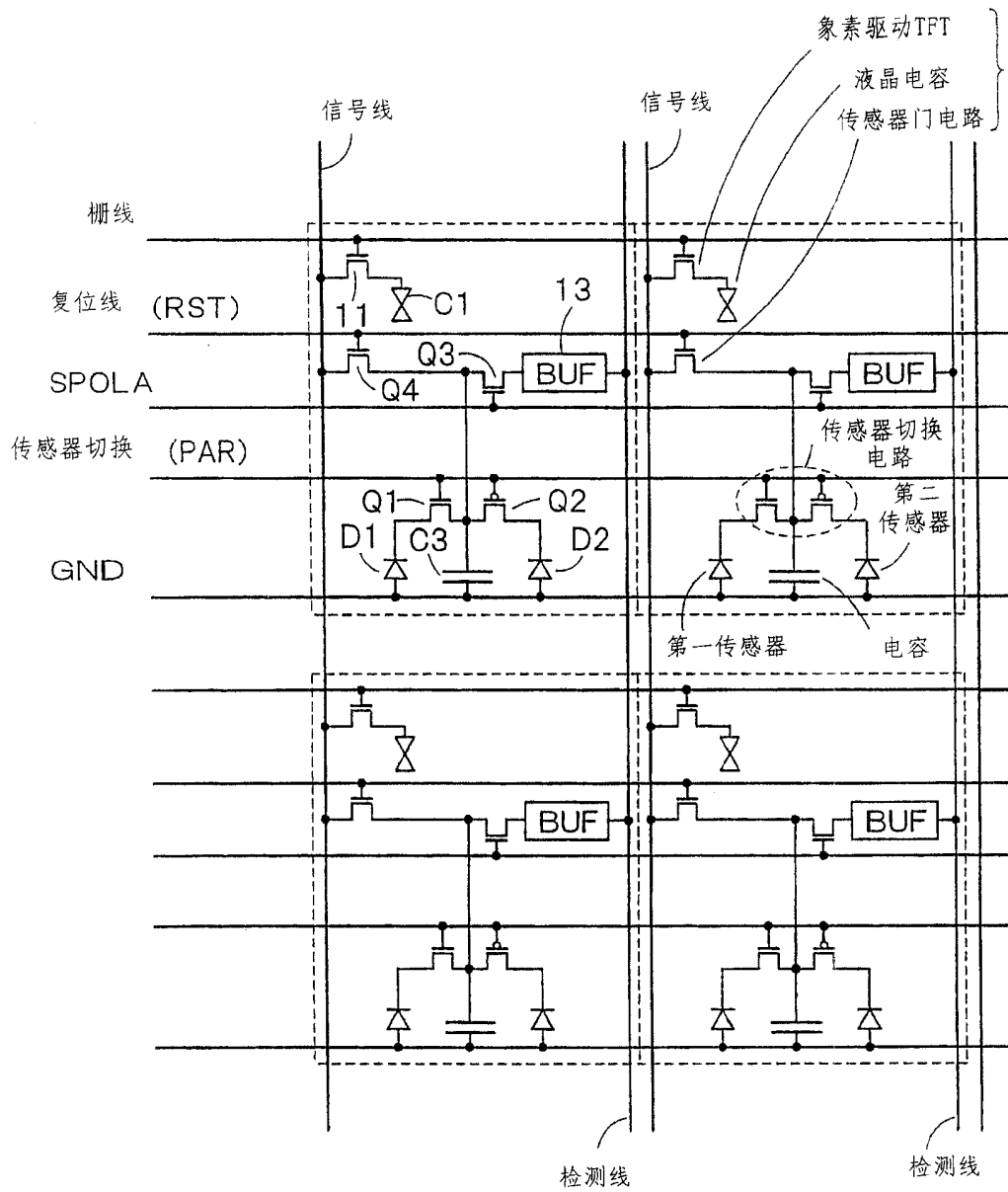


图 3

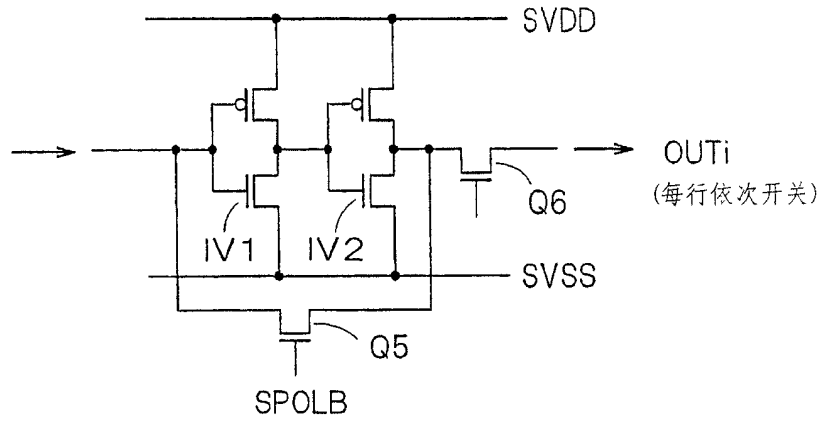


图 4

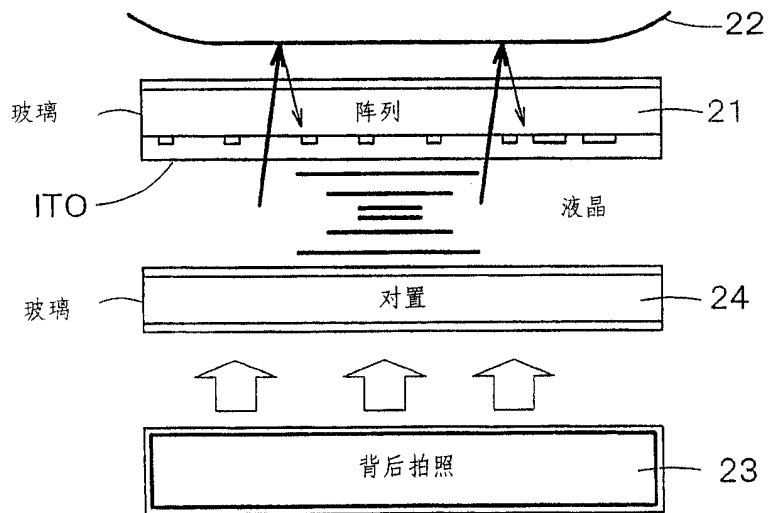


图 5

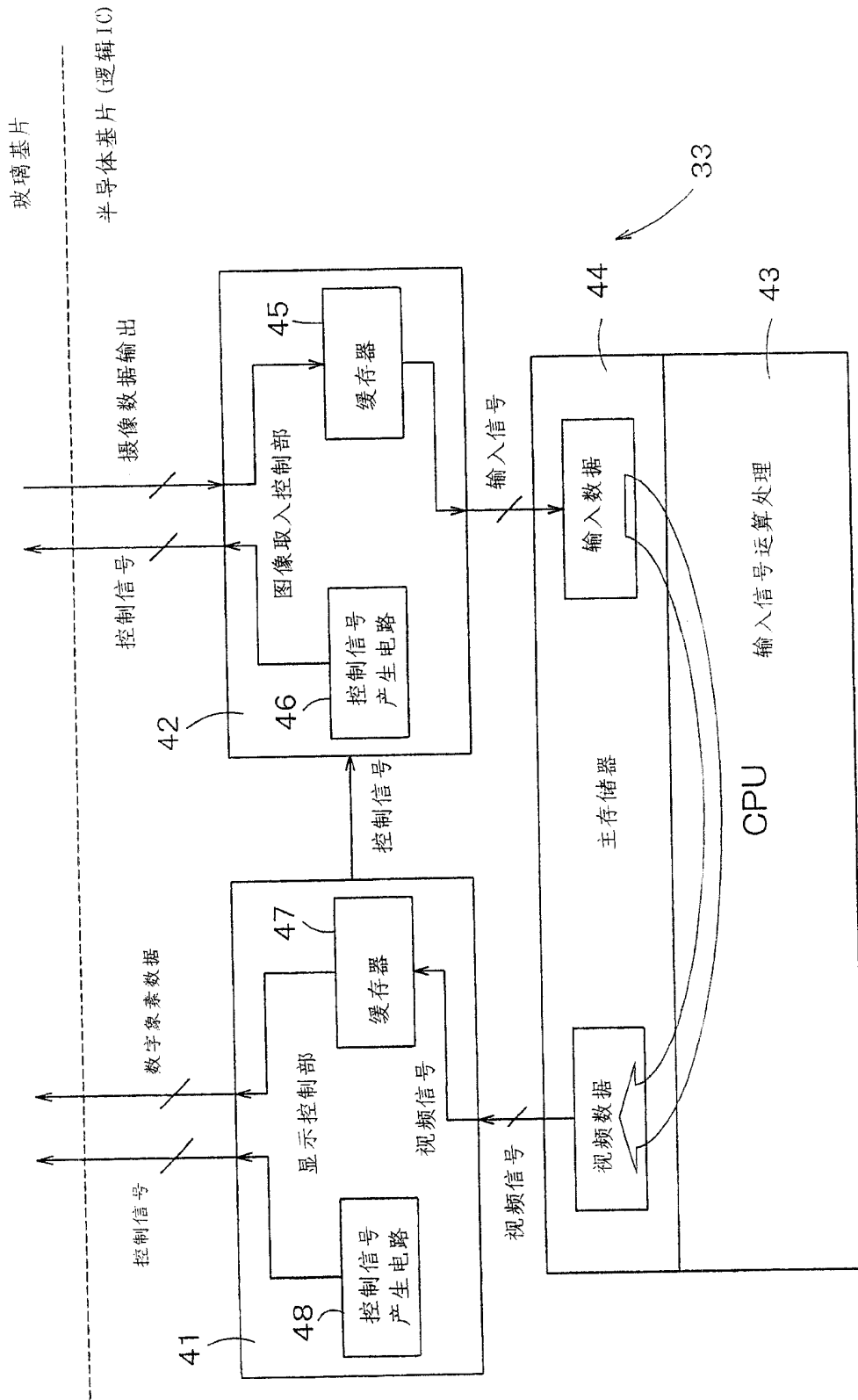


图 6

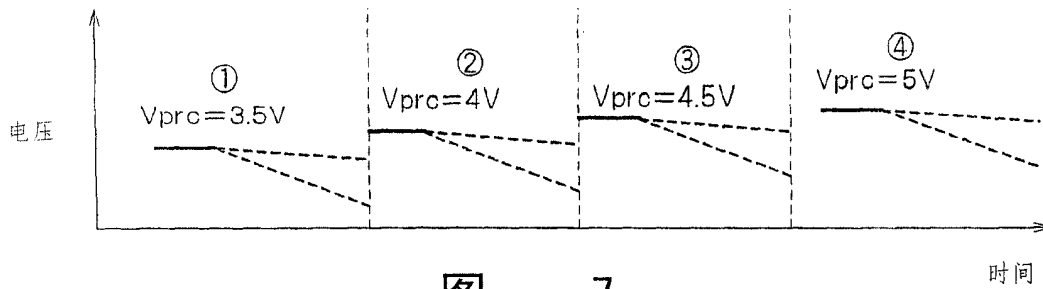


图 7

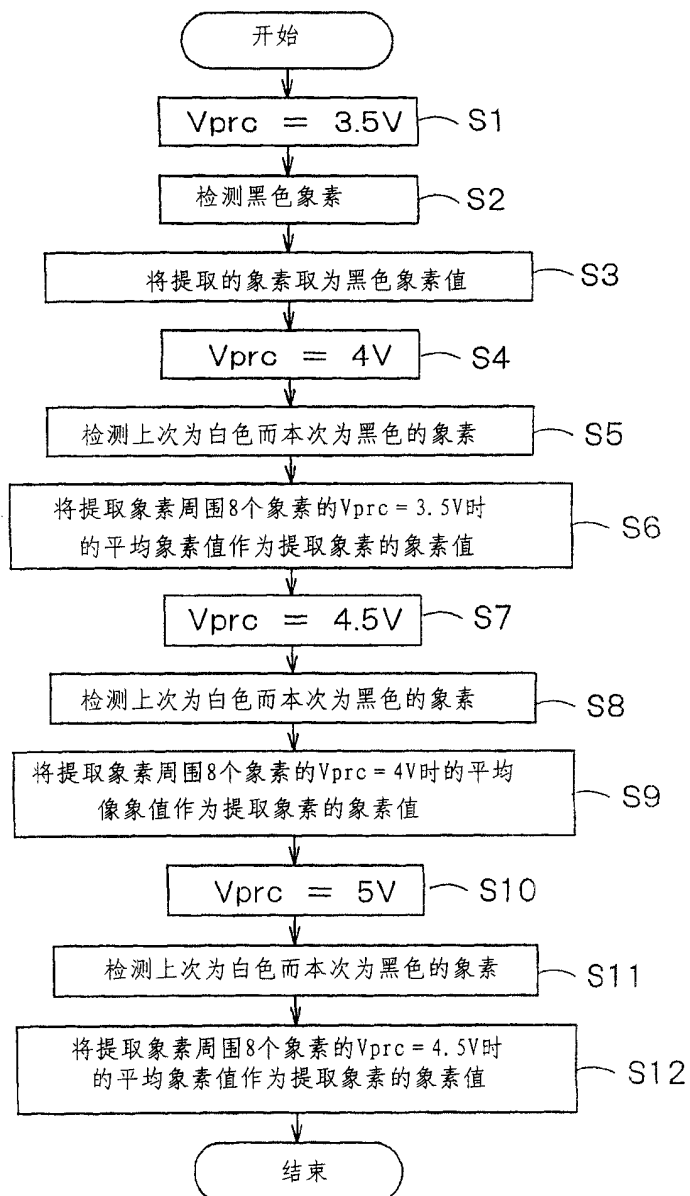
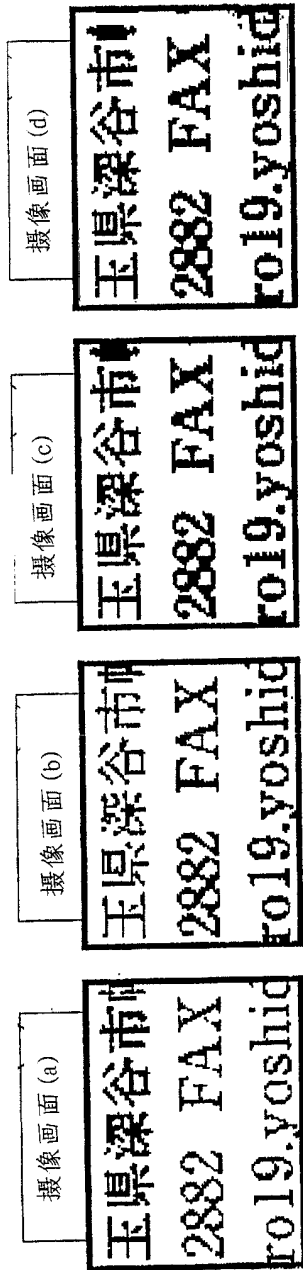


图 8



更改的参数	条件 (a)	条件 (b)	条件 (c)	条件 (d)
电容预充电电压 (V)	3.5	4.0	4.5	5.0
拍摄时间 (ms)	100	75	50	25
液晶透射率 (%)	100	75	50	25
含义	仅将很黑的部分判定为黑的条件			仅将很白的部分判定为白的条件

图 9

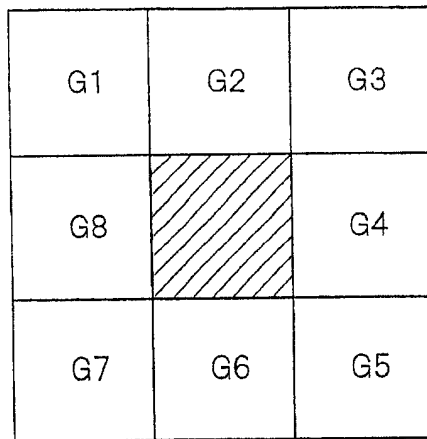
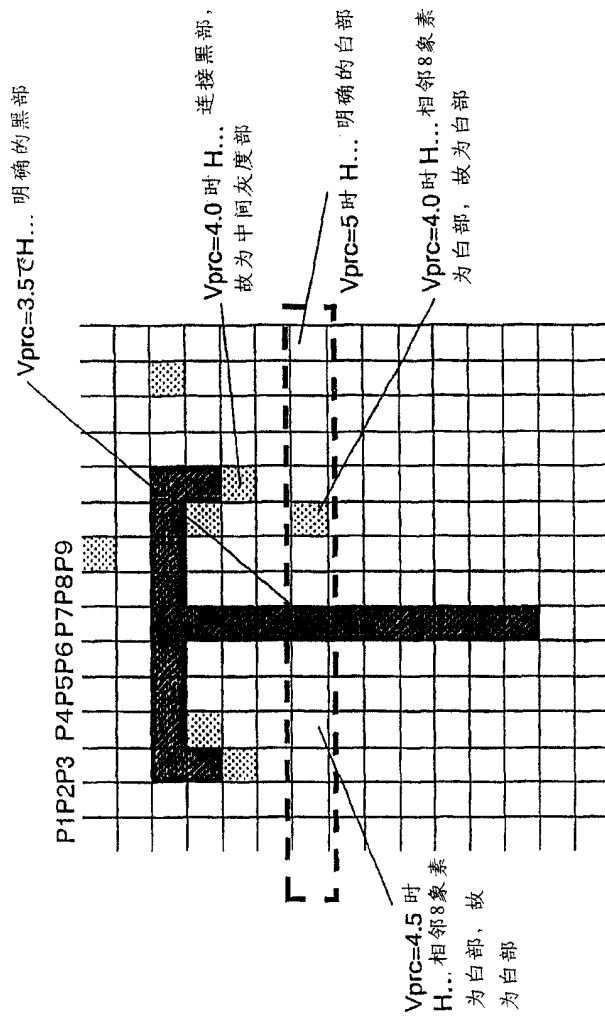


图 10

玉原深谷市
2882 FAX
ro19.yoshid

图 11

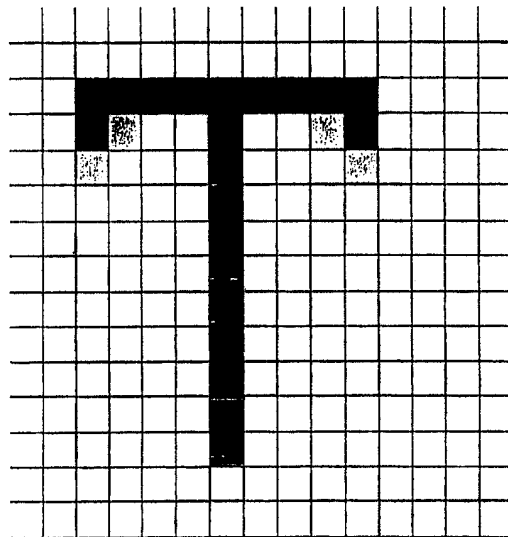


判断结果(存储器上)

图 12

V _{prc} (V)	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15
(a) 3.5	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L
(b) 4.0	L	L	L	L	L	L	H	L	L	H	L	L	L	L	L
(c) 4.5	L	L	L	H	L	L	H	L	L	H	L	L	L	L	L
(d) 5.0	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

图 13



显示装置中的再现图像

图 14

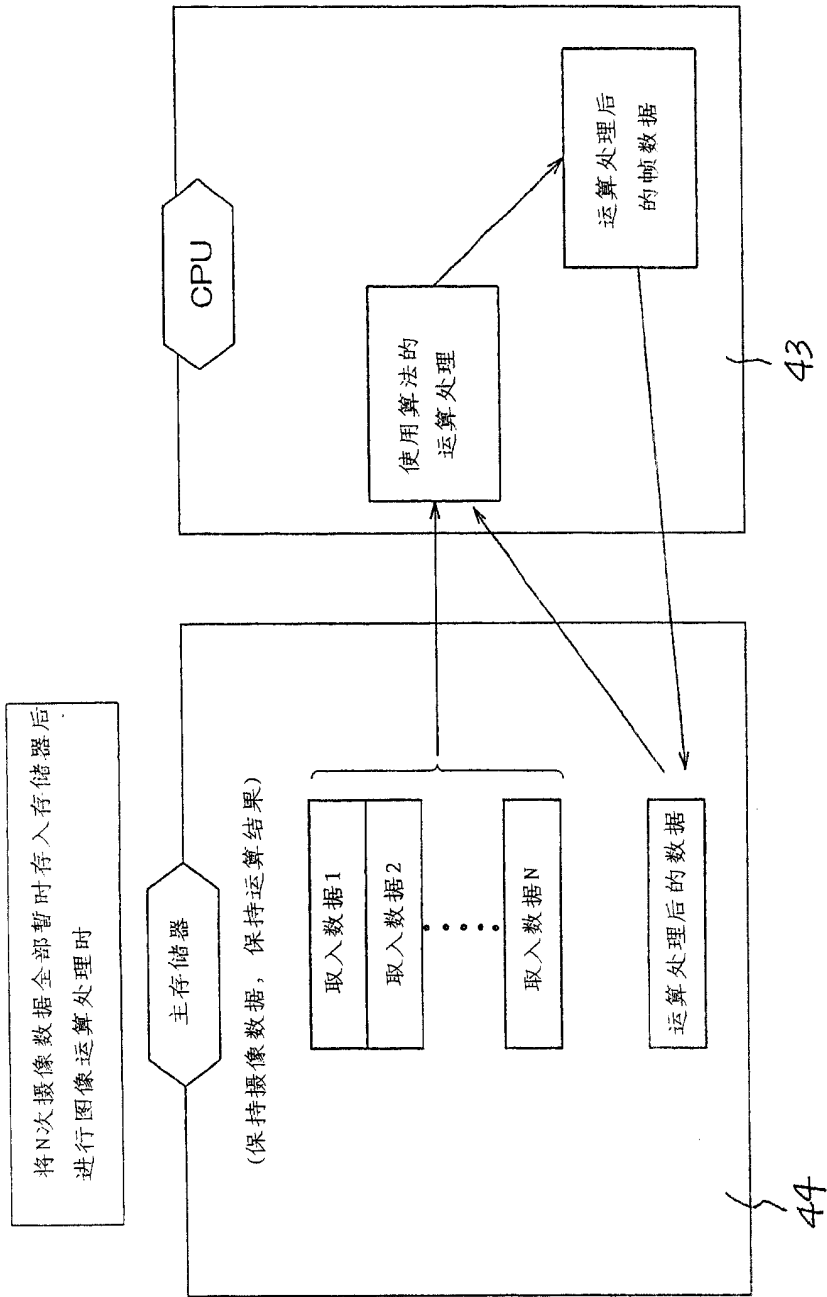


图 15

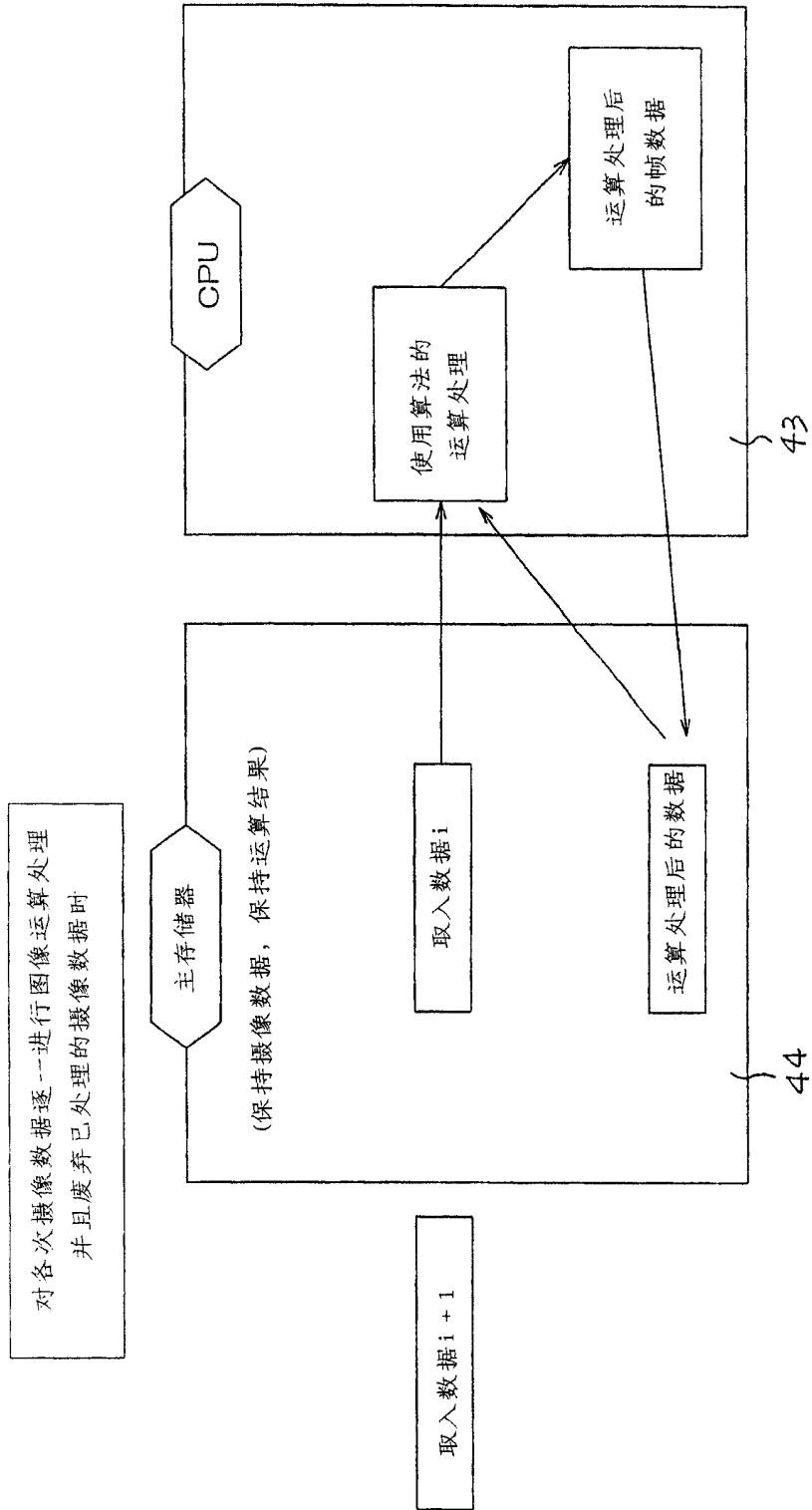


图 16

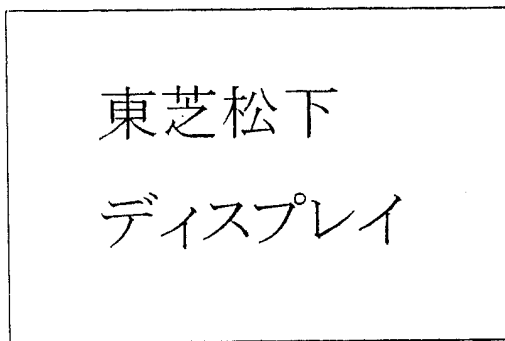


图 17A

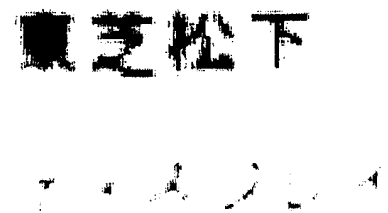


图 17B

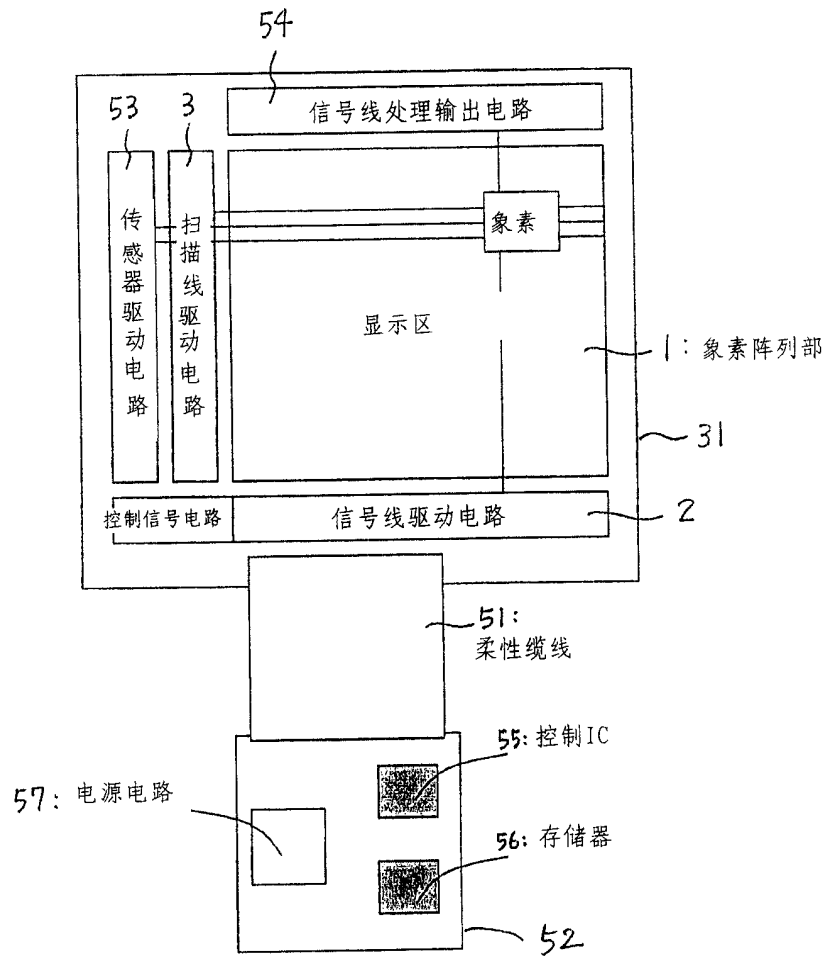


图 18

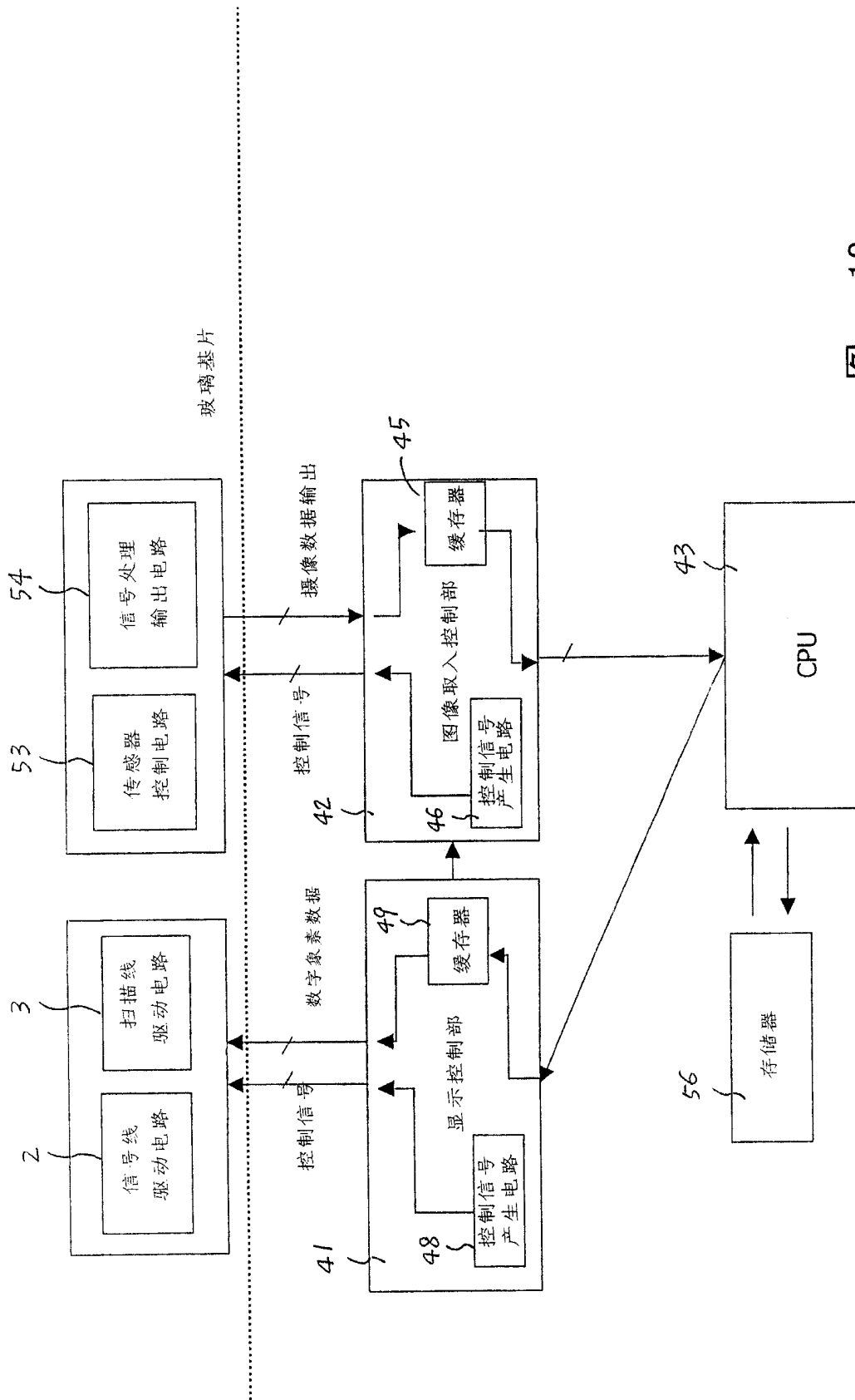


图 19

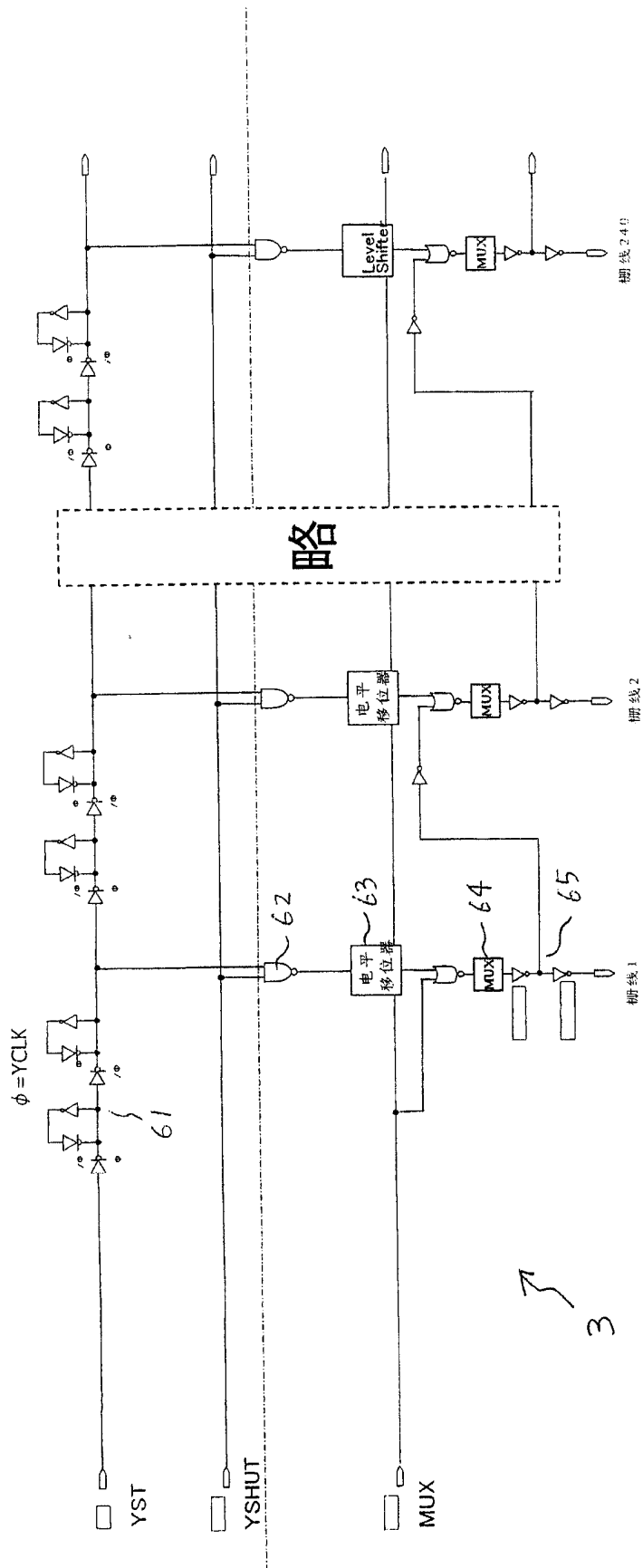


图 21

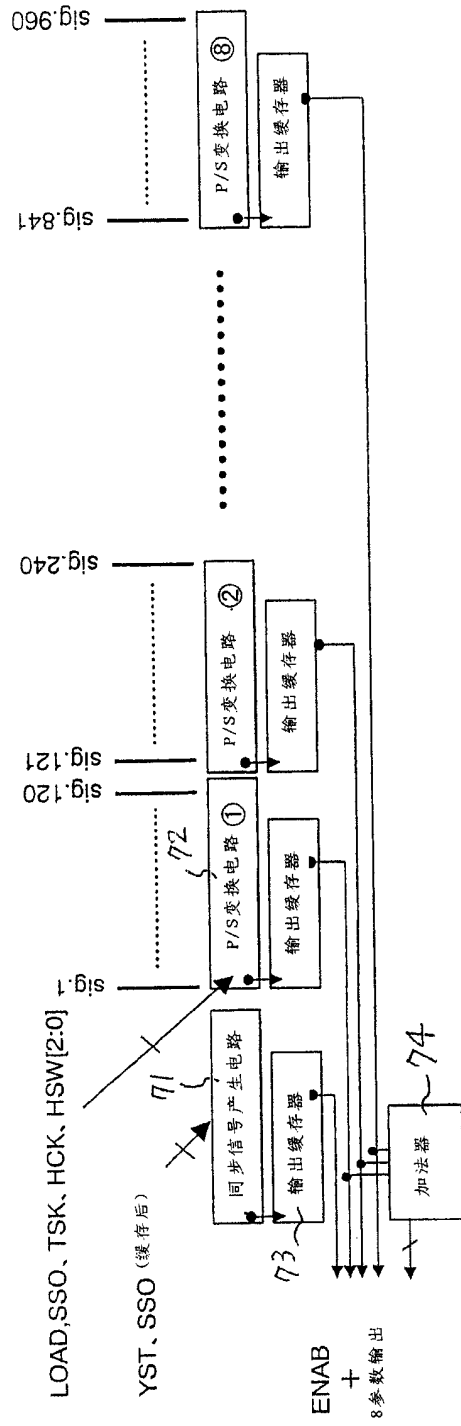


图 22

54

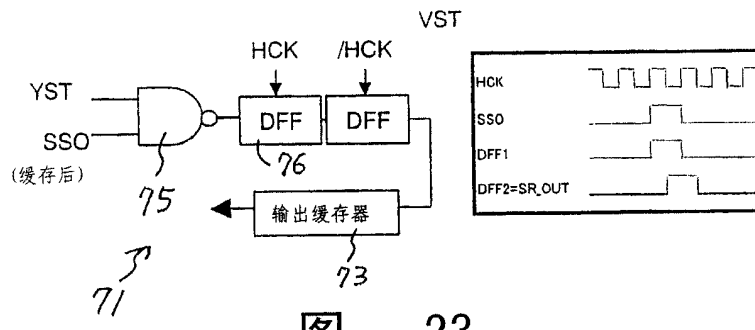
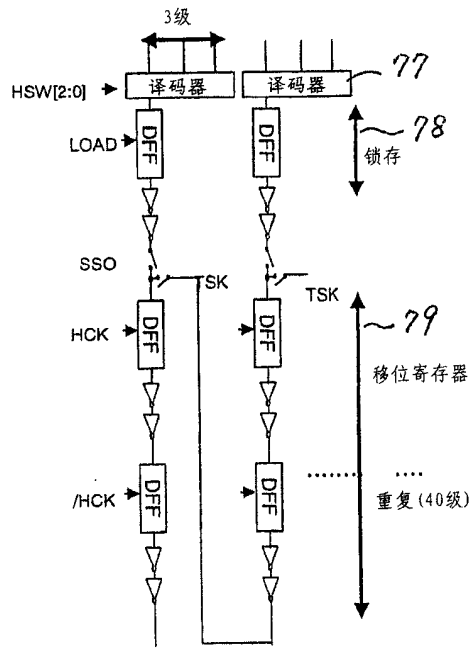


图 23



72

图 24

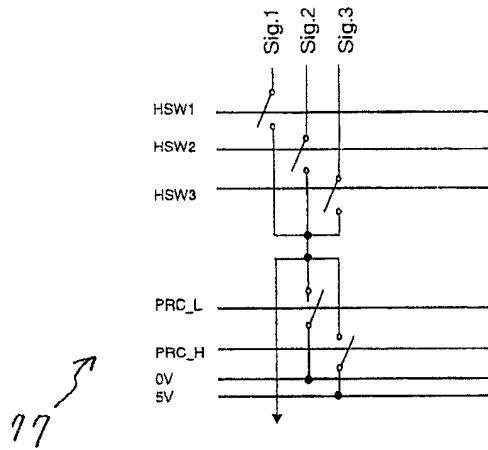


图 25

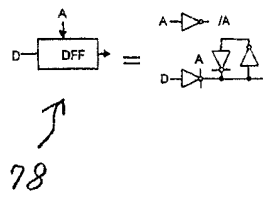


图 26

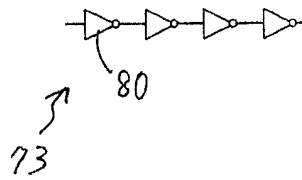


图 27

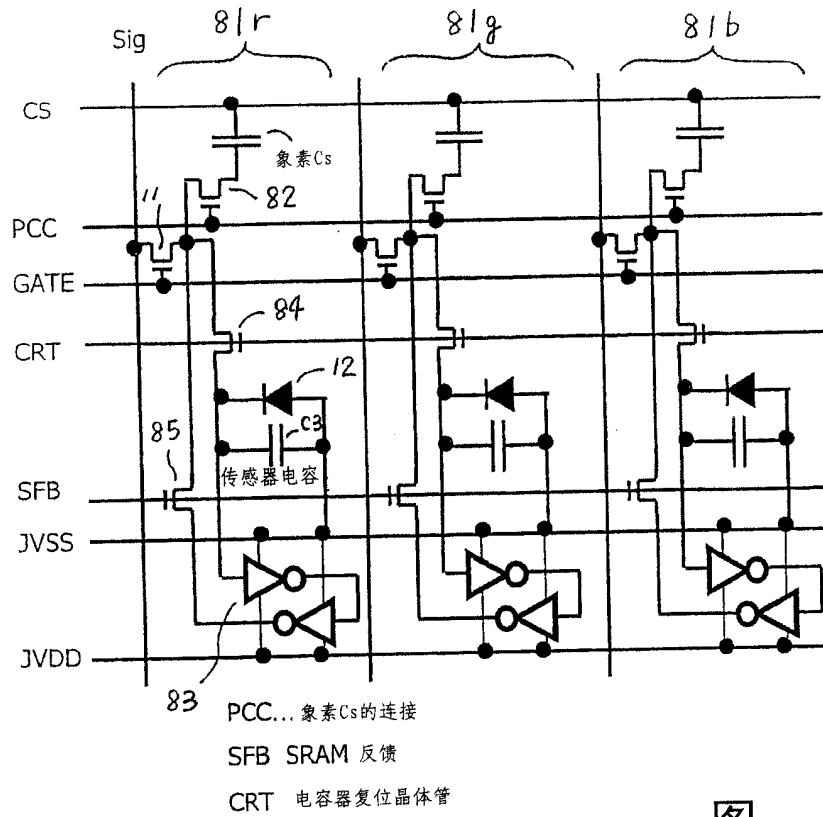


图 28

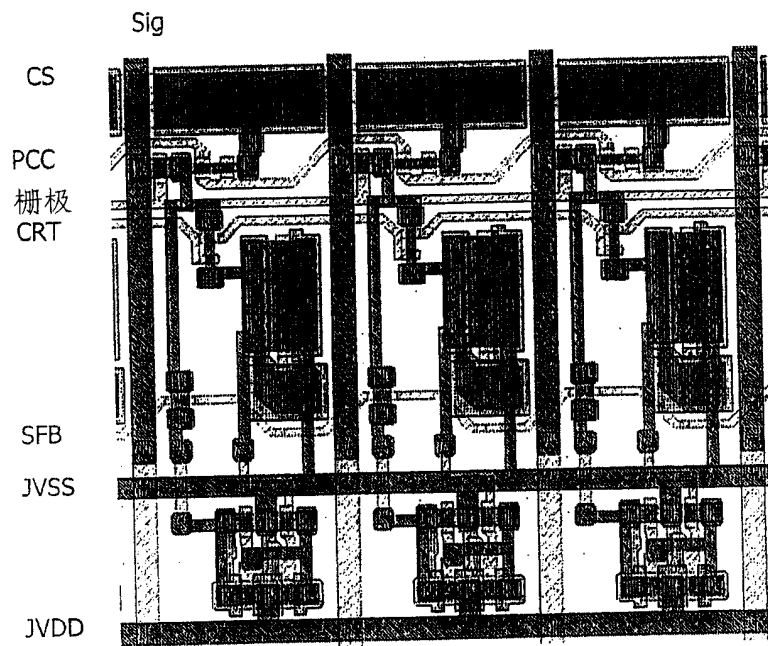


图 29

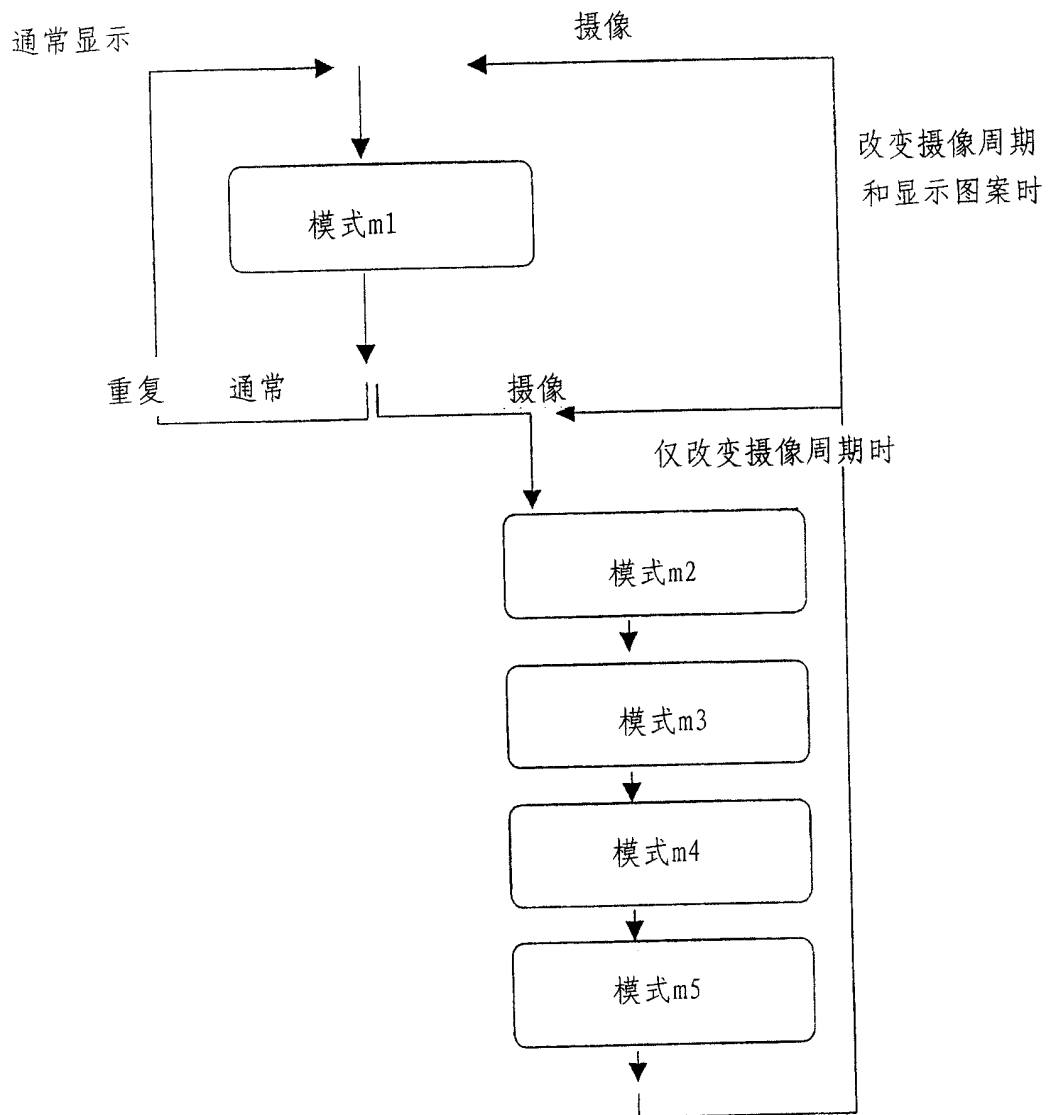
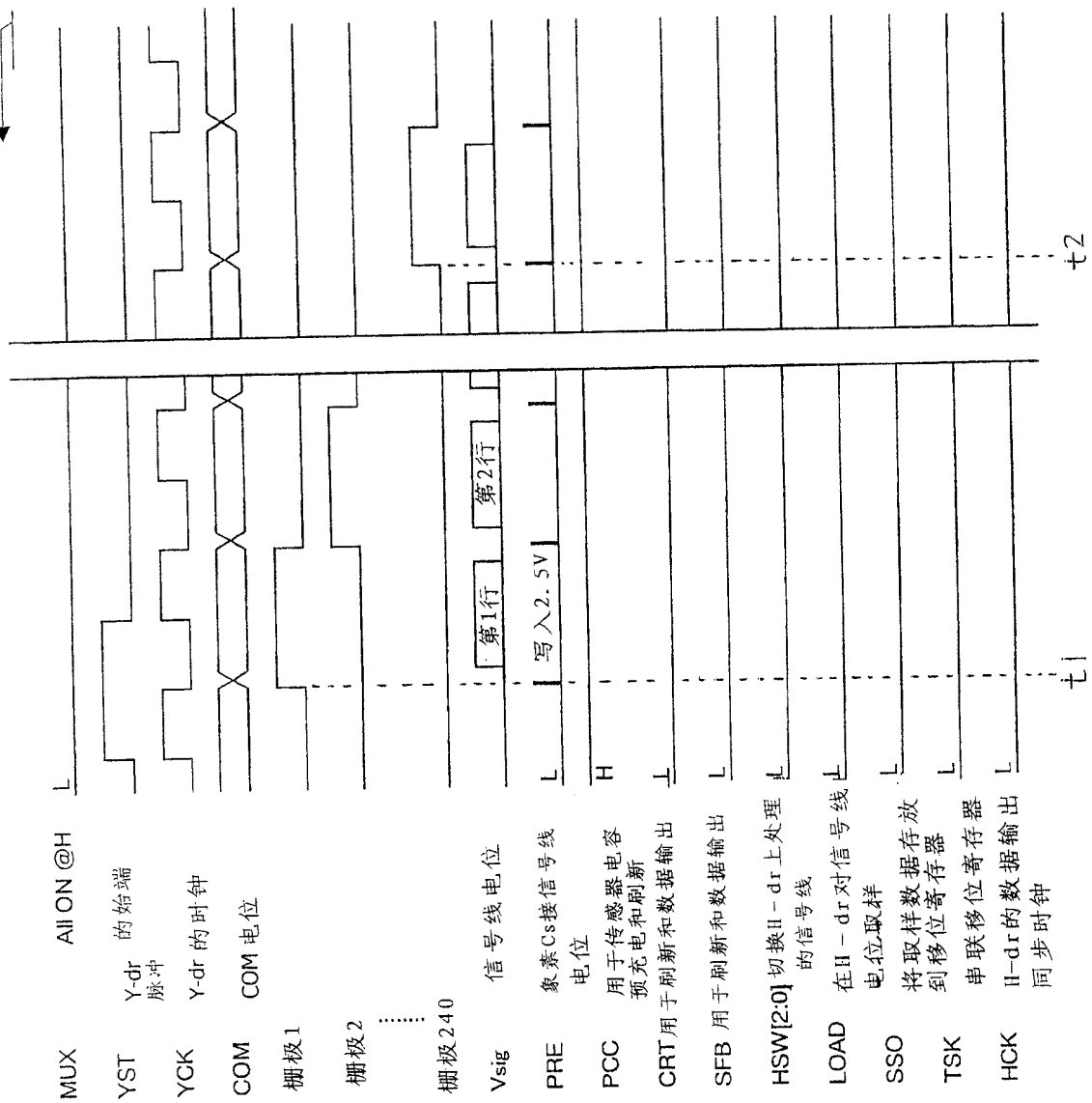


图 30

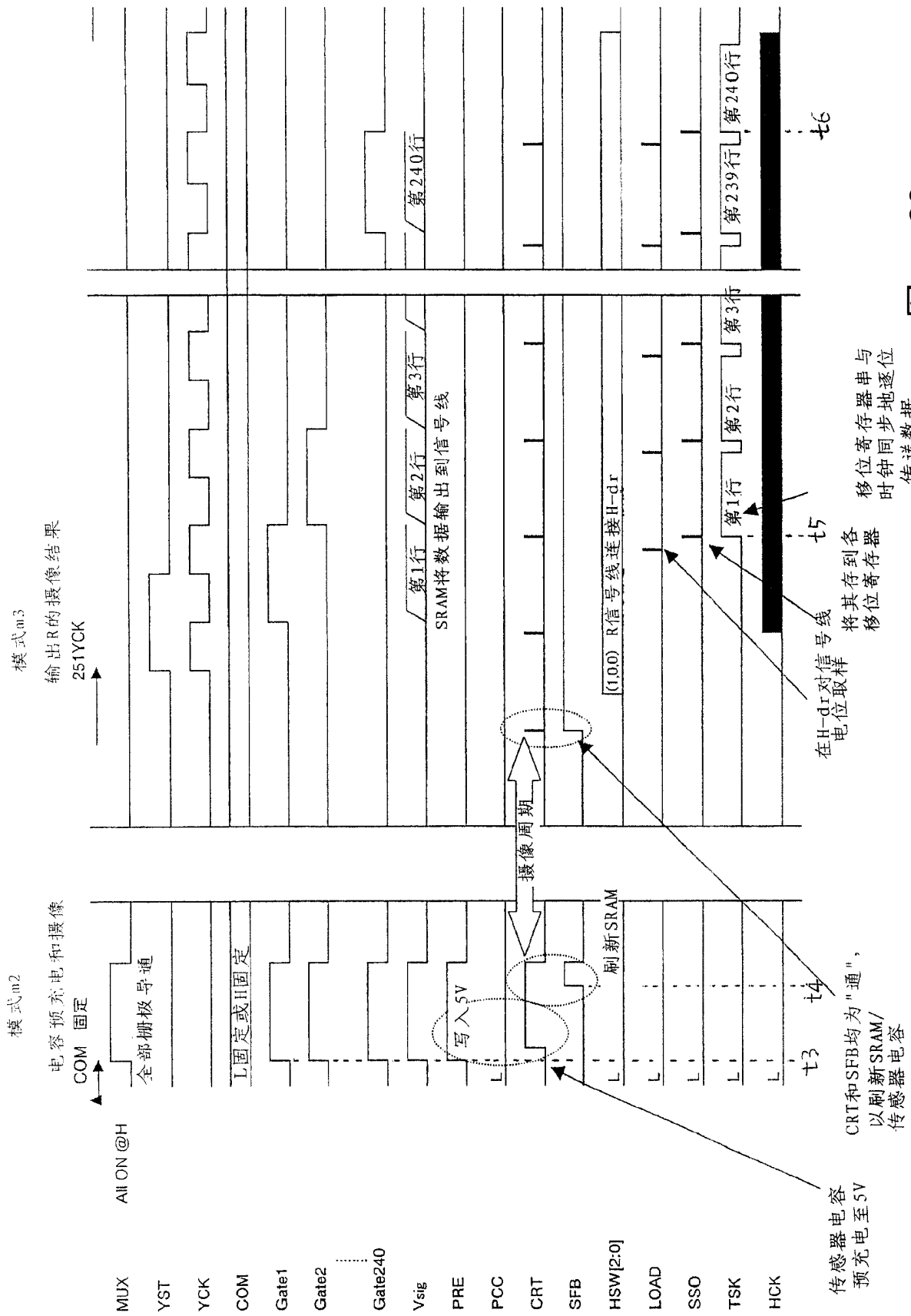
通常显示模式、摄像前的显示设定

通常显示时重复



冬

31



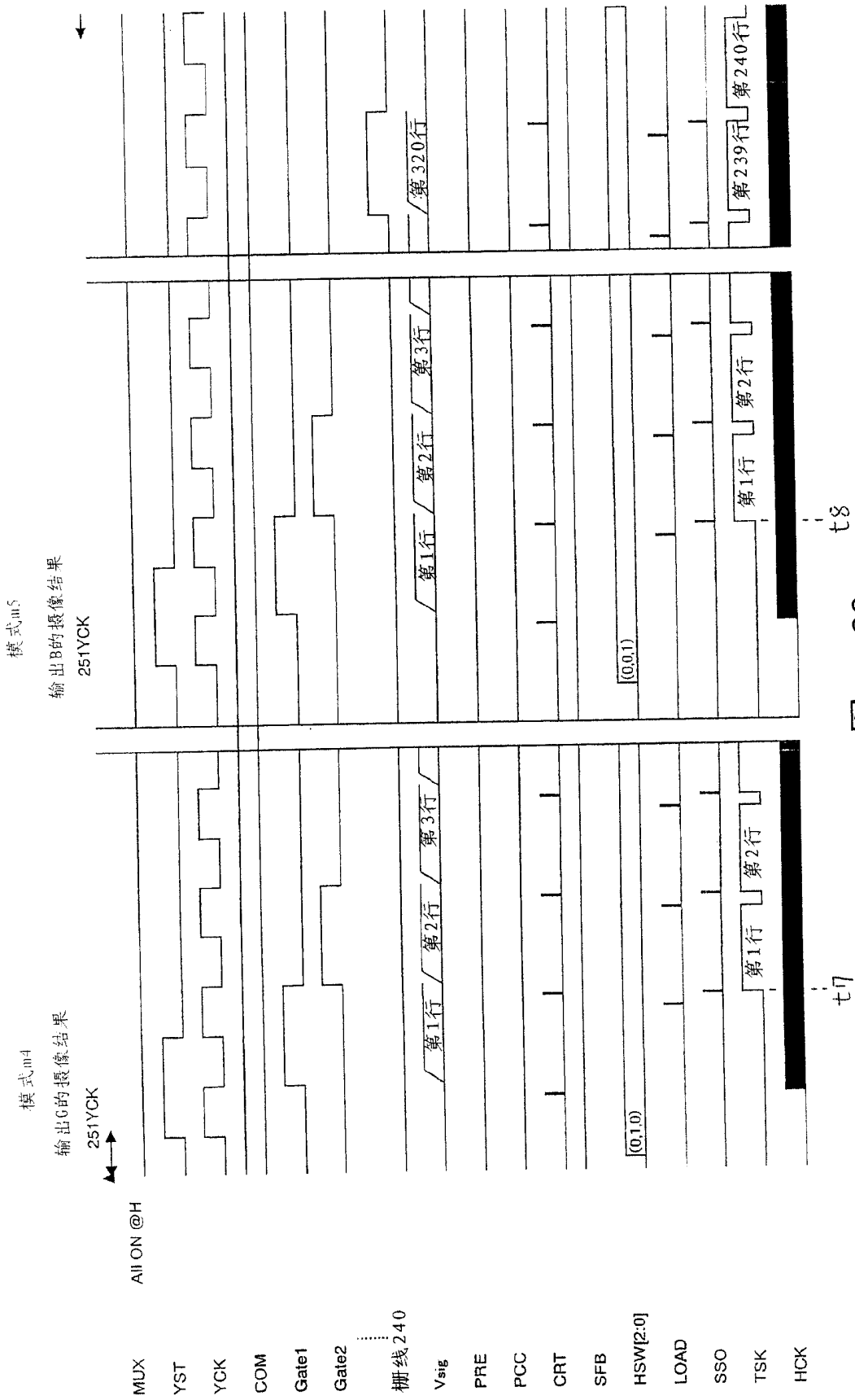


图 33

1块 = 40 × 30 (横8、纵8)

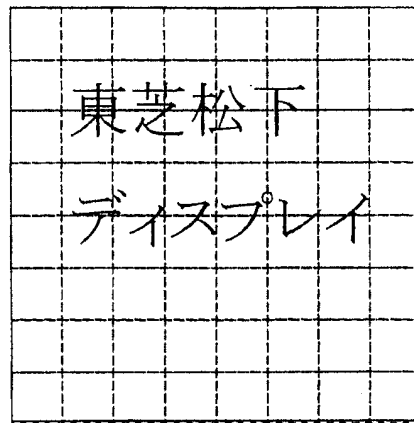


图 34

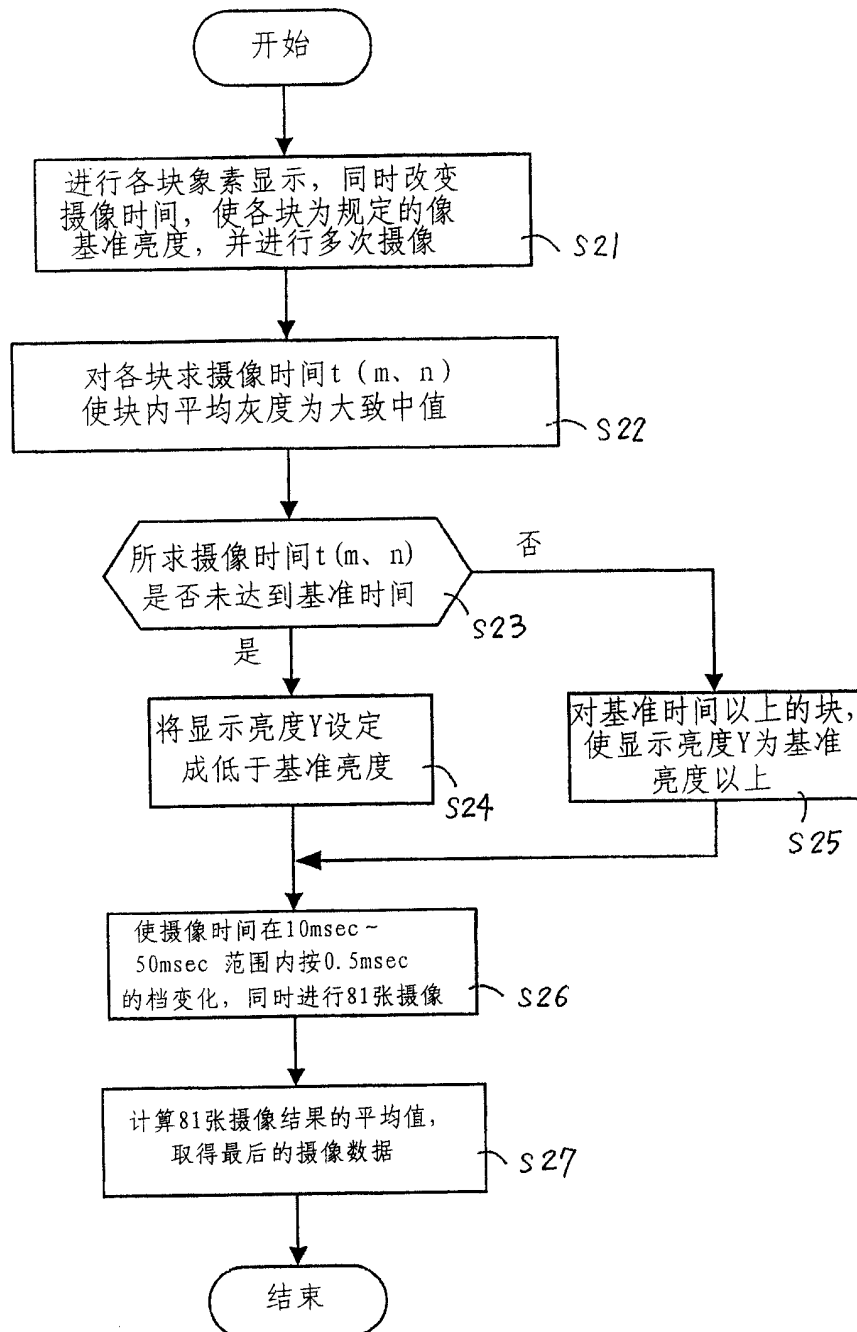


图 35

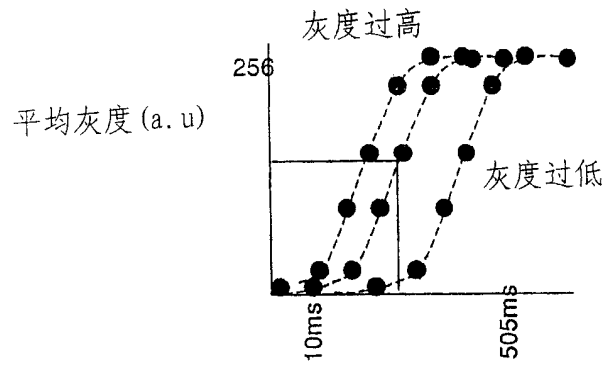


图 36

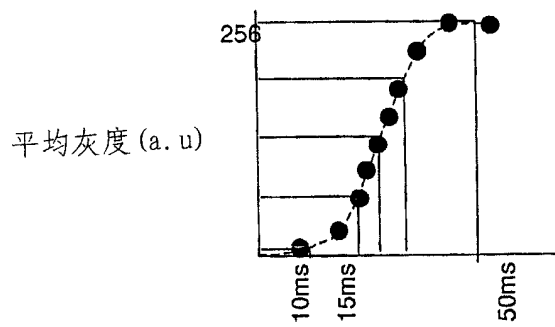


图 37

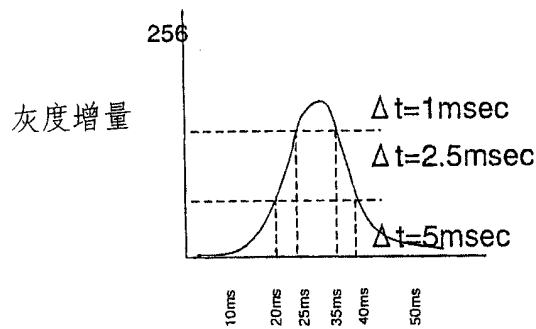


图 38

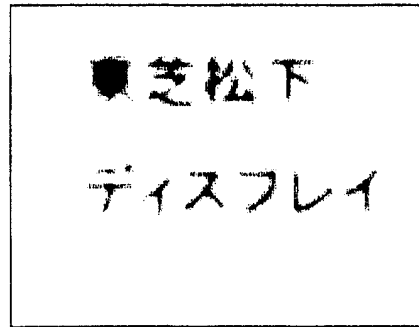


图 39

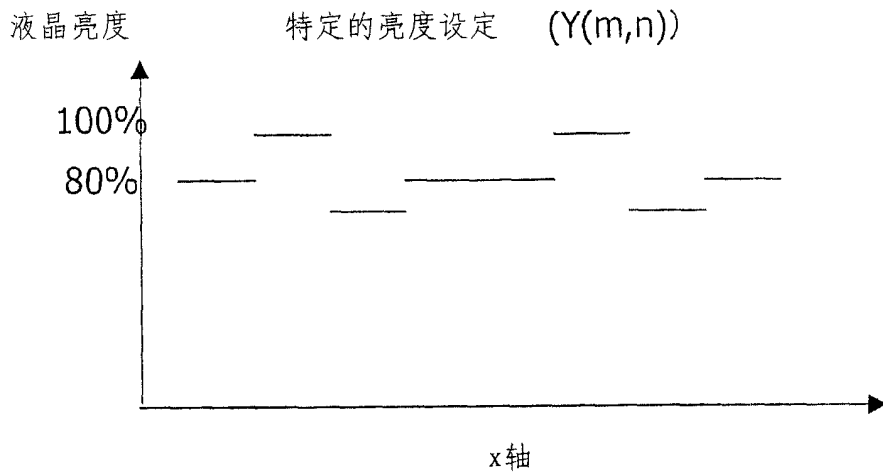


图 40



图 41

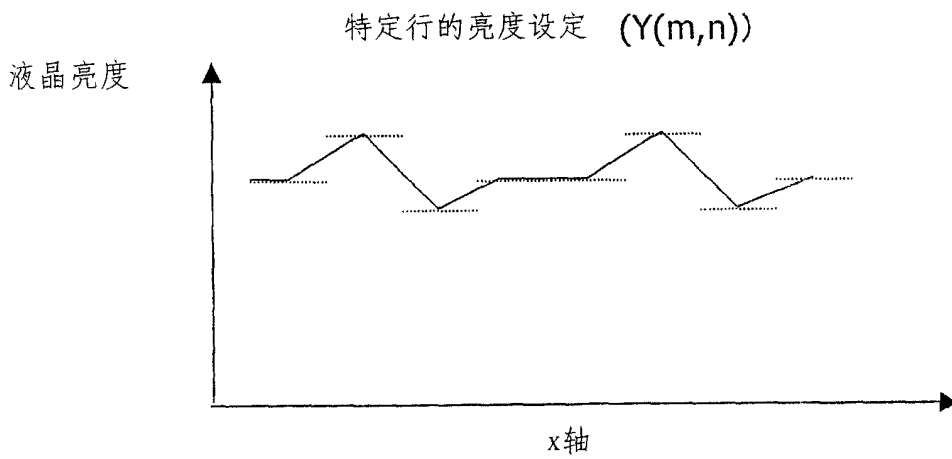


图 42



图 43

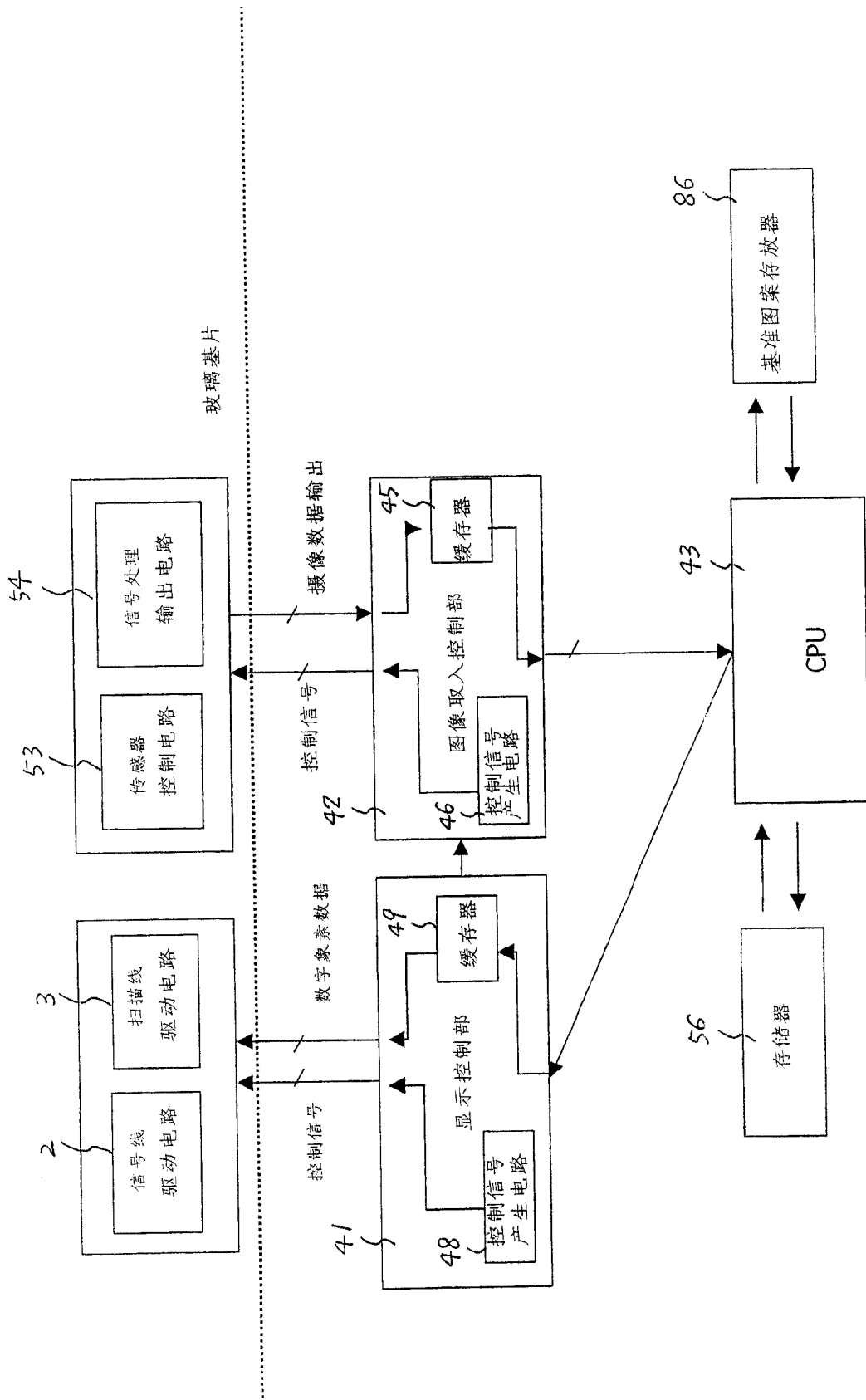


图 44

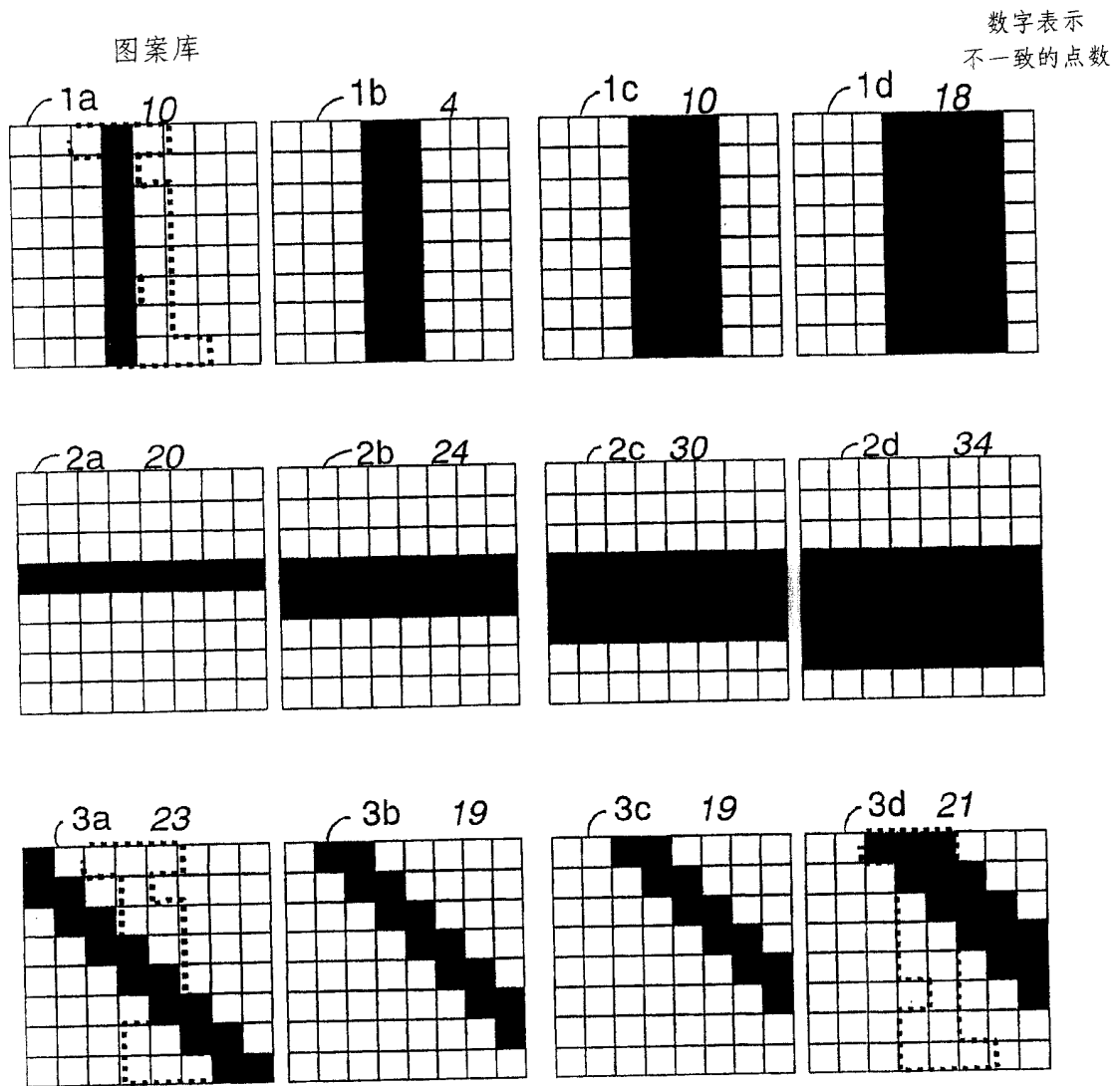


图 45

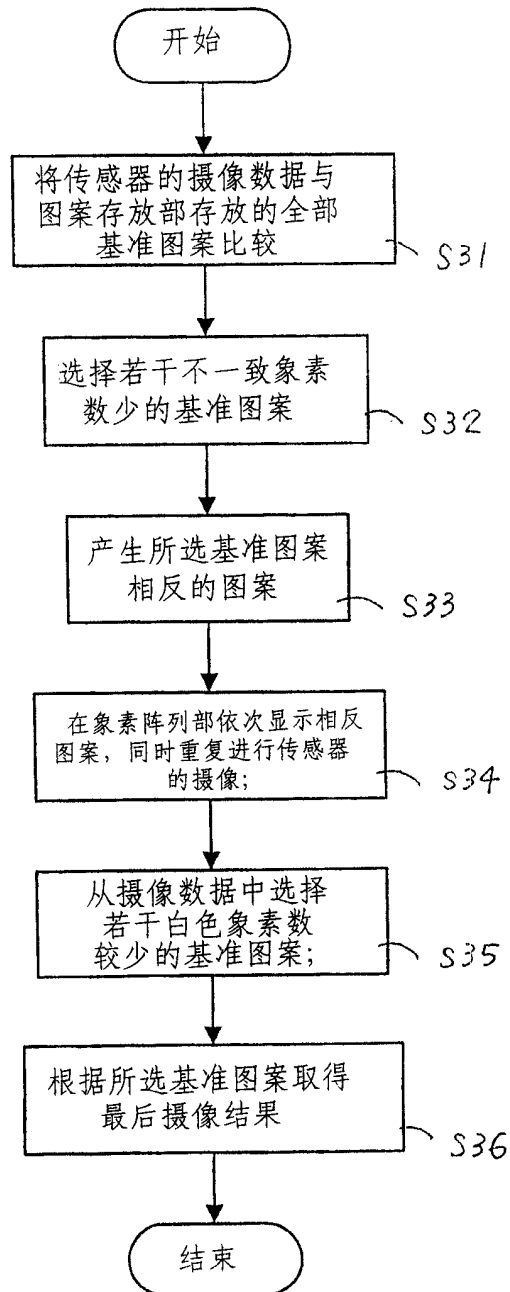


图 46

摄像对象

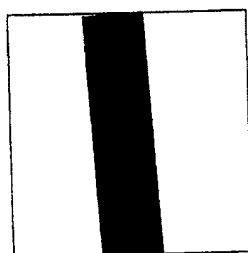


图 47

摄像结果

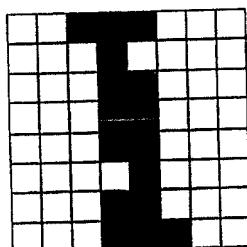


图 48

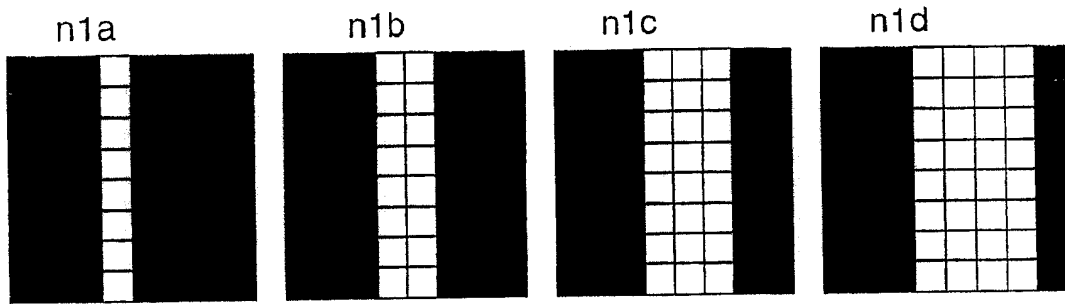


图 49

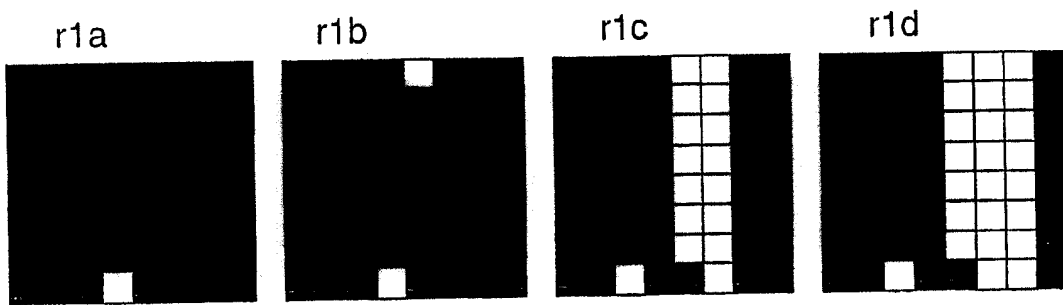


图 50

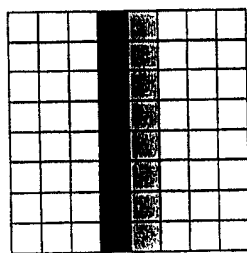


图 51

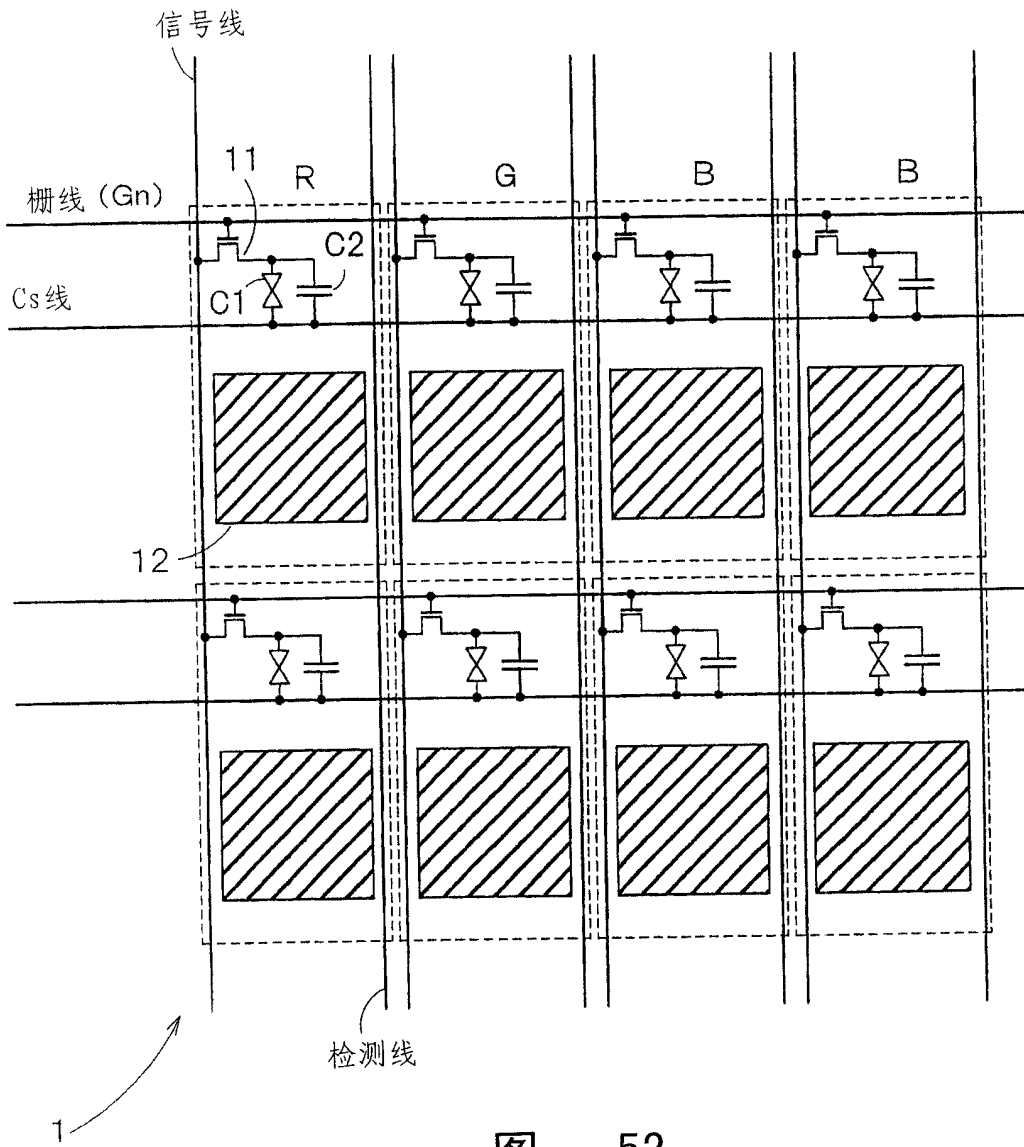


图 52

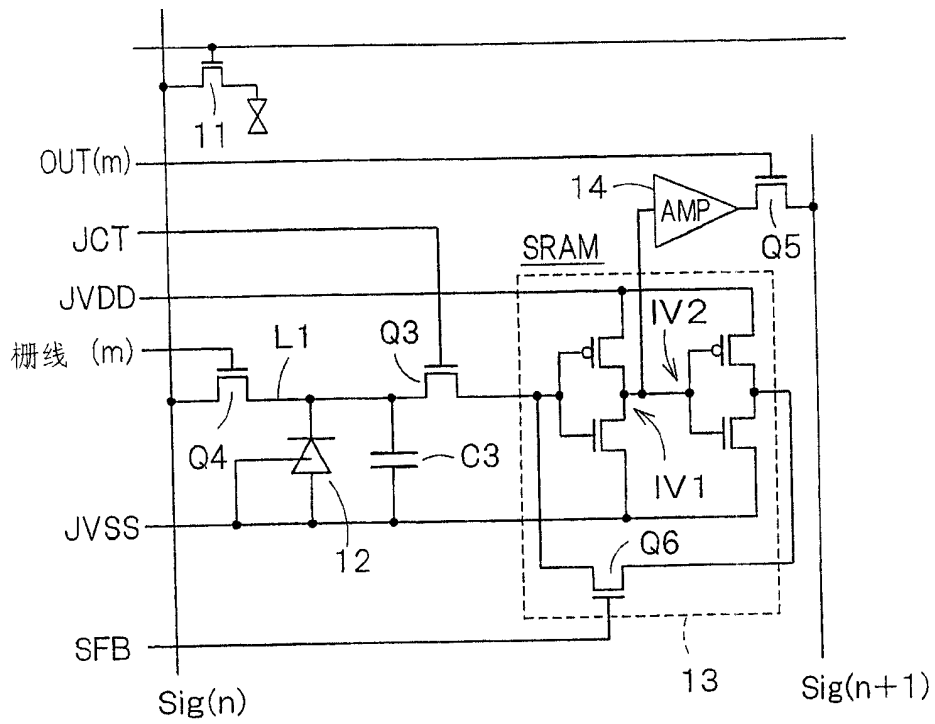


图 53

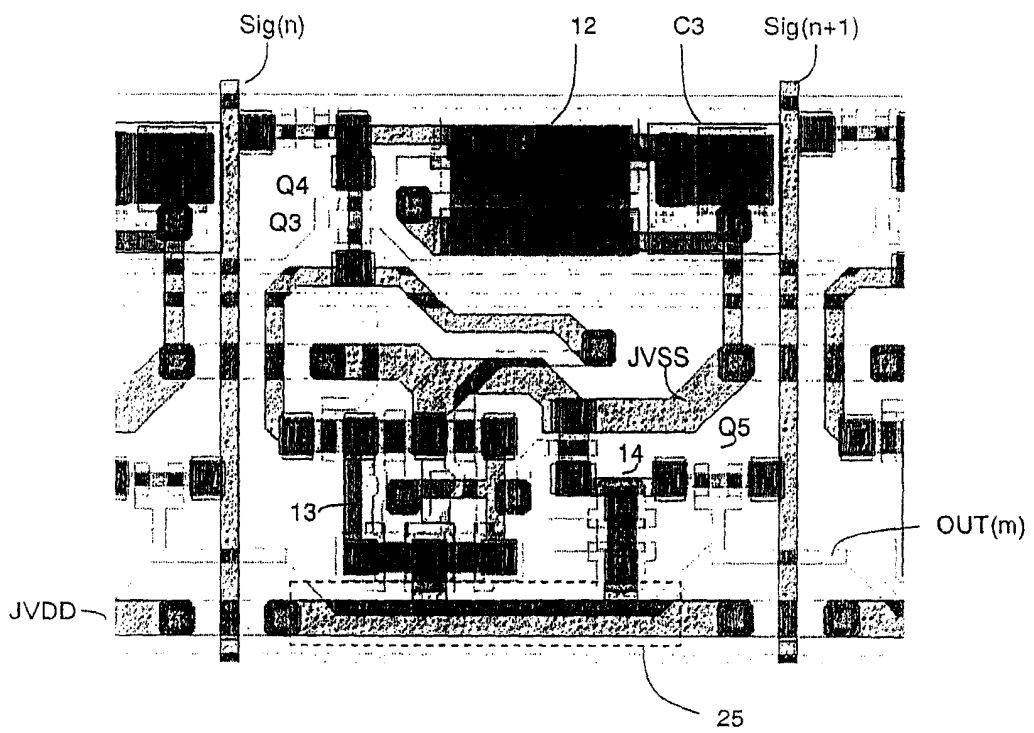
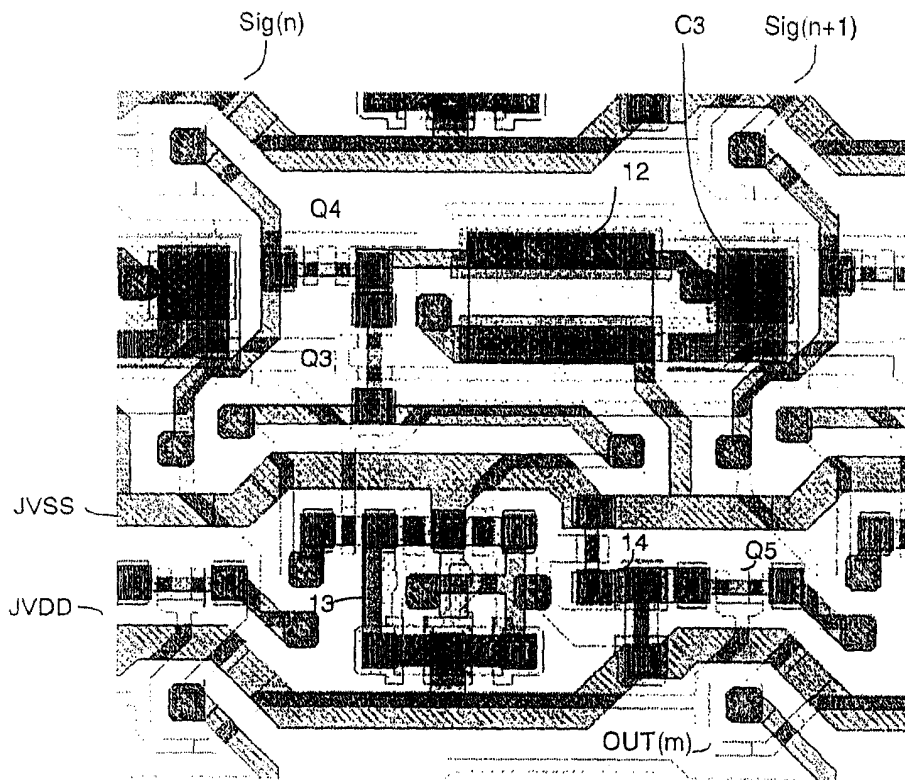


图 54



JVDD, JVSS.....布线仅用第1金属线条

sig(n)布线使第1金属线条和第2金属线条交互改接

图 55

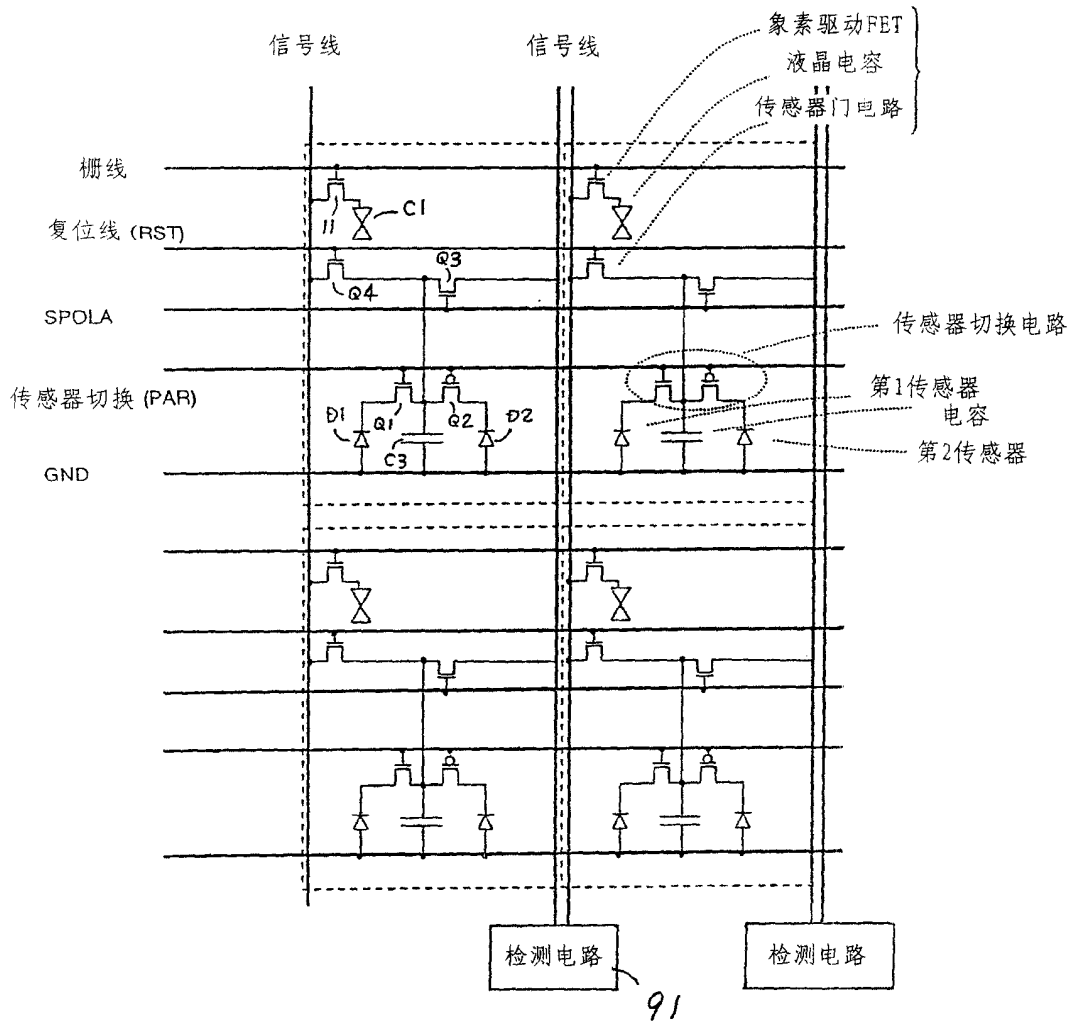
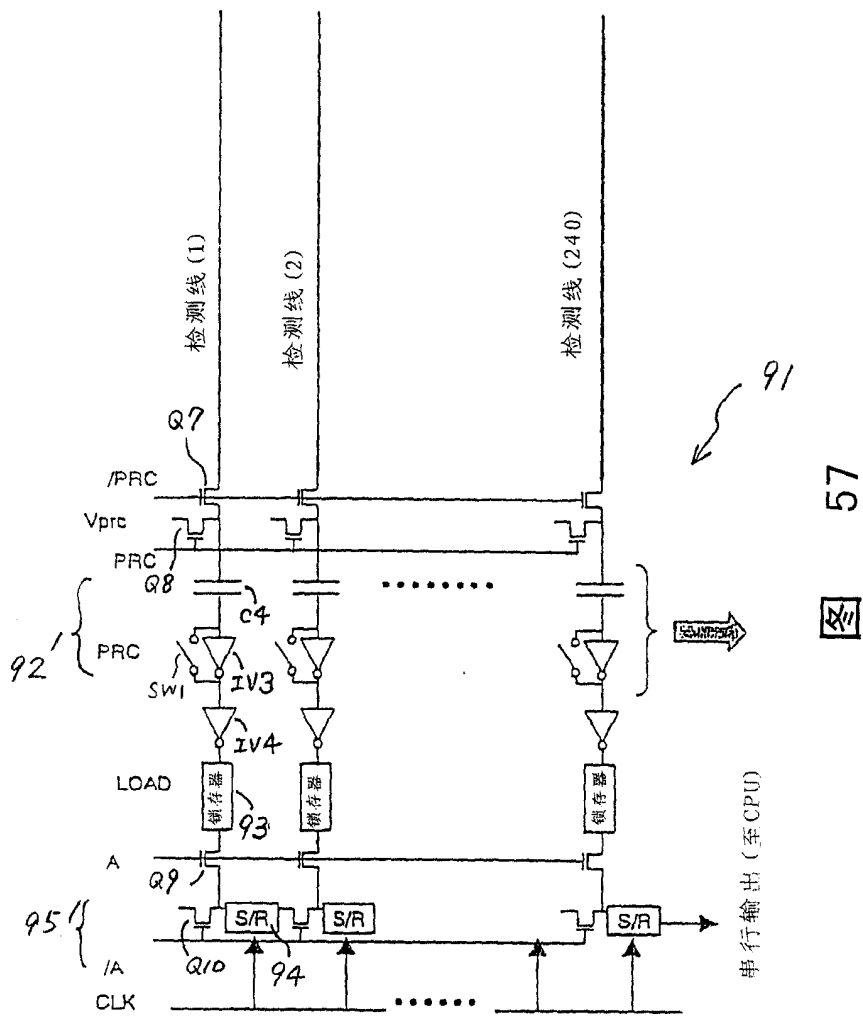


图 56



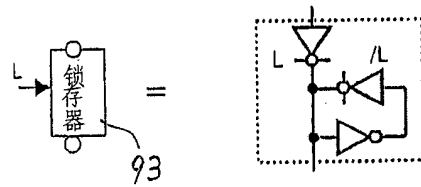


图 58A

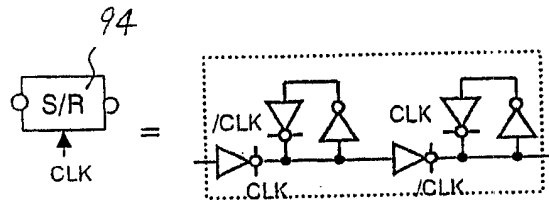


图 58B

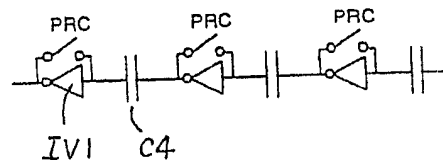
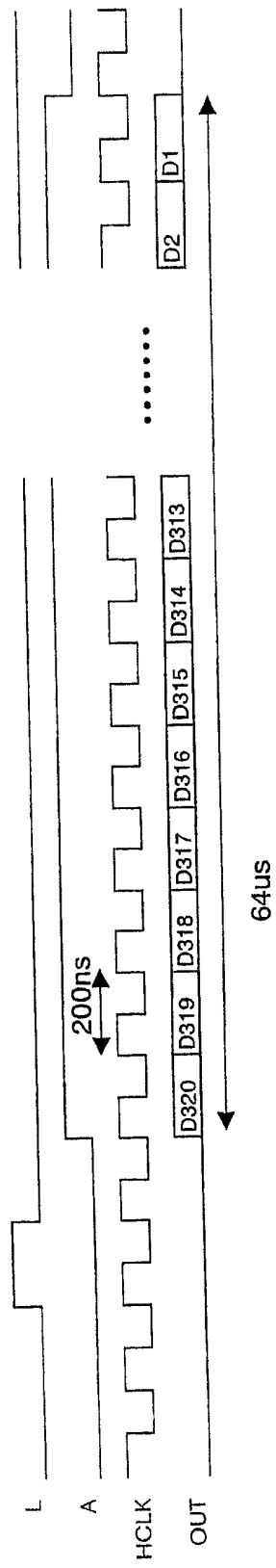


图 59



60

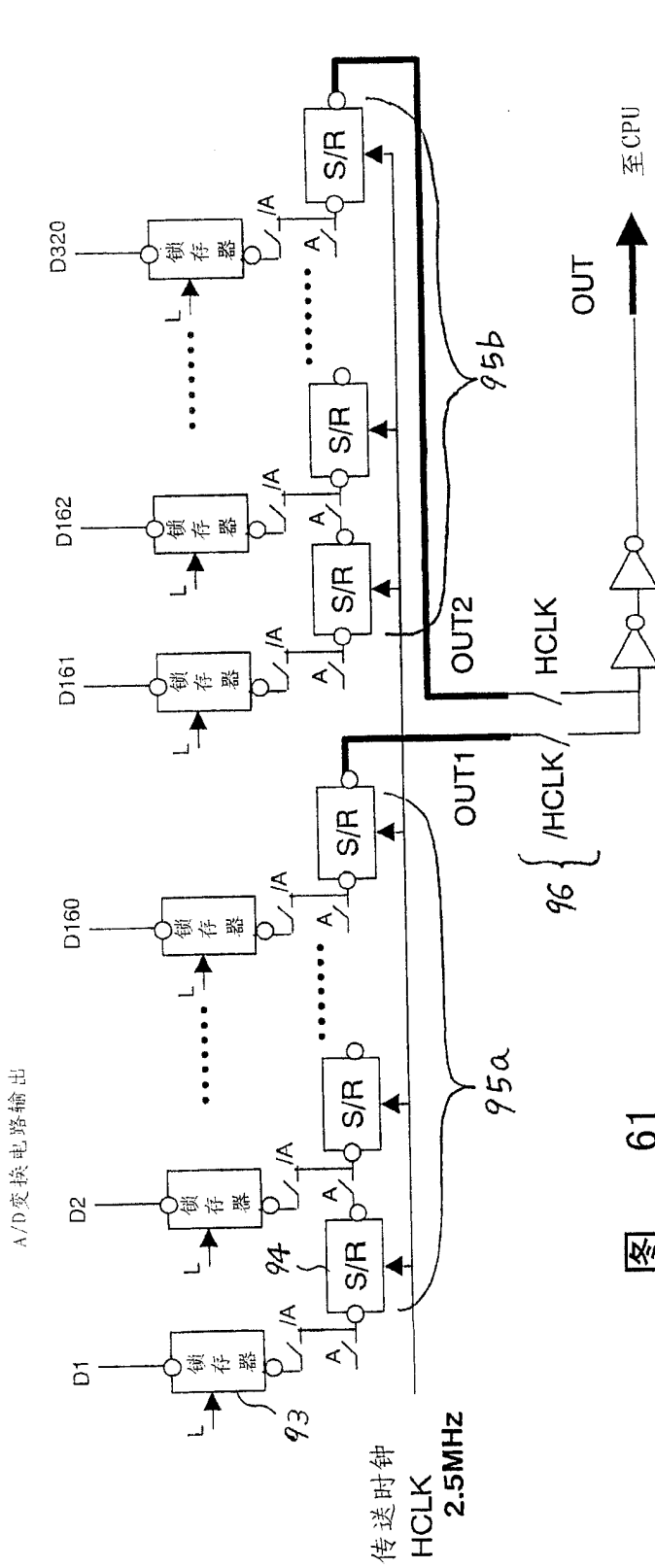


图 61

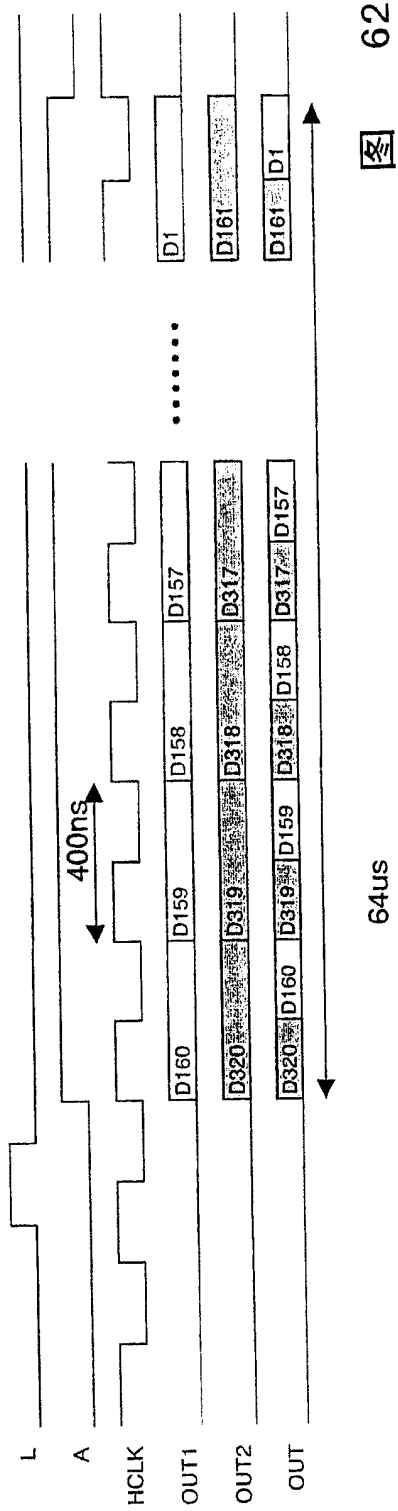


图 62

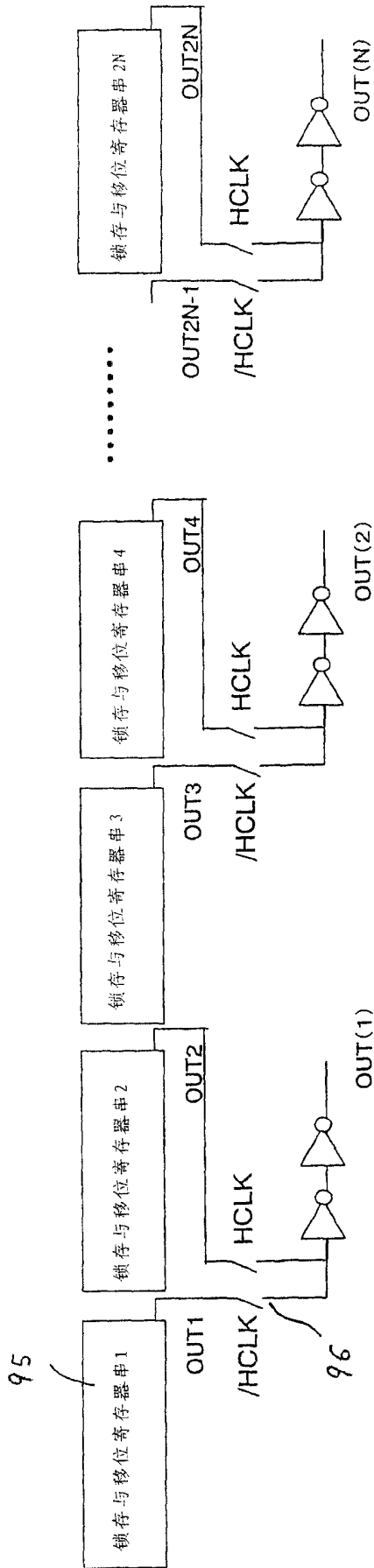


图 63

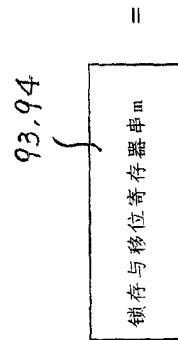
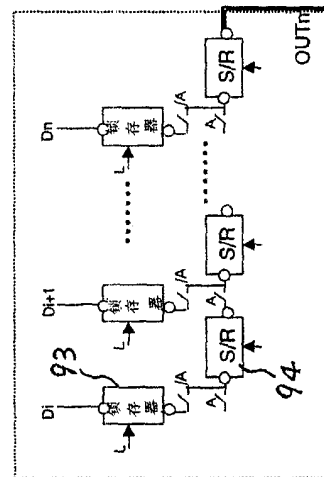
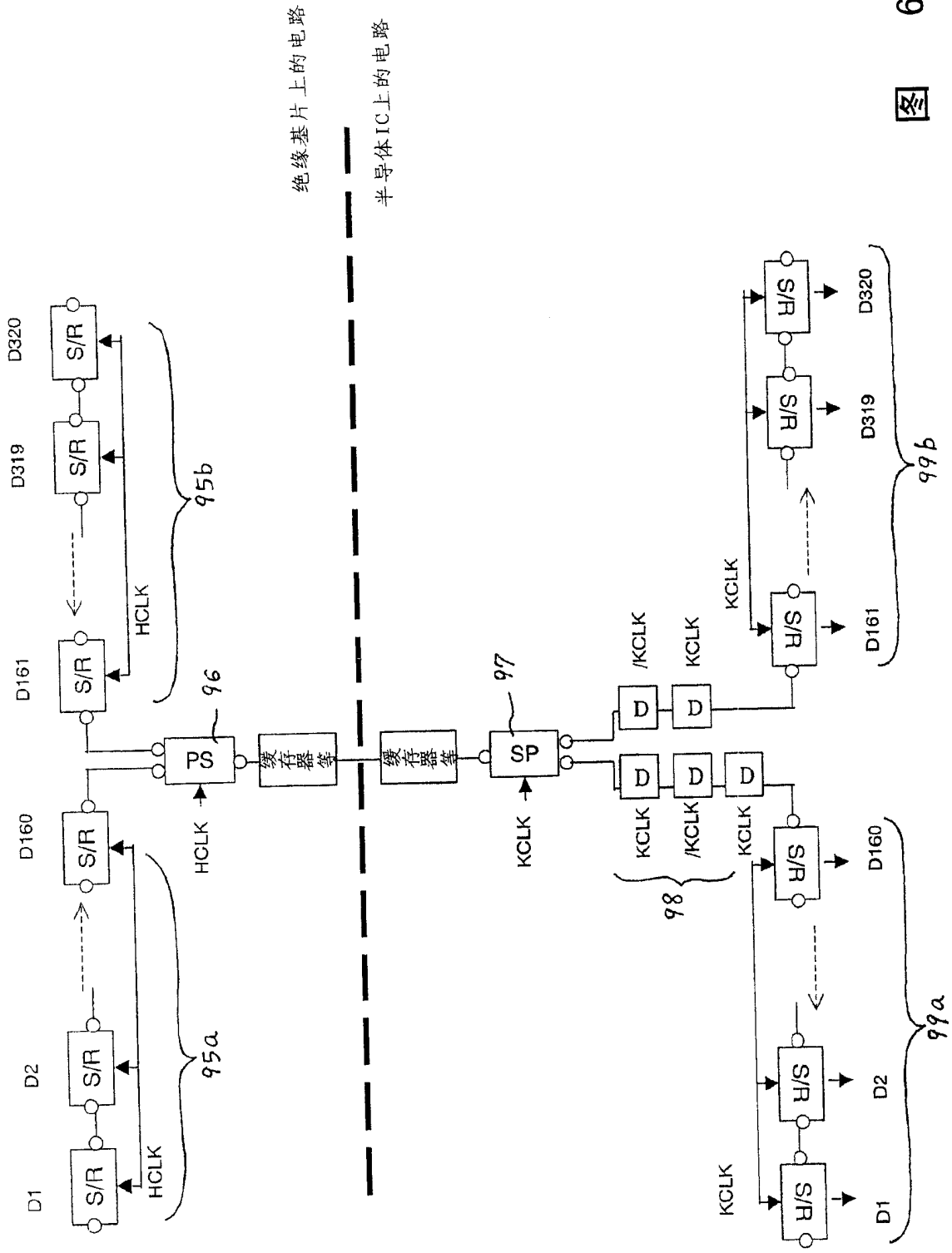


图 64



65

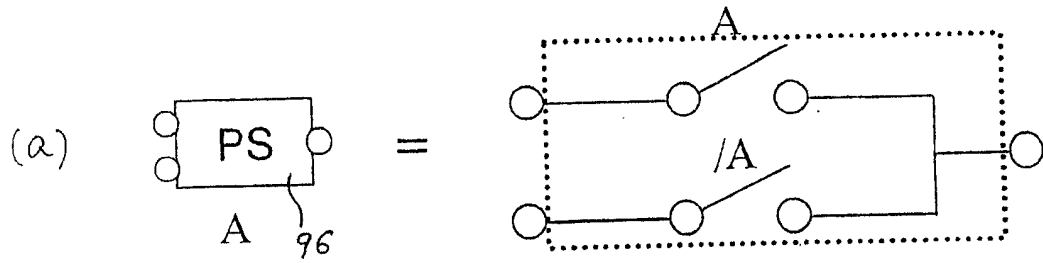


图 66A

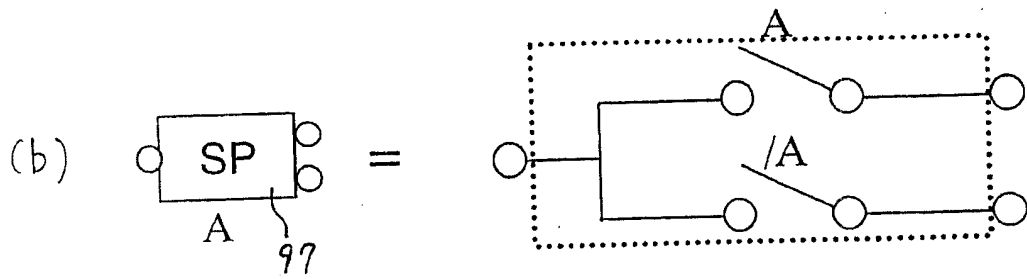


图 66B

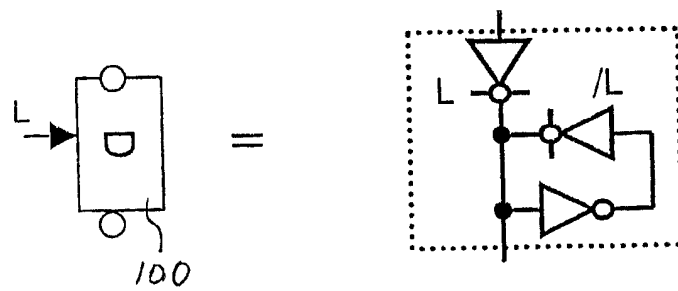


图 67

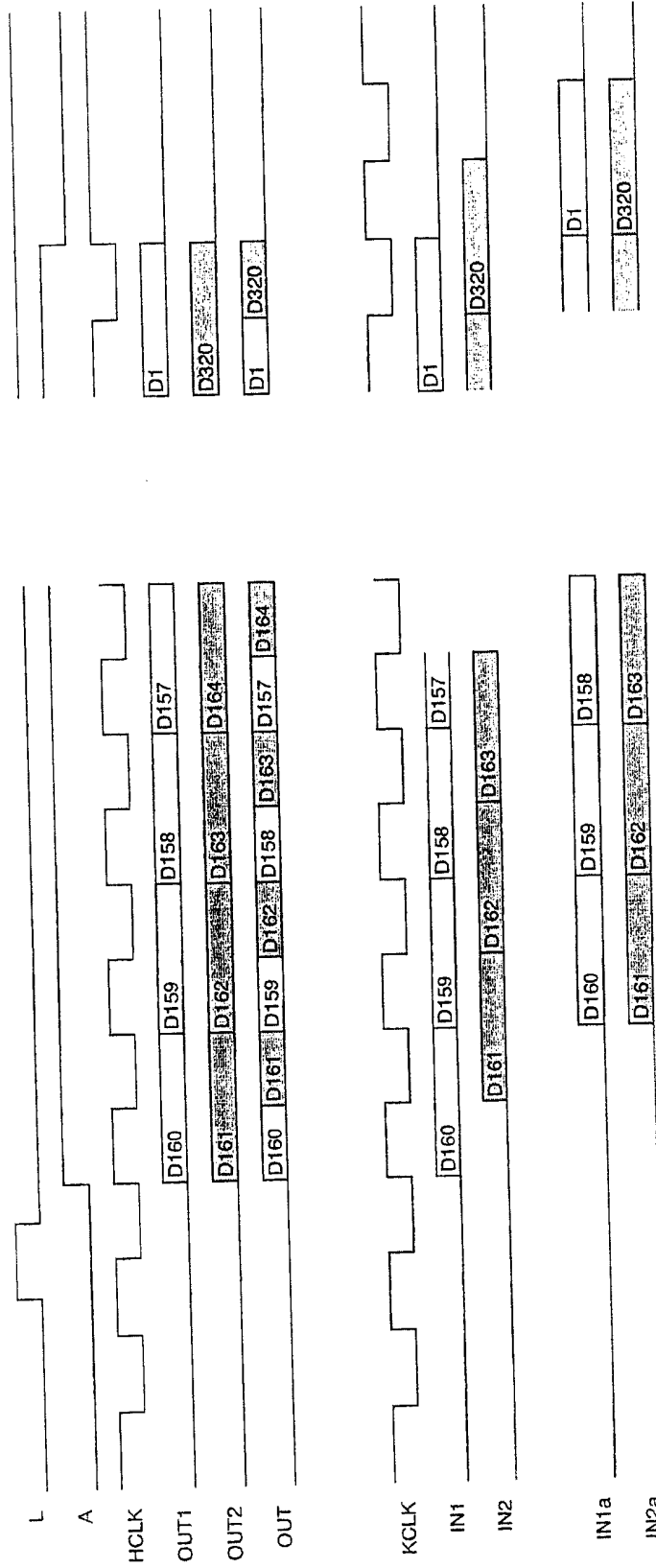


图 68

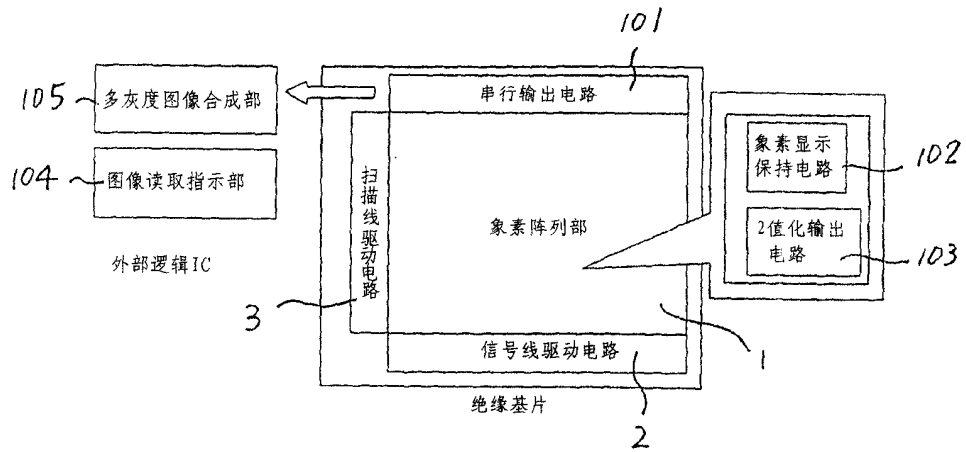


图 69

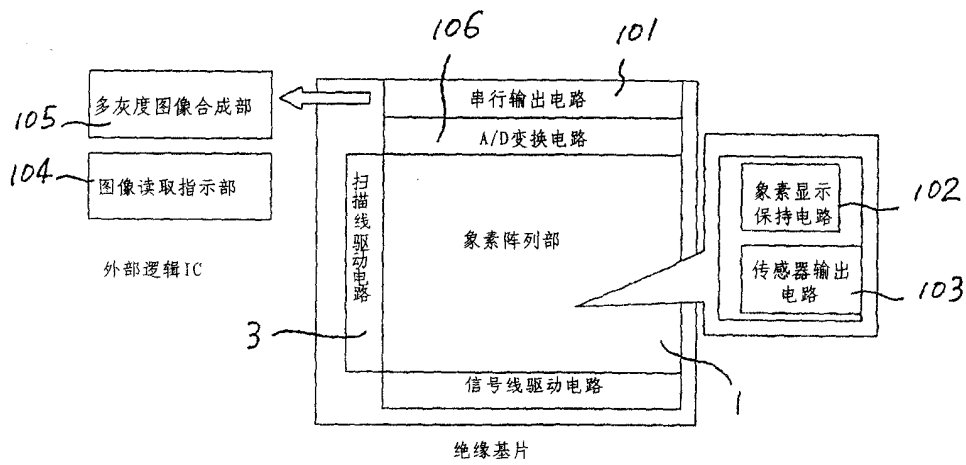


图 70

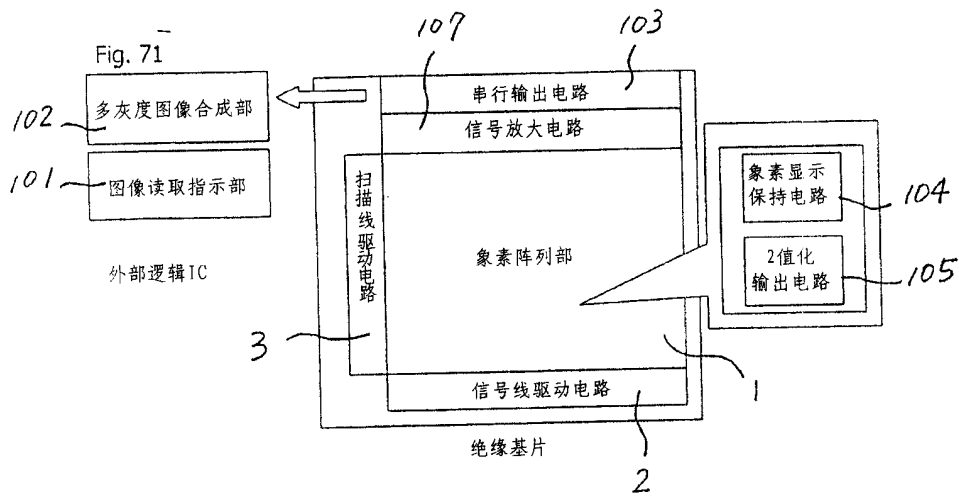


图 71