



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0070749
(43) 공개일자 2015년06월25일

(51) 국제특허분류(Int. Cl.)
H01L 23/28 (2006.01)

(21) 출원번호 10-2013-0157323
(22) 출원일자 2013년12월17일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
조차계
인천 부평구 원적로269번길 15, 105동 802호 (산곡동, 현대1차아파트)

조대계
경기 화성시 금반1길 53, 푸르지오하임 227호 (반송동, 대우)

임윤혁
경기 화성시 동탄반석로 277, 111동 2803호 (석우동, 예당마을우미린제일풍경채)

(74) 대리인
특허법인 고려

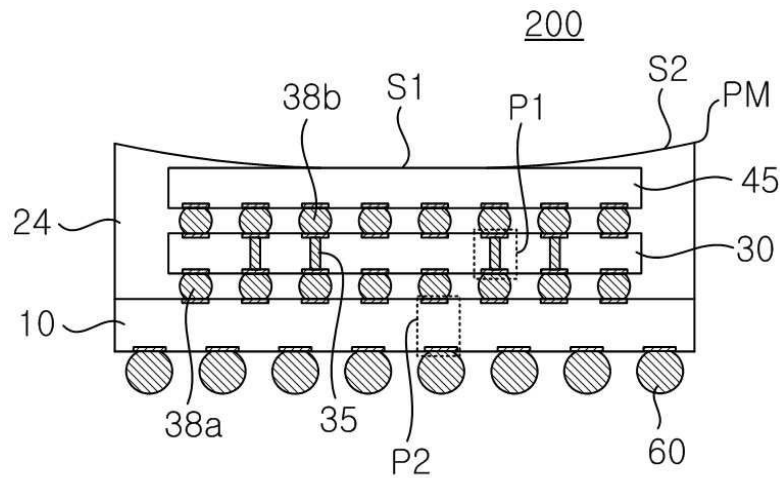
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 패키지 및 이의 제조 방법

(57) 요약

본 발명은 반도체 패키지 및 이의 제조 방법을 제공한다. 이 반도체 패키지에서는, 반도체 칩의 핫 스팟 영역에 인접한 영역이 몰드막으로 덮이지 않고 노출되되 반도체 칩의 다른 영역들은 몰드막으로 덮인다.

대표도 - 도2a



명세서

청구범위

청구항 1

패키지 기관 상에 실장된 적어도 하나의 반도체 칩; 및
상기 반도체 칩을 덮되 상기 반도체 칩의 상부면의 일부를 노출시키는 몰드막을 포함하는 반도체 패키지.

청구항 2

제 1 항에 있어서,
상기 몰드막은 상기 반도체 칩의 중심부를 노출시키는 반도체 패키지.

청구항 3

제 1 항에 있어서,
상기 몰드막은 상기 반도체 칩의 상부 꼭지점들을 노출시키는 반도체 패키지.

청구항 4

제 1 항에 있어서,
상기 몰드막의 상부면은 굴곡지는 반도체 패키지.

청구항 5

제 1 항에 있어서,
상기 몰드막 상에 차례로 배치되는 열 경계 물질막, 및 방열 부재를 더 포함하는 반도체 패키지.

청구항 6

제 5 항에 있어서,
상기 열 경계 물질막의 두께는 상기 반도체 칩 상의 위치에 따라 다른 반도체 패키지.

청구항 7

제 1 항에 있어서,
상기 패키지 기관은 내부에 포함되는 상부 배선들과 하부 배선들을 포함하되,
상기 패키지 기관 내에서 상기 상부 배선들의 함량은 상기 하부 배선들의 함량과 다른 반도체 패키지.

청구항 8

제 7 항에 있어서,
상기 상부 배선들 두께는 상기 하부 배선들의 두께와 다른 반도체 패키지.

청구항 9

제 7 항에 있어서,
상기 상부 배선들의 면적은 상기 하부 배선들의 면적과 다른 반도체 패키지.

청구항 10

제 1 항에 있어서,

상기 반도체 칩은 핫 스팟(hot spot) 영역을 포함하며,
상기 몰드막은 상기 핫 스팟 영역과 중첩되거나 이에 인접한 부분을 노출시키는 반도체 패키지.

청구항 11

제 1 항에 있어서,
상기 반도체 칩은 층간절연막을 포함하며,
상기 층간절연막의 잔류 응력은 인장(tensile) 상태이며,
상기 몰드막은 상기 반도체 칩의 중심 상부면을 노출시키는 반도체 패키지.

청구항 12

제 1 항에 있어서,
상기 반도체 칩은 층간절연막을 포함하며,
상기 층간절연막의 잔류 응력은 압축(compressive) 상태이며,
상기 몰드막은 상기 반도체 칩의 상부 꼭지점들을 노출시키는 반도체 패키지.

청구항 13

패키지 기판 상에 적어도 하나의 반도체 칩을 실장하는 단계; 및
상기 반도체 칩의 일부분을 노출시키며 상기 반도체 칩과 상기 패키지 기판을 덮는 몰드막을 형성하는 단계를 포함하는 반도체 패키지의 제조 방법.

청구항 14

제 13 항에 있어서,
상기 몰드막을 형성하는 단계는, 몰드막 수지액을 공급하는 단계 및 상기 몰드막 수지액을 경화시켜 상기 몰드막을 형성하는 단계를 포함하며,
상기 몰드막 수지액을 공급하기 전에 상기 패키지 기판과 상기 반도체 칩은 휘어진 상태로 제공되는 반도체 패키지의 제조 방법.

청구항 15

제 14 항에 있어서,
상기 패키지 기판은 내부에 상부 배선들과 하부 배선들을 포함하도록 형성되며, 상기 상부 배선들의 함량을 상기 하부 배선들의 함량과 다르게 조절하여 상기 패키지 기판의 휨 정도를 결정하는 반도체 패키지의 제조 방법.

청구항 16

제 15 항에 있어서,
상기 상부 배선들의 함량이 상기 하부 배선들의 함량보다 높으며,
상기 패키지 기판과 상기 반도체 칩은 위로 볼록하며,
상기 몰드막은 상기 반도체 칩의 중심 상부면을 노출시키도록 형성되는 반도체 패키지의 제조 방법.

청구항 17

제 15 항에 있어서,
상기 하부 배선들의 함량이 상기 상부 배선들의 함량보다 높으며,
상기 패키지 기판과 상기 반도체 칩은 아래로 오목하며,

상기 몰드막은 상기 반도체 칩의 꼭지점들을 노출시키도록 형성되는 반도체 패키지의 제조 방법.

청구항 18

제 15 항에 있어서,

상기 상부 배선들의 함량을 상기 하부 배선들의 함량과 다르게 조절하는 것은 상기 상부 배선들의 면적 또는 두께를 상기 하부 배선들의 면적 또는 두께와 다르게 조절하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 19

제 14 항에 있어서,

상기 반도체 칩은 내부에 복수층의 층간절연막들을 포함하도록 형성되며,

상기 층간절연막들의 잔류 응력을 조절하여 상기 반도체 칩의 휨 정도를 결정하는 반도체 패키지의 제조 방법.

청구항 20

제 13 항에 있어서,

상기 몰드막을 형성하는 단계는,

몰드 프레임으로 상기 반도체 칩과 상기 패키지 기판을 덮는 단계; 및

몰드막 수지액을 공급하여 상기 몰드 프레임 안을 채우는 단계를 포함하되,

상기 몰드 프레임은 상기 반도체 칩의 상부면과 접하는 돌출부를 포함하도록 형성되는 반도체 패키지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 컴퓨터, 통신, 방송 등이 점차 통합되는 컨버전스(Convergence)화에 따라, 기존 ASIC(Application Specific IC:주문형 반도체)와 ASSP(Application Specific Standard Product: 특정용도 표준제품)의 수요가 시스템 온 칩(System on Chip: 이하, SoC)로 변환되어 가고 있는 추세이다. 또한, IT 기기들의 경박 단소화 및 고기능화 추세도 SoC 산업을 촉진시키는 요인이 되고 있다.

[0003] SoC는 기존의 여러 가지 기능을 가진 복잡한 시스템을 하나의 칩으로 구현한 기술 집약적 반도체 기술이다. 이러한 시스템 온 칩 유형의 반도체 칩은 동작 과정 중에 높은 열이 발생할 수 있고 이에 의해 반도체 칩이 손상될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 효율적으로 열을 방출할 수 있고 휨(warp) 특성을 개선할 수 있는 반도체 패키지를 제공하는데 있다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 상기 반도체 패키지의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 상기 과제를 달성하기 위한 본 발명의 일 예에 따른 반도체 패키지는, 패키지 기판 상에 실장된 적어도 하나의 반도체 칩; 및 상기 반도체 칩을 덮되 상기 반도체 칩의 상부면의 일부를 노출시키는 몰드막을 포함한다.

- [0007] 일 예에 있어서, 상기 몰드막은 상기 반도체 칩의 중심부를 노출시킬 수 있다.
- [0008] 다른 예에 있어서, 상기 몰드막은 상기 반도체 칩의 상부 꼭지점들을 노출시킬 수 있다.
- [0009] 상기 몰드막의 상부면은 굴곡질 수 있다.
- [0010] 상기 반도체 패키지는 상기 몰드막 상에 차례로 배치되는 열 경계 물질막; 및 방열 부재를 더 포함할 수 있다.
- [0011] 상기 열 경계 물질막의 두께는 상기 반도체 칩 상의 위치에 따라 다를 수 있다.
- [0012] 또 다른 예에 있어서, 상기 패키지 기판은 내부에 포함되는 상부 배선들과 하부 배선들을 포함할 수 있으며, 상기 패키지 기판 내에서 상기 상부 배선들의 함량은 상기 하부 배선들의 함량과 다를 수 있다. 상기 상부 배선들 두께는 상기 하부 배선들의 두께와 다를 수 있다. 그리고/또는 상기 상부 배선들의 면적은 상기 하부 배선들의 면적과 다를 수 있다.
- [0013] 상기 반도체 칩은 작동시 다른 영역보다 온도가 높아지는 핫 스팟(hot spot) 영역을 포함하며, 상기 몰드막은 상기 핫 스팟 영역과 인접한 부분을 노출시킬 수 있다.
- [0014] 일 예에서, 상기 반도체 칩은 층간절연막을 포함하며, 상기 층간절연막의 잔류 응력은 인장(tensile) 상태이며, 상기 몰드막은 상기 반도체 칩의 중심 상부면을 노출시킬 수 있다.
- [0015] 다른 예에서, 상기 반도체 칩은 층간절연막을 포함하며, 상기 층간절연막의 잔류 응력은 압축(compressive) 상태이며, 상기 몰드막은 상기 반도체 칩의 상부 꼭지점들을 노출시킬 수 있다.
- [0016] 상기 다른 과제를 달성하기 위한 본 발명에 따른 반도체 패키지의 제조 방법은, 패키지 기판 상에 적어도 하나의 반도체 칩을 실장하는 단계; 및 상기 반도체 칩의 일부분을 노출시키며 상기 반도체 칩과 상기 패키지 기판을 덮는 몰드막을 형성하는 단계를 포함한다.
- [0017] 상기 몰드막을 형성하는 단계는, 몰드막 수지액을 공급하는 단계 및 상기 몰드막 수지액을 경화시켜 상기 몰드막을 형성하는 단계를 포함할 수 있으며, 상기 몰드막 수지액을 공급하기 전에 상기 패키지 기판과 상기 반도체 칩은 휘어진 상태로 제공될 수 있다.
- [0018] 일 예에서, 상기 패키지 기판은 내부에 상부 배선들과 하부 배선들을 포함하도록 형성되며, 상기 상부 배선들의 함량을 상기 하부 배선들의 함량과 다르게 조절하여 상기 패키지 기판의 휨 정도를 결정할 수 있다.
- [0019] 구체적인 일 예에서, 상기 상부 배선들의 함량이 상기 하부 배선들의 함량보다 높으며, 상기 패키지 기판과 상기 반도체 칩은 볼록하며, 상기 몰드막은 상기 반도체 칩의 중심 상부면을 노출시키도록 형성될 수 있다.
- [0020] 구체적인 다른 예에서, 상기 하부 배선들의 함량이 상기 상부 배선들의 함량보다 높으며, 상기 패키지 기판과 상기 반도체 칩은 오목하며, 상기 몰드막은 상기 반도체 칩의 상부 꼭지점들을 노출시키도록 형성될 수 있다.
- [0021] 상기 상부 배선들의 함량을 상기 하부 배선들의 함량과 다르게 조절하는 것은 상기 상부 배선들의 면적 또는 두께를 상기 하부 배선들의 면적 또는 두께와 다르게 조절하는 것을 포함할 수 있다.
- [0022] 다른 예에 있어서, 상기 반도체 칩은 내부에 복수층의 층간절연막들을 포함하도록 형성되며, 상기 층간절연막들의 응력을 조절하여 상기 반도체 칩의 휨 정도를 결정할 수 있다.
- [0023] 상기 방법은, 상기 몰드막을 형성하는 단계 후에, 싱글레이션 공정을 진행하여 개별 반도체 패키지로 분리하는 단계를 더 포함할 수 있으며, 상기 싱글레이션 공정 후에 상기 패키지 기판과 상기 반도체 칩은 평평해지며 상기 몰드막은 굴곡진 상부면을 가지게 될 수 있다.
- [0024] 또 다른 예에 있어서, 상기 몰드막을 형성하는 단계는, 몰드 프레임으로 상기 반도체 칩과 상기 패키지 기판을 덮는 단계; 및 몰드막 수지액을 공급하여 상기 몰드 프레임 안을 채우는 단계를 포함할 수 있으며, 상기 몰드 프레임은 상기 반도체 칩의 상부면과 접하는 돌출부를 포함하도록 형성될 수 있다.

발명의 효과

- [0025] 본 발명의 일 예에 따른 반도체 패키지에서는, 열 방출이 매우 필요한, 반도체 칩의 핫 스팟 영역에 인접한 영역이 몰드막으로 덮이지 않고 노출되며 반도체 칩의 다른 영역들은 몰드막으로 덮이므로, 열 방출 특성을 개선 시킴과 동시에 반도체 패키지의 휨(warping) 특성을 개선시킬 수 있다.
- [0026] 본 발명의 다른 예에 따른 반도체 패키지의 제조 방법은 몰드막 형성 전에 패키지 기판 및/또는 반도체 칩의 휨

정도를 조절하므로 몰드막이 형성시 자연적으로 반도체 칩의 일부분을 노출시킬 수 있다. 이로써 몰드막에 구멍을 뚫을 필요가 없어 공정을 단순화시킬 수 있다.

[0027] 본 발명의 또 다른 예에 따른 반도체 패키지의 제조 방법은 몰드막 형성용 몰드 프레임의 내부 형태를 변화시켜 몰드막에 개구부를 형성할 수 있다. 이로써 몰드막에 구멍을 뚫을 필요가 없어 공정을 단순화시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 예에 따른 반도체 패키지의 레이아웃이다.
 도 2a 및 도 2b는 본 발명의 예들에 따라 도 1을 I-I' 선으로 자른 단면도들이다. 도 2c는 도 2a의 사시도이다.
 도 3은 도 2a의 'P1' 부분을 확대한 도면이다.
 도 4a 및 도 4b는 도 2a의 'P2' 부분을 확대한 도면들이다.
 도 5는 도 2a 및 도 2b의 반도체 패키지를 모기관 상에 실장한 모습을 나타낸다.
 도 6a, 도 6b 및 도 7 내지 도 10는 도 2a 및 도 2b의 반도체 패키지들을 제조하는 방법을 순차적으로 나타내는 단면도들이다.
 도 11a 및 도 11b는 도 2a의 변형예들이다.
 도 12는 본 발명의 다른 예에 따른 반도체 패키지의 레이아웃이다.
 도 13a는 본 발명의 다른 예에 따라 도 12를 I-I' 선으로 자른 단면도이다.
 도 13b 및 도 15는 본 발명의 다른 예에 따라 도 12를 II-II' 선으로 자른 단면도들이다.
 도 14는 도 13a와 도 13b의 단면을 가지는 반도체 패키지의 사시도이다.
 도 16a 및 도 16b는 도 13b의 'P2' 부분을 확대한 도면들이다.
 도 17 내지 도 19는 도 13b 및 도 15의 반도체 패키지들을 제조하는 방법을 순차적으로 나타내는 단면도들이다.
 도 20a 및 도 20b는 도 13b의 변형예들이다.
 도 21은 본 발명의 또 다른 예에 따른 반도체 패키지의 레이아웃이다.
 도 22는 도 21을 I-I' 선으로 자른 단면도이다.
 도 23 및 도 24는 도 22의 반도체 패키지를 제조하는 방법을 순차적으로 나타내는 단면도들이다.
 도 25 및 도 26은 본 발명의 또 다른 예들에 따른 반도체 패키지의 단면도들이다.
 도 27은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 패키지 모듈의 예를 보여주는 도면이다.
 도 28은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 전자 장치의 예를 보여주는 블럭도이다.
 도 29는 본 발명의 기술이 적용된 반도체 패키지를 포함하는 메모리 시스템의 예를 보여주는 블럭도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0030] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0031] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계

를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0032] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.

[0033] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0034] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예들을 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

[0035] 도 1은 본 발명의 일 예에 따른 반도체 패키지의 레이아웃이다. 도 2a 및 도 2b는 본 발명의 예들에 따라 도 1을 I-I'선으로 자른 단면도들이다. 도 2c는 도 2a의 사시도이다. 도 3은 도 2a의 'P1' 부분을 확대한 도면이다. 도 4a 및 도 4b는 도 2a의 'P2' 부분을 확대한 도면들이다.

[0036] 도 1, 및 도 2a 내지 도 2c를 참조하면, 본 예에 따른 반도체 패키지(200)에서는 패키지 기판(10) 상에 제 1 반도체 칩(30)과 제 2 반도체 칩(45)이 차례로 적층되어 실장된다. 상기 제 1 반도체 칩(30)은 내부에 관통비아(35)를 포함할 수 있다. 상기 패키지 기판(10) 상에 상기 제 1 반도체 칩(30)은 제 1 내부 솔더볼(38a)에 의해 플립 칩 본딩 방식으로 실장될 수 있다. 상기 제 2 반도체 칩(45)은 상기 제 1 반도체 칩(45) 상에 제 2 내부 솔더볼(38b)에 의해 플립 칩 본딩 방식으로 실장될 수 있다. 상기 내부 솔더볼들(38a, 38b)은 주석, 납, 구리 등으로 형성될 수 있다. 상기 반도체 칩들(30, 45)과 상기 패키지 기판(10)은 몰드막(24)으로 덮인다. 상기 패키지 기판(10)의 하부면에는 외부 솔더볼들(60)이 부착된다.

[0037] 도 3을 참조하면, 상기 제 1 반도체 칩(30)은, 기판부(30c) 상에 트랜지스터들(TR)이 배치된다. 상기 트랜지스터들(TR)은 복수층의 층간절연막들(34)로 덮인다. 상기 층간절연막들(34) 사이에는 칩 배선들(33)이 배치된다. 첫번째 층간절연막의 일부(34)와 상기 기판부(30c)를 관통하는 관통비아(35)가 배치되어 첫번째 칩 배선(33)과 접할 수 있다. 상기 관통비아(35)는 구리와 같은 금속으로 형성될 수 있다. 상기 관통비아(35)와 상기 기판부(30c) 사이 그리고 상기 관통비아(35)와 상기 층간절연막(34) 사이에는 확산방지막(32)과 절연막(31)이 콘포말하게 개재된다. 상기 기판부(30c)의 하부면은 제 1 패시베이션막(39)으로 덮인다. 상기 관통비아(35)의 하부면은 제 1 도전 패드(41)와 접한다. 최상층의 층간절연막(34) 상에는 제 2 도전 패드(36)가 배치된다. 상기 제 2 도전 패드(36)의 일부와 상기 최상층의 층간절연막(34)은 제 2 패시베이션막(37)으로 덮인다. 상기 제 1 도전 패드(41)와 상기 제 2 도전 패드(36)는 각각 상기 제 1 내부 솔더볼(38a)와 상기 제 2 내부 솔더볼(38b)와 접할 수 있다.

[0038] 상기 제 2 반도체 칩(45)은 세부적으로 도시하지는 않았지만 상기 제 1 반도체 칩(30)의 세부 구조와 동일/유사할 수 있다. 상기 제 2 반도체 칩(45)은 상기 관통비아(35)를 포함하지 않을 수도 있다.

[0039] 도 4a 및 도 4b를 참조하면, 상기 패키지 기판(10)은 다층 인쇄회로 기판일 수 있다. 구체적으로 상기 패키지 기판(10)은 코어층(10c), 이의 상부에 배치되는 상부 배선 구조(10a), 그리고 이의 하부에 배치되는 하부 배선 구조(10b)를 포함한다. 상기 상부 배선 구조(10a)는 상부 기판 절연막들(14a)과 이들 사이에 개재되는 상부 배선들(12a)을 포함한다. 상기 하부 배선 구조(10b)는 하부 기판 절연막들(14b)과 이들 사이에 개재되는 하부 배선들(12b)을 포함한다. 상기 패키지 기판(10) 내에서 상기 상부 배선들(12a)의 함량은 상기 패키지 기판(10) 내에서 상기 하부 배선들(12b)의 함량과 다를 수 있다. 본 예에서, 상기 상부 배선들(12a)의 함량은 상기 하부 배선들(12b)의 함량보다 많다. 구체적으로 도 4a에서처럼, 상기 상부 배선들(12a)의 두께(T1)는 상기 하부 배선들(12b)의 두께(T2) 보다 두꺼울 수 있다. 또는 도 4b에서처럼, 상기 상부 배선들(12a)의 면적은 상기 하부 배선들(12b)의 면적보다 넓을 수 있다.

[0040] 다시 도 1 및 도 2a 내지 도 2c를 참조하면, 예를 들면, 상기 제 1 반도체 칩(30)과 상기 제 2 반도체 칩(45)

중 하나는 메모리 칩일 수 있다. 상기 제 1 반도체 칩(30)과 상기 제 2 반도체 칩(45) 중 하나는 복수개의 지능소자(Intellectual property, IP)블럭들을 가지는 로직 칩일 수 있다. 상기 지능 소자 블럭들은 중앙 처리 장치(Central processor unit, CPU), 그래픽 처리 장치(Graphic processor unit, GPU), USB(universal serial bus)등 다양한 장치들에 해당될 수 있다. 이중에 특히 중앙 처리 장치는 상기 반도체 칩들(30, 45)의 동작 과정 중에 다른 부분들보다 열이 많이 발생될 수 있다. 상기 중앙 처리 장치 부분의 온도가 과하게 올라가면 동작 오류가 발생하거나 동작 속도가 느려질 수 있다. 이렇게 반도체 칩의 동작시 다른 부분들보다 열이 많이 발생하는 부분을 핫 스팟 영역(H1)이라 명할 수 있다. 본 예에서 상기 핫 스팟 영역(H1)은 상기 제 1 반도체 칩(30) 또는 상기 제 2 반도체 칩(45)의 중심부에 배치될 수 있다. 이러한 핫 스팟 영역(H1)에서 발생된 열은, 동작 오류나 동작 속도 저하 방지를 위해, 빨리 외부로 방출시키는 것이 필요하다.

[0041] 본 예에서, 상기 몰드막(24)은 상기 핫 스팟 영역(H1)과 중첩되는 상기 제 2 반도체 칩(45)의 중심 상부면(S1)을 노출시킨다. 이로써 상기 핫 스팟 영역(H1)으로부터 발생된 열을 외부로 신속히 방출시킬 수 있다. 이와 동시에 상기 몰드막(24)은 핫 스팟 영역(H1) 외의 다른 부분들을 모두 덮는다. 즉 상기 몰드막(24)은 상기 핫 스팟 영역(H1)과 중첩되는 상기 제 2 반도체 칩(45)의 중심 상부면(S1)을 제외한 상기 제 2 반도체 칩(45)의 나머지 부분들, 그리고 상기 패키지 기판(10)의 상부면은 상기 몰드막(24)으로 덮인다. 상기 몰드막(24)에 의해 상기 반도체 패키지(200)의 휨(warp)을 최대한 억제시킬 수 있다.

[0042] 본 발명의 반도체 패키지(200)의 구조는 몰드막(24)이 최상부 층의 반도체 칩의 상부면을 모두 노출시키는 구조에 비하여 휨 현상을 억제할 수 있다. 또한 본 발명의 반도체 패키지(200)의 구조는 몰드막이 반도체 칩들을 모두 덮는 구조에 비하여 열 방출 효과가 매우 뛰어나다. 따라서 본 발명의 반도체 패키지(200)는 열 방출이 필요한 핫 스팟 영역(H1)과 중첩되는 부분만을 노출시키는 동시에 열 방출이 필요 없는 부분들은 모두 덮어 열 방출 효과와 휨 특성 개선을 최대한 높일 수 있는 구조를 가진다.

[0043] 도 2a 및 도 2c를 참조하면, 상기 몰드막(24)의 상부면(S2)은 굴곡질 수 있다. 즉 상기 몰드막(24)의 상부면(S2)은 상기 몰드막(24)의 상부 꼭지 부분들(PM)이 가장 높으며 중심으로 갈수록 서서히 함몰되는 형태를 가질 수 있다. 이때, 상기 패키지 기판(10)과 상기 반도체 칩들(30, 45)은 거의 평탄할 수 있다. 또는 도 2b를 참조하면, 상기 몰드막(24)의 상부면(S2)은 거의 평탄할 수 있다. 반면에 상기 패키지 기판(10)과 상기 반도체 칩들(30, 45)은 위로 볼록할 수 있다.

[0044] 도 2a 및 도 2b와 같은 구조를 가지는 반도체 패키지(200)에서는 상기 반도체 칩들(30, 45) 내에 포함되는 층간 절연막들(34)의 잔류 응력이 인장(tensile) 상태일 수 있다. 그리고/또는 도 4a 및 도 4b를 참조하여 설명한 바와 같이, 상기 패키지 기판(10)의 상부배선들(12a)의 함량이 하부 배선들(12b)의 함량보다 더 높다. 상기 배선들(12a, 12b)은 구리와 같은 금속으로 형성되며 열팽창률이 높다. 따라서 상기 배선들(12a, 12b)의 함량이 높은 쪽일수록, 열에 의해 더 잘 늘어날 수 있다. 따라서 상기 상부 배선들(12a)의 함량이 더 높은 경우 상기 패키지 기판(10)이 위로 볼록해질 가능성이 더 높아진다.

[0045] 도 5는 도 2a 및 도 2b의 반도체 패키지를 모기관 상에 실장한 모습을 나타낸다.

[0046] 도 5를 참조하면, 도 2a 및 도 2b의 반도체 패키지(200)를 모기관(mother board, 250) 상에 실장할 수 있다. 도 2b에서처럼 반도체 패키지(200)의 패키지 기판(10)과 반도체 칩들(30, 45)이 위로 볼록한 상태일지라도, 모기관(250) 상에 실장함으로써, 도 5에서처럼 패키지 기판(10)과 반도체 칩들(30, 45)은 거의 평평하게 되고 몰드막(24)의 중심부는 함몰된 형태가 될 수 있다.

[0047] 도 6a, 도 6b 및 도 7 내지 도 10는 도 2a 및 도 2b의 반도체 패키지들을 제조하는 방법을 순차적으로 나타내는 단면도들이다.

[0048] 도 6a 및 6b를 참조하면, 패키지 기판(10)을 형성한다. 상기 패키지 기판(10)을 형성할 때 도 4a 및 도 4b를 참조하여 설명한 바와 같이 상부 및 하부 배선들(12a, 12b)의 함량이 서로 차이가 나도록 형성할 수 있다. 상기 패키지 기판(10)은 다층 인쇄 회로 기판일 수 있다. 상기 패키지 기판(10)은 반도체 칩(30, 45)이 실장되는 칩 실장 영역들(10d)과 이들 사이에 배치되는 비 실장 영역(10e)을 포함할 수 있다. 상기 칩 실장 영역들(10d)은 도 4a 및 도 4b를 참조하여 설명한 바와 같이 다양한 회로를 구성하는 상부 및 하부 배선들(12a, 12b)이 배치될 수 있다. 상기 비 실장 영역(10e)에는 상부 및 하부 배선들(12a, 12b)이 거의 배치되지 않는다. 이러한 상부 및 하부 배선들(12a, 12b)의 분포 차이와 소재들 간의 물성 차이에 의해, 반도체 칩들(30, 45)을 실장 전이라도, 도 6b에서처럼 상기 칩 실장 영역들(10d)이 비 실장 영역(10e) 보다 볼록할 수 있다. 또는 반도체 칩들(30, 45)을 실장 전에는 상기 패키지 기판(10)은 도 6a에서처럼 전체적으로 평탄할 수 있다.

- [0049] 도 7을 참조하면, 반도체 칩들(30, 45)을 형성한다. 상기 반도체 칩들(30, 45)을 형성할 때 내부의 층간절연막들(34)을 형성하는 공정 설비 및 공정 조건을 조절하여 상기 층간 절연막들(34)의 잔류 응력이 인장(tensile) 상태가 되도록 할 수 있다. 상기 패키지 기판(10)의 상기 칩 실장 영역들(10d)의 각각에 각각 제 1 반도체 칩(30)과 제 2 반도체 칩(45)을 차례대로 내부 솔더볼들(38a, 38b)을 이용하여 플립 칩 본딩 방식으로 적층 및 실장한다. 이때 이들 사이에 개재되는 상기 내부 솔더볼들(38a, 38b)의 용점 이상으로 가열하는 것이 필요하다. 이러한 공정 온도에 의해, 상기 패키지 기판(10)의 칩 실장 영역(10d)이 볼록해질 수 있다. 상기 칩 실장 영역(10d)이 위로 볼록해지므로, 이 위에 실장되는 반도체 칩들(30, 45)이 애초에 거의 평탄할지라도, 위로 볼록한 상태로 실장될 수 있다. 상기 반도체 칩들(30, 45)을 실장한 후에 쿨링(cooling)이 될지라도 상기 패키지 기판(10)과 상기 반도체 칩들(30, 35) 간의 물성 차이에 의해 볼록한 정도(또는 휨 정도)가 다소 완화될지라도 어느 정도 유지될 수 있다.
- [0050] 도 8을 참조하면, 상기 패키지 기판(10)을 몰드 프레임(M1)으로 덮고 상기 몰드 프레임(M1) 안으로 몰드막 수지액을 공급하여 상기 몰드 프레임(M1)을 적어도 부분적으로 채운다. 이때 상기 몰드 프레임(M1)의 내부 상부면은 상기 제 2 반도체 칩(45)의 상부면과 닿을 수 있다. 상기 제 2 반도체 칩(45)이 위로 볼록하므로 상기 몰드 프레임(M1)은 상기 제 2 반도체 칩(45)의 전체 상부면과 닿는게 아니라 중심부만 닿게 된다. 따라서 몰드막 수지액이 상기 몰드 프레임(M1) 안의 공간을 모두 채울지라도 상기 제 2 반도체 칩(45)의 중심 상부면과는 접하지 못하게 된다. 또는 상기 몰드막 수지액의 공급량을 조절하여 상기 몰드 프레임(M1)을 부분적으로 채워 상기 제 2 반도체 칩(45)의 중심 상부면이 노출되도록 한다. 그리고 열을 가해 상기 몰드막 수지액을 경화시켜 몰드막(24)을 형성한다.
- [0051] 도 9를 참조하면, 상기 몰드 프레임(M1)을 벗겨내고 상기 몰드막(24)의 표면을 노출시킨다. 이때 상기 제 2 반도체 칩(45)의 중심 상부면(S1)도 노출된다.
- [0052] 도 10을 참조하면, 상기 패키지 기판(10)의 하부면에 외부 솔더볼들(60)을 부착시킨다.
- [0053] 다시 도 2a 및 도 2b를 참조하면, 싱글레이션(singulation) 공정을 진행하여 개별 반도체 패키지(200)를 형성한다. 이를 위해 상기 비 실장 영역(10e) 상의 몰드막(24)과 상기 비 실장 영역(10e)에 해당하는 상기 패키지 기판(10)을 제거한다(또는 절단한다). 상기 개별 반도체 패키지(200)에서는 공정 열이 식음으로써 패키지 기판(10)이 도 6a에서처럼 원래의 평평한 형태로 거의 복원될 수 있다. 상기 패키지 기판(10)이 거의 평평해짐으로써 이 위에 실장된 반도체 칩들(30, 45)도 거의 평평해질 수 있고, 이에 의해 몰드막(24)의 상부면(S2)이 도 2a에서처럼 중심이 함몰된 형태를 가질 수 있다. 또는 도 2b에서처럼 패키지 기판(10)과 반도체 칩들(30, 45)은 위로 볼록한 형태로, 몰드막(24)의 상부면(S2)이 평평한 형태로도 남을 수도 있다.
- [0054] 본 발명의 일 예에 따른 반도체 패키지의 제조 방법에서는 중심부에 위치하는 핫 스팟 영역(H1)의 적어도 일부와 중첩되는 제 2 반도체 칩(45)의 중심 상부면(S1)을 노출시키기 위하여, 미리 패키지 기판(10) 및/또는 상기 반도체 칩들(30, 45)의 형태가 위로 볼록해지도록 형성할 수 있다. 즉, 상기 패키지 기판(10) 내의 상부 배선들(12a)의 함량이 하부 배선들(12b) 보다 높게 형성하거나 상기 반도체 칩들(30, 45)의 층간절연막들(34)이 잔류 응력이 인장(tensile) 상태가 되도록 형성할 수 있다. 이로써 상기 제 2 반도체 칩(45)의 중심 상부면을 노출시키기 위해 몰드막(24)에 추가로 구멍을 형성할 필요가 없어 공정을 단순화시킬 수 있다. 또한 몰드막(24)에 구멍을 형성할 때 반도체 칩(45)이 손상 받을 우려를 없앨 수 있다.
- [0055] 도 11a 및 도 11b는 도 2a의 변형예들이다.
- [0056] 도 11a를 참조하면, 본 예에 따른 반도체 패키지(201a)에서는, 도 2a의 상태에서 제 2 반도체 칩(45)의 노출된 중심 상부면(S1)과 몰드막(24)의 상부면(S2)이 열 경계 물질막(47)과 접한다. 상기 열 경계 물질막(47) 상에는 방열 부재(49)가 배치된다. 상기 열 경계 물질막(47)은 접착막, 열성 유지(油脂, thermal grease)나 열성 에폭시(Thermal epoxy)를 포함하며, 이들 중 적어도 하나는 금속 고체 입자를 포함할 수 있다. 상기 방열 부재(49)는 금속판이거나 또는 유연성을 가지는 금속 테이프일 수 있다. 도 11a에서 상기 열 경계 물질막(47)의 두께는 제 2 반도체 칩(45) 상의 위치에 따라 다를 수 있다. 즉, 상기 제 2 반도체 칩(45)의 중심부에서 상기 열 경계 물질막(47)은 가장 두껍고 상기 제 2 반도체 칩(45)의 상부 꼭지점에서 상기 열 경계 물질막(47)은 가장 얇을 수 있다. 그 외의 구성은 도 2a를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0057] 또는 도 11b를 참조하면, 본 예에 따른 반도체 패키지(201b)에서는, 도 2a의 상태에서 제 2 반도체 칩(45)의 노출된 중심 상부면(S1)과 몰드막(24)의 상부면(S2) 상에 열 경계 물질막(47)과 방열 부재(49)가 차례로 배치된다. 이때 상기 열 경계 물질막(47)의 두께는 제 2 반도체 칩(45) 상의 위치에 따라 균일할 수 있다. 그

외의 구성은 도 11a를 참조하여 설명한 바와 동일/유사할 수 있다.

- [0058] 도 12는 본 발명의 다른 예에 따른 반도체 패키지의 레이아웃이다. 도 13a는 본 발명의 다른 예에 따라 도 12를 I-I'선으로 자른 단면도이다. 도 13b 및 도 15는 본 발명의 다른 예에 따라 도 12를 II-II'선으로 자른 단면도들이다. 도 14는 도 13a와 도 13b의 단면을 가지는 반도체 패키지의 사시도이다. 도 16a 및 도 16b는 도 13b의 'P2' 부분을 확대한 도면들이다.
- [0059] 도 12, 도 13a, 도 13b, 도 14 및 도 15를 참조하면, 본 예에 따른 반도체 패키지(202)에서는 패키지 기판(10) 상에 제 1 반도체 칩(30)과 제 2 반도체 칩(45)이 차례로 적층되어 실장된다. 상기 제 1 반도체 칩(30)은 도 3을 참조하여 설명한 바와 같이 내부에 트랜지스터들(TR), 중간절연막들(34), 칩 배선들(33) 및 관통비아(35) 등을 포함할 수 있다. 상기 제 2 반도체 칩(45)은 상기 관통 비아(35)를 제외한 트랜지스터들(TR), 중간절연막들(34) 및 칩 배선들(33) 등을 포함할 수 있다. 상기 제 1 반도체 칩(30)과 상기 제 2 반도체 칩(45) 중 하나는 로직 칩일 수 있으며 핫 스팟 영역들(H1)을 포함할 수 있다. 이때 상기 핫 스팟 영역들(H1)은 상기 제 1 반도체 칩(30) 또는 상기 제 2 반도체 칩(45)의 꼭지점 부분에 인접하도록 배치될 수 있다. 상기 제 1 및 상기 제 2 반도체 칩들(30, 45)과 상기 패키지 기판(10)은 몰드막(24)으로 덮인다. 이때 상기 몰드막(24)은 상기 제 2 반도체 칩(45)의 중심 상부면(S1)은 거의 다 덮여 상기 제 2 반도체 칩(45)의 상부 꼭지점들(PT)을 노출시키도록 형성될 수 있다. 이로써 상기 핫 스팟 영역들(H1) 또는 이에 인접한 부분들이 상기 몰드막(24)으로 덮이지 않아 상기 핫 스팟 영역들(H1)으로부터 발생된 열들을 외부로 쉽게 방출시킬 수 있다.
- [0060] 도 13a 및 도 13b처럼, 상기 몰드막(24)의 상부면(S2)은 중심부분이 위로 볼록하며 둥글 수 있고, 상기 패키지 기판(10)과 상기 제 1 및 제 2 반도체 칩들(30, 45)은 대체적으로 평탄할 수 있다. 또는 도 15처럼, 상기 몰드막(24)의 상부면(S2)은 대체적으로 평탄할 수 있으나 상기 패키지 기판(10)과 상기 제 1 및 제 2 반도체 칩들(30, 45)은 아래로 오목하도록 휘어질 수 있다. 이때 상기 제 1 및 제 2 반도체 칩들(30, 45)에 포함된 중간절연막들(34)의 잔류 응력은 압축(compressive) 상태일 수 있다.
- [0061] 또는/그리고 상기 패키지 기판(10)은 도 4a 및 도 4b를 참조하여 설명한 바와 반대일 수 있다. 구체적으로 도 16a 및 도 16b를 참조하면, 상기 패키지 기판(10)은 다층 인쇄회로 기판일 수 있다. 구체적으로 상기 패키지 기판(10)은 코어층(10c), 이의 상부에 배치되는 상부 배선 구조(10a), 그리고 이의 하부에 배치되는 하부 배선 구조(10b)를 포함한다. 상기 상부 배선 구조(10a)는 상부 기판 절연막들(14a)과 이들 사이에 개재되는 상부 배선들(12a)을 포함한다. 상기 하부 배선 구조(10b)는 하부 기판 절연막들(14b)과 이들 사이에 개재되는 하부 배선들(12b)을 포함한다. 본 예에서, 상기 상부 배선들(12a)의 함량은 상기 하부 배선들(12b)의 함량보다 적다. 구체적으로 도 16a에서처럼, 상기 상부 배선들(12a)의 두께(T1)는 상기 하부 배선들(12b)의 두께(T2) 보다 얇을 수 있다. 또는 도 16b에서처럼, 상기 상부 배선들(12a)의 면적은 상기 하부 배선들(12b)의 면적보다 좁을 수 있다. 상기 배선들(12a, 12b)은 구리와 같은 금속으로 형성되며 열팽창률이 높다. 따라서 상기 배선들(12a, 12b)의 함량이 높은 쪽일수록, 열에 의해 더 잘 늘어날 수 있다. 따라서 상기 하부 배선들(12b)의 함량이 더 높은 경우 상기 패키지 기판(10)이 아래로 오목해질 가능성이 더 높아진다.
- [0062] 본 발명의 반도체 패키지(202)는 열 방출이 필요한 핫 스팟 영역(H1)과 중첩되는 부분 또는 이에 인접한 부분을 노출시키는 동시에 열 방출이 필요 없는 부분들은 모두 덮여 열 방출 효과와 휨 특성 개선을 최대한 높일 수 있는 구조를 가진다.
- [0063] 그 외의 구성은 도 1, 도 2a 내지 도 2c, 도 3, 도 4a, 도 4b 및 도 5를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0064] 도 17 내지 도 19는 도 13b 및 도 15의 반도체 패키지들을 제조하는 방법을 순차적으로 나타내는 단면도들이다.
- [0065] 도 6a 및 도 17을 참조하면, 패키지 기판(10)을 형성한다. 상기 패키지 기판(10)을 형성할 때, 도 16a 및 도 16b를 참조하여 설명한 바와 같이 상부 및 하부 배선들(12a, 12b)의 함량이 서로 차이가 나도록 형성할 수 있다. 상기 패키지 기판(10)은 다층 인쇄 회로 기판일 수 있다. 상기 패키지 기판(10)은 반도체 칩(30, 45)이 실장되는 칩 실장 영역들(10d)과 이들 사이에 배치되는 비 실장 영역(10e)을 포함할 수 있다. 상기 칩 실장 영역들(10d)은 도 16a 및 도 16b를 참조하여 설명한 바와 같이 다양한 회로를 구성하는 상부 및 하부 배선들(12a, 12b)이 배치될 수 있다. 상기 비 실장 영역(10e)에는 상부 및 하부 배선들(12a, 12b)이 거의 배치되지 않는다. 이러한 상부 및 하부 배선들(12a, 12b)의 분포 차이와 소재들 간의 물성 차이에 의해, 반도체 칩들(30, 45)을 실장 전이라도, 도 17에서처럼 상기 칩 실장 영역들(10d)이 비 실장 영역(10e) 보다 아래로 오목할 수 있다. 또는 반도체 칩들(30, 45)을 실장 전에는 상기 패키지 기판(10)은 도 6a에서처럼 전체적으로 평탄할 수 있다.

- [0066] 도 18을 참조하면, 반도체 칩들(30, 45)을 형성한다. 상기 반도체 칩들(30, 45)을 형성할 때 내부의 층간절연막들(34)을 형성하는 공정 설비 및 공정 조건을 조절하여 상기 층간 절연막들(34)의 잔류 응력이 압축(compressive) 상태가 되도록 할 수 있다. 상기 패키지 기판(10)의 상기 칩 실장 영역들(10d)의 각각에 각각 제 1 반도체 칩(30)과 제 2 반도체 칩(45)을 차례대로 내부 솔더볼들(38a, 38b)을 이용하여 플립 칩 본딩 방식으로 적층 및 실장한다. 이때 이들 사이에 개재되는 상기 내부 솔더볼들(38a, 38b)의 용점 이상으로 가열하는 것이 필요하다. 이러한 공정 온도에 의해, 상기 패키지 기판(10)의 칩 실장 영역(10d)이 아래로 오목해질 수 있다. 상기 칩 실장 영역(10d)이 아래로 오목해지므로, 이 위에 실장되는 반도체 칩들(30, 45)이 애초에 거의 평탄할지라도, 아래로 오목한 상태로 실장될 수 있다. 상기 반도체 칩들(30, 45)을 실장한 후에 쿨링(cooling)이 될지라도 상기 패키지 기판(10)과 상기 반도체 칩들(30, 35) 간의 물성 차이에 의해 오목한 상태가 다소 완화될지라도 어느 정도 유지될 수 있다.
- [0067] 도 19를 참조하면, 상기 패키지 기판(10)을 몰드 프레임(M1)으로 덮고 상기 몰드 프레임(M1) 안으로 몰드막 수지액을 공급하여 상기 몰드 프레임(M1)을 적어도 부분적으로 채운다. 이때 상기 몰드 프레임(M1)의 내부 상부면은 상기 제 2 반도체 칩(45)의 꼭지점들(PT)과 닿을 수 있다. 따라서 몰드막 수지액이 상기 몰드 프레임(M1) 안의 공간을 모두 채울지라도 상기 제 2 반도체 칩(45)의 꼭지점들(PT)을 덮을 수는 없게 된다. 또는 상기 몰드막 수지액의 공급량을 조절하여 상기 몰드 프레임(M1)을 부분적으로 채워 상기 제 2 반도체 칩(45)의 꼭지점들(PT) 및 이의 주변이 노출되도록 한다. 그리고 열을 가해 상기 몰드막 수지액을 경화시켜 몰드막(24)을 형성한다.
- [0068] 후속으로 다시 도 13b 및 도 15를 참조하여, 상기 몰드 프레임(M1)을 벗겨내고 상기 몰드막(24)의 표면을 노출시킨다. 이때 상기 제 2 반도체 칩(45)의 꼭지점들(PT)도 노출된다. 상기 패키지 기판(10)의 하부면에 외부 솔더볼들(60)을 부착시킨다. 싱글레이션(singulation) 공정을 진행하여 개별 반도체 패키지(202)를 형성한다. 이를 위해 상기 비 실장 영역(10e) 상의 몰드막(24)과 상기 비 실장 영역(10e)에 해당하는 상기 패키지 기판(10)을 제거한다(또는 절단한다). 상기 개별 반도체 패키지(200)에서는 공정 열이 식음으로써 패키지 기판(10)이 도 6a에서처럼 원래의 평평한 형태로 거의 복원될 수 있다. 상기 패키지 기판(10)이 거의 평평해짐으로써 이 위에 실장된 반도체 칩들(30, 45)도 거의 평평해질 수 있고, 이에 의해 몰드막(24)의 상부면(S2)이 도 13a 및 도 13b에서처럼 중심이 위로 볼록한 형태를 가질 수 있다. 또는 도 15에서처럼 패키지 기판(10)과 반도체 칩들(30, 45)은 아래로 오목한 형태로, 몰드막(24)의 상부면(S2)이 평평한 형태로도 남을 수도 있다.
- [0069] 본 발명의 일 예에 따른 반도체 패키지의 제조 방법에서는 꼭지점에 인접하게 위치하는 핫 스팟 영역들(H1)의 적어도 일부와 중첩되도록 제 2 반도체 칩(45)의 꼭지점들(PT)을 노출시키기 위하여, 미리 패키지 기판(10) 및/또는 상기 반도체 칩들(30, 45)의 형태가 오목해지도록 형성할 수 있다. 즉, 상기 패키지 기판(10) 내의 상부 배선들(12a)의 함량이 하부 배선들(12b) 보다 낮게 형성하거나 상기 반도체 칩들(30, 45)의 층간절연막들(34)이 잔류 응력이 압축(compressive) 상태가 되도록 형성할 수 있다. 이로써 상기 제 2 반도체 칩(45)의 꼭지점들(PT)을 노출시키기 위하여 몰드막(24)에 추가로 구멍을 형성할 필요가 없어 공정을 단순화시킬 수 있다. 또한 몰드막(24)에 구멍을 형성할 때 제 2 반도체 칩(45)이 손상 받을 우려를 없앨 수 있다.
- [0070] 이상과 같은 반도체 패키지의 제조 방법들에서는, 반도체 칩 내부의 핫 스팟 영역의 위치에 따라 반도체 칩이 몰드막에 의해 노출된 부분들을 결정한다. 그리고 이를 위해 반도체 칩의 층간절연막의 잔류 응력을 조절하거나 패키지 기판 내부의 배선들의 함량을 다르게 조절하여 반도체 칩 또는 패키지 기판의 휨 정도를 결정한다. 그리고 몰드막을 형성할 수 있다.
- [0071] 도 20a 및 도 20b는 도 13b의 변형예들이다.
- [0072] 도 20a를 참조하면, 본 예에 따른 반도체 패키지(203a)에서는, 도 13b의 상태에서 제 2 반도체 칩(45)의 노출된 꼭지점들(PT)과 몰드막(24)의 상부면(S2)이 열 경계 물질막(47)과 접한다. 상기 열 경계 물질막(47) 상에는 방열 부재(49)가 배치된다. 도 20a에서 상기 열 경계 물질막(47)의 두께는 제 2 반도체 칩(45) 상의 위치에 따라 다를 수 있다. 즉, 상기 제 2 반도체 칩(45)의 중심부에서 상기 열 경계 물질막(47)은 가장 얇고 상기 제 2 반도체 칩(45)의 상부 꼭지점에서 상기 열 경계 물질막(47)은 가장 두꺼울 수 있다. 그 외의 구성은 도 13b를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0073] 또는 도 20b를 참조하면, 본 예에 따른 반도체 패키지(203b)에서는, 도 13b의 상태에서 제 2 반도체 칩(45)의 노출된 꼭지점들(PT)과 몰드막(24)의 상부면(S2)이 열 경계 물질막(47)과 접한다. 상기 열 경계 물질막(47) 상에는 방열 부재(49)가 배치된다. 이때 상기 열 경계 물질막(47)의 두께는 제 2 반도체 칩(45) 상의 위치에 따라 균일할 수 있다.

- [0074] 도 21은 본 발명의 또 다른 예에 따른 반도체 패키지의 레이아웃이다. 도 22는 도 21을 I-I' 선으로 자른 단면도이다.
- [0075] 도 21 및 도 22를 참조하면, 본 예에 따른 반도체 패키지(204)에서 몰드막(24)은 반도체 칩들(30, 45)에 배치될 수 있는 핫 스팟 영역(H1)과 중첩되며 제 2 반도체 칩(45)의 상부면(S1)을 노출시키는 개구부(51)를 포함할 수 있다. 도 22에서 상기 반도체 칩들(30, 45), 패키지 기판(10) 및 상기 몰드막(24)의 상부면들이 모두 평탄하게 도시되었으나, 모두 위로 볼록하거나 아래로 오목한 것도 가능하다. 그 외의 구성 및 효과는 위에서 설명한 바와 동일/유사할 수 있다.
- [0076] 상기 개구부(51)의 갯수는 2개 이상이며 배치도 다양할 수 있다. 도시하지는 않았지만, 상기 반도체 패키지(204) 상에 열 경계 물질막(47)과 방열 부재(49)가 추가로 배치될 수 있다.
- [0077] 도 23 및 도 24는 도 22의 반도체 패키지를 제조하는 방법을 순차적으로 나타내는 단면도들이다.
- [0078] 도 23을 참조하면, 패키지 기판(10)의 칩 실장 영역(10d) 상에 반도체 칩들(30, 45)을 차례로 적층 및 실장한다.
- [0079] 도 24를 참조하면, 상기 패키지 기판(10)을 몰드 프레임(M2)으로 덮는다. 이때 상기 몰드 프레임(M2)은 내부 상부면으로부터 아래로 돌출되는 돌출부(3)를 포함한다. 상기 돌출부(3)는 핫 스팟 영역(H1)과 중첩되는 상기 제 2 반도체 칩(45)의 상부면과 접한다. 상기 몰드 프레임(M1) 안으로 몰드막 수지액을 공급하여 상기 몰드 프레임(M1)을 채운다. 그리고 열을 가해 상기 몰드막 수지액을 경화시켜 몰드막(24)을 형성한다.
- [0080] 후속으로 위에서 설명한 바와 동일/유사한 공정을 진행한다.
- [0081] 본 예에 따른 반도체 패키지의 제조 방법은 몰드 프레임(M2)의 형태를 변화시켜, 몰드막(24)에, 원하는 위치에 자유 자재로 반도체 칩(45)의 상부면을 노출시키는 개구부(51)를 간단하게 형성할 수 있다. 또한 상기 개구부(51)를 형성하기 위하여 상기 몰드막(24)에 별도의 구멍을 뚫을 필요가 없으므로 공정을 단순화시킬 수 있고 반도체 칩(45)의 손상을 방지할 수 있다.
- [0082] 도 25 및 도 26은 본 발명의 또 다른 예들에 따른 반도체 패키지의 단면도들이다.
- [0083] 도 25를 참조하면, 본 예에 따른 반도체 패키지(205)는 하나의 반도체 칩(45)을 포함할 수 있다. 몰드막(24)은 상기 반도체 칩(30)의 중심 상부면(S1)을 노출시키되 가장자리를 덮는다. 상기 몰드막(24)의 상부면(S2)은 완만하게 굴곡질 수 있다. 그 외의 구성은 도 2a를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0084] 도 26을 참조하면, 본 예에 따른 반도체 패키지(206)는 패키지 제 1 서브 반도체 패키지(101) 상에 제 2 서브 반도체 패키지(102)가 실장된 패키지 온 패키지 장치의 구조를 가진다. 상기 제 1 반도체 패키지(101)은 도 25의 반도체 패키지(205)와 거의 동일한 구조를 가질 수 있다. 상기 제 2 서브 반도체 패키지(102)는 상부 패키지 기판(70) 상에 복수개의 상부 반도체 칩들(80a, 80b)이 와이어들(72)에 의해 와이어 본딩 방식으로 실장될 수 있다. 상기 상부 반도체 칩들(80a, 80b)과 상기 상부 패키지 기판(70)은 상부 몰드막(76)으로 덮인다. 제 1 서브 반도체 패키지(101)의 패키지 기판(10)과 상기 제 2 서브 반도체 패키지(102)의 상부 패키지 기판(70)은 상기 몰드막(24)을 관통하는 연결 솔더볼(75)에 의해 전기적으로 연결될 수 있다. 상기 제 1 서브 반도체 패키지(101)과 상기 제 2 서브 반도체 패키지(102) 사이에는 열 경계 물질막(47)이 개재될 수 있다. 그 외의 구성은 도 25를 참조하여 설명한 바와 동일/유사할 수 있다.
- [0085] 이와 같이 반도체 패키지들(200~206)의 다양한 구조와 제조 방법에 대하여 설명하였다. 상기 반도체 패키지들(200~206)의 구조는 서로 조합이 가능하다.
- [0086] 상술한 반도체 패키지 기술은 다양한 종류의 반도체 소자들 및 이를 구비하는 패키지 모듈에 적용될 수 있다.
- [0087] 도 27은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 패키지 모듈의 예를 보여주는 도면이다. 도 23을 참조하면, 패키지 모듈(1200)은 반도체 집적회로 칩(1220) 및 QFP(Quad Flat Package) 패키지된 반도체 집적회로 칩(1230)과 같은 형태로 제공될 수 있다. 본 발명에 따른 반도체 패키지 기술이 적용된 반도체 소자들(1220, 1230)을 기판(1210)에 설치함으로써, 상기 패키지 모듈(1200)이 형성될 수 있다. 상기 패키지 모듈(1200)은 기판(1210) 일측에 구비된 외부연결단자(1240)를 통해 외부전자장치와 연결될 수 있다.
- [0088] 상술한 반도체 패키지 기술은 전자 시스템에 적용될 수 있다. 도 28은 본 발명의 기술이 적용된 반도체 패키지를 포함하는 전자 장치의 예를 보여주는 블럭도이다. 도 28을 참조하면, 전자 시스템(1300)은 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)를 포함할 수 있다. 상기 제어기(1310), 입출력 장치(1320) 및 기억 장치

(1330)는 버스(1350, bus)를 통하여 결합될 수 있다. 상기 버스(1350)는 데이터들이 이동하는 통로라 할 수 있다. 예컨대, 상기 제어기(1310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 그리고 이들과 동일한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 제어기(1310) 및 기억 장치(1330)는 본 발명에 따른 반도체 패키지를 포함할 수 있다. 상기 입출력 장치(1320)는 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(1330)는 데이터를 저장하는 장치이다. 상기 기억 장치(1330)는 데이터 및/또는 상기 제어기(1310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(1330)는 휘발성 기억 소자 및/또는 비휘발성 기억 소자를 포함할 수 있다. 또는, 상기 기억 장치(1330)는 플래시 메모리로 형성될 수 있다. 예를 들면, 모바일 기기나 데스크톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 기술이 적용된 플래시 메모리가 장착될 수 있다. 이러한 플래시 메모리는 반도체 디스크 장치(SSD)로 구성될 수 있다. 이 경우 전자 시스템(1300)은 대용량의 데이터를 상기 플래시 메모리 시스템에 안정적으로 저장할 수 있다. 상기 전자 시스템(1300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(1340)를 더 포함할 수 있다. 상기 인터페이스(1340)는 유무선 형태일 수 있다. 예컨대, 상기 인터페이스(1340)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 그리고, 도시되지 않았지만, 상기 전자 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 그리고 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0089] 상기 전자 시스템(1300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 그리고 정보 전송/수신 시스템 중 어느 하나일 수 있다. 상기 전자 시스템(1300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(1300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000과 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.

[0090] 상술한 본 발명의 기술이 적용된 반도체 소자는 메모리 카드의 형태로 제공될 수 있다. 도 29는 본 발명의 기술이 적용된 반도체 패키지를 포함하는 메모리 시스템의 예를 보여주는 블록도이다. 도 29를 참조하면, 메모리 카드(1400)는 비휘발성 기억 소자(1410) 및 메모리 제어기(1420)를 포함할 수 있다. 상기 비휘발성 기억 장치(1410) 및 상기 메모리 제어기(1420)는 데이터를 저장하거나 저장된 데이터를 판독할 수 있다. 상기 비휘발성 기억 장치(1410)는 본 발명에 따른 반도체 패키지 기술이 적용된 비휘발성 기억 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 메모리 제어기(1420)는 호스트(host)의 판독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 플래시 기억 장치(1410)를 제어할 수 있다.

[0091] 이상의 상세한 설명은 본 발명을 예시하는 것이다. 또한 기술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 즉, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 기술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

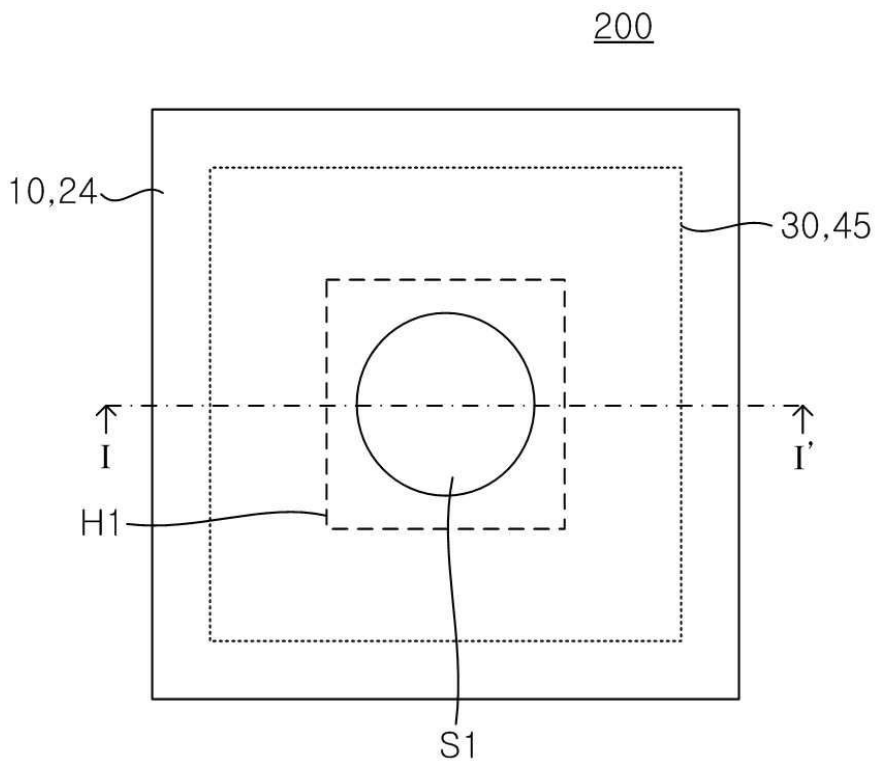
부호의 설명

[0092] 200~206: 반도체 패키지
 10: 패키지 기판
 30, 35: 반도체 칩
 H1: 핫 스팟 영역
 38a, 38b, 38, 60: 솔더볼
 24: 몰드막
 33: 칩 배선

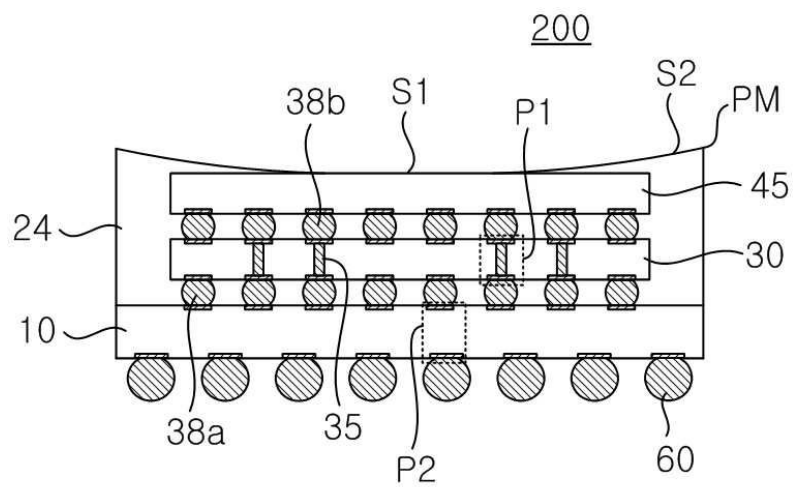
- 12a: 상부 배선
- 12b: 하부 배선
- 47: 열 경계 물질막
- 49: 방열 부재
- M1, M2: 몰드 프레임

도면

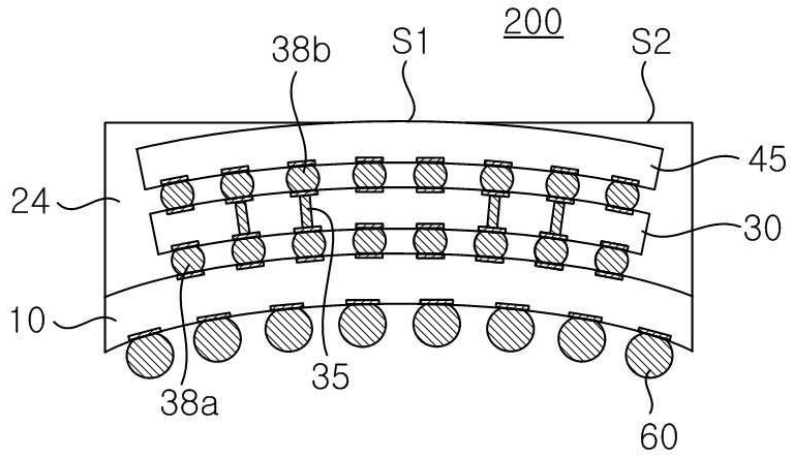
도면1



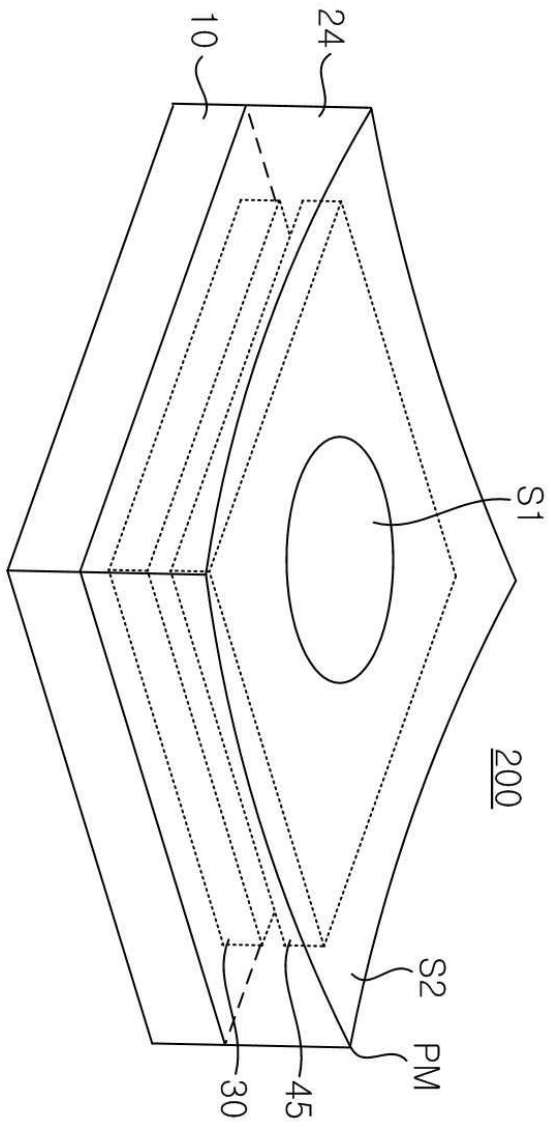
도면2a



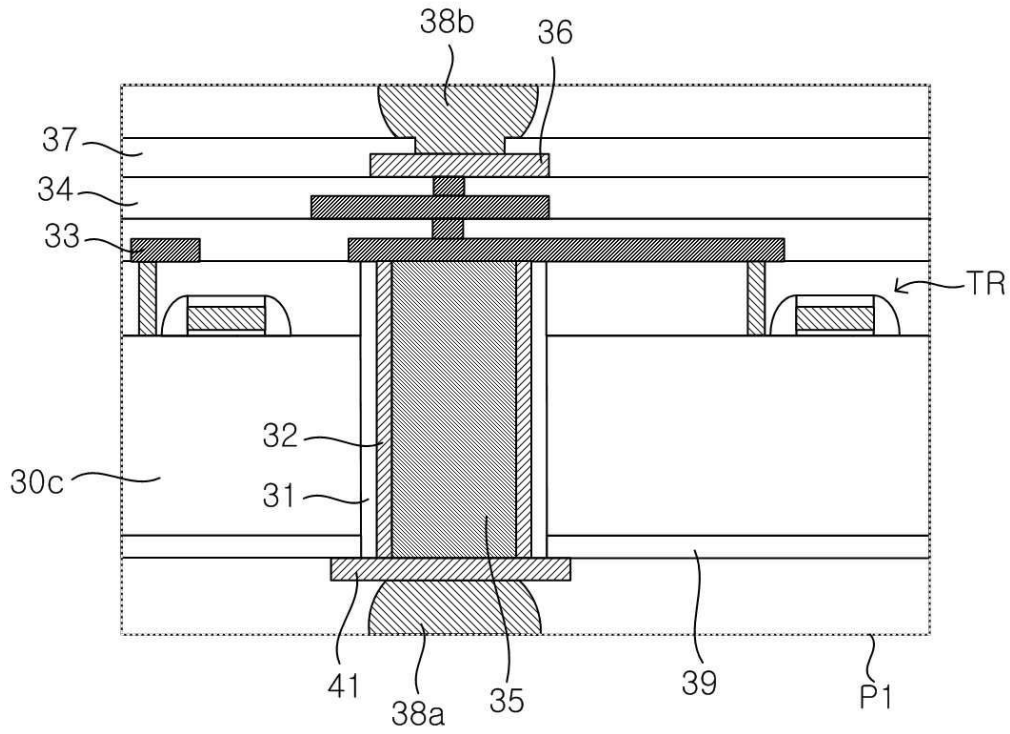
도면2b



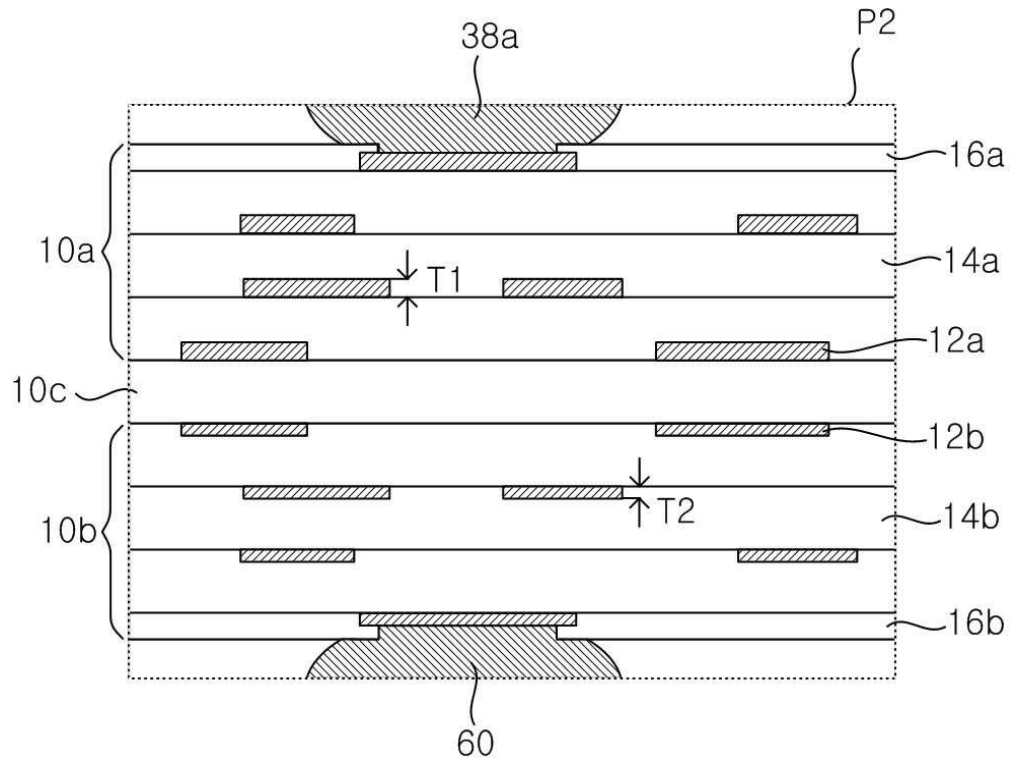
도면2c



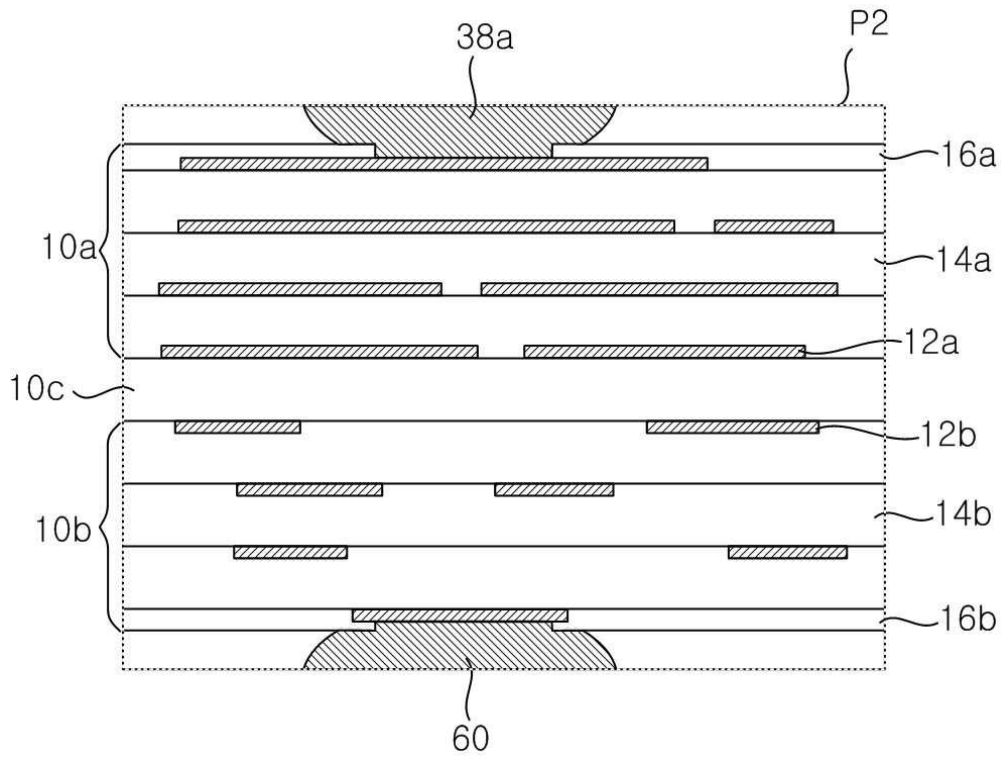
도면3



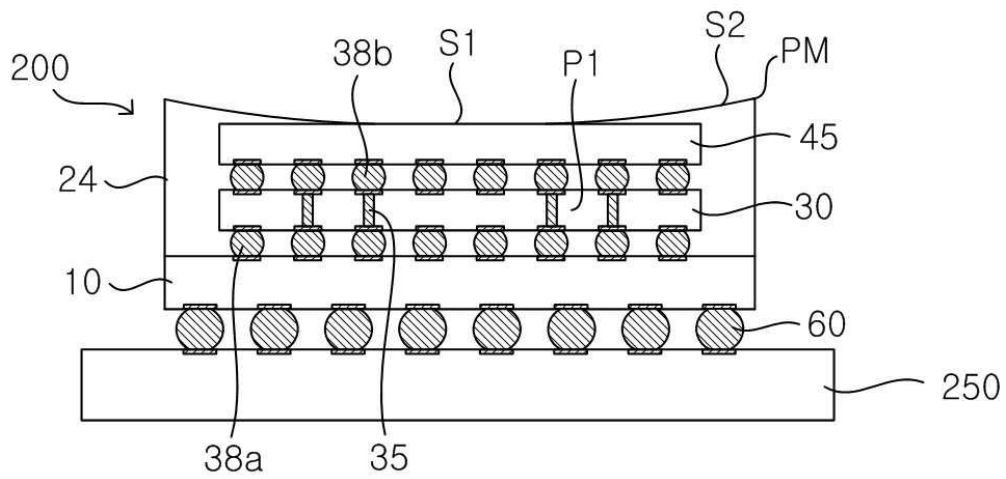
도면4a



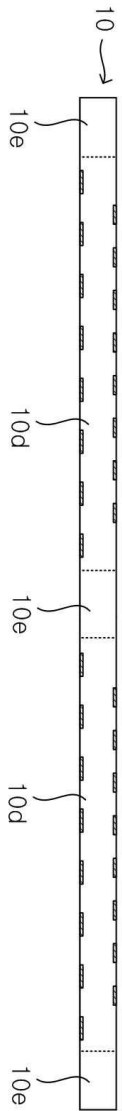
도면4b



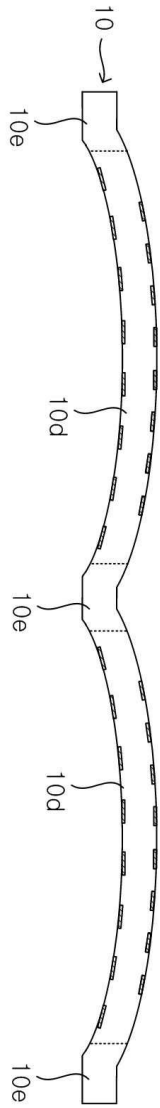
도면5



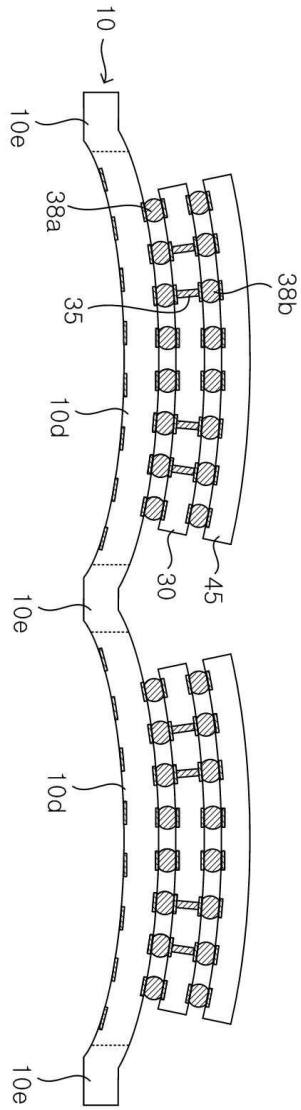
도면6a



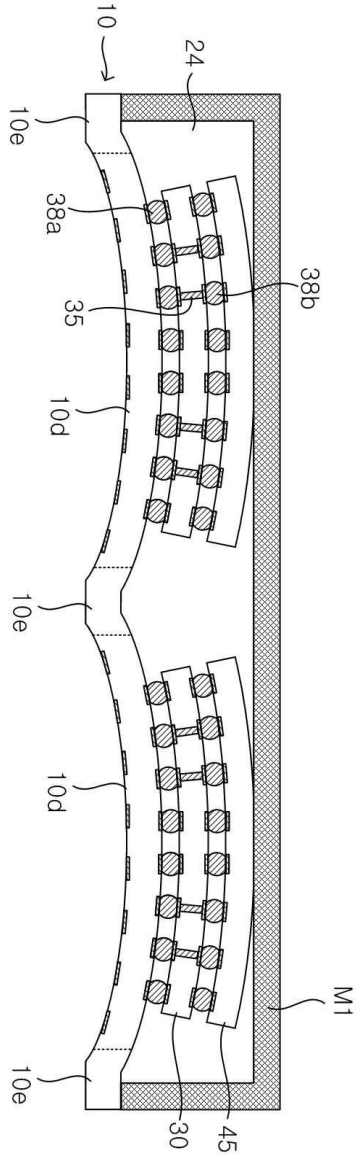
도면6b



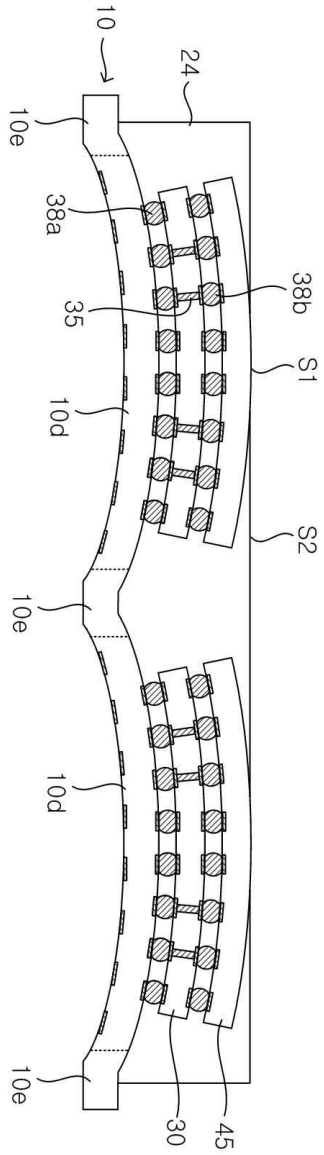
도면7



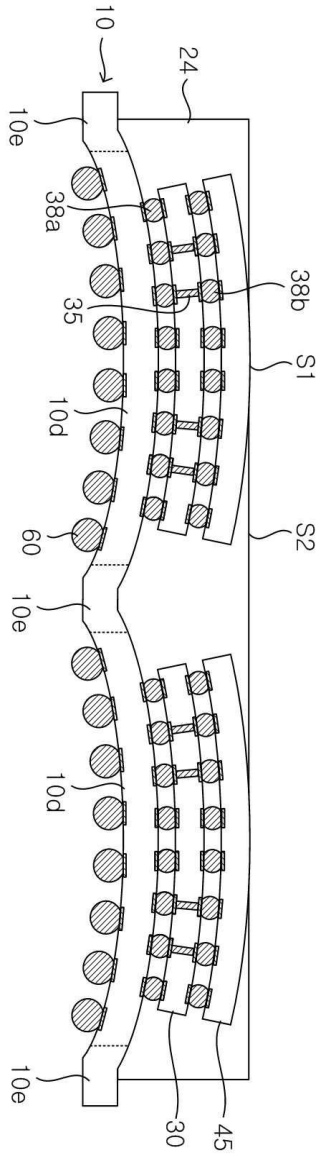
도면8



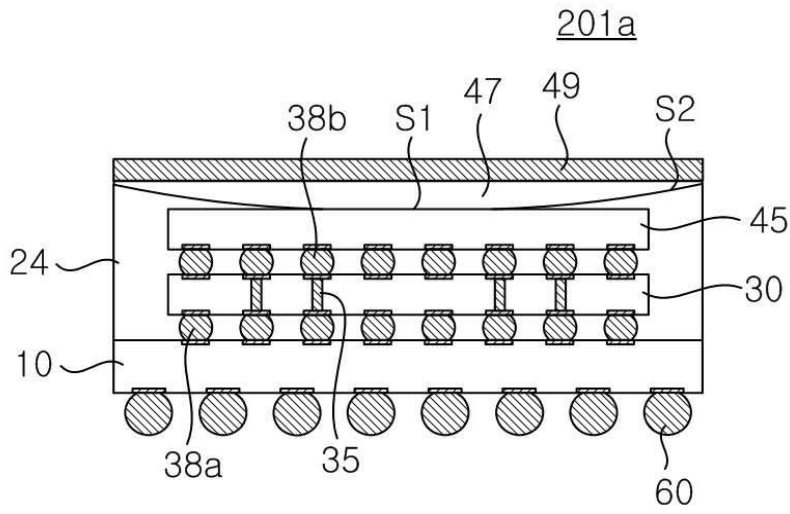
도면9



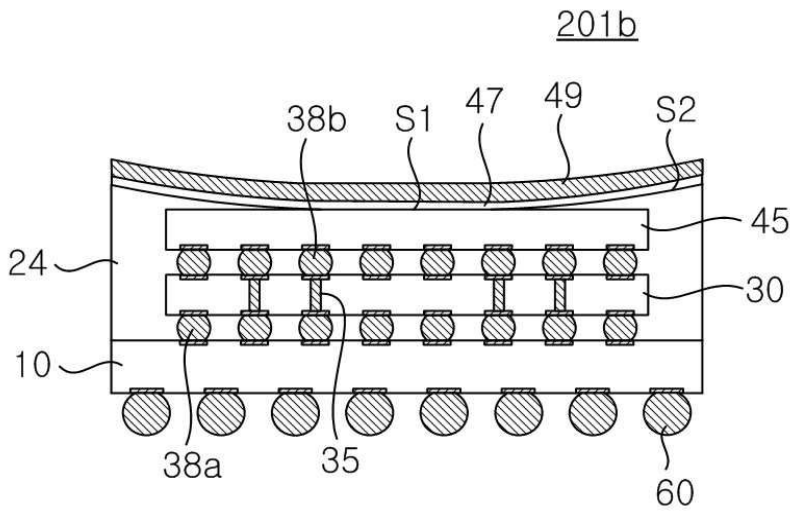
도면10



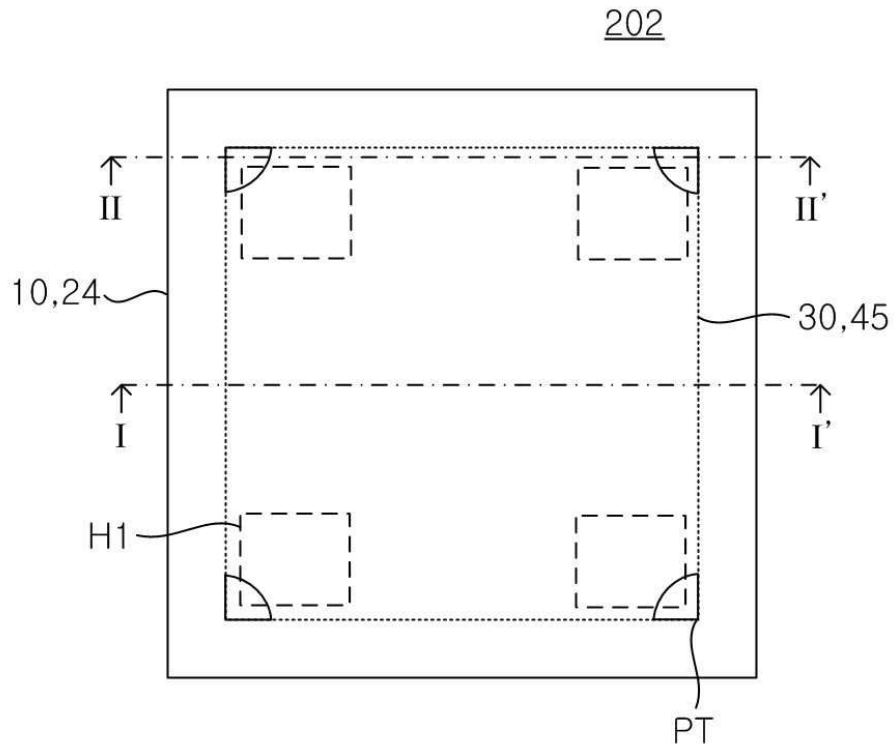
도면11a



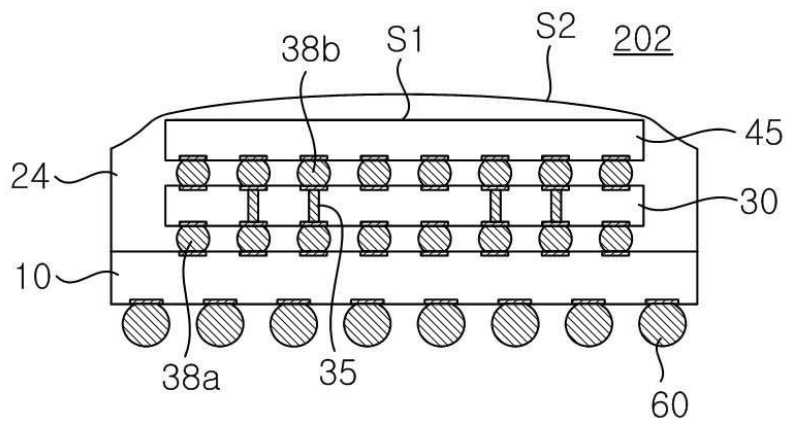
도면11b



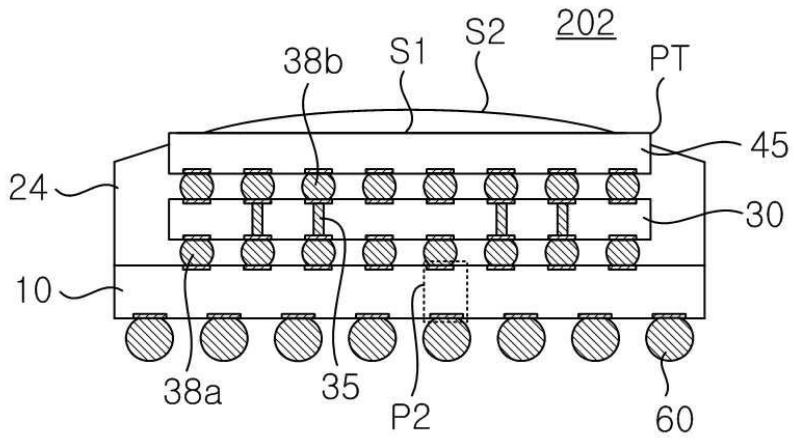
도면12



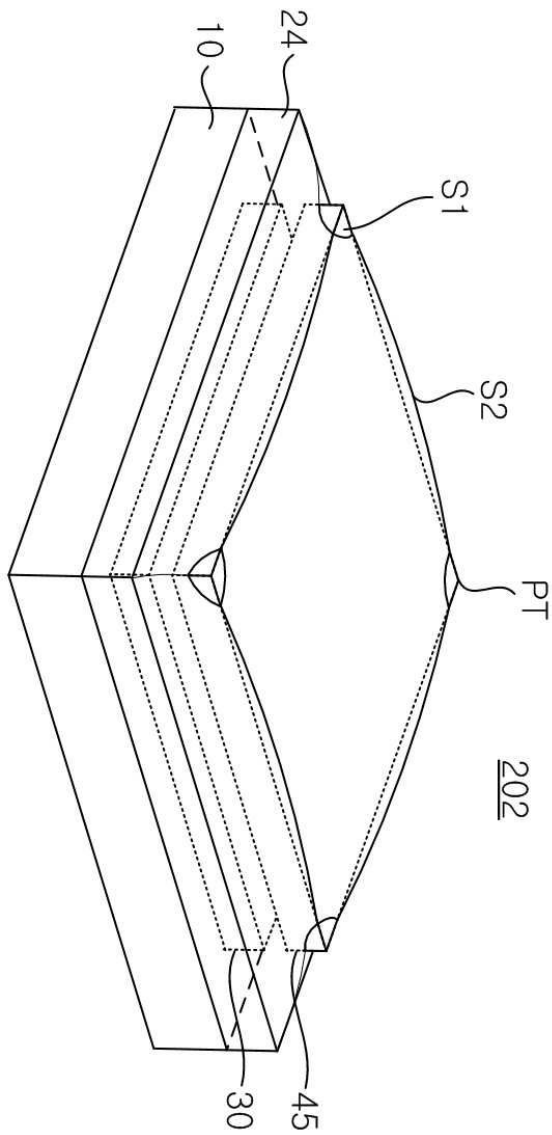
도면13a



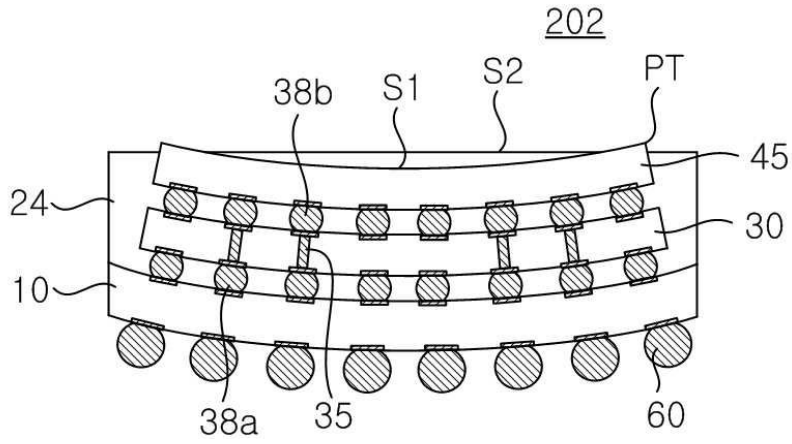
도면13b



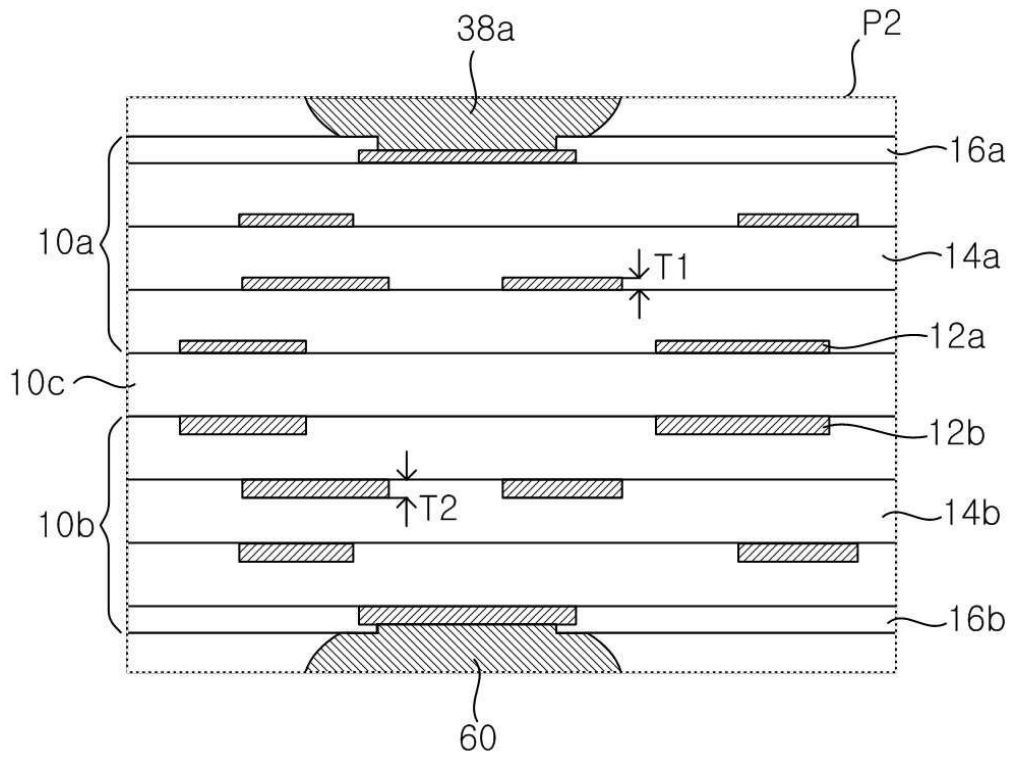
도면14



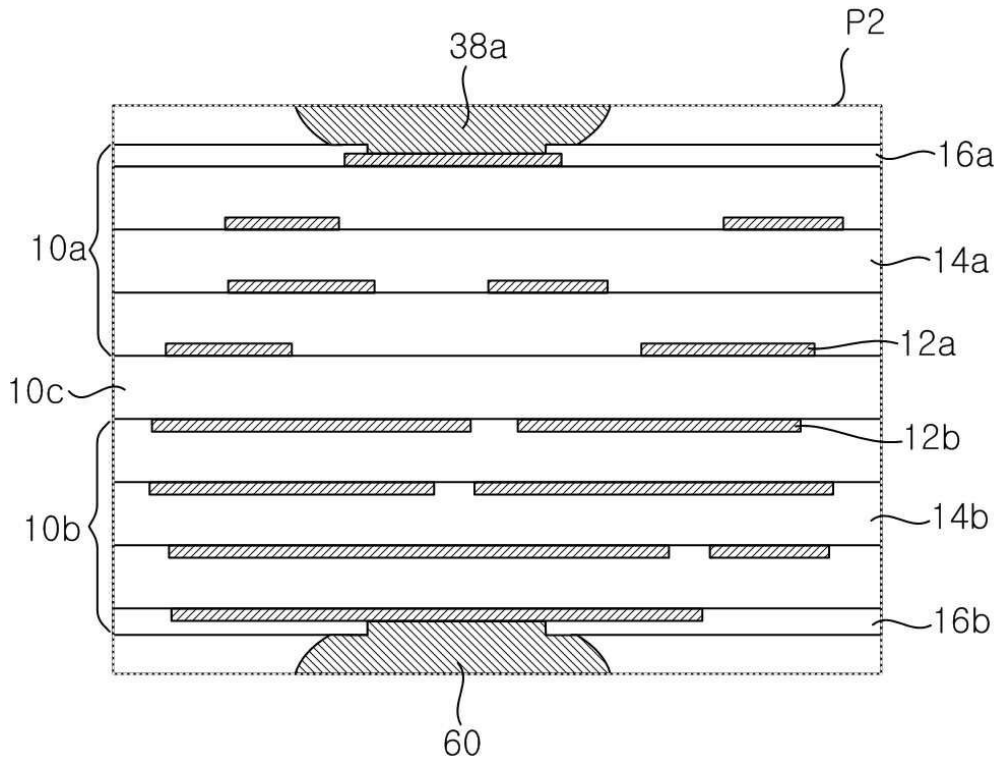
도면15



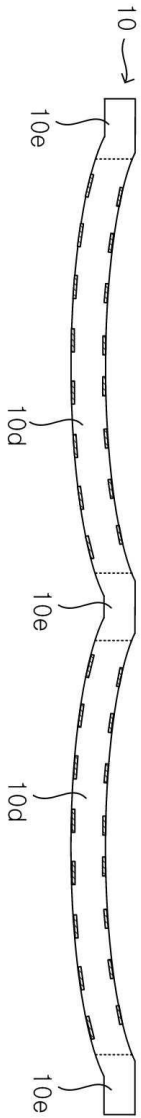
도면16a



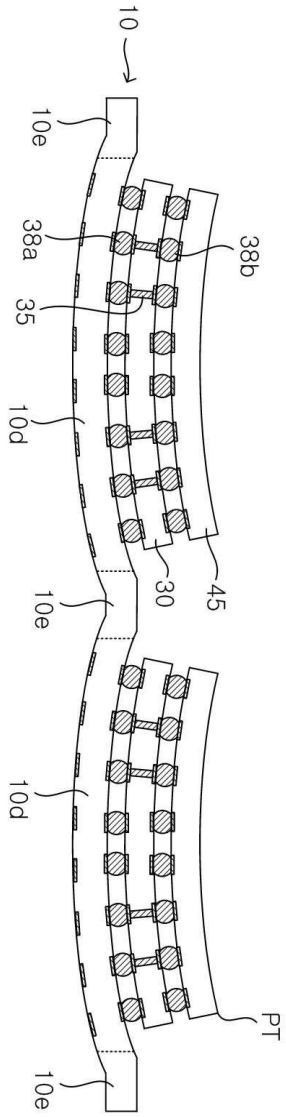
도면16b



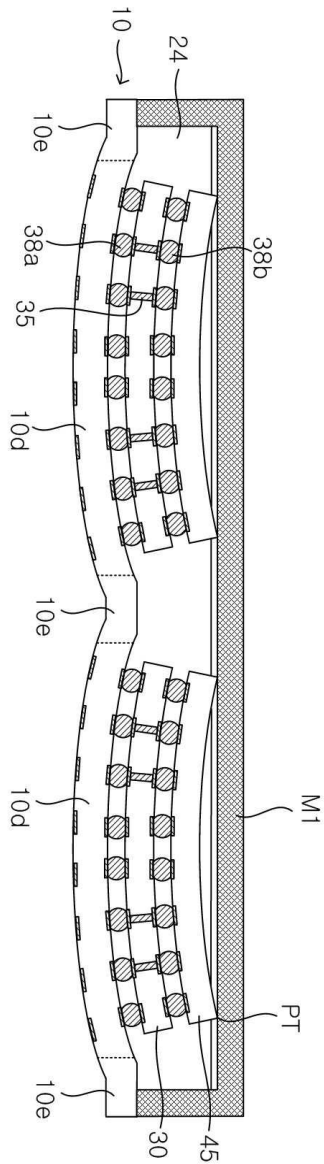
도면17



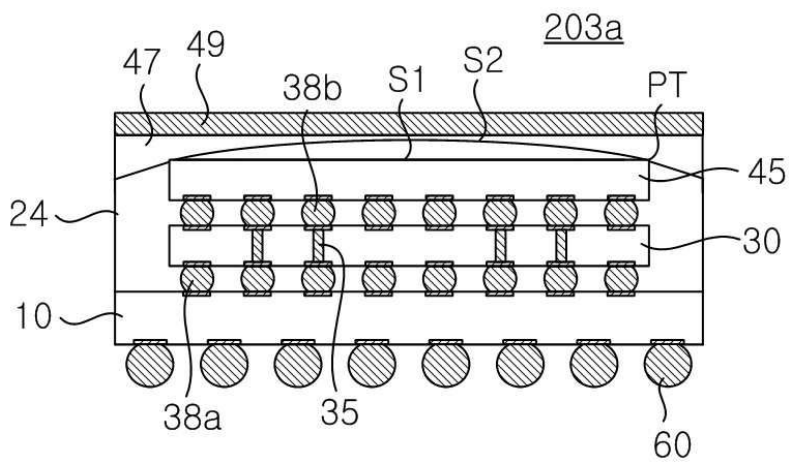
도면18



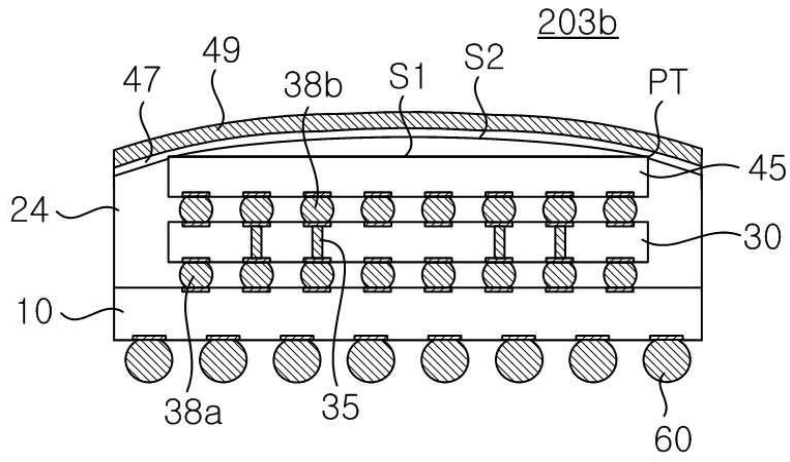
도면19



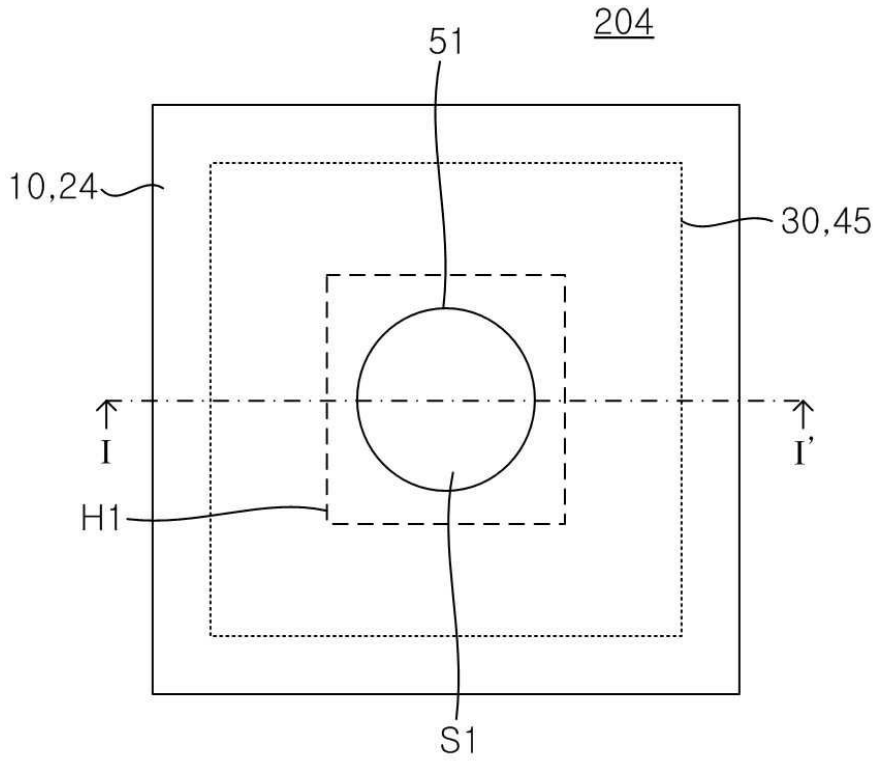
도면20a



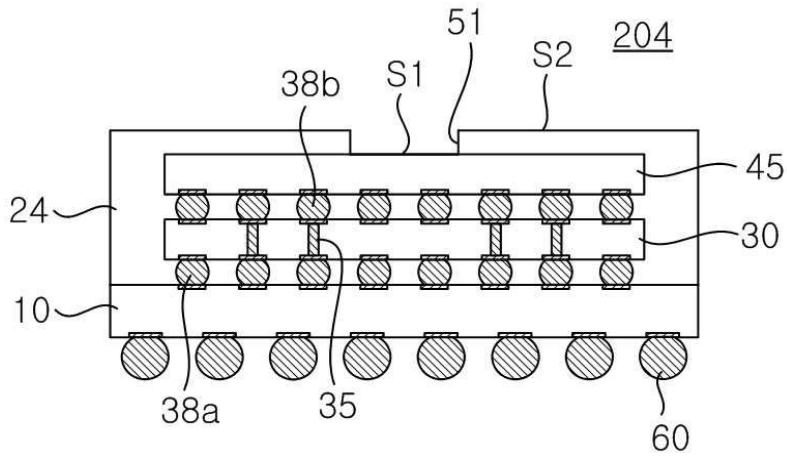
도면20b



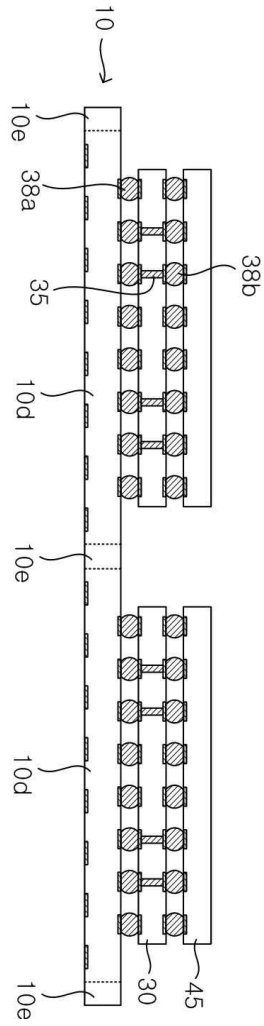
도면21



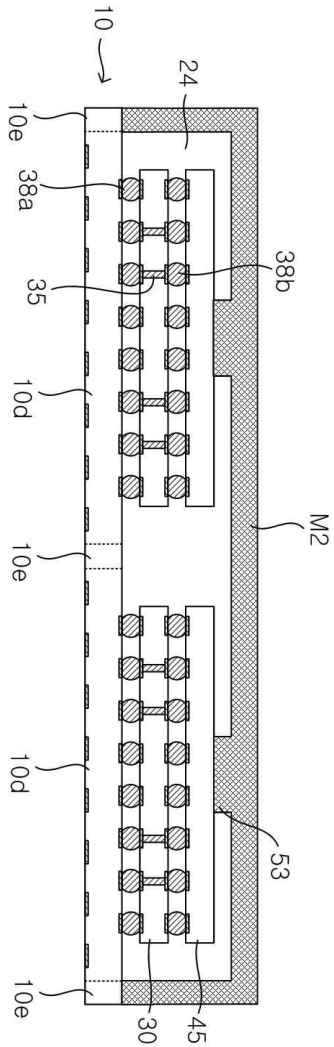
도면22



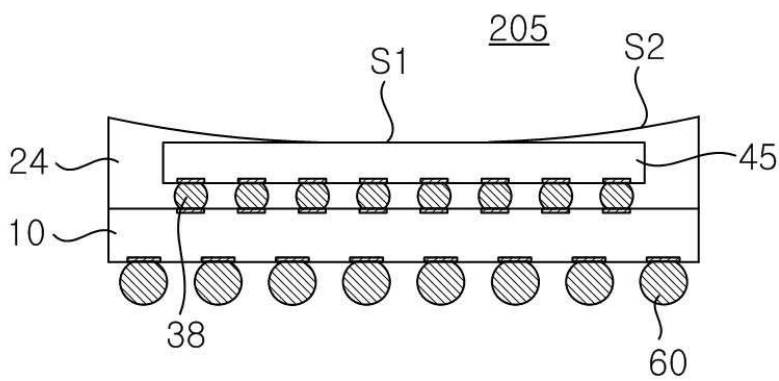
도면23



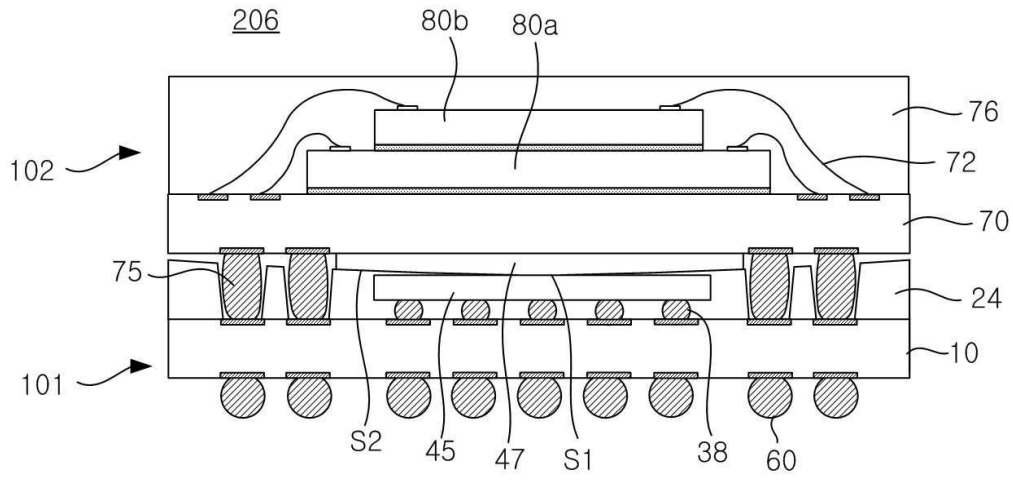
도면24



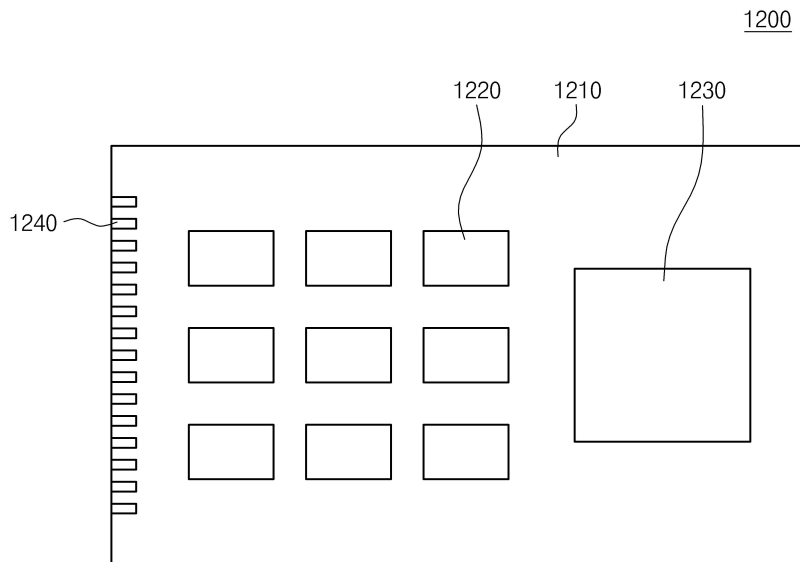
도면25



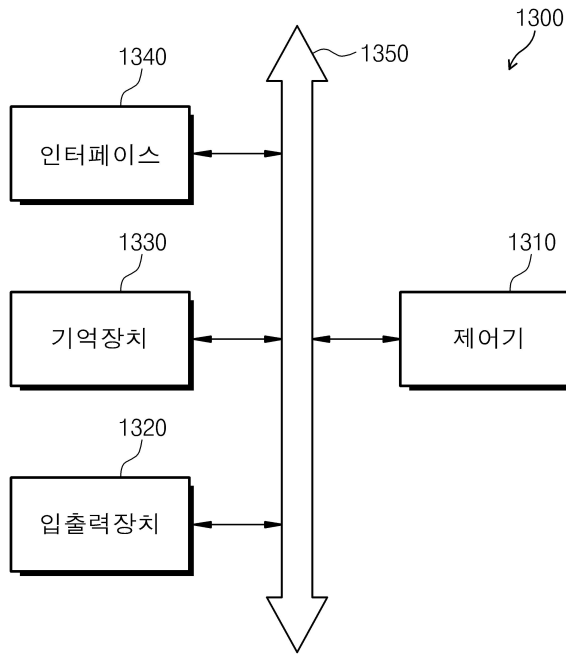
도면26



도면27



도면28



도면29

