



(12) 发明专利

(10) 授权公告号 CN 110931614 B

(45) 授权公告日 2021.08.13

(21) 申请号 201911253684.5

(51) Int.Cl.

(22) 申请日 2019.05.08

H01L 33/20 (2010.01)

(65) 同一申请的已公布的文献号

H01L 33/38 (2010.01)

申请公布号 CN 110931614 A

H01L 33/64 (2010.01)

(43) 申请公布日 2020.03.27

审查员 马佳慧

(62) 分案原申请数据

201910379519.8 2019.05.08

(73) 专利权人 深圳第三代半导体研究院

地址 518000 广东省深圳市龙华区观湖街

道虎地排121号锦绣大地11号楼

(72) 发明人 蒋振宇 闫春辉

(74) 专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 李庆波

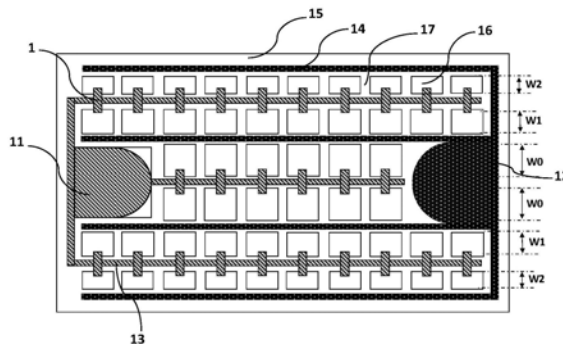
权利要求书1页 说明书6页 附图5页

(54) 发明名称

一种正装集成单元二极管芯片

(57) 摘要

本发明提供一种正装集成单元二极管芯片,包括第一导电类型焊盘、第二导电类型焊盘以及二极管台面结构,第一导电类型焊盘和第二导电类型焊盘沿x轴方向间隔设置,二极管台面结构包括多个二极管单元,二极管单元沿y轴方向的宽度在y轴方向上从正装集成单元二极管芯片的中间往两边逐渐变小。本发明通过不均匀的台面结构设计,获得超均匀的电流分布,热分布,波长分布,以及窄半高的高质量LED光源,解决了现有技术存在的二极管结构在流明效率、流明密度输出、流明成本三个重要的参数上极大局限性的技术问题,提高了单位面积芯片的流明输出,降低了流明成本。



1. 一种正装集成单元二极管芯片,其特征在于,所述正装集成单元二极管芯片包括第一导电类型焊盘、第二导电类型焊盘以及二极管台面结构,所述第一导电类型焊盘和第二导电类型焊盘沿x轴方向间隔设置,所述二极管台面结构包括多个二极管单元,所述二极管单元沿y轴方向的宽度在所述y轴方向上从所述正装集成单元二极管芯片的中间往两边逐渐变小;

其中,所述正装集成单元二极管芯片进一步包括第一导电类型电极线、第二导电类型电极线以及第一导电类型电极,所述第一导电类型电极线和第二导电类型电极线沿所述x轴方向延伸,且沿所述y轴方向间隔设置;所述第一导电类型电极与所述第一导电类型焊盘由所述第一导电类型电极线连接,所述第一导电类型电极进一步延伸到所述二极管单元上。

2. 根据权利要求1所述的正装集成单元二极管芯片,其特征在于,所述多个二极管单元沿所述x轴方向的长度沿所述x轴方向从所述第一导电类型焊盘到所述第二导电类型焊盘逐渐变小。

3. 根据权利要求2所述的正装集成单元二极管芯片,其特征在于,所述x轴方向为所述正装集成单元二极管芯片的长度方向,所述y轴方向为所述正装集成单元二极管芯片的宽度方向。

4. 根据权利要求1所述的正装集成单元二极管芯片,其特征在于,所述第一导电类型焊盘和第二导电类型焊盘设置于所述正装集成单元二极管芯片沿y轴方向的相对两侧边缘处,且分别沿y轴方向在所述边缘处居中设置;所述第一导电类型焊盘与所述第二导电类型焊盘靠近彼此的一侧呈弧形,所述第一导电类型焊盘的弧形与所述第二导电类型的弧形分别向彼此凸起设置。

5. 根据权利要求1所述的正装集成单元二极管芯片,其特征在于,所述二极管单元至少有一个侧壁面从台面底部到顶部方向上设有沟槽。

6. 根据权利要求5所述的正装集成单元二极管芯片,其特征在于,所述二极管单元的侧壁上的沟槽宽度为0.5纳米-10微米,深度为0.5纳米-10微米。

7. 根据权利要求5所述的正装集成单元二极管芯片,其特征在于,所述二极管单元的侧壁与水平面具有一定夹角 α ,所述夹角 α 大于0度且小于等于90度。

8. 根据权利要求1所述的正装集成单元二极管芯片,其特征在于,所述二极管单元上设置有孔结构。

一种正装集成单元二极管芯片

技术领域

[0001] 本发明涉及半导体材料和器件工艺领域,特别是半导体光电器件。

背景技术

[0002] 常规的正装集成单元二极管芯片,电流扩散不均匀,导致发光效率的损失,现有结构下的二极管单元二极管芯片散热通过蓝宝石衬底实现,散热性较差,从而影响单元二极管芯片的效率和稳定性,因此通常正装发光二极管单元二极管芯片主要的应用领域为0.5瓦以下的中小功率单元二极管芯片市场,无法提供单位面积流明输出高的产品。电流扩散的不均匀、热扩散的不均匀和光提取的不均匀,导致其在流明效率、流明密度输出、流明成本三个重要的参数上有极大的局限性,目前市场上的整装二极管技术无法提供有效的解决方案。

[0003] 现有技术一为专利公开号为US6614056B1的美国专利申请,如图1所示,21/23为N型电极,19/20ab为P型电极。电流的扩散的机理如下:ITO(氧化铟锡)与p-GaN形成欧姆接触后,在ITO上沉积19/20ab金属,通过电极线的方式,将空穴扩散到p-GaN,到达量子阱有源区,在量子阱有源区与21/22N型电极扩散过来的电子通过辐射复合发光,获得发光的LED器件。采用ITO透明导电欧姆接触,加金属引线的电流扩散方式,由于ITO电阻率大,且p型GaN材料电导率也不佳,因此总体电流扩散非常不均匀。此外由于LED单元二极管芯片的电流扩散长度与电流密度的平方根成反比,因此在大电流的注入下,电流的扩散长度更短,导致单元二极管芯片的电流扩散更加的不均匀,效率更低,散热更加困难。

[0004] 正装集成单元二极管芯片电流扩散的不均匀导致发光效率的损失。现有结构下的二极管单元二极管芯片散热通过蓝宝石衬底实现,散热性较差,从而影响单元二极管芯片的效率和稳定性,因此通常正装发光二极管单元二极管芯片主要的应用领域为0.5瓦以下的中小功率单元二极管芯片市场,无法提供单位面积流明输出高的产品。电流扩散的不均匀、热扩散的不均匀和光提取的不均匀,导致其在流明效率、流明密度输出、流明成本三个重要的参数上有极大的局性,目前市场上的正装发光二极管技术无法提供有效的解决方案。

[0005] 现有技术二为Proc.of SPIE Vol.10021 100210X-1 2016的会议论文,如图2所示,正装LED芯片的近场分析图(上)和中线上归一化的电流分布图(下),芯片的尺寸为 $1.2\text{mm}\times 1.2\text{mm}$ 。近场分析图中的光强分布与电流扩散的分布成正比。图中可见,在 $7\text{A}/\text{cm}^2$ 的小电流下,边缘某些区域的电流密度不到中间区域的80%,当电流增大 $70\text{A}/\text{cm}^2$ 到时,边缘某些区域的电流密度甚至不到中间区域的50%。因此,大电流下的LED光效、散热和稳定性都会受到严重的限制。

发明内容

[0006] 本发明为解决现有技术存在的二极管结构流明效率、流明密度输出、流明成本三个重要的参数上有极大局限性的技术问题,提出一种流明效率高、流明密度输出大的正装

集成单元二极管芯片。

[0007] 为实现上述目的,本发明提供一种正装集成单元二极管芯片,正装集成单元二极管芯片包括第一导电类型焊盘、第二导电类型焊盘以及二极管台面结构,第一导电类型焊盘和第二导电类型焊盘沿x轴方向间隔设置,二极管台面结构包括多个二极管单元,二极管单元沿y轴方向的宽度在y轴方向上从正装集成单元二极管芯片的中间往两边逐渐变小。

[0008] 其中,多个二极管单元沿x轴方向的长度沿x轴方向从第一导电类型焊盘到第二导电类型焊盘逐渐变小。

[0009] 其中,x轴方向为正装集成单元二极管芯片的长度方向,y轴方向为正装集成单元二极管芯片的宽度方向。

[0010] 其中,正装集成单元二极管芯片进一步包括第一导电类型电极线和第二导电类型电极线,第一导电类型电极线和第二导电类型电极线沿x轴方向延伸,且沿y轴方向间隔设置。

[0011] 其中,正装集成单元二极管芯片进一步包括第一导电类型电极,第一导电类型电极与第一导电类型焊盘由第一导电类型电极线连接,第一导电类型电极进一步延伸到二极管单元上。

[0012] 其中,第一导电类型焊盘和第二导电类型焊盘设置于正装集成单元二极管芯片沿y轴方向的相对两侧边缘处,且分别沿y轴方向在所属的边缘处居中设置;第一导电类型焊盘与第二导电类型焊盘靠近彼此的一侧呈弧形,第一导电类型焊盘的弧形与第二导电类型的弧形分别向彼此凸起设置。

[0013] 其中,二极管单元至少有一个侧壁面从台面底部到顶部方向上设有沟槽。

[0014] 其中,二极管单元的侧壁上的沟槽宽度为0.5纳米-10微米,深度为0.5纳米-10微米。

[0015] 其中,二极管单元的侧壁与水平面具有一定夹角 α ,夹角 α 大于0度且小于等于90度。

[0016] 其中,二极管单元上设置有孔结构。

[0017] 本发明通过不均匀的台面结构设计,获得超均匀的电流分布,热分布,波长分布,以及窄半高的高质量LED光源,解决了现有技术存在的二极管结构在流明效率、流明密度输出、流明成本三个重要的参数上极大局限性的技术问题,提高了单位面积芯片的流明输出,降低了流明成本。

附图说明

[0018] 图1是现有技术的二极管单元结构图;

[0019] 图2是现有技术的二极管单元结构图;

[0020] 图3是本发明实施例1提供的均匀发光的正装集成单元二极管芯片俯视图;

[0021] 图4是本发明的实施例2提供的均匀发光的正装集成单元二极管芯片俯视图;

[0022] 图5是本发明实施例2提供的均匀发光的正装集成单元二极管芯片俯视图;

[0023] 图6是本发明实施例1提供的一种二极管单元示意图;

[0024] 图7是本发明提供的一种二极管单元侧壁沟槽结构示意图;

[0025] 图8是本发明的实施例3提供的均匀发光的正装集成单元二极管芯片俯视图;

[0026] 第一导电类型电极1,第二导电类型电极2,透明电极3,绝缘介质层4,第二导电类型层5,量子阱有源区6,第一导电类型层7,本征氮化镓层8,衬底9,反射镜10,第一导电类型焊盘11,第二导电类型焊盘12,第一导电类型电极线13、第二导电类型电极线14,台面结构15,二极管单元16,沟槽结构17,孔结构18。

具体实施方式

[0027] 下面结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护范围。

[0028] 鉴于现有的二极管结构流明效率、流明密度输出、流明成本三个重要的参数上极大的局限性,本发明实施例提供一种流明效率高、流明密度输出大的正装集成单元二极管,以下结合附图对本发明进行详细说明。

[0029] 一种均匀发光的正装集成单元二极管芯片,包括:第一导电类型电极,第二导电类型电极,及位于所述第一导电类型电极和第二导电类型电极之间的二极管台面结构,所述二极管台面结构包括n个二极管单元,其中n个二极管单元沿x轴方向长度不同或沿y轴方向宽度不同,所述台面结构面积根据电流扩散长度确定,其中, $n \geq 2$;所述n个二极管单元相对于台面结构的平面位置函数为:

$$[0030] \begin{bmatrix} x_a \\ y_b \end{bmatrix} = \begin{bmatrix} x_0 & 0 \\ 0 & y_0 \end{bmatrix} \begin{bmatrix} f(a) \\ g(b) \end{bmatrix} + \begin{bmatrix} c_x \\ c_y \end{bmatrix},$$

所述f(x),g(y)为线性函数,或非线性

函数。

[0031] 二极管台面结构包括第一导电类型焊盘、第二导电类型焊盘,第一导电类型电极与第一导电类型焊盘由第一导电类型电极线连接,第二导电类型电极与第二导电类型焊盘由第二导电类型电极线连接。第一导电类型电极线和第二导电类型电极线连接为线条型电极线;线条型电极线为二极管单元间电极连接线。所述线条型电极线宽度为0.001微米~20微米,所述线条型电极线厚度为0.001微米~10微米。

[0032] 所述n个二极管单元大小与形状均不同,或部分相同。所述n个二极管单元沿x轴方向长度为 $L_0, L_1, L_2, \dots, L_x, \dots, L_n$;所述 $L_0 \geq L_1 \geq L_2 \geq \dots, L_x \dots \geq L_n$ 。所述n个二极管单元沿y轴方向宽度为0.001微米-200微米;所述n个二极管单元沿y轴方向从中间往两边宽度为 $W_0, W_1, W_2, \dots, W_y, \dots, W_n$,其中 $W_0 \geq W_1 \geq W_2 \geq \dots, W_y \dots \geq W_n$ 。所述二极管单元的连接方式为:并联,串联或设定比例的串并联混合。所述二极管单元形状为:三角形、正方形、长方形、五边形、六边形、圆形、任意自定义形状,二极管单元数量为2个~1000亿个。所述二极管台面结构包括孔结构。

[0033] 所述的均匀发光的集成单元二极管芯片包括沟槽结构,沟槽结构位于二极管单元之间,n个二极管单元之间的沟槽宽度相同或不同,沟槽的宽度为0.001微米-30微米。

[0034] 所述二极管单元的侧壁与水平面具有一定夹角 α ,夹角 α 大于0度且小于等于90度。二极管单元的侧壁形状为梯形、四边形、曲面以及其它任意定义形状;二极管单元至少有一个侧壁面从台面底部到顶部方向上有沟槽分布。二极管单元侧壁上的沟槽截面形状为三角形、四边形、弧形以及其它任意定义形状,沟槽水平方向不均匀分布或均匀分布,侧壁的沟

槽水平方向不均匀分布包括等距和非等距周期性分布,或等距和非等距非周期性分布,侧壁的沟槽宽度为0.5纳米-10微米,深度为0.5纳米-10微米。

[0035] 所述二极管台面结构内的n个二极管单元包括绝缘介质层,透明电极,第一导电类型层,第一导电类型电极,第二导电类型层,第二导电类型电极,第二导电类型电极和量子阱有源区位于第一导电类型层上,第二导电类型层位于量子阱有源区上,绝缘介质层位于第一导电类型层上并部分覆盖第二导电类型层,透明电极位于第二导电类型层上并部分覆盖绝缘介质层,第二导电类型电极位于绝缘介质层上并部分覆盖所述透明电极。所述绝缘介质层材料为二氧化硅、氧化铝、氮化硅。所述二极管台面结构与衬底之间具有本征氮化镓层,所述衬底位于反射镜上,所述反射镜材料为银、铝或分布式布拉格反射镜。

[0036] 实施例1

[0037] 本实施例提供一种均匀发光的正装集成单元二极管芯片,如图3所示,包括:第一导电类型电极1,第一导电类型焊盘11,第二导电类型焊盘12,第一导电类型电极线13,第二导电类型电极线14,二极管台面结构15,二极管台面结构包括6行共56个正方形二极管单元16和沟槽17,沟槽结构位于二极管单元之间。所述二极管单元均匀分布在台面结构内,二极管单元沿x轴方向长度为10纳米-100纳米。每行二极管单元从靠近第二导电类型焊盘开始沿x轴方向长度大小不等或相等。当不等时,定义其长度分别为 $L_0, L_1, L_2, L_3 \cdots L_n$,其中二极管单元宽度满足 $L_0 > L_1 > L_2 > L_3 > \cdots > L_n$ 。

[0038] 在一些优选的实施例中,二极管单元x轴方向长度为100微米;在另一些优选实施例中,二极管单元x轴方向长度10微米;在另一些优选实施例中,二极管x轴方向长度为1微米。

[0039] 第一导电类型电极线13和第二导电类型电极线14为线条型电极线,线条型电极线宽度为0.001微米~20微米,厚度为0.001微米~10微米,电极线采用氧化铟锡材料,直线布局设计。第一导电类型焊盘11和第二导电类型焊盘12形状为一条为弧形的不规则多边形,焊盘个数均为1,位于台面结构边沿。沟槽17的形状为十字形,横截面形状为长方形,水平方向均匀分布。

[0040] n个二极管单元之间的沟槽宽度相同或不同,沟槽的宽度为0.001微米-30微米。二极管单元的侧壁与水平面具有一定夹角 α ,夹角 α 大于0度且小于等于90度。如图7所示,二极管单元的侧壁形状为梯形,还可以为四边形、曲面以及其它任意定义形状。二极管单元至少有一个侧壁面从台面底部到顶部方向上有沟槽分布,二极管单元侧壁上的沟槽截面形状为三角形,还可以为四边形、弧形以及其它任意定义形状。二极管单元侧壁上的沟槽宽度为0.5纳米-10微米,深度为0.5纳米-10微米。

[0041] 如图6所示,二极管台面结构内的n个二极管单元包括第二导电类型电极2,透明电极3,绝缘介质层4,第一导电类型层7,第二导电类型层5,量子阱有源区6。第二导电类型电极2和量子阱有源区6位于第一导电类型层上7,第二导电类型层5位于量子阱有源区6上,位于第二导电类型层5上,绝缘介质层4位于第一导电类型层7上并部分覆盖透明电极3,第二导电类型电极2位于绝缘介质层4上并部分覆盖所述透明电极3。

[0042] 实施例2

[0043] 本实施例提供一种均匀发光的正装集成单元二极管芯片,如图4所示,包括:第一导电类型电极1,第一导电类型焊盘11,第二导电类型焊盘12,第一导电类型电极线13,第二

导电类型电极线14,二极管台面结构15,二极管台面结构包括6行共16个大小相等的正方形以及40个长度相等宽度不等的两种长方形二极管单元和沟槽结构17,沟槽结构位于二极管单元之间。每一行的二极管单元大小相等,所述二极管单元均分布在台面结构内,每个二极管单元沿y轴方向宽度为10纳米-100纳米。二极管单元从中间位置开始,沿y轴方向宽度大小不等或相等。当不等时,定义其宽度从中间向两侧分别为 $W_0, W_1, W_2, W_3 \cdots W_m$;其中二极管单元宽度满足 $W_0 > W_1 > W_2 > W_3 > \cdots > W_m$ 。

[0044] 在一些优选的实施例中,二极管单元沿y轴方向宽度为100微米;在另一些优选实施例中,二极管单元y轴方向宽度10微米;在另一些优选实施例中,二极管y轴方向宽度为1微米。

[0045] 本实施例还提供一种均匀发光的正装集成单元二极管芯片,如图5所示,所述二极管台面结构包括6行共56个正方形二极管单元和沟槽结构17,沟槽结构位于二极管单元之间。所述二极管单元均匀分布在台面结构内,二极管单元沿x轴方向长度为10纳米-100纳米。二极管单元之间沿y轴方向的沟槽宽度相等或不等,定义其宽度分别为 $L_{q_0}, L_{q_1}, L_{q_2}, L_{q_3}, \cdots L_{q_n}$,宽度可等比例,沟槽的宽度在0.001-30微米的范围之内。

[0046] 实施例3

[0047] 本实施例提供一种均匀发光的正装集成单元二极管芯片,如图8所示,包括:第一导电类型电极1,第一导电类型焊盘11,第二导电类型焊盘12,第一导电类型电极线13,第二导电类型电极线14,二极管台面结构15,二极管单元16和沟槽17。二极管台面结构包括6排共102个等大小均匀分布的三角形二极管单元16,二极管单元沿x轴方向长度为40微米。二极管台面结构采用三角形排列,台面结构的尺寸小于电流注入的扩散长度。二极管单元形状为三角形按照均匀的对称排列分布。

[0048] 在一些优选的实施例中,二极管单元沿y轴方向宽度为10纳米,在另一些优选实施例中,二极管单元沿y轴方向宽度为100纳米。

[0049] 每个二极管单元增设孔结构,孔结构包括二个孔单元,孔单元为圆形孔单元直径为1纳米~20微米。孔单元对称排列,非对称排列,周期性排列,非周期性排列或随机排列。孔单元形状还可以为三角形、正方形、长方形、五边形、六边形、圆形、以及其它任意定义形状,并不局限于图8中展示的形状。

[0050] 本发明的实施例提供的均匀发光的正装集成单元二极管芯片,具有以下有益效果:

[0051] (1) 本发明的二极管单元的长度设计控制在电流扩散长度以内,优化的具备一定自由度的几何设计可以更进一步的提升出光效率,可同时解决困扰LED单元二极管芯片设计的n型电极和p型电极电流扩散不均匀的问题,从而得到更高的光电转换效率/流明效率;

[0052] (2) 本发明的每个二极管单元的微纳结构增加侧壁的出光面积,从而提升光萃取效率;

[0053] (3) 本发明的集成单元二极管芯片尺寸的优化,带来更大的侧壁散热面积,具备更佳的散热性能,允许超大电流密度的注入而不影响其稳定性,极大的提高单位面积单元二极管芯片的流明输出,降低流明成本;

[0054] (4) 本发明的集成单元二极管芯片的设计,可以实现超均匀的电流注入,因此而获得更高的效率、更好的波长均匀性、发光谱更窄的半高宽、更好的散热均匀性和更好的器件

稳定性,电流注入均匀性远超过正装50%左右的电流注入均匀性;

[0055] (5) 本发明的集成单元二极管芯片适于UVC、UVA、UVB、紫光、蓝光、绿光、黄光、红光、红外光等各色系的LED产品,可用于LED照明,背光,显示,植物照明,医疗和其他半导体发光器件应用领域。

[0056] 以上所述的具体实施例,对本发明的目的,技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例,并不用于限定本发明的保护范围,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

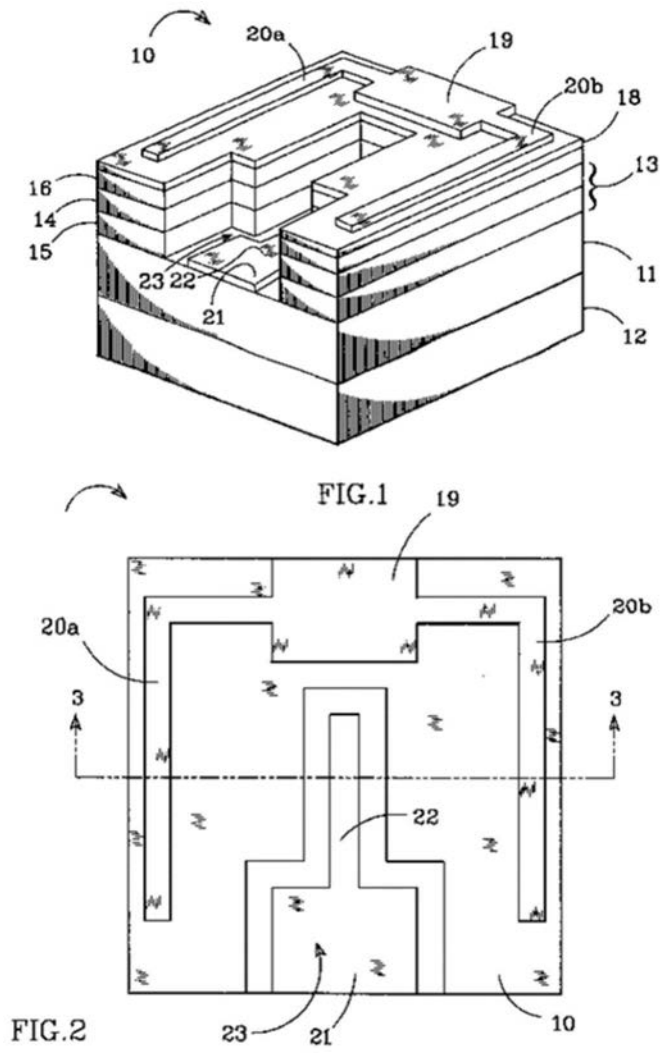


图1

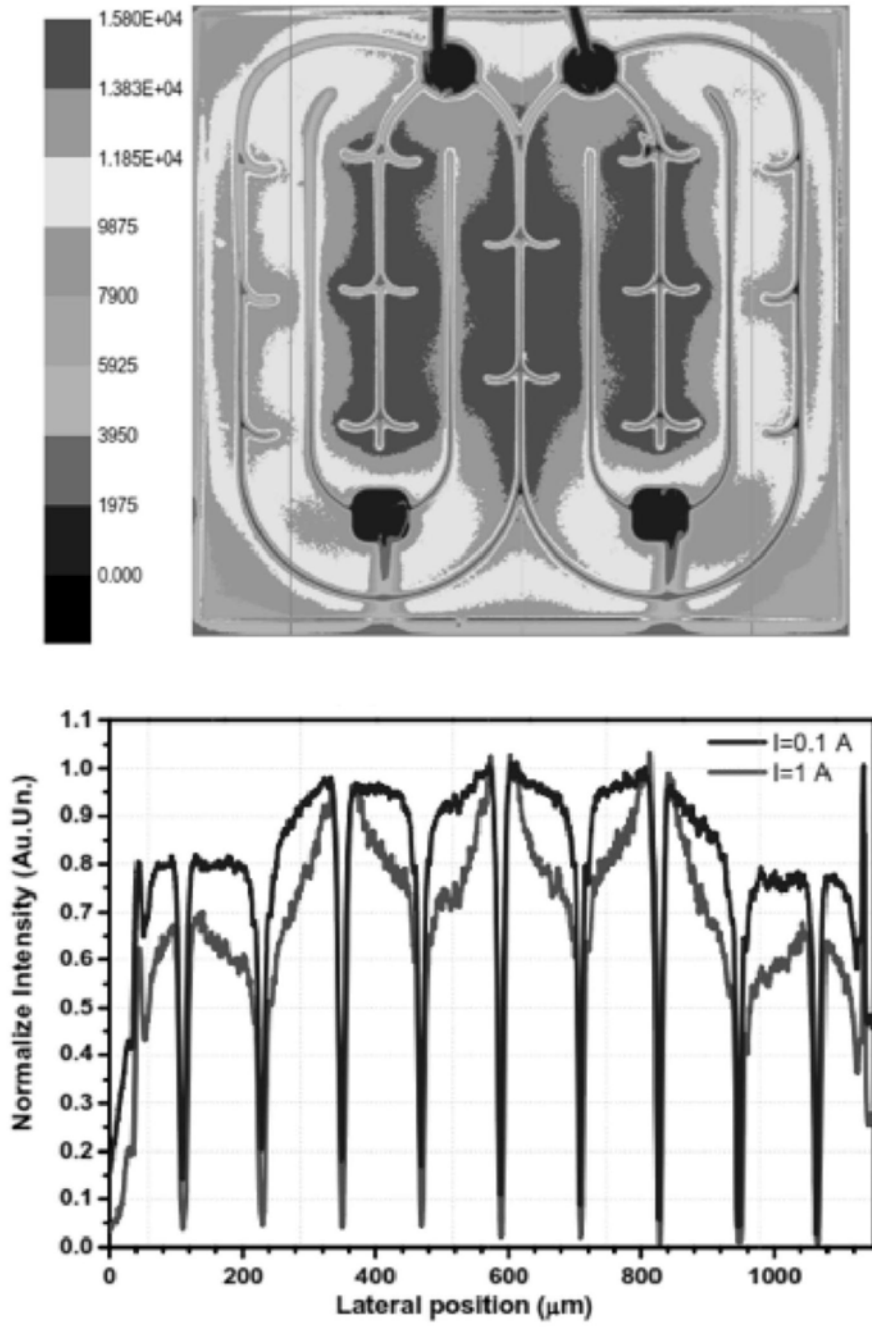


图2

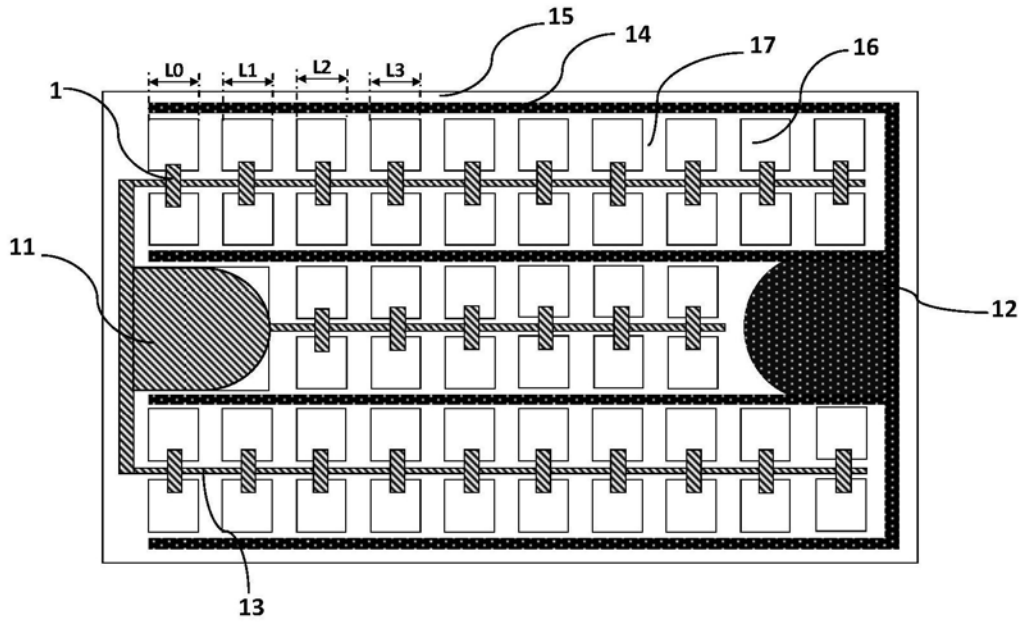


图3

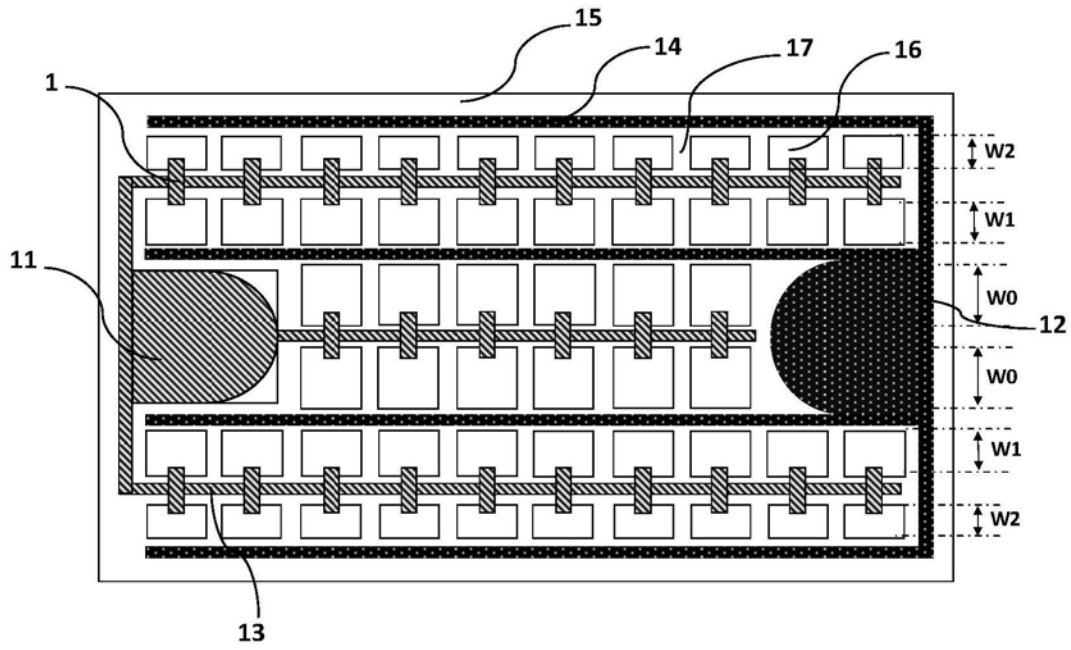


图4

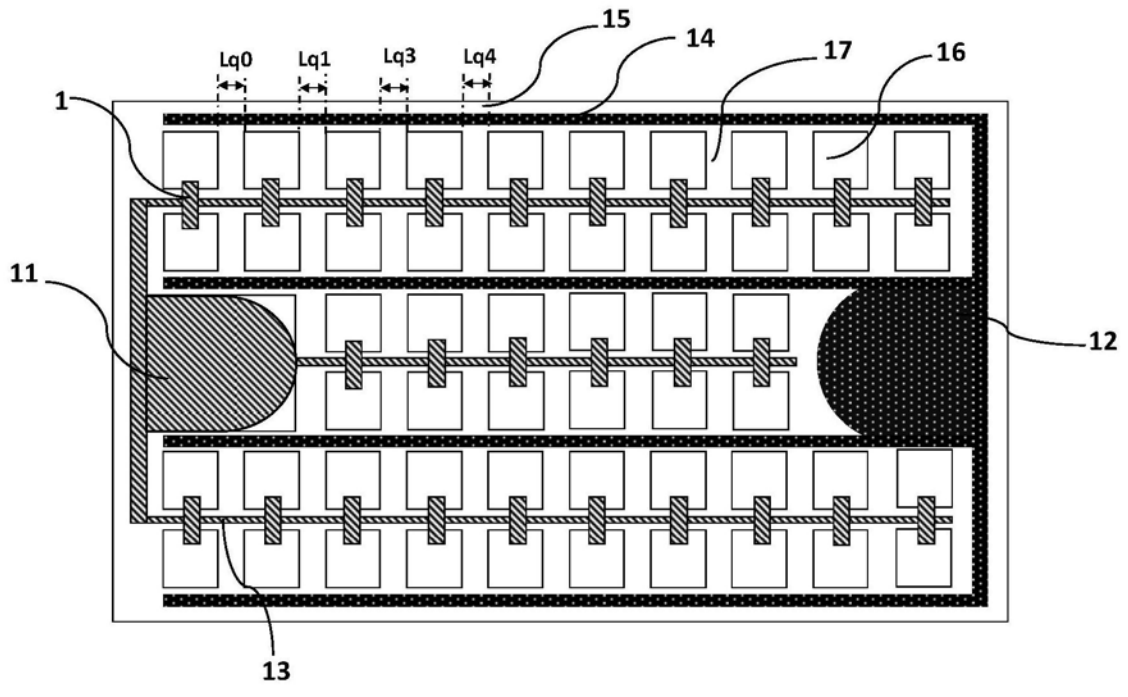


图5

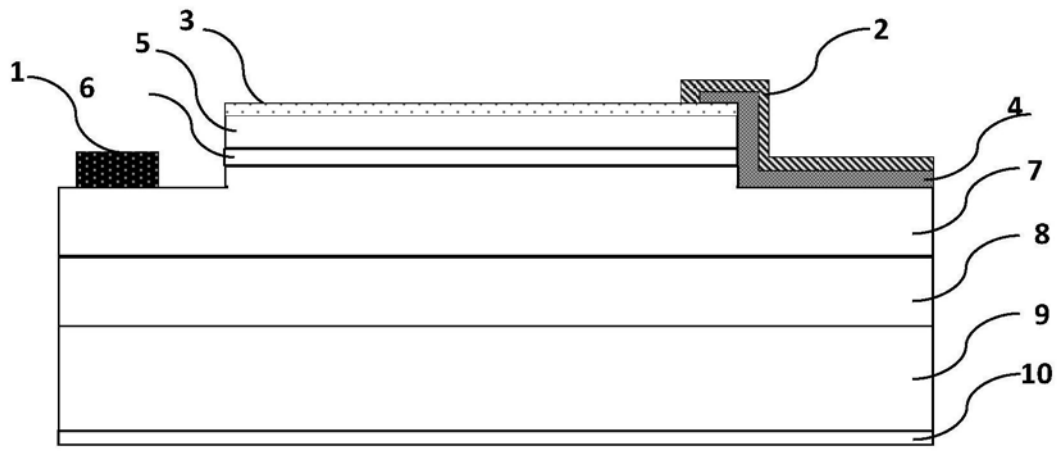


图6

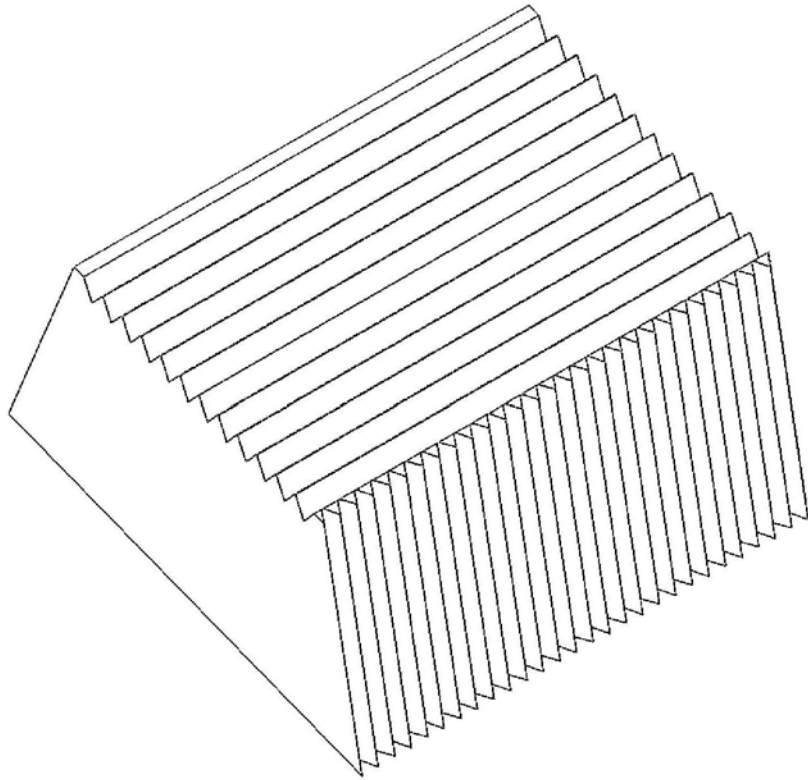


图7

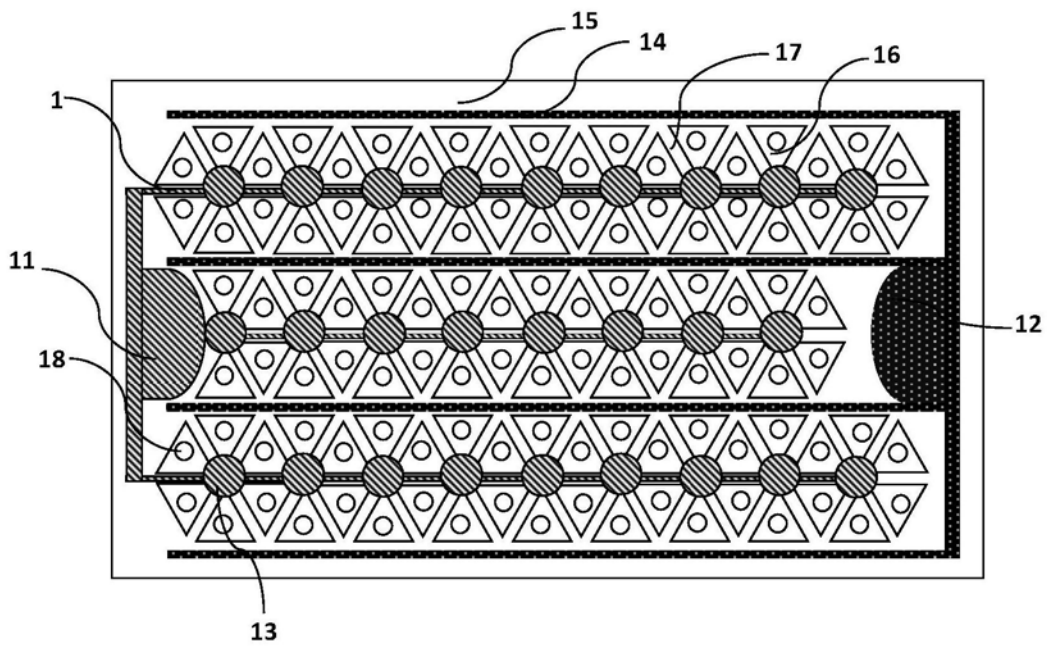


图8