

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-190483  
(P2005-190483A)

(43) 公開日 平成17年7月14日(2005.7.14)

(51) Int. Cl.<sup>7</sup>

G06F 1/04  
G06F 1/32

F I

G06F 1/04 301C  
G06F 1/00 332Z

テーマコード(参考)

5B011  
5B079

審査請求 未請求 請求項の数 43 O L (全 18 頁)

(21) 出願番号 特願2004-374425 (P2004-374425)  
(22) 出願日 平成16年12月24日(2004.12.24)  
(31) 優先権主張番号 2003-096634  
(32) 優先日 平成15年12月24日(2003.12.24)  
(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市靈通区梅灘洞416  
(74) 代理人 100076428  
弁理士 大塚 康德  
(74) 代理人 100112508  
弁理士 高柳 司郎  
(74) 代理人 100115071  
弁理士 大塚 康弘  
(74) 代理人 100116894  
弁理士 木村 秀二  
(72) 発明者 尹炳輝  
大韓民国京畿道龍仁市水枝邑豊徳川2洞サムスン5次アパート523棟1002号

最終頁に続く

(54) 【発明の名称】 遊休モードでの電力消費が減少したプロセッサシステムおよびその方法

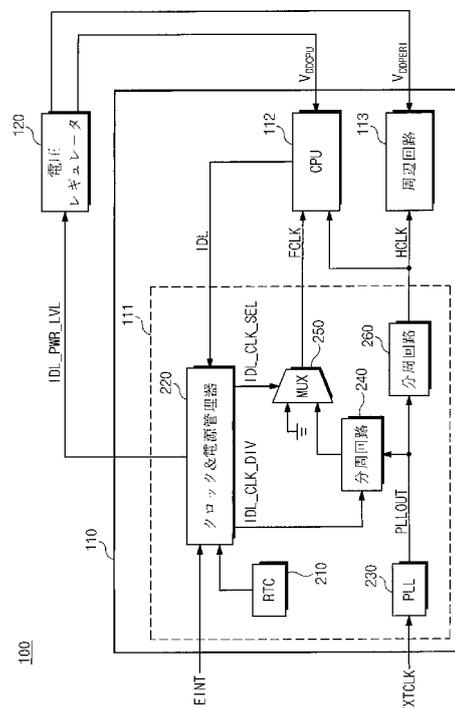
(57) 【要約】

【課題】 本発明のプロセッサシステムは遊休モードの間、正常レベルより低い遊休レベルの電源電圧をプロセッサに供給する。

【解決手段】 遊休モードの間、プロセッサで消費する電力が最小化される。また、遊休モードから正常モードに戻るときに、プロセッサに供給される電源電圧を正常レベルに上昇させ、電源電圧が正常レベルに十分に上昇するまでプロセッサに供給されるクロック信号の周波数を正常周波数より低下させてプロセッサの誤動作を防止する。

【選択図】 図1

図 1



## 【特許請求の範囲】

## 【請求項 1】

正常モードから遊休モードに入るときにプロセッサに供給される電源電圧を正常レベルから遊休レベルに変換する段階と、

前記遊休モードから前記正常モードに戻るときに、前記プロセッサに供給される電源電圧が前記遊休モードから前記正常レベルに戻るまで前記プロセッサを前記正常モードでの動作速度より低い速度で動作させる段階とを含むことを特徴とする電源管理方法。

## 【請求項 2】

前記プロセッサを低い動作速度で動作させる段階は、

前記プロセッサに供給される電源電圧が前記正常レベルに戻るまで前記正常モードでの周波数より低い周波数のクロック信号を前記プロセッサに提供する段階を含むことを特徴とする請求項 1 に記載の電源管理方法。

10

## 【請求項 3】

前記プロセッサを低い動作速度で動作させる段階は、

前記プロセッサに供給される電源電圧が正常レベルに戻るまで外部から入力されるクロック信号を所定の分周率で分周する段階と

前記分周されたクロック信号を前記プロセッサに供給する段階とを含むことを特徴とする請求項 2 に記載の電源管理方法。

## 【請求項 4】

前記正常モードで前記外部から入力されるクロック信号を前記プロセッサに提供する段階をさらに含むことを特徴とする請求項 3 に記載の電源管理方法。

20

## 【請求項 5】

前記遊休モードで前記プロセッサに供給されるクロック信号を遮断する段階をさらに含むことを特徴とする請求項 3 に記載の電源管理方法。

## 【請求項 6】

前記プロセッサを低い動作速度で動作させる段階は、

前記遊休モードから正常モードに戻るときに、前記プロセッサに供給される電源電圧の上昇幅に従って前記プロセッサに提供されるクロック信号の分周率を変更する段階を含むことを特徴とする請求項 3 に記載の電源管理方法。

## 【請求項 7】

前記遊休モードで前記プロセッサに供給される電源電圧は前記正常モードでの正常電源電圧より低い遊休電源電圧であることを特徴とする請求項 1 に記載の電源管理方法。

30

## 【請求項 8】

遊休モードに入るときにプロセッサに供給される電源電圧を低下させる段階と、

前記遊休モードから正常モードに戻るときに、前記プロセッサに供給される電源電圧を正常動作電圧レベルに上昇させる段階と

前記プロセッサに供給される電源電圧が前記正常レベルに上昇するまで正常クロック信号の周波数より低い周波数のクロック信号を前記プロセッサに提供する段階とを含むことを特徴とする電源管理方法。

## 【請求項 9】

前記低い周波数のクロック信号を前記プロセッサに提供する段階は、

前記正常クロック信号を所定の分周率で分周する段階と

前記分周されたクロック信号を前記プロセッサに提供する段階とを含むことを特徴とする請求項 8 に記載の電源管理方法。

40

## 【請求項 10】

前記低い周波数のクロック信号を前記プロセッサに提供する段階は、

前記プロセッサに供給される電源電圧が前記正常電源電圧レベルに上昇すれば、前記正常クロック信号を前記プロセッサに提供する段階を含むことを特徴とする請求項 8 に記載の電源管理方法。

## 【請求項 11】

50

前記低い周波数のクロック信号を前記プロセッサに提供する段階は、  
前記プロセッサに供給される電源電圧を上昇させる時点から所定時間が経過すれば前記正常クロック信号を前記プロセッサに提供する段階をさらに含むことを特徴とする請求項 10 に記載の電源管理方法。

【請求項 12】

前記正常モードの間、前記正常クロック信号を前記プロセッサに提供する段階をさらに含むことを特徴とする請求項 10 に記載の電源管理方法。

【請求項 13】

前記クロック信号の周波数を正常レベルに戻らせる段階は、  
前記プロセッサに供給される電源電圧の上昇幅に比例して前記外部から提供されたクロック信号の分周率を変更する段階を含むことを特徴とする請求項 8 に記載の電源管理方法。

【請求項 14】

前記遊休モードの間、前記プロセッサに提供されるクロック信号を遮断する段階をさらに含むことを特徴とする請求項 8 に記載の電源管理方法。

【請求項 15】

前記プロセッサが前記遊休モードに入るときに前記プロセッサによって遊休モード信号を出力する段階をさらに含むことを特徴とする請求項 8 に記載の電源管理方法。

【請求項 16】

遊休モードに入るときにプロセッサに供給される電源電圧を低下させ、前記プロセッサへのクロック供給を遮断する段階と、

前記遊休モードから正常モードに戻るときに、前記プロセッサに供給される電源電圧を正常動作電圧レベルに上昇させる段階と、

前記プロセッサに供給される電源電圧が前記正常レベルに上昇するまで正常クロック信号の周波数より低い周波数のクロック信号を前記プロセッサに供給する段階とを含むことを特徴とする電源管理方法。

【請求項 17】

前記低い周波数のクロック信号を前記プロセッサに提供する段階は、  
前記正常クロック信号を所定の分周率で分周する段階と、  
前記分周されたクロック信号を前記プロセッサに提供する段階とを含むことを特徴とする請求項 16 に記載の電源管理方法。

【請求項 18】

前記低い周波数のクロック信号を前記プロセッサに提供する段階は、  
前記プロセッサに供給される電源電圧が前記正常電源電圧レベルに上昇すれば、前記正常クロック信号を前記プロセッサに提供する段階を含むことを特徴とする請求項 17 に記載の電源管理方法。

【請求項 19】

前記低い周波数のクロック信号を前記プロセッサに提供する段階は、  
前記プロセッサに供給される電源電圧を上昇させる時点から所定時間が経過すれば、前記正常クロック信号を前記プロセッサに提供する段階をさらに含むことを特徴とする請求項 18 に記載の電源管理方法。

【請求項 20】

前記正常モードの間、前記正常クロック信号を前記プロセッサに提供する段階をさらに含むことを特徴とする請求項 19 に記載の電源管理方法。

【請求項 21】

前記クロック信号の周波数を正常レベルに戻らせる段階は、  
前記プロセッサに供給される電源電圧の上昇幅に比例して前記外部から提供されたクロック信号の分周率を変更する段階を含むことを特徴とする請求項 16 に記載の電源管理方法。

【請求項 22】

前記プロセッサが前記遊休モードに入るときに前記プロセッサによって遊休モード信号を出力する段階をさらに含むことを特徴とする請求項 16 に記載の電源管理方法。

【請求項 23】

プロセッサと、

動作モードに対応するレベルの電源電圧を前記プロセッサに供給するレギュレータと、  
遊休モードから正常モードに戻るときに、前記レギュレータが正常レベルの電源電圧を前記プロセッサに供給するまで、正常クロック信号より周波数が低い過渡クロック信号を前記プロセッサに提供するクロックおよび電源管理ブロックを含むことを特徴とするプロセッサシステム。

【請求項 24】

前記クロックおよび電源管理ブロックは、

前記正常クロック信号を所定の分周率で分周して前記過渡クロック信号を出力する分周器を含むことを特徴とする請求項 23 に記載のプロセッサシステム。

【請求項 25】

前記クロックおよび電源管理ブロックは、

前記遊休モードから前記正常モードに戻るときに、前記レギュレータが前記プロセッサに正常電源電圧を供給するまで、前記分周器から出力される過渡クロック信号を前記プロセッサに提供することを特徴とする請求項 24 に記載のプロセッサシステム。

【請求項 26】

前記クロックおよび電源管理ブロックは、

前記正常モードの間、前記正常クロック信号を前記プロセッサに提供することを特徴とする請求項 25 に記載のプロセッサシステム。

【請求項 27】

前記クロックおよび電源管理ブロックは、

前記正常クロック信号を所定の分周率によって分周する複数の分周器を含むことを特徴とする請求項 24 に記載のプロセッサシステム。

【請求項 28】

前記複数の分周器の分周率は互いに異なることを特徴とする請求項 27 に記載のプロセッサシステム。

【請求項 29】

前記クロックおよび電源管理ブロックは、

前記遊休モードから前記正常モードに戻るときに、前記分周器から出力されるクロック信号のうちで前記レギュレータが前記プロセッサに供給する電源電圧のレベルに対応するクロック信号を前記過渡クロック信号として前記プロセッサに伝達することを特徴とする請求項 28 に記載のプロセッサシステム。

【請求項 30】

前記クロックおよび電源管理ブロックは、

前記遊休モードの間、前記正常クロック信号と前記過渡クロック信号が前記プロセッサに提供されることを遮断することを特徴とする請求項 23 に記載のプロセッサシステム。

【請求項 31】

前記プロセッサは動作モードを示すモード信号を前記管理ブロックに伝達することを特徴とする請求項 23 に記載のプロセッサシステム。

【請求項 32】

動作モードを示すモード信号を出力するプロセッサと、

電源電圧を前記プロセッサに供給するレギュレータと、

外部から提供された正常クロック信号を分周する分周回路と、

前記分周回路から出力される分周信号を前記プロセッサに選択的に提供する選択器と、

前記モード信号に応答して前記分周回路、前記選択器および前記レギュレータを制御するクロックおよび電源管理者を含むことを特徴とするプロセッサシステム。

【請求項 33】

10

20

30

40

50

前記モード信号は正常動作モードおよび遊休モードのうちの一つを示すことを特徴とする請求項 3 2 に記載のプロセッサシステム。

【請求項 3 4】

前記クロックおよび電源管理器は、

前記正常動作モードの間、前記分周回路が前記外部から提供された正常クロック信号を前記分周信号として出力するように制御することを特徴とする請求項 3 3 に記載のプロセッサシステム。

【請求項 3 5】

前記クロックおよび電源管理器は、

前記正常モードの間、前記レギュレータが正常電源電圧を前記プロセッサに供給するように制御することを特徴とする請求項 3 4 に記載のプロセッサシステム。

10

【請求項 3 6】

前記クロックおよび電源管理器は、

前記遊休モードの間、前記選択器が前記分周信号を前記プロセッサに提供しないように制御することを特徴とする請求項 3 5 に記載のプロセッサシステム。

【請求項 3 7】

前記クロックおよび電源管理器は、

前記遊休モードの間、前記レギュレータが前記正常電源電圧より低い遊休電源電圧を前記プロセッサに供給するように制御することを特徴とする請求項 3 6 に記載のプロセッサシステム。

20

【請求項 3 8】

前記クロックおよび電源管理器は、

前記遊休モードから前記正常モードに戻るときに、前記レギュレータが前記プロセッサに供給する電源電圧が前記正常電源電圧に上昇するまで、前記選択器が前記分周回路からの分周信号を前記プロセッサに提供するように制御することを特徴とする請求項 3 7 に記載のプロセッサシステム。

【請求項 3 9】

前記分周回路は、

前記正常クロック信号をそれぞれ所定の分周率で分周する複数の分周器を含むことを特徴とする請求項 3 8 に記載のプロセッサシステム。

30

【請求項 4 0】

前記複数の分周器の分周率は互いに異なることを特徴とする請求項 3 9 に記載のプロセッサシステム。

【請求項 4 1】

前記クロックおよび電源管理器は、

前記遊休モードから前記正常モードに戻るときに、前記レギュレータが前記プロセッサに供給する電源電圧が所定レベルまで上昇したときに、前記複数の分周器のうちより高い分周率を有する分周器から出力される分周信号を前記プロセッサに提供するように制御することを特徴とする請求項 4 0 に記載のプロセッサシステム。

【請求項 4 2】

40

動作モードを示すモード信号を出力するプロセッサと、

電源電圧を前記プロセッサに供給するレギュレータと、

外部から提供された正常クロック信号を分周する第 1 分周回路と、

前記第 1 分周回路から出力される分周信号を前記プロセッサに選択的に提供する選択器と、

前記モード信号に応答して前記分周回路、前記選択器および前記レギュレータを制御するクロックおよび電源管理器と、

前記正常クロック信号を分周する第 2 分周回路と、

前記第 2 分周回路から出力される分周信号に応答して動作する周辺回路とを含むことを特徴とするプロセッサシステム。

50

## 【請求項 43】

動作モードを示すモード信号を出力するプロセッサと、  
電源電圧を前記プロセッサに供給するレギュレータと、  
外部から提供された正常クロック信号を分周する分周回路と、  
前記正常クロック信号と前記分周回路から出力される分周信号のうちの一つを出力する  
第1選択器と、

前記第1選択器からの出力信号を前記プロセッサに選択的に提供する第2選択器と、  
前記モード信号に応答して前記分周回路、前記第1、第2選択器および前記レギュレー  
タを制御するクロックおよび電源管理器と、

前記分周回路から出力される分周信号に応答して動作する周辺回路とを含むことを特徴  
とするプロセッサシステム。 10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はプロセッサを具備したシステムに関するもので、さらに具体的にはプロセッサ  
が遊休モードの間、消費される電力を減少させるための方式 ( s c h e m e ) を有するプ  
ロセッサシステムに関するものである。

## 【背景技術】

## 【0002】

高性能のために動作速度を高めてデータ処理を速くするプロセッサを装着したシステム 20  
において、全体の電力消費量のうちでプロセッサの電力消費量が多くを占めている。  
特に、携帯電話、PDA ( p e r s o n a l d i g i t a l a s s i s t a n t )、デ  
ジカメ、ノートブックなどのようにバッテリーによって動作する携帯用電子装置に高性能  
のプロセッサが装着されることによって低電力プロセッサを設計することが主な目標のう  
ちの一つになった。

## 【0003】

プロセッサの電力消費を減らすための方式のうちの一つはプロセッサの動作に応じて多  
様な動作モードを支援することである。このような動作モードのうちの一つが遊休モード  
( i d l e m o d e ) である。プロセッサは内部に中央処理装置CPUを初めとして多数  
のハードウェアモジュールを含む。各モジュールはクロック源 ( c l o c k s o u r c e 30  
) で生成されたクロックに同期されて動作する。遊休モードはCPUが動作しない状態を  
意味し、入出力制御部、メモリのような他のハードウェアモジュールすなわち、周辺装置  
の動作状態とは無関係である。遊休モードはインタラプトまたはタイマなどのイベント ( e v e n t )  
によってCPUが再動作する前まで維持される。遊休モードの間、CPUに  
供給されるクロック信号の周波数は減少するか、またはCPUへのクロック供給は遮断さ  
れる。

## 【0004】

CMOS ( c o m p l e m e n t a r y m e t a l - o x i d e s e m i c o n d u c t o r ) 技術によって作られたCPUで消費される電力は次の数式1によって計算する  
ことができる。 40

## 【0005】

$$P_{avg} = P_{switch} + P_{short-circuit} + P_{leakage} + P_{static} \\ = C_L V_{DD} f_{clk} + I_{sc} V_{DD} + I_{leakage} + I_{static} + V_{DD} \dots \text{ (数式1)}$$

よく知られたように、CMOS単位素子は相補的な二つのトランジスタすなわち、PM  
OSTランジスタとNMOSTランジスタで構成される。上の数式で  $P_{switch}$  はト  
ランジスタがスイッチングしながら消費する電力、 $P_{short-circuit}$  は瞬間  
的にNMOSTランジスタとPMOSTランジスタが同時に導通されるときに消費する電  
力であり、 $P_{leakage}$  は漏洩電流 ( l e a k a g e c u r r e n t ) によって消費  
される電力であり、そして  $P_{static}$  はCPUに構成されたトランスミッションゲー 50

トやバイアス回路などによって持続的に消費される電力である。 $\alpha$  は CMOS 素子の入/出力ノードの信号レベルが 0 から 1 に遷移する確率であり、 $C_L$  はキャパシタンス、 $V$  は入力ノードの電圧、 $V_{DD}$  は電源電圧、および  $f_{clk}$  は CPU に提供されるクロック信号の周波数を示す。

【0006】

数式 1 によれば、遊休モードの間、CPU に供給されるクロック信号の周波数を遮断する場合にスイッチング電力  $P_{switch}$  は減少するが、相変わらず電力消費は多い。

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は低消費電力プロセッサシステムを提供することにある。

10

【0008】

本発明の他の目的はプロセッサを具備したシステムの電力消費の減少のための制御方法を提供することにある。

【0009】

本発明のまた他の目的は遊休モードの間、電力消費が減少したプロセッサシステムを提供することにある。

【0010】

本発明の他の目的は遊休モードを支援するプロセッサを具備したシステムにおいて、プロセッサが遊休モードであるときに、電力消費を減少させるためのプロセスを提供することにある。

20

【課題を解決するための手段】

【0011】

上述のような目的を達成するための本発明の一特徴によれば、プロセッサシステムの電源管理方法は、正常モードから遊休モードに入るときにプロセッサに供給される電源電圧を低下させる段階と、前記遊休モードから前記正常モードに戻るときに、前記プロセッサに供給される電源電圧が前記正常レベルに戻るまで前記プロセッサを前記正常モードでの動作速度より低い速度で動作させる段階とを含む。

【0012】

望ましい実施形態において、前記プロセッサを低い動作速度で動作させる段階は、前記プロセッサに供給される電源電圧が前記正常レベルに戻るまで前記正常モードでの周波数より低い周波数のクロック信号を前記プロセッサに提供する段階を含む。

30

【0013】

この実施形態において、前記プロセッサを低い動作速度で動作させる段階は、前記プロセッサに供給される電源電圧が正常レベルに戻るまで外部から入力されるクロック信号を所定の分周率で分周する段階と、前記分周されたクロック信号を前記プロセッサに供給する段階とを含む。

【0014】

この実施形態において、前記正常モードで前記外部から入力されるクロック信号を前記プロセッサに提供する段階と、前記遊休モードから前記プロセッサに供給されるクロック信号を遮断する段階がさらに含まれる。

40

【0015】

この実施形態において、前記プロセッサを低い動作速度で動作させる段階は、前記遊休モードから正常モードに戻るときに、前記プロセッサに供給される電源電圧の上昇幅に従って前記プロセッサに提供されるクロック信号の分周率を変更する段階を含む。

【0016】

望ましい実施形態において、前記遊休モードから前記プロセッサに供給される電源電圧は前記正常モードでの正常電源電圧より低い遊休電源電圧である。

【0017】

本発明の他の特徴による電源管理方法は、遊休モードに入るときにプロセッサに供給さ

50

れる電源電圧を低下させる段階と、前記遊休モードから正常モードに戻るときに、前記プロセッサに供給される電源電圧を正常動作電圧レベルに上昇させる段階と、前記プロセッサに供給される電源電圧が前記正常レベルに上昇するまで正常クロック信号の周波数より低い周波数のクロック信号を前記プロセッサに提供する段階とを含む。

【0018】

望ましい実施形態において、前記低い周波数のクロック信号を前記プロセッサに提供する段階は、前記正常クロック信号を所定の分周率で分周する段階と、前記分周されたクロック信号を前記プロセッサに提供する段階とを含む。

【0019】

望ましい実施形態において、前記低い周波数のクロック信号を前記プロセッサに提供する段階は、前記プロセッサに供給される電源電圧が前記正常電源電圧レベルに上昇すれば、前記正常クロック信号を前記プロセッサに提供する段階がさらに含まれる。

10

【0020】

この実施形態において、前記低い周波数のクロック信号を前記プロセッサに提供する段階は、前記プロセッサに供給される電源電圧を上昇させる時点から所定時間が経過すれば、前記正常クロック信号を前記プロセッサに提供する段階を含む。

【0021】

この実施形態において、前記正常モードの間、前記正常クロック信号を前記プロセッサに提供する段階がさらに含まれる。

【0022】

望ましい実施形態において、前記クロック信号の周波数を正常レベルに戻らせる段階は、前記プロセッサに供給される電源電圧の上昇幅に比例して前記外部から提供されたクロック信号の分周率を変更する段階を含む。

20

【0023】

望ましい実施形態において、前記遊休モードの間、前記プロセッサに提供されるクロック信号を遮断する段階と、前記プロセッサが前記遊休モードに入るときに前記プロセッサによって遊休モード信号を出力する段階とがさらに含まれる。

【0024】

本発明の他の特徴による電源管理方法は、遊休モードに入るときにプロセッサに供給される電源電圧を低下させ、前記プロセッサへのクロック供給を遮断する段階と、前記遊休モードから正常モードに戻るときに、前記プロセッサに供給される電源電圧を正常動作電圧レベルに上昇させる段階と、前記プロセッサに供給される電源電圧が前記正常レベルに上昇するまで正常クロック信号の周波数より低い周波数のクロック信号を前記プロセッサに供給する段階とを含む。

30

【0025】

本発明のまた他の特徴によるプロセッサシステムは、プロセッサと、動作モードに対応するレベルの電源電圧を前記プロセッサに供給するレギュレータと、遊休モードから正常モードに戻るときに、前記レギュレータが正常レベルの電源電圧を前記プロセッサに供給するまで、正常クロック信号より周波数が低い過渡クロック信号を前記プロセッサに提供するクロックおよび電源管理ブロックとを含む。

40

【0026】

望ましい実施形態において、前記管理ブロックは、前記正常クロック信号を所定の分周率で分周して前記過渡クロック信号を出力する分周器を含む。

【0027】

この実施形態において、前記クロックおよび電源管理ブロックは、前記遊休モードから前記正常モードに戻るときに、前記レギュレータが前記プロセッサに正常電源電圧を供給するまで、前記分周器から出力される過渡クロック信号を前記プロセッサに提供する。

【0028】

この実施形態において、前記クロックおよび電源管理ブロックは、前記正常モードの間、前記正常クロック信号を前記プロセッサに提供する。

50

## 【0029】

望ましい実施形態において、前記クロックおよび電源管理ブロックは、前記正常クロック信号を所定の分周率によって分周する複数の分周器を含み、前記複数の分周器の分周率は互いに異なる。

## 【0030】

この実施形態において、前記クロックおよび電源管理ブロックは、前記遊休モードから前記正常モードに戻るときに、前記分周器から出力されるクロック信号のうちで前記レギュレータが前記プロセッサに供給する電源電圧のレベルに対応するクロック信号を前記過渡クロック信号として前記プロセッサに伝達する。

## 【0031】

望ましい実施形態において、前記クロックおよび電源管理ブロックは、前記遊休モードの間、前記正常クロック信号と前記過渡クロック信号が前記プロセッサに提供されることを遮断する。

## 【0032】

望ましい実施形態において、前記プロセッサは動作モードを示すモード信号を前記クロックおよび電源管理ブロックに伝達する。

## 【0033】

本発明の他の実施形態によるプロセッサシステムは、動作モードを示すモード信号を出力するプロセッサと、電源電圧を前記プロセッサに供給するレギュレータと、外部から提供された正常クロック信号を分周する分周回路と、前記分周回路から出力される分周信号を前記プロセッサに選択的に提供する選択器と、前記モード信号に応答して前記分周回路、前記選択器および前記レギュレータを制御するクロックおよび電源管理者を含む。

## 【0034】

望ましい実施形態において、前記モード信号は正常動作モードおよび遊休モードのうちの一つを示す。

## 【0035】

この実施形態において、前記クロックおよび電源管理者は、前記正常動作モードの間、前記分周回路が前記外部から提供された正常クロック信号を前記分周信号として出力するように制御する。

## 【0036】

この実施形態において、前記クロックおよび電源管理者は、前記正常モードの間、前記レギュレータが正常電源電圧を前記プロセッサに供給するように制御する。

## 【0037】

この実施形態において、前記クロックおよび電源管理者は、前記遊休モードの間、前記選択器が前記分周信号を前記プロセッサに提供しないように制御する。

## 【0038】

この実施形態において、前記クロックおよび電源管理者は、前記遊休モードの間、前記レギュレータが前記正常電源電圧より低い遊休電源電圧を前記プロセッサに供給するように制御し、前記遊休モードから前記正常モードに戻るときに、前記レギュレータが前記プロセッサに供給する電源電圧が前記正常電源電圧に上昇するまで、前記選択器が前記分周回路からの分周信号を前記プロセッサに提供するように制御する。

## 【0039】

この実施形態において、前記分周回路は、各々が所定の分周率で前記正常クロック信号を分周する複数の分周器を含み、前記分周器の分周率は互いに異なる。

## 【0040】

この実施形態において、前記クロックおよび電源管理者は、前記遊休モードから前記正常モードに戻るときに、前記レギュレータが前記プロセッサに供給する電源電圧の上昇に従って、前記分周器のうちの分周率が高い分周器から出力される分周信号から前記プロセッサに提供するように制御する。

## 【0041】

10

20

30

40

50

本発明のプロセッサシステムは、動作モードを示すモード信号を出力するプロセッサと、電源電圧を前記プロセッサに供給するレギュレータと、外部から提供された正常クロック信号を分周する第1分周回路と、前記第1分周回路から出力される分周信号を前記プロセッサに選択的に提供する選択器と、前記モード信号にตอบสนองして前記分周回路、前記選択器および前記レギュレータを制御するクロックおよび電源管理者と、前記正常クロック信号を分周する第2分周回路と、前記第2分周回路から出力される分周信号にตอบสนองして動作する周辺回路とを含む。

【0042】

本発明のプロセッサシステムは、動作モードを示すモード信号を出力するプロセッサと、電源電圧を前記プロセッサに供給するレギュレータと、外部から提供された正常クロック信号を分周する分周回路と、前記正常クロック信号と前記分周回路から出力される分周信号のうちの一つを出力する第1選択器と、前記第1選択器からの出力信号を前記プロセッサに選択的に提供する第2選択器と、前記モード信号にตอบสนองして前記分周回路、前記第1、第2選択器および前記レギュレータを制御するクロックおよび電源管理者と、前記分周回路から出力される分周信号にตอบสนองして動作する周辺回路とを含む。

10

【0043】

上述のような構成を有するプロセッサシステムは遊休モードからプロセッサに供給される電源電圧を正常レベルより低い遊休レベルに低下させる。したがって、遊休モードの間、プロセッサで消費される電力が最小化される。また、遊休モードから正常モードに戻るときに、プロセッサに供給される電源電圧を正常レベルに上昇させ、電源電圧が正常レベルに十分に上昇するまでプロセッサに供給されるクロック信号の周波数を正常周波数より低下させてプロセッサの誤動作を防止する。

20

【発明の効果】

【0044】

本発明によれば、遊休モードの間、正常レベルより低い遊休レベルの電源電圧をプロセッサに供給することによって遊休モードの間、プロセッサで消費される電力を最小化することができる。また、遊休モードから正常モードに戻るときにプロセッサに供給される電源電圧を正常レベルに上昇させ、電源電圧が正常レベルに十分に上昇するまでプロセッサに供給されるクロック信号の周波数を正常周波数より低下させてプロセッサの誤動作を防止する。

30

【発明を実施するための最良の形態】

【0045】

以下、本発明の望ましい実施形態を添付の図面を参照して詳細に説明する。

【0046】

図1は本発明の望ましい実施形態によるプロセッサシステムを示す。図1を参照すれば、プロセッサシステム100はプロセッサチップ110と電圧レギュレータ120とを含む。プロセッサチップ110はマイクロコントローラ、マイクロプロセッサ、プロセッサなどと呼ばれ、オンチップ(on-chip)で実現される。レギュレータ120はプロセッサチップ110の動作に必要な電圧 $V_{DDCPU}$ 、 $V_{DDPERI}$ を供給する。このようなプロセッサシステム100は携帯電話、PDA、デジカメ、ノートブック、携帯用クレジットカード決済端末機、MP3プレーヤなどのようなハンドヘルド装置(hand-held devices)に提供するために設計される。

40

【0047】

プロセッサチップ110はメインプロセッサであるCPU(Central Processing Unit)112と周辺回路113とを含む。プロセッサチップ110はCPU112に代えてDSP(Digital Signal Processor)のような多様なプロセッサを具備することができる。周辺回路113にはメモリ、メモリコントローラ、データキャッシュ、I/Oポート、LCDコントローラ、UART(Universal Asynchronous Receiver/Transmitter)、DMA(Direct Memory Access)、タイマ、ADC(analog-to-digital)

50

gital conversion)、タッチスクリーンインターフェース、カメラインターフェース、バスインターフェース、マルチメディアカードインターフェースなどが含まれる。

#### 【0048】

プロセッサチップ110はCPU112の動作モードに従ってCPU112に提供されるクロック信号および電源電圧を制御するクロックおよび電源管理ブロック111をさらに含む。クロックおよび電源管理ブロック111はCPU112のためのクロック信号FCLKと周辺装置のためのクロック信号HCLKを発生する。また、クロックおよび電源管理ブロック111は与えられた作業(task)に対する最適の電力消費を維持するために電源管理方式を有する。クロックおよび電源管理ブロック111は正常(normal)モード、スロー(slow)モード、遊休(idle)モード、およびスリープ(sleep)モードの四つのモードを活性化(activate)させることができる。本発明では正常モードと遊休モードに対してだけ言及する。

10

#### 【0049】

ブロック111は正常モードでCPU112とすべての周辺回路113にクロック信号を供給する。正常モードですべての周辺装置がターンオンされれば、電力消費は最大化されるであろう。これは使用者がソフトウェア的に周辺装置の動作を制御することによって可能である。遊休モードで、ブロック111はCPU112に供給されるクロック信号FCLKを遮断(disconnect)する一方、他の周辺回路113にはクロックを供給する。遊休モードはCPU112に起因した電力消費を減少させる。どのようなインタラプト(割り込み)でもCPU112が遊休モードから覚めるように要請することができる。特に、本発明の望ましい実施形態によるクロックおよび電源管理ブロック220は遊休モードの間、電圧レギュレータ120がCPU112に供給する電源電圧を正常レベルより低い遊休レベルに変換するように制御する。また、ブロック220は、遊休モードから正常モードに戻るときに、CPU112に供給される電源電圧V<sub>DDCPU</sub>が遊休レベルから正常レベルに上昇するまでCPU112に供給されるクロック信号FCLKの周波数を正常モードでの周波数より低下させる。

20

#### 【0050】

図1を参照すれば、クロックおよび電源管理ブロック111はRTC(Real Time Clock)210、クロックおよび電源管理ブロック220、PLL(Phase Lock Loop)230、分周回路240、250、およびマルチプレクサ250を含む。クロックおよび電源管理ブロック220はCPU112から提供される遊休モード信号IDLが活性化されれば、電圧レギュレータ120が遊休電源電圧をCPU112に供給するように電源制御信号IDL\_PWR\_LVLを活性化する。電圧レギュレータ120は電源制御信号IDL\_PWR\_LVLにตอบสนองしてCPU112に供給する電源電圧V<sub>DDCPU</sub>のレベルを決める。例えば、電圧レギュレータ120は電源制御信号IDL\_PWR\_LVLが活性化されれば、遊休レベル(例えば、1.0V)の電源電圧V<sub>DDCPU</sub>をCPU112に供給し、電源制御信号IDL\_PWR\_LVLが非活性化されれば、正常動作レベル(例えば、1.3V)の電源電圧V<sub>DDCPU</sub>をCPU112に供給する。

30

#### 【0051】

一方、プロセッサチップ110の外部に存在するクロック源(不図示)から提供された外部クロック信号EXTCLKはPLL230によって位相が調節される。クロック源はプロセッサチップ110とオンチップによって実現されることもできる。PLL230から出力されるクロック信号P\_L\_L\_O\_U\_Tは分周回路230、260に提供される。分周回路240はクロックおよび電源管理ブロック220からの分周制御信号IDL\_CLK\_DIVにตอบสนองしてPLL230からのクロック信号P\_L\_L\_O\_U\_Tを分周する。分周回路260は分周率がNである分周器で構成され、PLL230からのクロック信号P\_L\_L\_O\_U\_Tを分周してクロック信号HCLKを出力する。分周回路260によって分周されたクロック信号HCLKはCPU112および周辺回路113に提供される。分周回路240の詳細な構成は図2に示している。

40

50

## 【0052】

図2を参照すれば、分周回路240は分周器241、242とマルチプレクサ243とを含む。分周器241、242は互いに異なる分周率M1、M2を有し、PLL230からのクロック信号PLLOUTを各々分周する。マルチプレクサ243は管理者220からの分周制御信号IDL\_\_CLK\_\_DIVに应答してPLL230からのクロック信号PLLOUTと分周器241、242から出力される分周されたクロック信号のうちの一つを図1に示したマルチプレクサ250に提供する。この実施形態では、分周回路240が二つの分周器241、242のみを具備したが、分周器の個数は多様に変更することができ、分周器の個数に従って管理者220から提供される分周制御信号IDL\_\_CLK\_\_DIVのビット数が決められる。

10

## 【0053】

再び図1を参照すれば、マルチプレクサ250はクロック選択信号IDL\_\_CLK\_\_SELに应答して分周回路240からの信号をクロック信号FCLKとして選択的にCPU112に提供する。例えば、クロック選択信号IDL\_\_CLK\_\_SELが論理'0'であれば、クロック信号FCLKの周波数は'0'になり、クロック選択信号IDL\_\_CLK\_\_SELが論理'1'であれば、分周回路240からの信号がクロック信号FCLKとしてCPU112に提供される。マルチプレクサ250はクロック選択信号IDL\_\_CLK\_\_SELに应答して分周回路240からの信号をクロック信号FCLKとして選択的にCPU112に提供するためのスイッチなどに取り替えられることができる。

## 【0054】

上述のような構成を有するクロックおよび電源管理者220の動作モードによる制御手順は図3に示している。遊休モードに入る場合には(段階S501で「はい」)CPU112は遊休モード信号IDLを活性化する(段階S500)。遊休モードに入らない場合には(段階S501で「いいえ」)、電源管理者220の動作モードによる処理を終了する。クロックおよび電源管理者220は活性化された遊休モード信号IDLに应答して電源制御信号IDL\_\_PWR\_\_LVLを活性化する。したがって、CPU112に供給される電源電圧V<sub>DDCPU</sub>は遊休レベルに低下する(段階S501)。管理者220はクロック選択信号IDL\_\_CLK\_\_SELを論理'0'に設定する。その結果、CPU112に供給されるクロック信号FCLKは遮断される(段階S502)。本発明のクロックおよび電源管理ブロック110は遊休モードからCPU112に供給されるクロック信号FCLKを遮断するだけでなく、電源電圧V<sub>DDCPU</sub>を低下させることによって、上述した数式1から分かるように、遊休モードでCPU112に起因した電力消費を最小化する。

20

30

## 【0055】

遊休モードは外部インタラプトEINT、RTC210またはソフトウェアによってウェイクアップ(wakeup)される。外部インタラプトEINTを発生するソースには外部装置、すなわち、キーパッド、タッチスクリーン、マウスなどがある。クロックおよび電源管理者220は外部インタラプトEINT、またはRTC210からの信号が入力されれば(段階S503で「はい」)、正常モードに戻るための制御を実行する。

## 【0056】

正常モードに戻るための制御が実行されると(段階S503で「はい」)、管理者220は電源制御信号IDL\_\_PWR\_\_LVLを非活性化する。電圧レギュレータ120は電源制御信号IDL\_\_PWR\_\_LVLに应答して正常レベルの電源電圧V<sub>DDCPU</sub>をCPU112に供給する(段階S504)。この時、遊休レベルに低下した電源電圧が正常レベルに上昇するには所定の時間が必要である。

40

## 【0057】

図4は正常モード(ノーマルモード)から遊休モードに入るときに、そして遊休モードから正常モードに戻るときに、CPU112に供給される電源電圧V<sub>DDCPU</sub>とクロック信号FCLKの変化を示している。先の説明のように、正常モードから遊休モードに入れば、CPU112に供給される電源電圧V<sub>DDCPU</sub>は遊休レベル(1.0V)に低下し、クロック信号FCLKは遮断される。

50

## 【0058】

インタラプトによって正常モードに戻るときにCPU112に供給される電源電圧 $V_{DDCPU}$ は正常レベル1.3Vに徐々に増加する。CMOS技術で電源電圧 $V_{DDCPU}$ が低下すればCPUの動作速度も遅くなる。したがって、図4に示したように、電源電圧 $V_{DDCPU}$ が正常レベルより低い過渡期(Transition Period)からCPU112に正常状態の周波数を有するクロック信号CLKが供給されれば、CPU112は誤動作するようになる。このような問題を解決するために、本発明は過渡期の間、正常周波数より低い周波数のクロック信号をCPU112に供給する。

## 【0059】

再び図1および図3を参照すれば、管理者220は分周されたクロック信号が出力されるように分周制御信号IDL\_CLK\_DIVを出力し、クロック選択信号IDL\_CLK\_SELを論理'1'に設定する。分周回路240は分周制御信号IDL\_CLK\_DIVに応答して分周器241からの分周された信号を出力する。マルチプレクサ250はクロック選択信号IDL\_CLK\_SELに응答して分周回路240からの分周されたクロック信号をCPU112に提供する。したがって、CPU112に供給されるクロック信号CLKの周波数は正常周波数より低い(段階S505)。例えば、クロック信号CLKの正常周波数が400MHzであれば、過渡期の間、クロック信号CLKの周波数は(400/M1)MHzである。

## 【0060】

管理者220はCPU112に供給される電源電圧 $V_{DDCPU}$ が正常レベルに十分に上昇したか否かを判断する(段階S506)。管理者220がCPU112に供給される電源電圧 $V_{DDCPU}$ が正常レベルに十分に上昇したか否かを判断する方法は多様に実施されることができる。例えば、管理者220が電圧レギュレータ120から供給される電源電圧 $V_{DDCPU}$ が入力されて電圧レベルを検出することができる。他の方法では、電源電圧 $V_{DDCPU}$ が正常レベルに上昇するのにかかる時間をあらかじめ測定して管理者220に設定しておいて、RTC210から入力されるクロックの数をカウントして過渡期が過ぎたか否かを判断することができる。

## 【0061】

CPU112に供給される電源電圧 $V_{DDCPU}$ が正常レベルに十分に上昇したら(段階S506で「はい」)、管理者220は分周回路240がPLL230からのクロック信号PLL\_OUTをそのまま出力するようにクロック分周信号IDL\_CLK\_DIVを出力する。この時、クロック選択信号IDL\_CLK\_SELは論理'1'状態に維持される。したがって、PLL230から出力されるクロック信号PLL\_OUTは分周回路240とマルチプレクサ250とを通じてクロック信号CLKとしてCPU112に供給される。すなわち、正常周波数のクロック信号CLKがCPU112に供給される(段階S507)。

## 【0062】

図5は本発明の望ましい実施形態によるプロセッサシステム100で動作モードに従ってCPU112に供給される電源電圧 $V_{DDCPU}$ とクロック信号CLKの変化を示している。遊休モードからCPU112に供給される電源電圧 $V_{DDCPU}$ は正常レベル(1.3V)より低い遊休レベル(1.0V)であり、クロック信号CLKは遮断される。遊休モードから正常モードに戻るときに、電源電圧 $V_{DDCPU}$ が正常レベルに戻るときのまでの過渡期の間、分周器241から出力される分周されたクロック信号がCPU112に供給される。過渡期の間、低い周波数のクロック信号CLKがCPU112に供給されるので、CPU112の動作速度は遅くなる。しかし、CPU112に供給される電源電圧 $V_{DDCPU}$ が正常レベルより低くてもクロック信号CLKの周波数が正常動作のときより遅くてCPU112の安定した動作が保障される。

## 【0063】

遊休モードの間、CPU112に供給される電源電圧 $V_{DDCPU}$ が低いほどCPU112で消費される電力は減少し、過渡期は長くなる。遊休モードでの電源電圧 $V_{DDCP}$

U レベルとインタラプト反応時間(すなわち、過渡期)は反比例するので、遊休モードでの電源電圧  $V_{DDCPU}$  レベルは使用者の要求に従って調節されることができる。

【0064】

図6は分周回路240内に図2に示したように、二つの分周器が具備された場合、動作モードに従ってCPU112に供給される電源電圧  $V_{DDCPU}$  とクロック信号  $CLK$  の変化を示している。遊休モードから正常モードに戻るときに、まず分周器241によってM1に分周されたクロック信号をクロック信号  $CLK$  としてCPU112に提供し、電源電圧  $V_{DDCPU}$  が所定レベル(例えば、(正常レベル - 遊休レベル)/2)まで上昇すれば、分周器242によってM2に分周されたクロック信号をクロック信号  $CLK$  としてCPU112に提供する。ただし、分周器241、242の分周率は  $M1 > M2$  である。

10

【0065】

遊休モードから正常モードに戻るときに電源電圧  $V_{DDCPU}$  の電圧レベルを考慮してクロック信号  $CLK$  の周波数を速く変更することによって過渡期を縮めることができる。クロック信号  $CLK$  の周波数が速くなれば、CPU112の動作速度が速くなるためである。

【0066】

図7は本発明の他の実施形態によるプロセッサシステムを示している。図7に示したプロセッサシステム300は図1に示したシステム100と同様の構成を有するので、重複した説明は省略する。

20

【0067】

図7に示したシステム300は過渡期で周波数が低いクロック信号をCPU112に供給するための別途の分周回路を具備せず、周辺回路113にクロック信号  $HCLK$  を供給するための分周回路440を利用する。分周回路440は分周率がNである分周器で構成される。

【0068】

遊休モードから正常モードに戻るときに、電源電圧  $V_{DDCPU}$  が正常レベルに十分に上昇する前まで管理者430は分周回路440によって分周されたクロック信号がCPU112に供給されるようにマルチプレクサ430、460を制御する。正常モードで電源電圧  $V_{DDCPU}$  が正常レベルに十分に上昇すれば、PLL420からのクロック信号  $PLLOUT$  がクロック信号  $CLK$  としてCPU112に提供される。遊休モードではCPU112に供給されるクロック信号  $CLK$  を遮断する。

30

【0069】

例示的な望ましい実施形態を利用して本発明を説明したが、本発明の範囲は開示された実施形態に限定されないということがよく理解されるであろう。したがって、請求範囲はそのような変形例およびその同様の構成の全部を含むこととして、できるだけ広く解釈されなければならない。

【図面の簡単な説明】

【0070】

【図1】本発明の望ましい実施形態によるプロセッサシステムを示す図面である。

40

【図2】図1に示した分周回路の詳細な構成を示す図面である。

【図3】クロックおよび電源管理者の動作モードによる制御手順を示すフローチャートである。

【図4】正常モードから遊休モードに入るときに、そして遊休モードから正常モードに戻るときにCPUに供給される電源電圧とクロック信号の変化を示す図面である。

【図5】本発明の望ましい実施形態によるプロセッサシステムで動作モードに従ってCPUに供給される電源電圧とクロック信号の変化を示す図面である。

【図6】分周回路内に二つの分周器が具備された場合、動作モードに従ってCPUに供給される電源電圧とクロック信号の変化を示す図面である。

【図7】本発明の他の実施形態によるプロセッサシステムを示す図面である。

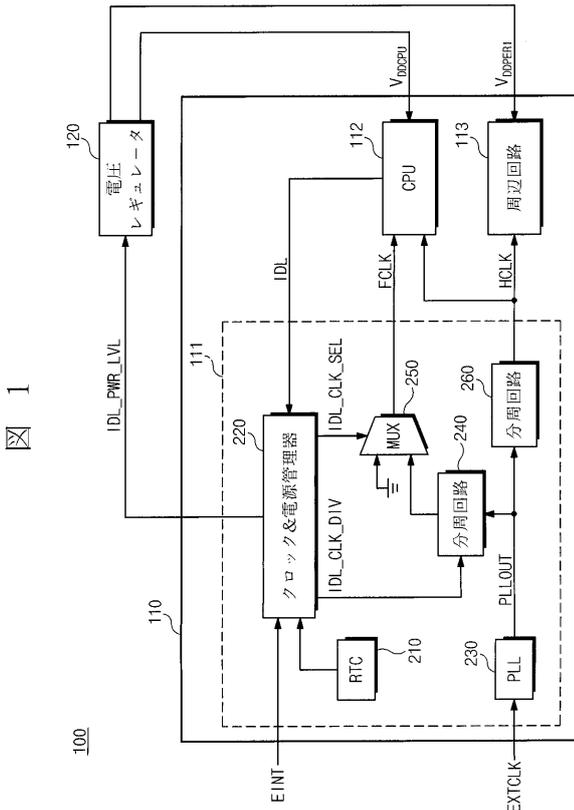
50

【符号の説明】

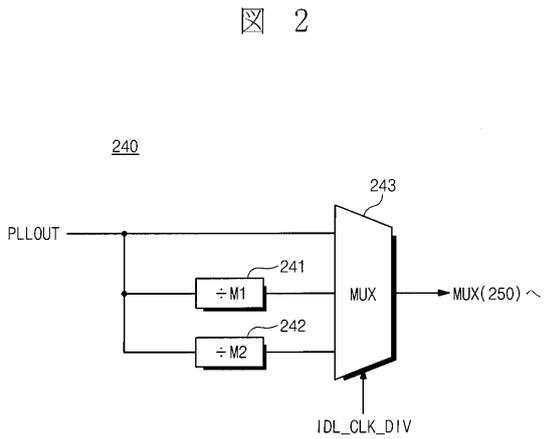
【0071】

- 100, 300 プロセッサシステム
- 110 プロセッサチップ
- 120 電圧レギュレータ
- 111, 311 クロックおよび電圧管理ブロック
- 112 CPU
- 113 周辺回路
- 210, 410 RTC
- 220, 430 クロックおよび電源管理器
- 230, 420 PLL
- 240, 260, 440 分周回路
- 241, 242 分周器
- 243, 250, 450, 460 マルチプレクサ

【図1】

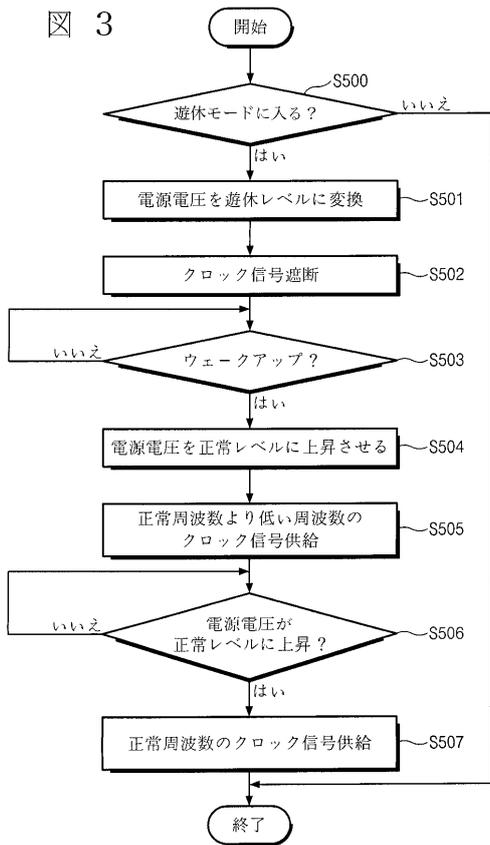


【図2】



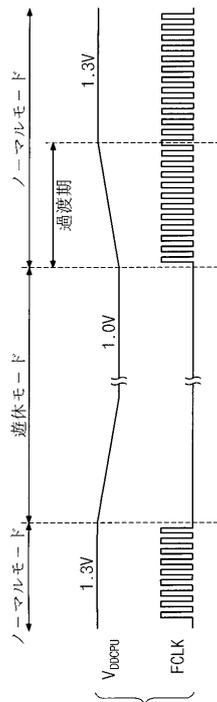
【図3】

図3



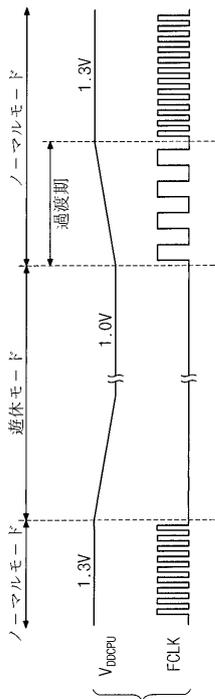
【図4】

図4



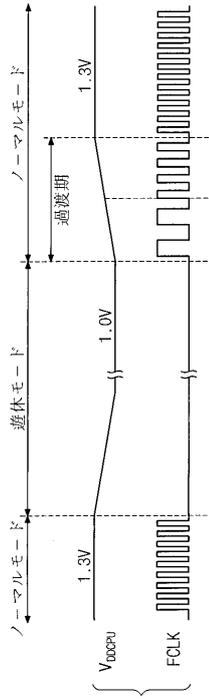
【図5】

図5



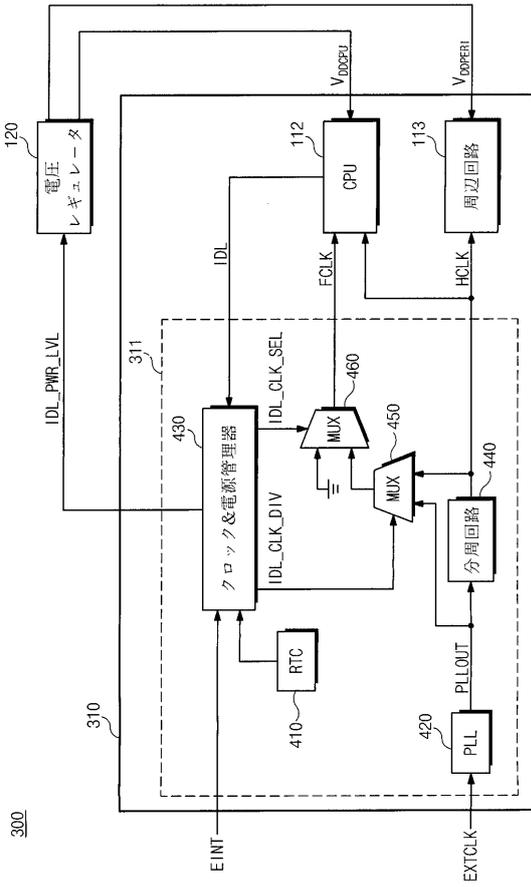
【図6】

図6



【図7】

図7



フロントページの続き

(72)発明者 李潤泰

大韓民国ソウル江南区大峙1洞サムスンアパート101棟602号

Fターム(参考) 5B011 EA09 LL02 LL13

5B079 BA01 BC01 DD13