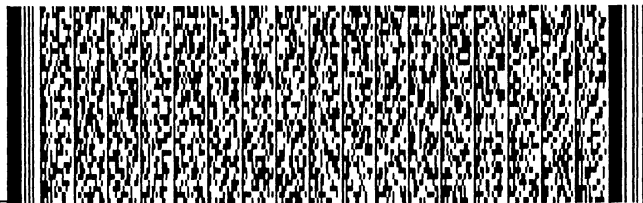


申請日期: 93.4.12	IPC分類
申請案號: 93110073	H01L 21/968

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	埋入式晶片之電性連接端結構及其製法
	英文	ELECTRICAL CONNECTION STRUCTURE OF EMBEDDED CHIP AND METHOD FOR FABRICATING THE SAME
二、發明人 (共2人)	姓名 (中文)	1. 許詩濱
	姓名 (英文)	1. HSU, SHIH-PING
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉山腳村山林路一段276號
	住居所 (英文)	1. No. 276, Sec. 1, San-Lin Rd., San-Gou Village, Loo-Chu, Taoyuan Hsien, Taiwan, R. O. C.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 全懋精密科技股份有限公司
	名稱或姓名 (英文)	1. PHOENIX PRECISION TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學園區力行路6號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R. O. C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. LIN, WEN-PO



I229920

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 蔡琨辰
	姓名 (英文)	2. TSAI, KUN-CHEN
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 屏東縣屏東市廣東路豐榮里13鄰189巷8號
	住居所 (英文)	2. No. 8, Lane 189, Fong Rong Village, Guangdong Rd., Pingtung City, Pingtung County 900, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

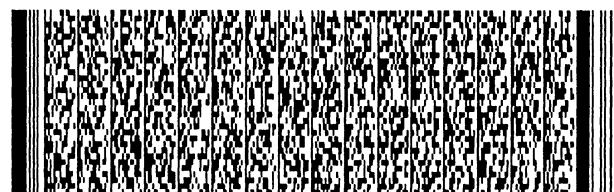
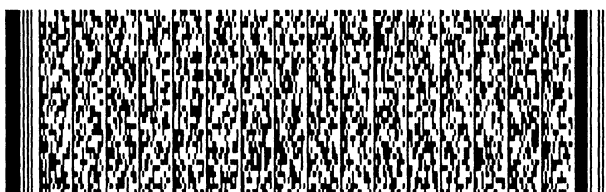
【發明所屬之技術領域】

本發明係有關於一種埋入式晶片之電性連接端結構及其製法，尤指一種整合於電路板中之半導體晶片之電性連接端結構及其製造方法。

【先前技術】

隨著半導體封裝技術的演進，半導體裝置 (Semiconductor device) 已開發出不同的封裝型態，其中球柵陣列式 (Ball grid array, BGA) 半導體封裝件為一種先進的半導體封裝技術，其特點在於採用一基板來安置半導體晶片，並利用自動對位 (Self-alignment) 技術以於該基板背面植置複數個成柵狀陣列排列之錫球 (Solder ball)，使相同單位面積之半導體晶片承載件上可以容納更多輸入/輸出連接端 (I/O connection) 以符合高度集積化 (Integration) 之半導體晶片所需，以藉由此些錫球將整個封裝單元銲結並電性連接至外部之印刷電路板。

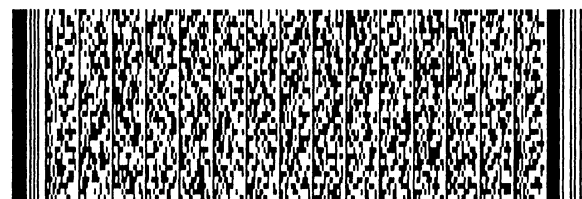
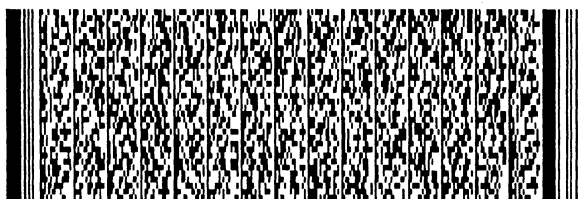
惟一般半導體裝置之製程，首先係由晶片承載件製造業者生產適用於該半導體裝置之晶片承載件，如基板或導線架，之後，再將該些晶片承載件交由半導體封裝業者進行置晶、模壓、以及植球等製程，最後，方可完成客戶端所需之電子功能之半導體裝置。其間涉及不同製程業者 (即包含有晶片承載件製造業者與半導體封裝業者)，因此於實際製造過程中不僅步驟煩瑣且界面整合不易，況且，若客戶端欲進行變更功能設計時，其牽涉變更與整合層面更是複雜，亦不符合需求變更彈性與經濟效益。



五、發明說明 (2)

此外，對於一般覆晶式半導體裝置之製程，主要係在完成晶圓積體電路製程後，於該晶圓內晶片之電性連接墊上形成一鍍塊底部金屬化 (Under bump metallurgy, UBM) 結構層以供承載金屬凸塊，再進行切單作業以將該晶圓切割形成複數個晶片，之後將該覆晶式半導體晶片接置並電性連接至一基板上。其中該 UBM 結構層與金屬凸塊之製程首先於該半導體晶圓表面形成一絕緣保護層 (Passivation layer)，並曝露出電性連接墊位置，接著於該電性連接墊上利用濺鍍及電鍍形成一包含有多層金屬之 UBM 結構層；之後將一拒鍍層設置於該絕緣保護層上，且該拒鍍層預設有複數個開口，用以曝露出該 UBM 結構層；然後進行一鍍料塗佈製程，用以將例如為錫鉛合金 (Sn/Pb) 之鍍料，透過該拒鍍層開口以利用網版印刷之技術而塗佈至該 UBM 結構層，再進行回鍍 (Reflow) 製程以將鍍料鍍結至該 UBM 結構層上，之後將該拒鍍層移除，並進行第二次回鍍程序以將該鍍料圓球化，以在半導體晶圓上形成金屬凸塊，俾藉由該金屬凸塊以提供半導體晶片與基板間之電性導接，而後再進行半導體之封裝製程。

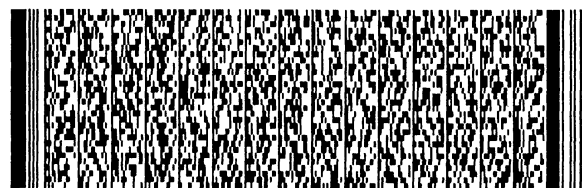
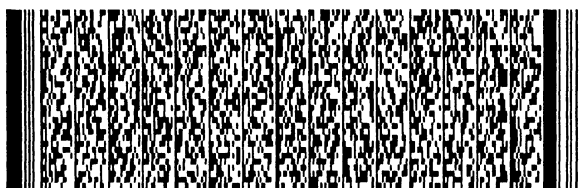
然上述製程不僅繁瑣且界面整合不易，因此，為整合晶片承載件之製造與半導體封裝之製程，本案申請人先前遂發展出一種可整合半導體晶片之電路板結構，其主要係在完成晶圓積體電路製程，並於該晶圓內晶片之電性連接墊上形成一導電結構後，再進行切單作業以將該晶圓切割形成複數個晶片單元，以將該晶片單元嵌埋入電路板預設



五、發明說明 (3)

之開口中，之後於該導電結構上形成一電鍍金屬結構並加以電性導接該晶片與該電路板，俾完成一整合有半導體晶片之電路板結構。

即如第 1A 至 1I 圖所示，係顯在晶圓之電性連接墊上形成導電結構與電鍍金屬結構之製程。如第 1A 圖所示，提供一晶圓 10，該晶圓 10 包含有複數個晶片 100，其中，該晶圓 10 已完成積體電路製程且於該晶圓 10 表面形成有一圖案化保護層 11，藉以外露出該晶圓內晶片之電性連接墊 12 部分。如第 1B 圖所示，在該電性連接墊 12 上形成一鋅化層 13（作為催化層）與一無電電鍍鎳層 14，俾使該鎳層 14 得以有效附著於該電性連接墊 12 上，同時藉由該鎳層 14 以提供該電性連接墊 12 與後續形成之銅金屬有效隔絕阻障。如第 1C 圖所示，在該鎳層 14 上形成一沈浸金層 15，藉以保護該鎳層 14 同時提供後續沈積之銅金屬有效附著其上。如第 1D 圖所示，在該金層 15 上形成一無電電鍍厚銅層 16，並將該晶圓 10 進行切割以形成複數個晶片 100，其後即可將該晶片 100 內嵌於電路板 101 之預定開口中 102。如第 1E 圖所示，在該內嵌有晶片 100 之電路板 101 表面上形成一絕緣層 17，例如 ABF（Ajinomoto Build-up Film，商品名，日商味之素公司出產），該第 1E 圖係僅以第 1D 圖電路板 101 上之一電性連接墊 12 圖示。如第 1F 圖所示，利用雷射鑽孔技術，移除對應在該晶片之電性連接墊 12 位置處之部分絕緣層 17 與部分厚銅層 16，藉以形成有開口 170，並藉由該開口 170 內殘留之厚銅層 16 作為後續沈積金屬之接合層。其後，可



五、發明說明 (4)

對該開口 170 處進行除膠渣 (De-smear) 作業。如第 1G 圖所示，於該絕緣層及該開口表面形成一導電層 18，該導電層係可先經由鍍上鈀層 (作為催化層) 後再利用無電電鍍方式形成一銅層。如第 1H 圖所示，在該導電層 18 上形成一圖案化阻層 19，並使該阻層 19 形成有多數之開口 190 以外露出對應該晶片電性連接墊處之導電層 18。如第 1I 圖所示，進行電鍍製程以在該圖案化阻層 19 之開口 190 中形成有電鍍金屬結構 191，例如銅金屬，以提供後續晶片與電路板之導電路徑。

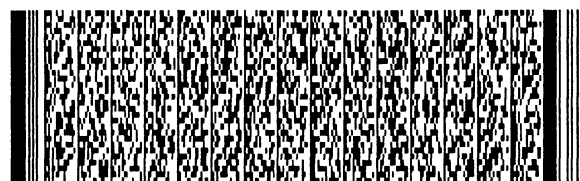
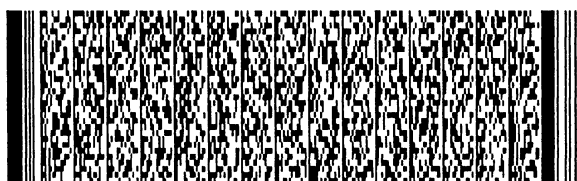
惟在前述製程中，在形成該晶片上電性連接墊之導電結構中，必須先後形成該鎳層與厚銅層，惟該鎳層與厚銅層係採用無電電鍍方式形成，其必需花費甚多之製程時間與製程成本，導致製程效率之明顯下降，同時在形成該厚銅層前尚需先沈積一金層，亦造成製程流程之增加與成本之提高。

【發明內容】

鑒於以上所述習知技術之缺點，本發明之主要目的係提供一種埋入式晶片之電性連接端結構及其製法，得以有效縮短製程流程與時間。

本發明之另一目的係提供一種埋入式晶片之電性連接端結構及其製法，得以有效節省製程成本。

為達上揭及其它目的，本發明之埋入式晶片之電性連接端結構製法，主要係在完成晶圓積體電路製程並切割形成有多數之晶片單元後，將該晶片單元嵌埋入電路板之結

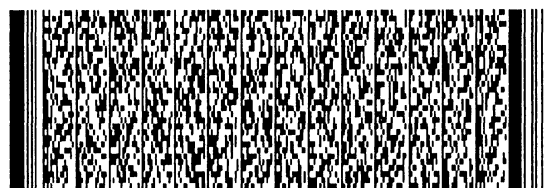


五、發明說明 (5)

構中，然後於該整合有晶片之電路板結構上形成一絕緣層，並使該絕緣層形成有複數之開口，其中，至少一開口係對應於該晶片之電性連接墊位置，藉以露出該晶片之電性連接墊，復於該晶片之電性連接墊上形成一金屬層，並在該金屬層與該絕緣層及其開口表面形成有導電層，接著於該導電層上形成有圖案化阻層，俾使該圖案化阻層形成有複數開口以外露出該後續欲於其上沈積金屬層之導電層部分，其中，至少一阻層開口係對應至該晶片之電性連接墊位置，之後即可進行電鍍製程以在該顯露於該圖案化阻層之導電層上形成電鍍金屬層，例如銅金屬層。

透過前述製程，本發明亦揭露出一種埋入式晶片之電性連接端結構，主要係包括有一電性連接墊；一沈積於該電性連接墊上之金屬層；一沈積於該金屬層上之導電層；以及一透過該導電層以電鍍方式沈積於該導電層上之電鍍金屬層。

因此，本發明之埋入式晶片之電性連接端結構及其製法主要係於晶圓積體電路製程完成後，將晶圓切割形成有多數之晶片單元，並將該晶片單元嵌埋入電路板結構中，俾直接在該整合有晶片之電路板結構中，先僅針對晶片之電性連接墊上進行金屬層（例如鎳層）之沈積，而後即可利用電鍍方式同時在該金屬層上形成電鍍金屬層以及在電路板上形成增層線路結構。亦即，透過本發明係可利用電鍍方式進行晶片之電性連接端之導電結構製程，同時進行電路板導電線路之增層製程，相較申請人先前埋入式晶片



五、發明說明 (6)

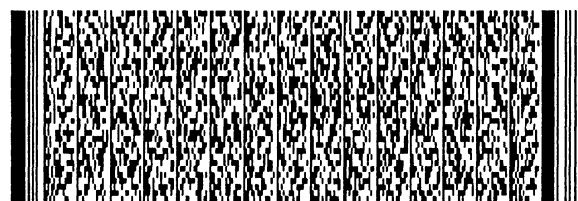
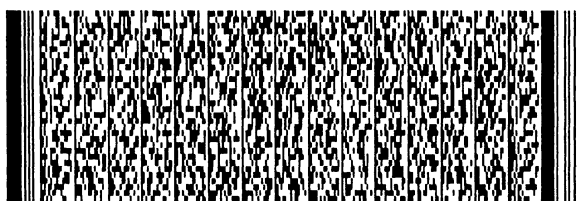
之電性連接端之製程，在晶圓積體電路製程完成，必須先在電性連接墊上形成導電結構，再將該晶圓切割形成複數晶片單元以便嵌埋入電路板結構中，之後再予以電性整合該晶片與電路板等煩瑣製程，以及在形成該導電結構之無電鍍銅層所需花費之高製程時間與經費，本案確可明顯降低製程流程與成本。

【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

請參閱第 2A 至 2H 圖，係為本發明之埋入式晶片之電性連接端結構製法之剖面示意圖。

如第 2A 圖所示，在完成晶圓積體電路製程並切割形成有多數之晶片 200 後，將該晶片 200 嵌埋入電路板 201 之結構中。其中該晶片 200 表面形成有一保護層 (Passivation layer) 21，該保護層 21 為一介電層 (Dielectric layer)，於一般製程中係採用聚亞醯胺層 (Polyimide layer)、二氧化矽層 (Silicon dioxide layer)、氮化矽層 (Silicon nitride layer) 等，用以覆蓋住該晶片 200 表面，以保護其避免受到外界環境污染及破壞，且該保護層 21 具有多數之開口以曝露出該晶片 200 之電性連接墊 22。



五、發明說明 (7)

另由於該晶片 200 之電性連接墊 22 之結構均大致相同，因此為了簡化圖式與說明，本實施例中僅顯示單一電性連接墊來作為範例說明。

如第 2B 圖所示，於該整合有晶片 200 之電路板 201 上形成一絕緣層 23，該絕緣層 23 可為非纖維之樹脂型材料，例如 ABF (Ajinomoto Build-up Film)，亦或纖維含浸樹脂材料，例如為雙順丁烯二酸醯亞胺 / 三氮吡 (BT, Bismaleimide triazine)、BCB (benzocyclobuthene)、LCP (liquid crystal polymer)、PI (polyimide)、PTFE (poly tetrafluoro ethylene)、環氧樹脂與玻璃纖維 (FR4、FR5) 其中一者。

如第 2C 圖所示，利用例如雷射開口等技術以移除部分之絕緣層 23，俾使該絕緣層 23 形成有複數之開口 230，其中，至少一開口 230 係對應於該晶片 200 之電性連接墊 22 位置，藉以露出該晶片 200 之電性連接墊 22。惟當利用雷射鑽孔技術時，復需進行除膠渣 (De-smear) 作業以移除因鑽孔所殘留於該開口 230 內之膠渣。當然，如該絕緣層 23 係採用光感應絕緣材料時，則可利用曝光、顯影等方式形成有複數開口 230，其後復需進行除渣滓 (De-scum) 作業以移除因顯影所殘留於該開口 230 內之渣滓。

如第 2D 圖所示，於該晶片 200 之電性連接墊 22 上形成至少一金屬層 24，可作用為阻障金屬層，其中，該金屬層 24 最佳係為鎳金屬層，且其係利用無電電鍍沉積方式形成。另為提供該鎳之金屬層 24 得以有效附著於該電性連接墊



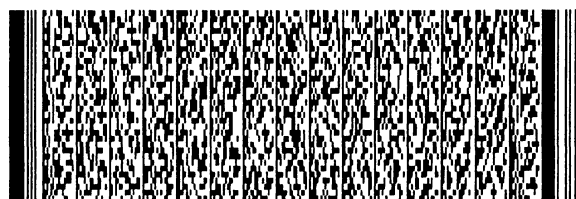
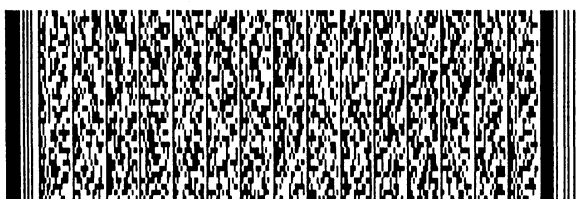
五、發明說明 (8)

22上，係可先於該電性連接墊 22上沈積一金屬化處理層 240 (例如鋅化處理層)。

如第 2E圖所示，在該金屬層 24與該絕緣層 23及其開口 230表面形成有導電層 25，該導電層 25主要作為後述進行電鍍製程所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，如選自銅、錫、鎳、鉻、鈦、銅-鉻合金或錫-鉛合金所構成之群組之任一者所組成，以藉由物理氣相沈積 (PVD)、化學氣相沈積 (CVD)、無電電鍍或化學沈澱，例如濺鍍 (Sputtering)、蒸鍍 (Evaporation)、電弧蒸氣沈積 (Arc vapor deposition)、離子束濺鍍 (Ion beam sputtering)、雷射熔散沈積 (Laser ablation deposition) 或電漿促進之化學氣相沈積方式形成。惟依實際操作的經驗，該導電層 25較佳係由無電電鍍銅粒子所構成。

如第 2F圖所示，於該導電層 25上形成有圖案化阻層 26，該圖案化阻層 26係作用為電鍍阻層，俾使該圖案化阻層 26形成有複數開口 260以外露出該後續欲於其上沈積金屬層之導電層 25部分，其中，至少一阻層開口 260係對應至該晶片 200之電性連接墊 22位置。

如第 2G圖所示，之後即可進行電鍍製程以在顯露於該圖案化阻層 26之導電層 25上形成電鍍金屬層 27，例如銅金屬層。當然，在電鍍形成該晶片 200之電性連接墊 22上之電鍍金屬層 27之同時，亦可在該整合有晶片 200之電路板 201上電鍍形成有線路層 (未圖示)，俾得以同時整合晶



五、發明說明 (9)

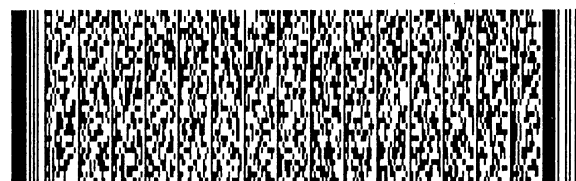
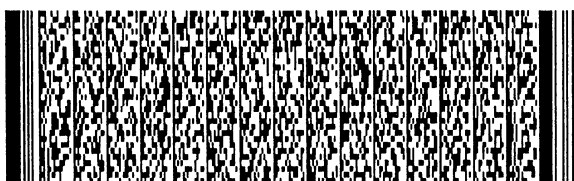
片之電性連接墊之導電結構製程與電路板導電線路之增層製程，藉以簡化製程步驟與成本。

如第 2H 圖所示，於形成該電鍍金屬層 27 後即可移除該阻層 26 及被該阻層 26 所覆蓋之導電層 25。

透過前述製程，本發明亦揭露出一種埋入式晶片之電性連接端結構，如第 2G 圖所示，主要係包括有一電性連接墊 22；一沈積於該電性連接墊 22 上之金屬層 24；一沈積於該金屬層 24 上之導電層 25；以及一透過該導電層 25 以電鍍方式沈積於該導電層 25 上之電鍍金屬層 27。

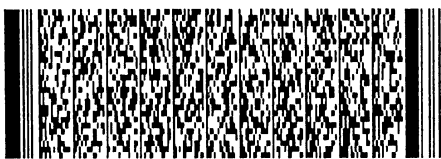
因此，本發明之埋入式晶片之電性連接端結構及其製法主要係於晶圓積體電路製程完成後，將晶圓切割形成有多數之晶片單元，並將該晶片單元嵌埋入電路板結構中，俾直接在該整合有晶片之電路板結構中，先僅針對晶片之電性連接墊上進行鍍層之沈積，而後即可利用電鍍方式同時在該鍍層上形成銅層以及在電路板上形成增層線路結構。亦即，透過本發明係可利用電鍍方式進行晶片之電性連接端之導電結構製程，同時進行電路板導電線路之增層製程，相較申請人先前埋入式晶片之電性連接端之製程，在晶圓積體電路製程完成，必須先在電性連接墊上形成導電結構，再將該晶圓切割形成複數晶片單元以便嵌埋入電路板結構中，之後再予以電性整合該晶片與電路板等煩瑣製程，以及在形成該導電結構之無電鍍銅層所需花費之高製程時間與經費，本案確可明顯降低製程流程與成本。

上述實施例僅為例示性說明本發明之原理及其功效，



五、發明說明 (10)

而非用於限制本發明。任何熟習此技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與變化。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。



圖式簡單說明

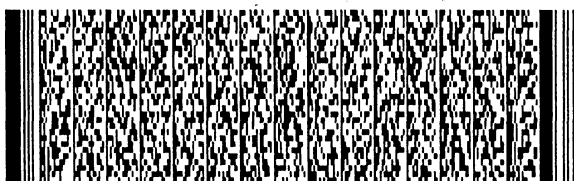
【圖式簡單說明】

第 1A 至 1I 圖係習知之埋入式晶片之電性連接端結構製法之剖面示意圖；以及

第 2A 至 2H 圖係本發明之埋入式晶片之電性連接端結構製法之剖面示意圖。

(元件符號說明)

10	晶圓	100	晶片
101	電路板	11	保護層
12	電性連接墊	13	鍍化層
14	鍍層	15	金層
16	厚銅層	17	絕緣層
170	開口	18	導電層
19	阻層	190	開口
191	電鍍金屬結構	200	晶片
201	電路板	21	保護層
22	電性連接墊	23	絕緣層
230	開口	24	金屬層
240	金屬化處理層	25	導電層
26	阻層	260	開口
27	電鍍金屬層		



四、中文發明摘要 (發明名稱：埋入式晶片之電性連接端結構及其製法)

一種埋入式晶片之電性連接端結構及其製法，主要係提供一嵌埋有晶片之電路板結構，並於其上形成一絕緣層，且使該絕緣層形成有複數開口，其中至少一開口係對應該晶片之電性連接墊位置，以外露出該電性連接墊，復於該晶片之電性連接墊上形成一金屬層，並在該金屬層與該絕緣層及其開口表面形成導電層，接著於該導電層上形成圖案化阻層，俾使該阻層形成複數開口以外露出後續欲於其上沈積金屬層之導電層部分，其中至少一阻層開口係對應至該晶片之電性連接墊位置，之後進行電鍍製程以在顯露於該圖案化阻層之導電層上形成電鍍金屬層。俾得同時整合晶片之電性連接墊之導電結構製程與電路板導電線路之增層製程，藉以簡化製程步驟與成本。

本案代表圖：第 2H圖

21 保護層

六、英文發明摘要 (發明名稱：ELECTRICAL CONNECTION STRUCTURE OF EMBEDDED CHIP AND METHOD FOR FABRICATING THE SAME)

An electrical connection structure of an embedded chip and a method for fabricating the same are proposed. An insulating layer formed with a plurality of openings is provided on a circuit board integrated with a chip, wherein at least an opening is formed corresponding to the electrical pad of the chip and a metal layer is formed on the electrical pad. A conductive layer is formed on the

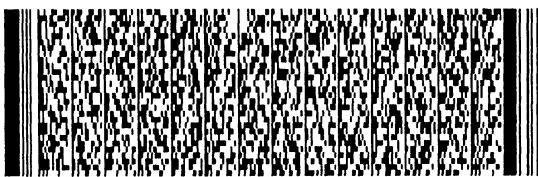


四、中文發明摘要 (發明名稱：埋入式晶片之電性連接端結構及其製法)

- 22 電性連接墊
- 23 絕緣層
- 24 金屬層
- 25 導電層
- 27 電鍍金屬層

六、英文發明摘要 (發明名稱：ELECTRICAL CONNECTION STRUCTURE OF EMBEDDED CHIP AND METHOD FOR FABRICATING THE SAME)

surface of the metal layer, insulating layer and the opening, and a patterned resist layer is formed thereon with a plurality of openings to expose the conductive layer, wherein at least an opening of the resist layer is formed corresponding to the pad. Then a plated metal layer is formed on the conductive layer exposed to the resist layer by an electroplating process. By the arrangement, it can



四、中文發明摘要 (發明名稱：埋入式晶片之電性連接端結構及其製法)

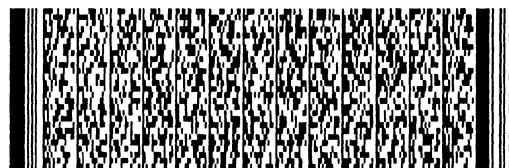
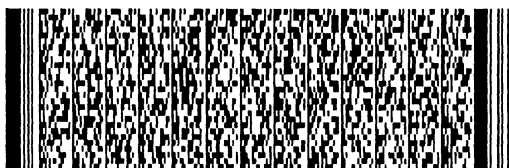
六、英文發明摘要 (發明名稱：ELECTRICAL CONNECTION STRUCTURE OF EMBEDDED CHIP AND METHOD FOR FABRICATING THE SAME)

reduce the process steps and expense via integrating the fabrication of electrical structure of the pad and the circuit layer of a circuit board in build-up process.



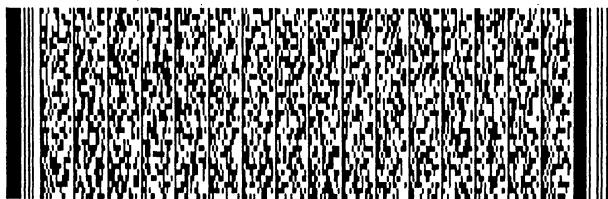
六、申請專利範圍

1. 一種埋入式晶片之電性連接端結構製法，係包括：
提供一嵌埋有晶片之電路板，該晶片表面具有複數之電性連接墊；
於該嵌埋有晶片之電路板上形成一絕緣層，並使該絕緣層形成複數開口，其中至少一開口係對應於該晶片之電性連接墊位置；
於該晶片之電性連接墊上形成一金屬層；
在該金屬層與該絕緣層及其開口表面形成導電層；
於該導電層上形成圖案化阻層，俾使該圖案化阻層形成複數開口，以外露出後續欲於其上沈積金屬層之導電層部分，其中至少一開口係對應至該晶片之電性連接墊位置；以及
進行電鍍製程以在顯露於該圖案化阻層之導電層上形成電鍍金屬層。
2. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，於形成該電鍍金屬層後即可移除該阻層及被該阻層所覆蓋之導電層。
3. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，該晶片係在完成晶圓積體電路製程並切割形成有多數之晶片單元後，加以嵌埋至電路板中。
4. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，該晶片之電性連接墊上之電鍍金屬層為銅金屬層。



六、申請專利範圍

5. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，該金屬層為鎳金屬層。
6. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，為提供該金屬層有效附著於該電性連接墊上，係可先於該電性連接墊上沈積一金屬化處理層。
7. 如申請專利範圍第6項之埋入式晶片之電性連接端結構製法，其中，該金屬化處理層為鋅化處理層。
8. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，該導電層為銅層。
9. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，晶片之電性連接墊上之金屬層係以無電鍍方式形成。
10. 如申請專利範圍第1項之埋入式晶片之電性連接端結構製法，其中，該絕緣層為非纖維之樹脂型材料及纖維含浸樹脂材料之其中之一者。
11. 如申請專利範圍第10項之埋入式晶片之電性連接端結構製法，其中，該絕緣層為ABF、雙順丁烯二酸醯亞胺/三氮吡(BT)、BCB、LCP、PI、PTFE、環氧樹脂與玻璃纖維(FR4、FR5)其中之一者。
12. 如申請專利範圍第1或10項之埋入式晶片之電性連接端結構製法，其中，該絕緣層可利用雷射鑽孔技術形成開口。
13. 如申請專利範圍第12項之埋入式晶片之電性連接端結



六、申請專利範圍

構製法，復進行除膠渣 (De-smear) 作業以移除因鑽孔所殘留於該開口內之膠渣。

14. 如申請專利範圍第 1 項之埋入式晶片之電性連接端結構製法，其中，該絕緣層可為光感應絕緣材料。

15. 如申請專利範圍第 1 或 14 項之埋入式晶片之電性連接端結構製法，其中，該絕緣層可利用曝光及顯影技術形成開口。

16. 如申請專利範圍第 15 項之埋入式晶片之電性連接端結構製法，復進行除渣滓 (De-scum) 作業以移除因顯影所殘留於該開口內之渣滓。

17. 如申請專利範圍第 1 項之埋入式晶片之電性連接端結構製法，其中，該導電層可藉由物理氣相沈積 (PVD)、化學氣相沈積 (CVD)、無電電鍍或化學沈澱，例如濺鍍 (Sputtering)、蒸鍍 (Evaporation)、電弧蒸氣沈積 (Arc vapor deposition)、離子束濺鍍 (Ion beam sputtering)、雷射熔散沈積 (Laser ablation deposition) 及電漿促進之化學氣相沈積之其中一方式形成。

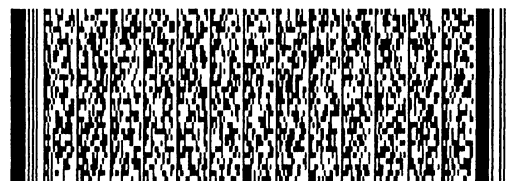
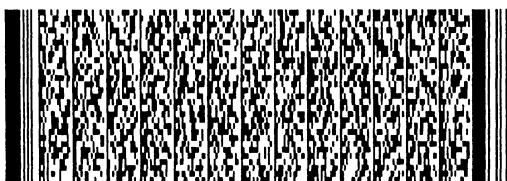
18. 一種埋入式晶片之電性連接端結構，係包括：

一電性連接墊；

一沈積於該電性連接墊上之金屬層；

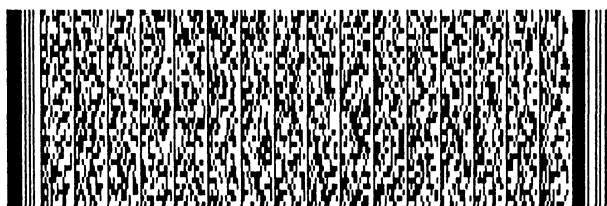
一沈積於該金屬層上之導電層；以及

一透過該導電層以電鍍方式沈積於該導電層上之電鍍金屬層。



六、申請專利範圍

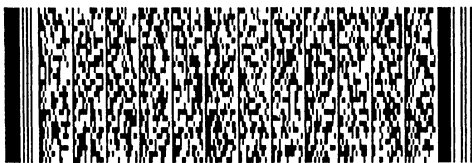
19. 如申請專利範圍第 18 項之埋入式晶片之電性連接端結構，其中，該晶片係在完成晶圓積體電路製程並切割形成有多數之晶片單元後，加以嵌埋至電路板中。
20. 如申請專利範圍第 18 項之埋入式晶片之電性連接端結構，其中，該晶片之電性連接墊上之電鍍金屬層為銅金屬層。
21. 如申請專利範圍第 18 項之埋入式晶片之電性連接端結構，其中，該導電層為銅層。
22. 如申請專利範圍第 18 項之埋入式晶片之電性連接端結構，其中，該金屬層為鎳金屬層。
23. 如申請專利範圍第 18 項之埋入式晶片之電性連接端結構，復包括一金屬化處理層，係形成在該金屬層與該電性連接墊之間。
24. 如申請專利範圍第 23 項之埋入式晶片之電性連接端結構，其中，該金屬化處理層為鋅化處理層。
25. 如申請專利範圍第 19 項之埋入式晶片之電性連接端結構，其中，該電路板上形成有一絕緣層，且該絕緣層具有對應於該晶片之電性連接墊位置之開口。
26. 如申請專利範圍第 25 項之埋入式晶片之電性連接端結構，其中，該絕緣層為非纖維之樹脂型材料及纖維含浸樹脂材料之其中一者。
27. 如申請專利範圍第 26 項之埋入式晶片之電性連接端結構，其中，該絕緣層為 ABF、雙順丁烯二酸醯亞胺 / 三氮吡 (BT)、BCB、LCP、PI、PTFE、環氧樹脂與玻璃



六、申請專利範圍

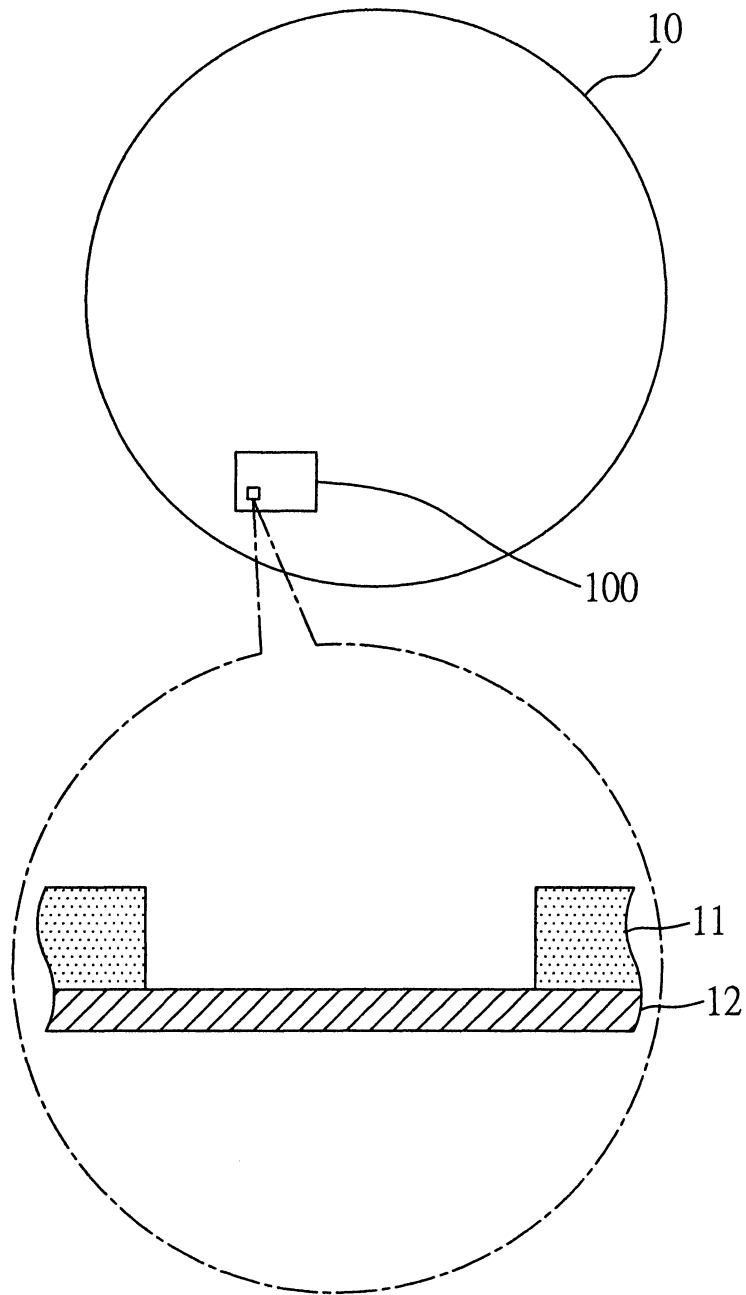
纖維 (FR4、FR5) 其中一者。

28. 如申請專利範圍第 25 或 26 項之埋入式晶片之電性連接端結構，其中，該絕緣層可利用雷射鑽孔技術形成開口。
29. 如申請專利範圍第 25 項之埋入式晶片之電性連接端結構，其中，該絕緣層可為光感應絕緣材料。
30. 如申請專利範圍第 25 或 29 項之埋入式晶片之電性連接端結構，其中，該絕緣層可利用曝光及顯影技術形成開口。

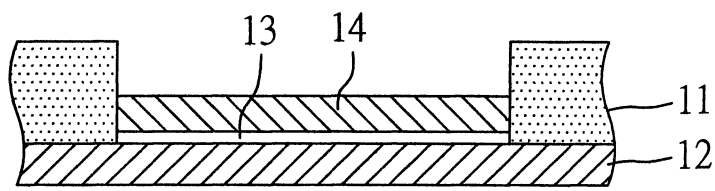


93110073

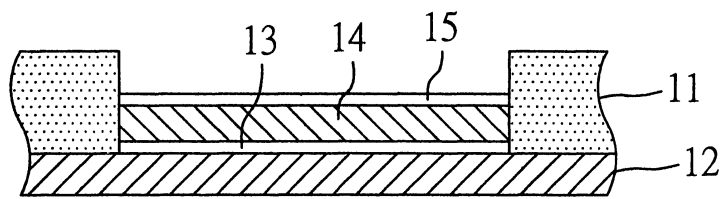
17724



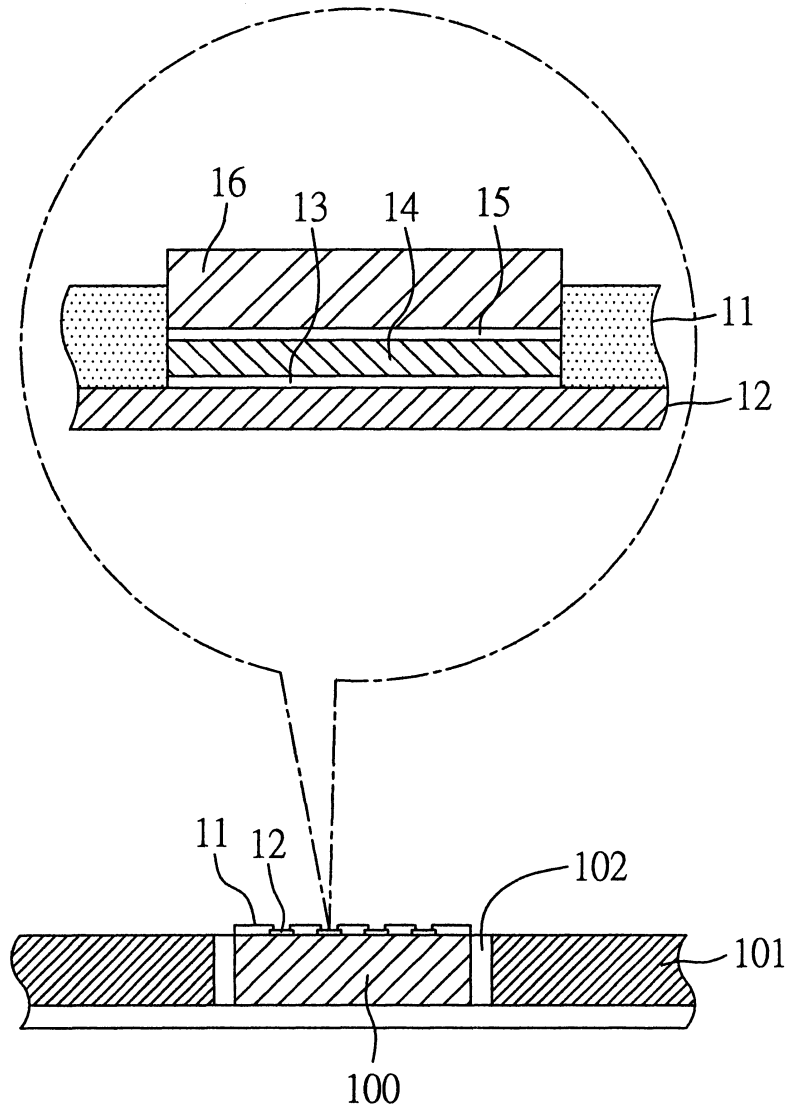
第 1A 圖



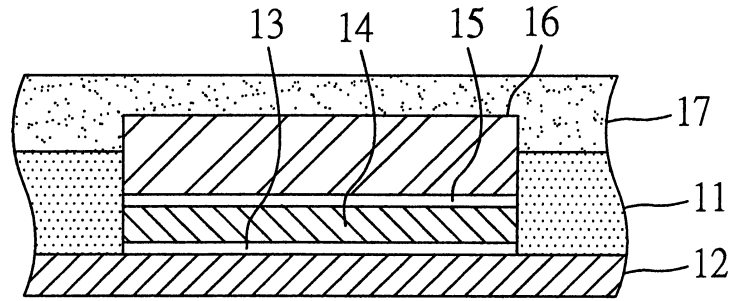
第 1B 圖



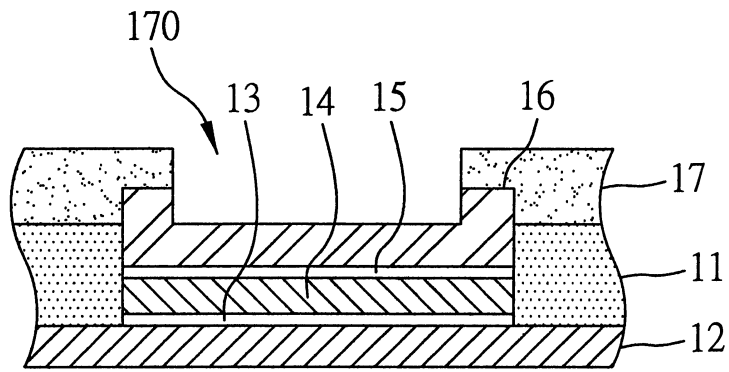
第 1C 圖



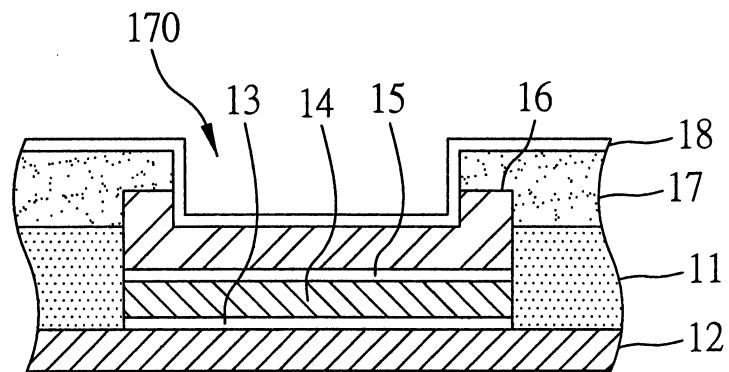
第 1D 圖



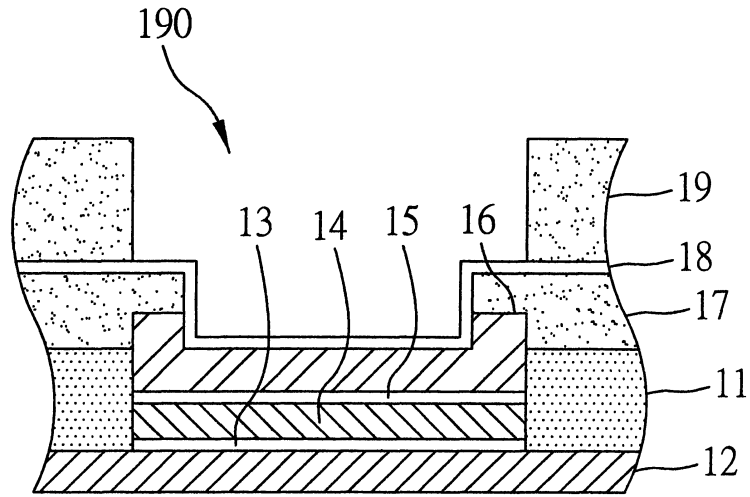
第 1E 圖



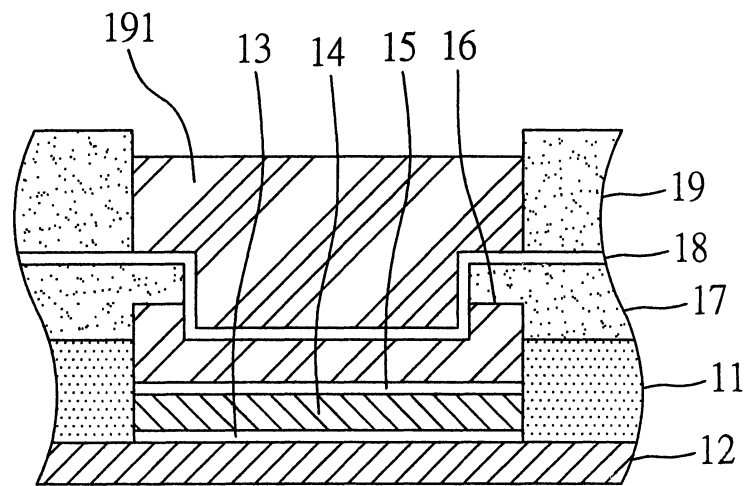
第 1F 圖



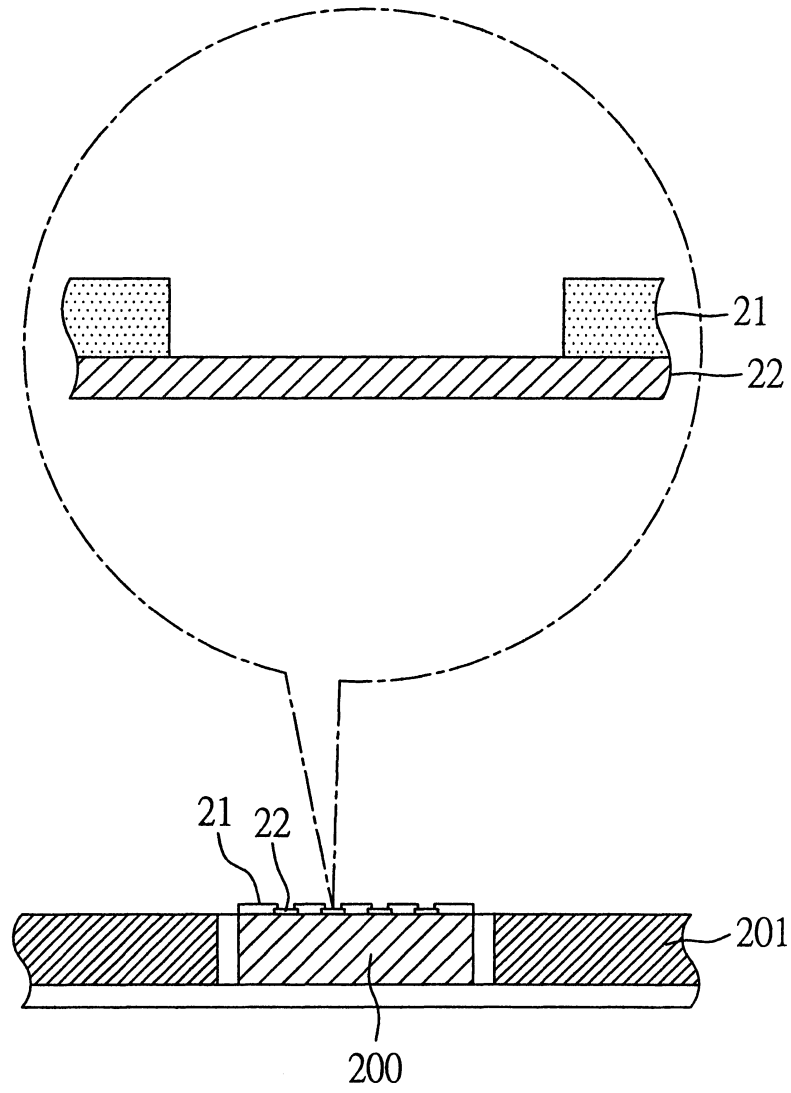
第 1G 圖



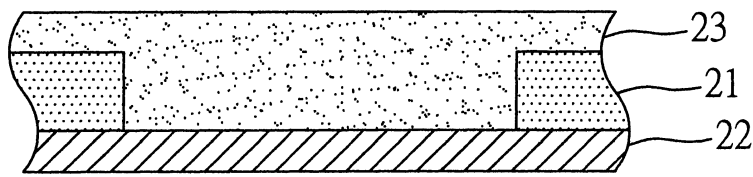
第 1H 圖



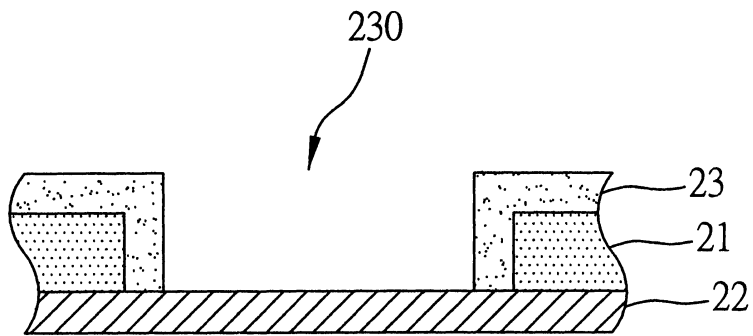
第 II 圖



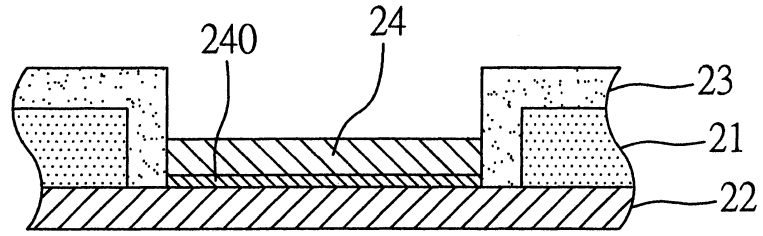
第 2A 圖



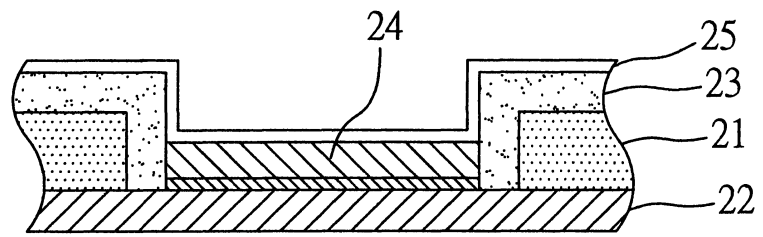
第 2B 圖



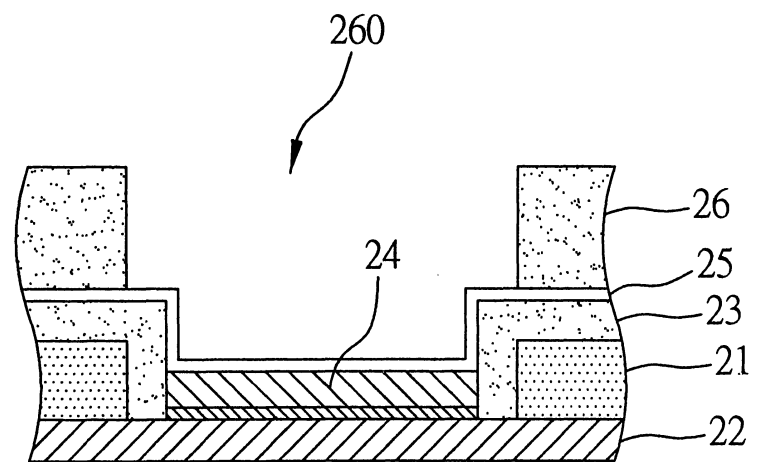
第 2C 圖



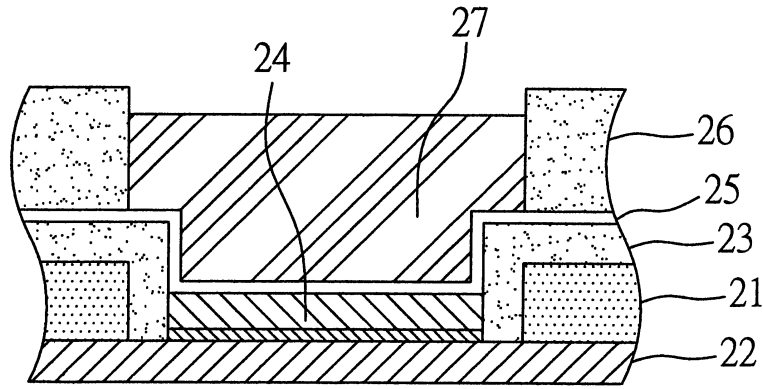
第 2D 圖



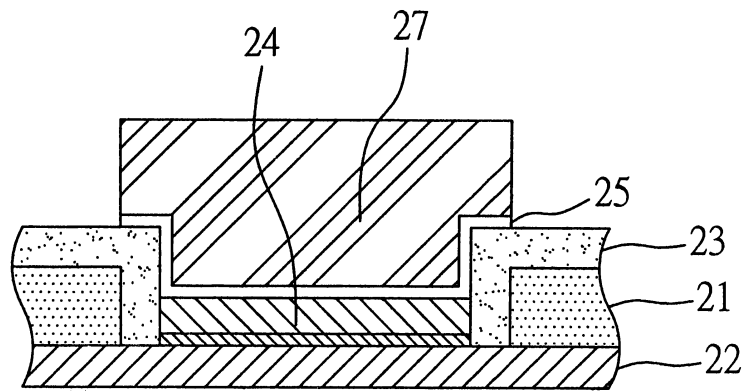
第 2E 圖



第 2F 圖



第 2G 圖



第 2H 圖